



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월24일
 (11) 등록번호 10-0904112
 (24) 등록일자 2009년06월15일

(51) Int. Cl.
G05F 1/56 (2006.01)
 (21) 출원번호 10-2002-0071173
 (22) 출원일자 2002년11월15일
 심사청구일자 2007년08월02일
 (65) 공개번호 10-2003-0040179
 (43) 공개일자 2003년05월22일
 (30) 우선권주장
 JP-P-2001-00350650 2001년11월15일 일본(JP)
 (뒷면에 계속)
 (56) 선행기술조사문헌
 KR1019930010675 A
 KR2019870010877 U
 JP08223907 A
 JP평성02189608 A

(73) 특허권자
세이코 인스트루 가부시키키가이샤
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
 (72) 발명자
나카시모다카오
 일본국치바켄치바시미하마구나카세1쵸메8반지세이
 코인스트루먼트가부시키키가이샤내
 (74) 대리인
한양특허법인

전체 청구항 수 : 총 10 항

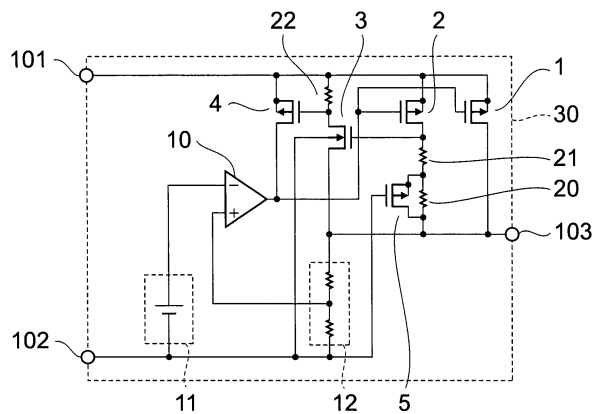
심사관 : 박태욱

(54) 전압 레귤레이터

(57) 요약

최대 전류와 단락 전류의 비가 조정되어 최대 전류가 상당히 증가되며 단락 전류가 작게 되는 전압 레귤레이터가 제공된다. 출력 전압 단자의 전류값을 제한하는 제1 전류 제한 회로는, P-채널형 MOS 트랜지스터(2, 4), N-채널형 MOS 트랜지스터(3), 및 저항기(21과 22)로 구성되어 있다. 출력 전압 단자의 전압 저하를 검지하여 출력 전압 단자의 전류값을 제한하는 제2 전류 제한 회로는, P-채널형 MOS 트랜지스터(2, 4), N-채널형 MOS 트랜지스터(3), 및 저항기(20, 21, 및 22)로 구성되어 있다. 이들 회로를 사용함으로써, 최대 전류가 상당히 증가될 수 있으며 단락 전류가 감소될 수 있다.

대표도 - 도5



(30) 우선권주장

JP-P-2001-00352143 2001년11월16일 일본(JP)

JP-P-2002-00292693 2002년10월04일 일본(JP)

특허청구의 범위

청구항 1

출력 전압에 따라 출력 전압 단자에 흐르는 전류를 제어하는 전압 레귤레이터에 있어서,
 입력 전압 단자에 그 소스 단자가 접속되고 출력 전압 단자에 그 드레인 단자가 접속되는 제1 도전형을 갖는 제1 MOS 트랜지스터;
 상기 제1 MOS 트랜지스터의 게이트 단자에 그 출력 단자가 접속되는 2개의 입력 단자를 갖는 차동 증폭 회로;
 상기 차동 증폭 회로의 입력 단자들 중 하나와 그라운드 단자 간에 접속되며 상기 차동 증폭 회로의 상기 하나의 입력 단자에 그 출력 단자가 접속되는 제1 기준 전압원;
 상기 출력 전압 단자와 상기 그라운드 단자 간에 접속되며 상기 차동 증폭 회로의 다른 입력 단자에 그 출력 전압 단자가 접속되는 전압 분압 회로;
 상기 제1 MOS 트랜지스터의 게이트 단자 및 소스 단자와 각각 그 게이트 단자 및 소스 단자가 서로 공유되도록 접속되는 제1 도전형을 갖는 제2 MOS 트랜지스터;
 상기 출력 전압 단자와 상기 제2 MOS 트랜지스터의 드레인 단자 간에 접속되는 제1 저항기;
 상기 출력 전압 단자에 그 소스 단자가 접속되고, 상기 제2 MOS 트랜지스터의 드레인 단자에 그 게이트 단자가 접속되며, 상기 그라운드 단자와 그 베이스 단자가 접속되는 제2 도전형을 갖는 MOS 트랜지스터;
 상기 입력 전압 단자와 제2 도전형을 갖는 상기 MOS 트랜지스터의 드레인 단자 간에 접속되는 제2 저항기;
 상기 입력 전압 단자에 그 소스 단자가 접속되고, 제2 도전형을 갖는 상기 MOS 트랜지스터의 드레인 단자에 그 게이트 단자가 접속되며, 상기 제1 MOS 트랜지스터의 게이트 단자에 그 드레인 단자가 접속되는 제1 도전형을 갖는 제3 MOS 트랜지스터;
 상기 제1 저항기와 상기 출력 전압 단자 간에 접속되는 제3 저항기; 및
 상기 제3 저항기에 병렬로 그 드레인 단자와 소스 단자가 접속되는 제1 도전형을 갖는 제4 MOS 트랜지스터를 포함하며,
 상기 제4 MOS 트랜지스터의 게이트 단자의 전압은 규정 출력 전압보다 낮은 전압인 것을 특징으로 하는 전압 레귤레이터.

청구항 2

제1항에 있어서, 상기 제4 MOS 트랜지스터의 게이트 단자는 상기 그라운드 단자와 접속되어 있는 것을 특징으로 하는 전압 레귤레이터.

청구항 3

제1항에 있어서, 상기 제4 MOS 트랜지스터의 게이트 단자는 상기 전압 분압 회로의 출력 단자에 접속되어 있는 것을 특징으로 하는 전압 레귤레이터.

청구항 4

제1항에 있어서, 규정 출력 전압보다 낮은 기준 전압(V1)이 설정된 제2 기준 전압원을 더 포함하며,
 상기 제4 MOS 트랜지스터의 게이트 단자는 상기 제2 기준 전압원에 접속되어 있는 것을 특징으로 하는 전압 레귤레이터.

청구항 5

출력 전압에 따라 출력 전압 단자에 흐르는 전류를 제어하는 전압 레귤레이터에 있어서,
 입력 전압 단자에 그 소스 단자가 접속되고 출력 전압 단자에 그 드레인 단자가 접속되는 제1 도전형을 갖는 제1 MOS 트랜지스터;

그라운드 단자와 상기 출력 전압 단자 간에 접속되는 전압 분압 회로;

기준 전압원;

상기 제1 MOS 트랜지스터의 게이트 단자에 그 출력 단자가 접속되고 상기 기준 전압원의 출력 단자와 상기 전압 분압 회로의 출력 전압 단자에 각기 그 2개의 입력 단자가 접속되는 차동 증폭 회로;

상기 출력 전압 단자의 전류값을 제한하는 제1 전류 제한 회로;

상기 출력 전압 단자의 전압의 저하를 검지하는 전압 검출기;

상기 출력 전압 단자의 전류값을 제한 전류값 또는 상기 제1 전류 제한 회로보다 작게 제한하는 제2 전류 제한 회로; 및

상기 전압 검출기에 의해 검지된 상기 출력 전압 단자의 전압이 규정 전압 이하일 때 상기 제1 전류 제한 회로에서 상기 제2 전류 제한 회로로 스위치하는 스위치 소자를 포함하는 것을 특징으로 하는 전압 레귤레이터.

청구항 6

제5항에 있어서, 상기 제2 전류 제한 회로는,

상기 입력 전압 단자와 상기 차동 증폭 회로의 출력 단자에 각기 그 소스 단자와 게이트 단자가 접속되는 제1 도전형을 갖는 제2 MOS 트랜지스터;

상기 입력 전압 단자, 상기 차동 증폭 회로의 출력 단자, 및 상기 그라운드 단자에 각기 그 소스 단자, 드레인 단자, 및 베이스 단자가 접속되는 제1 도전형을 갖는 제3 MOS 트랜지스터;

상기 출력 전압 단자, 상기 제2 MOS 트랜지스터의 드레인 단자, 및 상기 제3 MOS 트랜지스터의 게이트 단자에 각기 그 소스 단자, 게이트 단자, 및 드레인 단자가 접속되는 제2 도전형을 갖는 MOS 트랜지스터;

상기 제2 MOS 트랜지스터의 드레인 단자와 상기 출력 전압 단자 간에 직렬로 접속되는 제1 및 제3 저항기, 상기 제1 저항기가 상기 제2 MOS 트랜지스터의 드레인 단자에 접속되며; 및

상기 입력 전압 단자와 상기 제3 MOS 트랜지스터의 게이트 단자 간에 접속되는 제2 저항기를 포함하며,

상기 스위치 소자는 상기 제3 저항기에 직렬로 접속되어 있으며,

상기 제1 전류 제한 회로는 상기 스위치 소자에 의해 상기 제3 저항기를 단락하여 생성된 상기 제2 전류 제한 회로에 해당하는 것을 특징으로 하는 전압 레귤레이터.

청구항 7

제6항에 있어서,

상기 스위치 소자는 제1 도전형을 갖는 제4 MOS 트랜지스터를 포함하며;

상기 제4 MOS 트랜지스터의 드레인 단자와 소스 단자는 각기 상기 출력 전압 단자와 상기 제1 저항기에 접속되어 있으며;

상기 전압 검출기는 전압 비교기와 기준 전압원을 포함하며;

상기 기준 전압원은 상기 그라운드 단자에 접속되어 있으며;

상기 전압 비교기의 2개의 입력 단자는 각기 상기 기준 전압원과 상기 출력 전압 단자에 접속되어 있으며;

상기 전압 비교기의 출력 단자는 상기 제4 MOS 트랜지스터의 게이트 단자에 접속되어 있는 것을 특징으로 하는 전압 레귤레이터.

청구항 8

제6항에 있어서, 제2 도전형을 갖는 상기 MOS 트랜지스터의 베이스 단자는 상기 출력 전압 단자에 접속되어 있는 것을 특징으로 하는 전압 레귤레이터.

청구항 9

제6항에 있어서,

제2 도전형을 갖는 상기 MOS 트랜지스터의 소스 단말과 베이스 단말은 상기 그라운드 단자에 접속되어 있으며;
 상기 제1 및 제3 저항기는 상기 그라운드 단자와 상기 제2 MOS 트랜지스터의 드레인 단자 간에 직렬로 접속되어
 있는 것을 특징으로 하는 전압 레귤레이터.

청구항 10

전압 레귤레이터에 있어서,

입력 전압이 인가되는 입력 단자;

출력 전압이 출력되는 출력 단자;

그라운드 단자;

상기 출력 단자의 신호에 응답하여 전압 검출 신호를 출력하는 전압 검출 회로;

상기 출력 단자와 상기 그라운드 단자 간의 전압을 분압하는 전압 분압 회로;

기준 전압원;

상기 전압 분압 회로의 출력과 상기 기준 전압원의 출력에 응답하여 신호를 출력하는 차동 증폭 회로;

상기 전압 검출 회로로부터의 전압 검출 신호에 응답하여 저항이 변화되는 저항 회로;

상기 입력 단자에 입력이 접속되고 상기 저항 회로에 출력이 접속되며 상기 차동 증폭 회로의 출력에 응답하여
 제어되는 제1 전류 제한 회로, 상기 저항 회로가 상기 제1 전류 제한 회로와 상기 출력 단자 간에 접속되며;

상기 입력 단자에 입력이 접속되고 상기 출력 단자에 출력이 접속되며 상기 차동 증폭 회로의 출력에 응답하여
 제어되는 제2 전류 제한 회로;

상기 제1 전류 제한 회로의 출력에 응답하여 신호를 출력하는 인버트 회로; 및

상기 입력 단자와 상기 차동 증폭 회로 간에 접속되며 상기 인버트 회로의 출력에 응답하여 제어되는 스위치 소
 자를 포함하는 것을 특징으로 하는 전압 레귤레이터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 회로 전압 레귤레이터에 관한 것이다.
- <22> 도 2는 종래의 전압 레귤레이터의 구성예를 도시하는 블록도이다. P-채널형 MOS 트랜지스터(1)의 소스 단자 및 드레인 단자가 입력 단자(101)와 출력 단자(103) 사이에 직렬로 접속된다. P-채널형 MOS 트랜지스터(1)의 게이트 단자가 차동 증폭 회로(10)의 출력 단자에 접속된다. 차동 증폭 회로(10)의 각각의 입력 단자는 기준 전압원(11)의 출력 전압 단자 및 전압 분압 회로(12)의 출력 전압 단자에 접속되어 있다.
- <23> 차동 증폭 회로(10)는, 기준 전압원(11)의 전압을 전압 분압 회로(12)의 출력 전압과 비교하여, 기준 전압원(11)의 출력 전압 단자의 전압 및 전압 분압 회로(12)의 출력 전압 단자의 전압을 동일 전압으로 유지하며, 출력 단자(103)의 전압을 소정 값으로 유지하도록 P-채널형 MOS 트랜지스터(1)의 게이트 전압을 제어한다.
- <24> 전압 레귤레이터의 출력 단자(103)가 단락되는 경우에 전류값을 제한하고 P-채널형 MOS 트랜지스터(1)의 과열을 방지하기 위해서, P-채널형 MOS 트랜지스터(1)의 게이트 단자와 소스 단자에 공유되는 게이트 단자와 소스 단자를 갖는 P-채널형 MOS 트랜지스터(2), 출력 단자와 P-채널형 MOS 트랜지스터(2)의 드레인 단자 간에 삽입된 저항기(21), 입력 단자(101)와 접속된 저항기(22), 및 드레인 단자가 저항기(22)와 접속된 N-채널형 MOS 트랜지스터(3)가 직렬로 제공된다. 출력 단자(103)는 N-채널형 MOS 트랜지스터(3)의 드레인 단자에 접속된다. N-채널형 MOS 트랜지스터(3)의 게이트 단자는 P-채널형 MOS 트랜지스터(2)의 드레인 단자에 접속된다. N-채널형 MOS

트랜지스터(3)의 베이스 단자는 그라운드 단자(102)에 접속된다. N-채널형 MOS 트랜지스터(3)의 드레인 단자는 P-채널형 MOS 트랜지스터(4)의 게이트 단자에 접속된다. P-채널형 MOS 트랜지스터(4)의 소스 단자는 입력 단자(101)에 접속된다. P-채널형 MOS 트랜지스터(4)의 드레인 단자는 P-채널형 MOS 트랜지스터(1)의 게이트 단자에 접속된다.

- <25> P-채널형 MOS 트랜지스터(1)에 전류가 흐르면, P-채널형 MOS 트랜지스터(1)와 P-채널형 MOS 트랜지스터(2)에 대한 채널 길이와 채널 폭의 비에 의해 정해진 비에 기초하여 P-채널형 MOS 트랜지스터(2)에 전류가 흐른다.
- <26> 저항기(21)의 양단 간의 전압이 저항기(22)와 N-채널형 MOS 트랜지스터(3)로 구성되는 인버트 회로에 입력되고 그 인버트 회로의 출력이 P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간에 삽입된 P-채널형 MOS 트랜지스터(4)의 게이트에 입력되어, P-채널형 MOS 트랜지스터(4)가 ON/OFF 된다. 따라서, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압은 조정될 수 있어 출력 단자(103)에 흐르는 전류값이 규정값으로 제어될 수 있다.
- <27> 다음에, 회로 동작이 설명된다. 출력 단자(103)가 그라운드 단자(102)와 단락되면, 대전류가 P-채널형 MOS 트랜지스터(1)에 흐르게 된다. 이 때, P-채널형 MOS 트랜지스터(1)와 P-채널형 MOS 트랜지스터(2)에 대한 채널 길이와 채널 폭의 비에 의해 정해진 전류가 P-채널형 MOS 트랜지스터(2)에 흐른다. 저항기(21)의 양단 간의 전압은 그 전류값에 비례하여 상승한다. 이 전압이 N-채널형 MOS 트랜지스터(3)의 임계 전압을 초과하면, N-채널형 MOS 트랜지스터(3)는 ON으로 되고 P-채널형 MOS 트랜지스터(4)의 게이트와 소스 간의 전압은 상승한다. 따라서, P-채널형 MOS 트랜지스터(4)는 ON 상태 쪽으로 향한다.
- <28> P-채널형 MOS 트랜지스터(4)가 ON 상태 쪽으로 이동되면, P-채널형 MOS 트랜지스터(1)의 게이트 전압은 입력 단자(101)의 전위에 접근한다. 따라서, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압은 작게 되어 OFF 상태 쪽으로 이동된다. 이러한 동작에 의해, P-채널형 MOS 트랜지스터(1)에 흐르는 전류는 제한되어 감소된다.
- <29> 도 3은 출력 단자(103)에 흐르는 출력 전류와 이 때의 출력 전류 간의 특성을 도시한다. 도 3에 도시된 바와 같이, 출력 전압이 감소될수록 최대 전류(I_m)로부터 출력 전류가 감소된다. 이후에, 출력 전압이 제로가 되면, 즉, 출력 단자(103)가 그라운드 단자(102)와 단락되면, 단락 전류(I_s)의 전류값이 된다. 이 특성이 실현되는 메커니즘은, N-채널형 MOS 트랜지스터(3)의 소스 전위가 베이스 전위와 달라 N-채널형 MOS 트랜지스터(3)의 임계 전압이 백 게이트(back gate) 효과에 의해 변화된다는 사실에 기인하여 얻어진다. 전압 레귤레이터의 출력 전압이 감소되면, 백 게이트 효과에 의해 N-채널형 MOS 트랜지스터(3)의 임계 전압이 낮게 된다.
- <30> 백 게이트 효과에 의해 N-채널형 MOS 트랜지스터(3)의 임계 전압이 낮게 되면, 저항기(21)에 흐르는 전류가 작더라도, N-채널형 MOS 트랜지스터(3)가 ON 된다. 그러므로, P-채널형 MOS 트랜지스터(1)에 흐르는 전류가 작게 된다. 따라서, 일정 직선과 후속 후퇴 경사선으로 표시되는 도 3에 도시된 바와 같은 특성이 얻어진다(예를 들면, 일본국 특허 JP 07-74976 B(도 1 및 도 3) 참조).
- <31> 최대 전류(I_m)는 출력 단자(103)에 접속되는 기기에 사용되는 전류이다. 따라서, 이 전류는 최대화 될 필요가 있다. 또한, 단락 전류(I_s)는 출력 단자가 그라운드 단자와 단락될 때의 시간에 생성된 전류이다. 따라서, 이 전류는 최소화 될 필요가 있다.
- <32> 그러나, 상기 구성을 갖는 전압 레귤레이터에 의하면, I_m 과 I_s 의 비는 N-채널형 MOS 트랜지스터(3)의 백 게이트 효과에 의존한다. 따라서, 전압 레귤레이터의 최대 전류(I_m)와 단락 전류(I_s)의 비가 조정될 수 없다. 따라서, 최대 전류가 크게 될 수 없고 단락 전류가 작게 될 수 없다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <33> 상술한 문제를 해결하기 위해서, 본 발명의 전압 레귤레이터에 의하면, 출력 전압에 의해 출력 전류를 검지하는 저항값이 변화되어 출력 전압에 따라 제한 전류가 변화될 수 있는 구성이 사용된다.
- <34> 따라서, 본 출원의 발명에 의하면, 출력 전압에 따라 출력 전압 단자에 흐르는 전류를 제어하는 전압 레귤레이터에 있어서,
- <35> 입력 전압 단자에 그 소스 단자가 접속되고 출력 전압 단자에 그 드레인 단자가 접속되는 제1 도전형을 갖는 제1 MOS 트랜지스터;
- <36> 상기 제1 MOS 트랜지스터의 게이트 단자에 그 출력 단자가 접속되는 2개의 입력 단자를 갖는 차동 증폭 회로;
- <37> 상기 차동 증폭 회로의 입력 단자들 중 하나와 그라운드 단자 간에 접속되며 상기 차동 증폭 회로의 상기 하나

의 입력 단자에 그 출력 단자가 접속되는 제1 기준 전압원;

- <38> 상기 출력 전압 단자와 상기 그라운드 단자 간에 접속되며 상기 차동 증폭 회로의 다른 입력 단자에 그 출력 전압 단자가 접속되는 전압 분압 회로를 포함한다.
- <39> 본 발명의 전압 레귤레이터는,
- <40> 상기 제1 MOS 트랜지스터의 게이트 단자 및 소스 단자와 각기 그 게이트 단자 및 소스 단자가 서로 공유되도록 접속되는 제1 도전형을 갖는 제2 MOS 트랜지스터; 및
- <41> 상기 출력 전압 단자와 상기 제2 MOS 트랜지스터의 드레인 단자 간에 접속되는 제1 저항기를 더 포함한다.
- <42> 본 발명의 전압 레귤레이터는,
- <43> 상기 출력 전압 단자에 그 소스 단자가 접속되고, 상기 제2 MOS 트랜지스터의 드레인 단자에 그 게이트 단자가 접속되며, 상기 그라운드 단자에 그 베이스 단자가 접속되는 제2 도전형을 갖는 MOS 트랜지스터; 및
- <44> 상기 입력 전압 단자와 제2 도전형을 갖는 상기 MOS 트랜지스터의 드레인 단자 간에 접속되는 제2 저항기를 더 포함한다.
- <45> 본 발명의 전압 레귤레이터는,
- <46> 상기 입력 전압 단자에 그 소스 단자가 접속되고, 제2 도전형을 갖는 상기 MOS 트랜지스터의 드레인 단자에 그 게이트 단자가 접속되며, 상기 제1 MOS 트랜지스터의 게이트 단자에 그 드레인 단자가 접속되는 제1 도전형을 갖는 제3 MOS 트랜지스터;
- <47> 상기 제1 저항기와 상기 출력 전압 단자 간에 접속되는 제3 저항기; 및
- <48> 상기 제3 저항기에 병렬로 그 드레인 단자와 소스 단자가 접속되는 제1 도전형을 갖는 제4 MOS 트랜지스터를 더 포함한다.
- <49> 또한, 본 발명의 전압 레귤레이터는 상기 제4 MOS 트랜지스터의 게이트 단자의 전압이 규정 출력 전압보다 낮은 전압인 것을 특징으로 한다.
- <50> 또한, 본 발명의 제1 특징에 의한 전압 레귤레이터에 있어서, 상기 제4 MOS 트랜지스터의 게이트 단자가 상기 그라운드 단자에 접속되어 있는 것을 특징으로 한다.
- <51> 또한, 상기 제4 MOS 트랜지스터의 게이트 단자가 상기 전압 분압 회로의 출력 단자에 접속되어 있는 것을 특징으로 하는 전압 레귤레이터가 제공된다.
- <52> 또한, 규정 출력 전압보다 낮은 기준 전압(V1)이 설정된 제2 기준 전압원을 더 포함하며, 상기 제4 MOS 트랜지스터의 게이트 단자가 상기 제2 기준 전압원에 접속되어 있는 것을 특징으로 하는 전압 레귤레이터가 제공된다.
- <53> 또한, 본 출원의 발명에 의하면, 출력 전압에 따라 출력 전압 단자에 흐르는 전류를 제어하는 전압 레귤레이터에 있어서,
- <54> 입력 전압 단자에 그 소스 단자가 접속되고 상기 출력 전압 단자에 그 드레인 단자가 접속되는 제1 도전형을 갖는 제1 MOS 트랜지스터를 포함하는 전압 레귤레이터가 제공된다.
- <55> 또한, 본 발명의 전압 레귤레이터는,
- <56> 그라운드 단자와 상기 출력 전압 단자 간에 접속되는 전압 분압 회로;
- <57> 기준 전압원;
- <58> 상기 제1 MOS 트랜지스터의 게이트 단자에 그 출력 단자가 접속되고 상기 기준 전압원의 출력 단자와 상기 전압 분압 회로의 출력 전압 단자에 각기 그 2개의 입력 단자가 접속되는 차동 증폭 회로;
- <59> 상기 출력 전압 단자의 전류값을 제한하는 제1 전류 제한 회로; 및
- <60> 상기 출력 전압 단자의 전압의 저하를 검지하는 전압 검출기를 더 포함한다.
- <61> 본 발명의 전압 레귤레이터는,
- <62> 상기 출력 전압 단자의 전류값을 제한 전류값 또는 상기 제1 전류 제한 회로보다 작게 제한하는 제2 전류 제한

회로; 및

- <63> 상기 전압 검출기에 의해 검지된 상기 출력 전압 단자의 전압이 규정 전압 이하일 때 상기 제1 전류 제한 회로에서 상기 제2 전류 제한 회로로 스위치하는 스위치 소자를 더 포함하는 것을 특징으로 한다.
- <64> 또한, 상기 제2 전류 제한 회로는,
- <65> 상기 입력 전압 단자와 상기 차동 증폭 회로의 출력 단자에 각기 그 소스 단자와 게이트 단자가 접속되는 제1 도전형을 갖는 제2 MOS 트랜지스터; 및
- <66> 상기 입력 전압 단자, 상기 차동 증폭 회로의 출력 단자, 및 상기 그라운드 단자에 각기 그 소스 단자, 드레인 단자, 및 베이스 단자가 접속되는 제1 도전형을 갖는 제3 MOS 트랜지스터를 포함한다.
- <67> 상기 제2 전류 제한 회로는,
- <68> 상기 출력 전압 단자, 상기 제2 MOS 트랜지스터의 드레인 단자, 및 상기 제3 MOS 트랜지스터의 게이트 단자에 각기 그 소스 단자, 게이트 단자, 및 드레인 단자가 접속되는 제2 도전형을 갖는 MOS 트랜지스터;
- <69> 상기 제2 MOS 트랜지스터의 드레인 단자와 상기 출력 전압 단자 간에 직렬로 접속되는 제1 및 제3 저항기, 상기 제1 저항기가 상기 제2 MOS 트랜지스터의 드레인 단자에 접속되며; 및
- <70> 상기 입력 전압 단자와 상기 제3 MOS 트랜지스터의 게이트 단자 간에 접속되는 제2 저항기를 더 포함한다.
- <71> 또한, 본 발명은, 상기 스위치 소자가 상기 제3 저항기에 직렬로 접속되어 있으며, 상기 제1 전류 제한 회로가 상기 스위치 소자에 의해 상기 제3 저항기를 단락하여 생성된 상기 제2 전류 제한 회로에 해당하는 것을 특징으로 한다.
- <72> 또한, 상기 스위치 소자는 제1 도전형을 갖는 제4 MOS 트랜지스터를 포함한다. 상기 제4 MOS 트랜지스터의 드레인 단자와 소스 단자는 각기 상기 출력 전압 단자와 상기 제1 저항기에 접속되어 있다. 또한, 본 발명은,
- <73> 상기 전압 검출기가 전압 비교기와 기준 전압원을 포함하며;
- <74> 상기 기준 전압원이 그라운드 단자에 접속되어 있으며;
- <75> 상기 전압 비교기의 2개의 입력 단자가 각기 상기 기준 전압원과 상기 출력 전압 단자에 접속되어 있으며;
- <76> 상기 전압 비교기의 출력 단자가 상기 제4 MOS 트랜지스터의 게이트 단자에 접속되어 있는 것을 특징으로 한다.
- <77> 또한, 본 발명에 의한 전압 레귤레이터는 제2 도전형을 갖는 상기 MOS 트랜지스터의 베이스 단자가 출력 전압 단자에 접속되어 있는 것을 특징으로 한다.
- <78> 또한, 본 발명에 의한 전압 레귤레이터는,
- <79> 제2 도전형을 갖는 상기 MOS 트랜지스터의 소스 단말과 베이스 단말이 상기 그라운드 단자에 접속되어 있으며;
- <80> 상기 제1 및 제3 저항기가 상기 그라운드 단자와 상기 제2 MOS 트랜지스터의 드레인 단자 간에 직렬로 접속되어 있는 것을 특징으로 한다.
- <81> 또한, 본 발명에 의하면,
- <82> 입력 전압이 인가되는 입력 단자;
- <83> 출력 전압이 출력되는 출력 단자;
- <84> 그라운드 단자;
- <85> 상기 출력 단자의 신호에 응답하여 전압 검출 신호를 출력하기 위한 전압 검출 회로;
- <86> 상기 출력 단자와 상기 그라운드 단자 간의 전압을 분압하는 전압 분압 회로;
- <87> 기준 전압원;
- <88> 상기 전압 분압 회로의 출력과 상기 기준 전압원의 출력에 응답하여 신호를 출력하는 차동 증폭 회로; 및
- <89> 상기 전압 검출 회로로부터의 전압 검출 신호에 응답하여 저항이 변화되는 저항 회로를 포함하는 전압 레귤레이터가 제공된다.

- <90> 본 발명의 전압 레귤레이터는,
- <91> 상기 입력 단자에 입력이 접속되고 상기 저항 회로에 출력이 접속되며 상기 차동 증폭 회로의 출력에 응답하여 제어되는 제1 전류 제한 회로, 상기 저항 회로가 상기 제1 전류 제한 회로와 상기 출력 단자 간에 접속되며; 및
- <92> 상기 입력 단자에 입력이 접속되고 상기 출력 단자에 출력이 접속되며 상기 차동 증폭 회로의 출력에 응답하여 제어되는 제2 전류 제한 회로를 더 포함한다.
- <93> 또한, 본 발명의 전압 레귤레이터는, 상기 저항 소자가,
- <94> 상기 제1 전류 제한 회로의 출력에 응답하여 신호를 출력하는 인버트 회로; 및
- <95> 상기 입력 단자와 상기 차동 증폭 회로 간에 접속되며 상기 인버트 회로의 출력에 응답하여 제어되는 스위치 소자를 포함하는 것을 특징으로 한다.

발명의 구성 및 작용

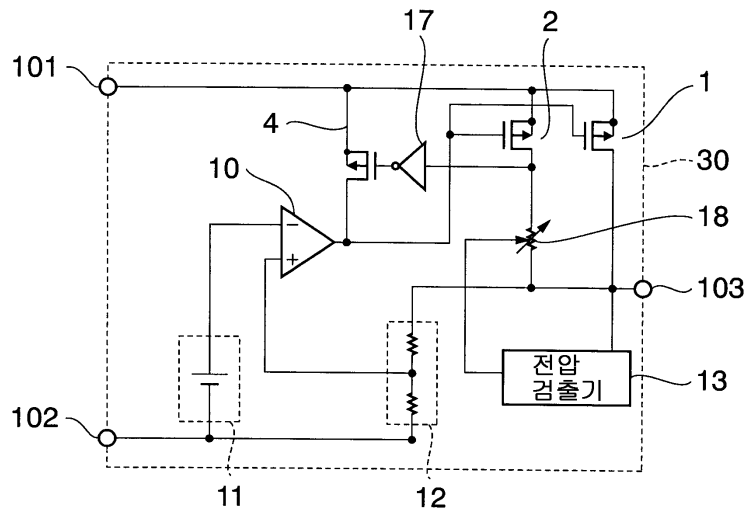
- <96> 이후, 본 발명의 실시예가 도면을 참조하여 설명된다. 도 1은 본 발명에 의한 전압 레귤레이터의 구성예를 도시하는 회로 블록도이다. 여기서 도 2와 동일한 부분에 관한 설명은 생략된다. 저항기(21) 대신에, 도 2에 도시된 종래의 전압 레귤레이터의 출력 단자(103)와 P-채널형 MOS 트랜지스터(2) 사이에 가변 저항기(18)가 접속된다.
- <97> 전압 검출기(13)는 출력 단자(103)의 전압을 검지하여 출력 전압이 규정 전압 이상이 될 때 가변 저항기(18)를 제어하는 제어 신호를 출력한다.
- <98> 이하에, 도 1의 전압 레귤레이터의 동작이 출력 전압과 출력 전류 간의 관계를 도시하는 도 4를 참조하여 설명된다. 규정 전류보다 큰 전류가 흐르는 부하가 출력 단자(103)에 접속되면, 대전류가 P-채널형 MOS 트랜지스터(1)에 흐르게 된다. 따라서, P-채널형 MOS 트랜지스터(1)와 P-채널형 MOS 트랜지스터(2)에 대한 채널 길이와 채널 폭으로 정해진 전류가 P-채널형 MOS 트랜지스터(2)에 흐른다. 따라서, 인버트 회로(17)의 입력 전압은 전류값에 비례하여 상승한다. 전압이 인버트 회로(17)의 임계 전압을 초과하면, 도 2에 도시된 종래예에서와 같이, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압이 작게 되어 OFF 상태 쪽으로 향한다. 이 때, N-채널형 MOS형 트랜지스터(3)의 게이트와 소스 간의 전압은 (가변 저항기(18)의 저항값) × (P-채널형 MOS 트랜지스터(2)에 흐르는 전류값)이 된다.
- <99> 전압 레귤레이터의 출력 단자 전압이 감소하면, 전압 검출기(13)는 그것을 검지하여 가변 저항기(18)의 저항값을 변화시킨다. 이 때, 출력 단자 전압이 감소할수록 가변 저항기(18)의 저항값이 증가하도록 설정할 때, 출력 단자 전압이 감소하면, 동일한 출력 전류의 경우라도, 가변 저항기(18)의 양단 간의 전압이 증가하여 인버트 회로(17)의 입력 전압이 증가한다. 따라서, P-채널형 MOS 트랜지스터(4)의 게이트와 소스 간의 전압이 증가한다. 따라서, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압이 작게 되어 P-채널형 MOS 트랜지스터(1)가 OFF 상태에 더 접근한다. 그 결과, 출력 전류와 출력 전압 간의 관계는 도 4에 도시된 바와 같은 특성을 갖는다.
- <100> 도 5는 도 1에 도시된 구성예의 실시예를 도시한다. 이후, 도 5에 도시된 실시예가 설명된다.
- <101> 여기서 도 2와 동일한 부분에 관한 설명은 생략된다. 저항기(21)와 출력 단자(103) 사이에 저항기(20)가 접속된다. P-채널형 MOS 트랜지스터(5)의 드레인 단자와 소스 단자가 병렬로 저항기(20)와 접속된다. P-채널형 MOS 트랜지스터(5)의 게이트 단자가 그라운드 단자(102)와 접속된다. 인버트 회로(17)는 저항기(22)와 N-채널형 MOS 트랜지스터(3)로 구성되어 있다.
- <102> 규정 전류보다 큰 전류가 흐르는 부하가 출력 단자(103)에 접속되면, 대전류가 P-채널형 MOS 트랜지스터(1)에 흐르게 된다. 따라서, P-채널형 MOS 트랜지스터(1)와 P-채널형 MOS 트랜지스터(2)에 대한 채널 길이와 채널 폭으로 정해진 전류가 P-채널형 MOS 트랜지스터(2)에 흐른다. 따라서, N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압이 그 전류값에 비례하여 상승한다. 이 전압이 N-채널형 MOS 트랜지스터(3)의 임계 전압을 초과하면, 도 2에 도시된 종래예에서와 같이, P-채널형 MOS 트랜지스터(2)의 게이트와 소스 간의 전압이 작게 되어 OFF 상태 쪽으로 향한다. 이 때, 출력 전압이 P-채널형 MOS 트랜지스터(5)의 임계 전압 이상이면, P-채널형 MOS 트랜지스터(5)는 ON으로 되어 있다.
- <103> 전압 레귤레이터의 출력 전압이 감소되어 P-채널형 MOS 트랜지스터(5)의 게이트와 소스 간의 전압이 저하되면,

P-채널형 MOS 트랜지스터(5)의 ON 저항이 증가된다. 따라서, 동일한 출력 전류의 경우라도, N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압이 증가되어 P-채널형 MOS 트랜지스터(4)의 게이트와 소스 간의 전압이 증가된다. 따라서, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압이 작게 되어 P-채널형 MOS 트랜지스터(1)가 OFF 상태에 더 접근한다. 출력 단자에 접속된 부하는, 출력 전압이 감소할수록 P-채널형 MOS 트랜지스터(1)가 OFF 상태 쪽으로 더 이동되도록 행동한다. 그 결과, 출력 전류와 출력 전압 간의 관계는 도 4에 도시된 바와 같은 특성을 갖는다.

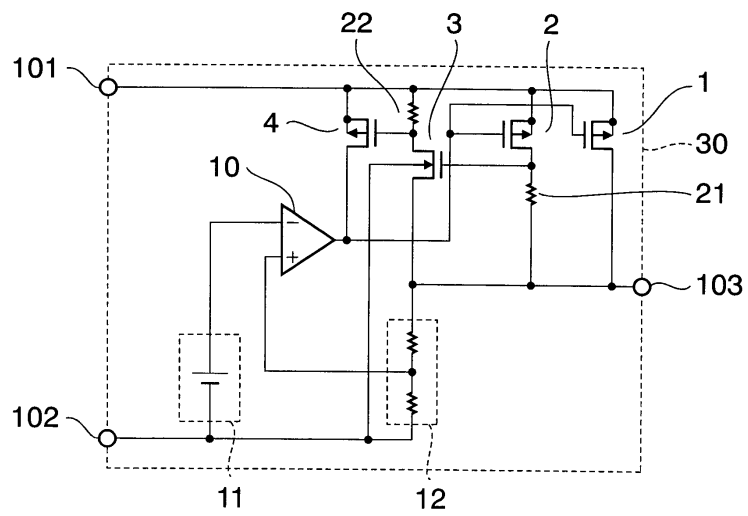
- <104> 도 5에 도시된 실시예에서, P-채널형 MOS 트랜지스터(5)의 게이트 단자가 도 6에 도시된 바와 같이 전압 분압 회로(12)의 출력 단자에 접속되어 있어도 된다. 또한, 도 7에 도시된 바와 같이, P-채널형 MOS 트랜지스터(5)의 게이트 단자가 기준 전압원(15)에 접속되어 있어도 된다. 어느 경우든, P-채널형 MOS 트랜지스터(5)의 게이트와 소스 간의 전압은 출력 단자(103)의 전압이 감소할수록 감소한다. 따라서, 출력 전류와 출력 전압 간의 관계는 도 4에 도시된 바와 같은 특성을 갖는다.
- <105> 도 8은 본 발명에 의한 전압 레귤레이터의 다른 구성예를 도시하는 회로 블록도이다. 여기서 도 2와 동일 부분에 관한 설명은 생략된다. 도 2에 도시된 종래의 전압 레귤레이터의 저항기(21)와 출력 단자(103) 사이에 저항기(20)가 접속되며, 저항기(20)와 병렬로 스위치 소자(14)가 접속된다.
- <106> 전압 검출기(13)는 출력 단자(103)의 전압을 검지하여 출력 전압이 규정 전압 이하가 될 때 스위치 소자(14)를 OFF로 하는 제어 신호를 출력한다. 이후, 도 8에 도시된 전압 레귤레이터의 동작이 도 9에 도시된 바와 같은 출력 전압과 출력 전류 간의 관계를 나타내는 도면과 함께 설명된다.
- <107> 규정 전류보다 큰 전류가 흐르는 부하가 출력 단자(103)에 접속되면, 대전류가 P-채널형 MOS 트랜지스터(1)에 흐르게 된다. 따라서, P-채널형 MOS 트랜지스터(1)와 P-채널형 MOS 트랜지스터(2)에 대한 채널 길이와 채널 폭으로 정해진 전류가 P-채널형 MOS 트랜지스터(2)에 흐른다. 따라서, N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압이 그 전류값에 비례하여 상승된다. 이 전압이 N-채널형 MOS 트랜지스터(3)의 임계 전압을 초과하면, 도 2에 도시된 종래예에서와 같이, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압이 작게 되어 OFF 상태 쪽으로 향한다. 이 때, 출력 전압이 전압 검출기(13)의 검출 전압(A) 이상이면, 스위치 소자는 ON으로 되어 있다.
- <108> 따라서, N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압은 (저항기(21)의 저항값) × (P-채널형 MOS 트랜지스터(2)에 흐르는 전류값)이 된다.
- <109> 전압 레귤레이터의 출력 전압이 감소되어 전압 검출기(13)의 검출 전압(A) 이하가 되면, 전압 검출기(13)는 그것을 검지하여 스위치 소자(14)를 OFF로 한다.
- <110> 따라서, N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압이 (저항기(21)의 저항값 + 저항기(20)의 저항값) × (P-채널형 MOS 트랜지스터(2)에 흐르는 전류값)이 된다.
- <111> 따라서, 동일한 출력 전류의 경우라도, 저항기(20과 21)의 양단 간의 전압은 증가되어 N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압이 증가된다. 따라서, P-채널형 MOS 트랜지스터(4)의 게이트와 소스 간의 전압이 증가된다. 따라서, P-채널형 MOS 트랜지스터(1)의 게이트와 소스 간의 전압이 작게 되어 P-채널형 MOS 트랜지스터(1)가 OFF 상태에 더 접근한다. 그 결과, 출력 전류와 출력 전압 간의 관계는 도 9에 도시된 바와 같은 특성을 갖는다.
- <112> 도 10은 도 8에 도시된 구성예의 실시예를 도시한다. 도 1에 도시된 전압 검출기(13)에서, 전압 비교기(16)의 하나의 입력이 출력 단자(103)로서 사용되고, 다른 입력이 기준 전압원(15)의 출력 전압 단자로서 사용된다. 전압 비교기(16)의 출력 단자가 P-채널형 MOS 트랜지스터(5)의 게이트 단자에 접속된다. P-채널형 MOS 트랜지스터(5)의 소스 단자, 베이스 단자, 및 드레인 단자는 저항기(20)와 병렬로 접속된다.
- <113> 출력 단자(103)의 전압이 감소하여 기준 전압원(15)의 출력 전압보다 작게 되면, P-채널형 MOS 트랜지스터(5)의 게이트와 소스 간의 전압이 작게 되어 P-채널형 MOS 트랜지스터(5)가 OFF로 된다. 이 때, N-채널형 MOS 트랜지스터(3)의 게이트와 소스 간의 전압이 크게 된다. 그 결과, P-채널형 MOS 트랜지스터(1)에 흐르는 전류는 작게 된다.
- <114> 이 때, 도 8에서, N-채널형 MOS 트랜지스터(3)의 베이스 단자는 그라운드 단자(102)에 접속되어 있다. 그러나, 도 11에 도시된 바와 같이 출력 단자(103)에 접속되어 있어도 된다. 또한, 도 12에 도시된 바와 같이, N-채널형 MOS 트랜지스터(3)의 베이스 단자와 소스 단자는 그라운드 단자(102)에 접속되어 있어도 된다.

도면

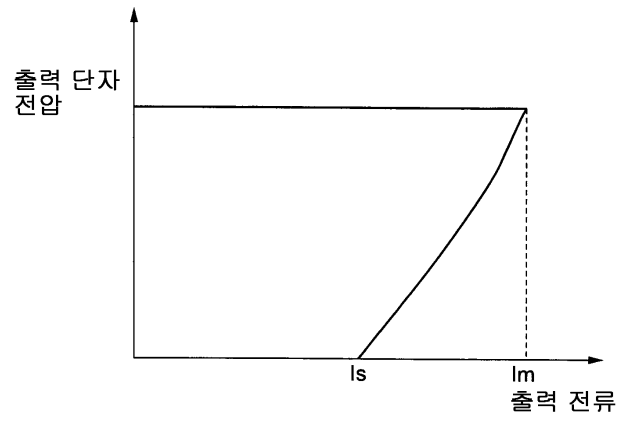
도면1



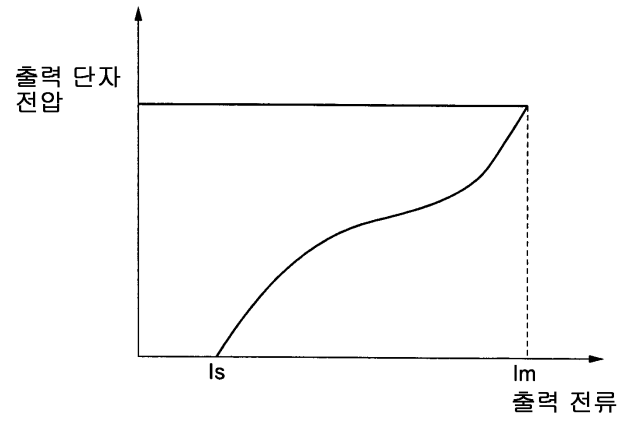
도면2



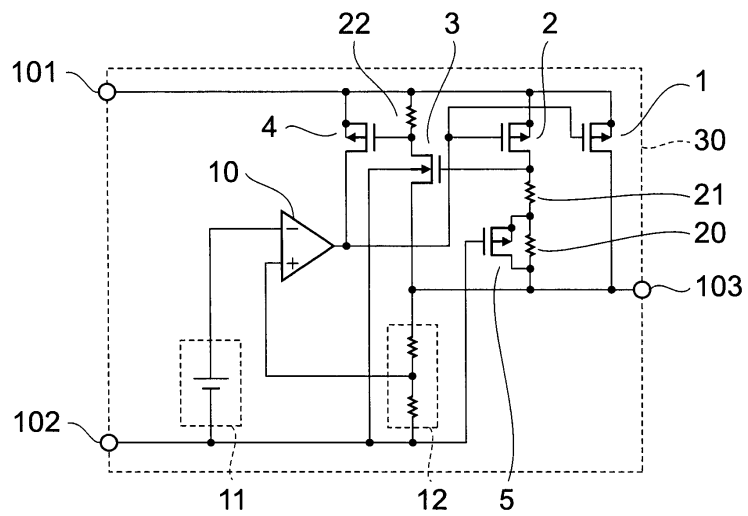
도면3



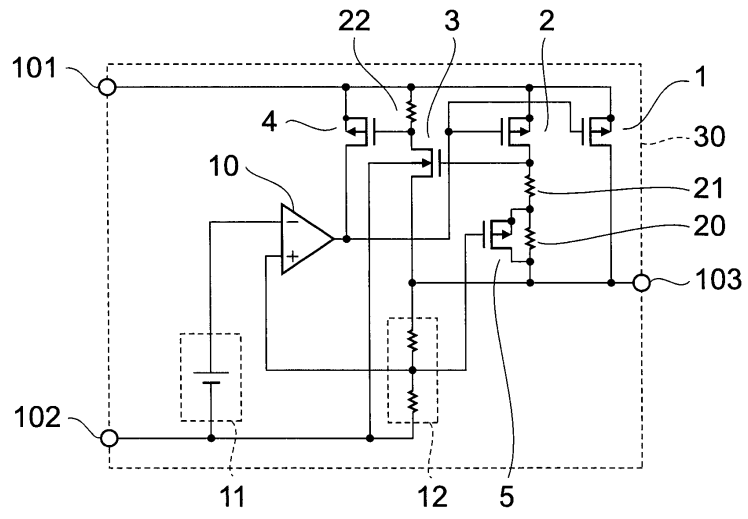
도면4



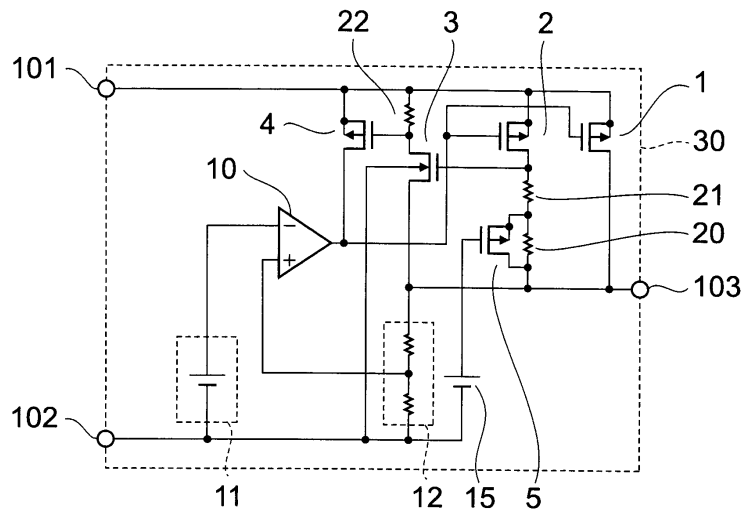
도면5



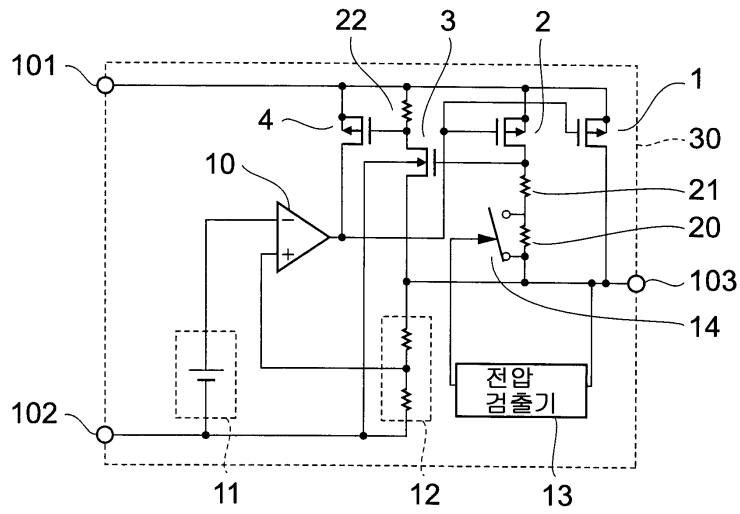
도면6



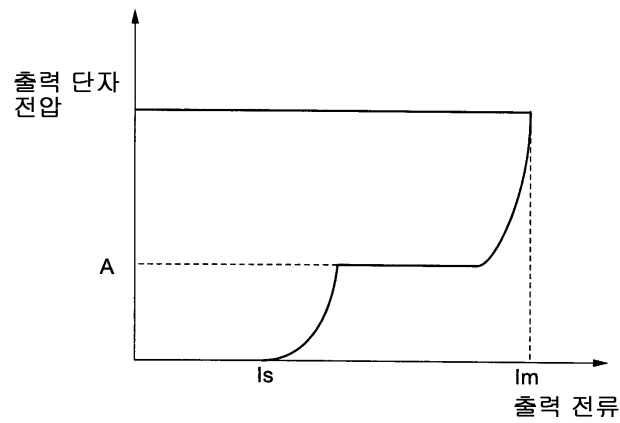
도면7



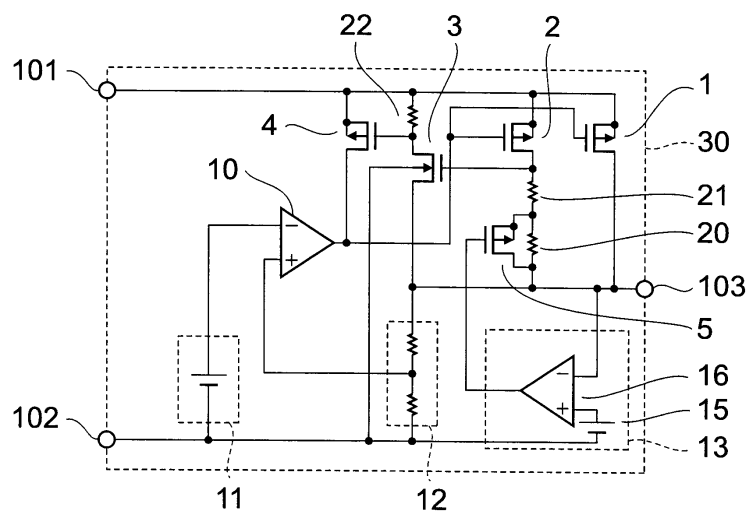
도면8



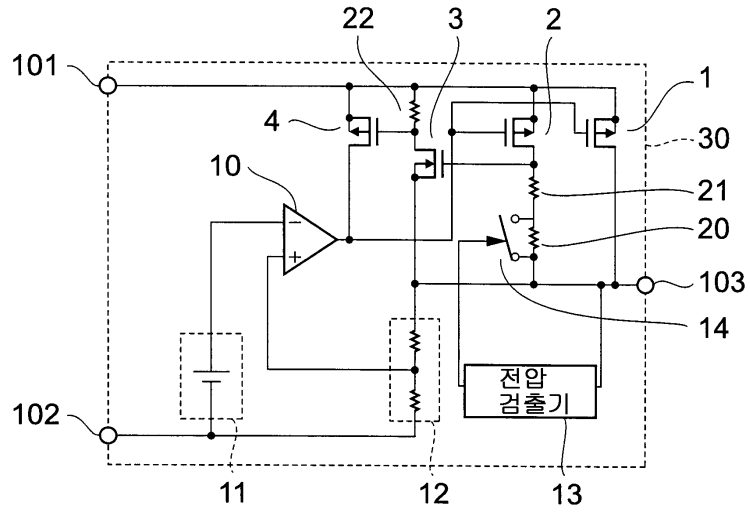
도면9



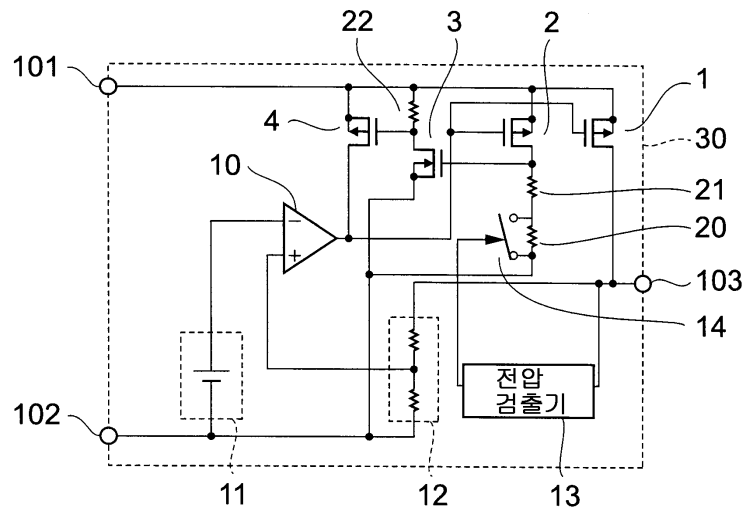
도면10



도면11



도면12



도면13

