

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年7月19日(2007.7.19)

【公開番号】特開2005-352904(P2005-352904A)

【公開日】平成17年12月22日(2005.12.22)

【年通号数】公開・登録公報2005-050

【出願番号】特願2004-174607(P2004-174607)

【国際特許分類】

G 0 6 F 7/58 (2006.01)

G 0 9 C 1/00 (2006.01)

H 0 3 K 3/84 (2006.01)

【F I】

G 0 6 F 7/58 C

G 0 9 C 1/00 6 5 0 B

H 0 3 K 3/84 A

【手続補正書】

【提出日】平成19年5月31日(2007.5.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

Kビットで表現される乱数を発生する乱数発生方法であって、

メモリに保持されているKビットのビット列を予め定められたビットパターンでマスクするマスク工程と、

前記マスク工程でマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記メモリに保持されているKビットのビット列を予め定められた方向にシフトした結果に含める演算工程と、

予め設定されたビットパターン中の指示されたビット値に応じて、前記演算工程によるビット列中の各ビット値の反転/非反転を制御する第1の反転制御工程と、

前記第1の反転制御工程による処理結果のビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする乱数発生方法。

【請求項2】

更に、前記演算工程で演算されたビット列が、ある特定のパターンのビット列であるか否かに応じて、前記予め設定されたビットパターンの反転/非反転を制御する第2の反転制御工程を備えることを特徴とする請求項1に記載の乱数発生方法。

【請求項3】

Kビットで表現される乱数を発生する乱数発生方法であって、

メモリに保持されている(K-1)ビットのビット列を予め定められたビットパターンでマスクするマスク工程と、

前記マスク工程でマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記メモリに保持されている(K-1)ビットのビット列を予め定められた方向にシフトした結果に含める第1の演算工程と、

処理する画素の画像上の位置に応じて、前記予め設定されたビットパターン中のビット値を選択する選択工程と、

処理する画素の画像上の位置に応じて、前記選択工程で選択されたビット値を反転させる処理を制御する反転制御工程と、

前記第1の演算工程によるビット列の先頭に前記反転制御工程での処理結果のビットを付加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする乱数発生方法。

【請求項4】

Kビットで表現される乱数を発生する乱数発生装置であって、

Kビットのビット列を保持するレジスタと、

前記レジスタが保持するビット列を予め定められたビットパターンでマスクするマスク手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトするシフト手段と、

前記マスク手段がマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記シフト手段がシフトした前記レジスタ内のビット列に含める演算手段と、

予め設定されたビットパターン中の指示されたビット値に応じて、前記演算手段によるビット列中の各ビット値を反転させる処理を制御する第1の反転制御手段と、

前記第1の反転制御手段による処理結果のビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする乱数発生装置。

【請求項5】

Kビットで表現される乱数を発生する乱数発生装置であって、

(K-1)ビットのビット列を保持するレジスタと、

前記レジスタが保持するビット列を予め定められたビットパターンでマスクするマスク手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトするシフト手段と、

前記マスク手段がマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記シフト手段がシフトした前記レジスタ内のビット列に含める第1の演算手段と、

前記第1の演算手段によるビット列中の予め定められたビット数分のビット列がある特定のビット列であるか否かに応じて決まるビット値と、予め設定されたビットパターン中の指示されたビット値とに応じて決まるビット値を演算する第2の演算手段と、

前記第1の演算手段で演算されたビット列の先頭に前記第2の演算手段によるビットを付加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする乱数発生装置。

【請求項6】

コンピュータに請求項1乃至3の何れか1項に記載の乱数発生方法を実行させることを特徴とするプログラム。

【請求項7】

請求項6に記載のプログラムを格納したことを特徴とする、コンピュータ読み取り可能な記憶媒体。

【請求項8】

Kビットで表現される乱数を発生する乱数発生装置であって、

Kビットのビット列を保持する第1のレジスタと、

前記レジスタが保持するビット列から予め定められたビット列を選択する第1の選択手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトする第1のシフト手段と、

前記第1の選択手段が選択したビット列に対する排他的論理和演算を行い、当該排他的

論理和演算結果を示すビット値を、前記シフト手段がシフトした前記レジスタ内のビット列に含める第1の演算手段と、

論理和演算結果を示すビット値を、前記第1のシフト手段がシフトした前記第1のレジスタ内のビット列に含める第1の演算手段と、

前記第1の演算手段によるビット列中の予め定められたビット数分のビット列が、ある特定のビット列であるか否かに応じて決まるビット値と、処理する画素の画像上の位置に応じて、前記第1の演算手段によるビット列中の各ビットの値を反転させる処理を制御する反転制御手段と、

前記反転制御手段による処理結果のビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする乱数発生装置。

【請求項9】

Kビットで表現される乱数を発生する乱数発生装置であって、

(K-1)ビットのビット列を保持する第1のレジスタと、

前記レジスタが保持するビット列から予め定められたビット列を選択する第1の選択手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトする第1のシフト手段と、

前記第1の選択手段が選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト手段がシフトした前記第1のレジスタ内のビット列に含める第1の演算手段と、

処理する画素の画像上の位置に応じて、予め設定されたビットパターン中のビット値を選択する選択手段と、

処理する画素の画像上の位置に応じて、前記選択手段により選択されたビットの値を反転させる処理を制御する反転制御手段と、

前記第1の演算手段によるビット列の先頭に前記反転制御手段による処理結果のビットを附加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする乱数発生装置。

【請求項10】

Kビットのビット列を保持する第2のレジスタと、

前記第2のレジスタが保持するビット列から予め定められたビット列を選択する第2の選択手段と、

前記第2のレジスタが保持するビット列を予め定められた方向にシフトする第2のシフト手段と、

前記第2の選択手段が選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第2のシフト手段がシフトした前記第2のレジスタ内のビット列に含める第2の演算手段とを備え、

処理する画像上のライン終端またはライン先頭にて、前記第1のレジスタに前記第2のレジスタの値をロードすることを特徴とする請求項8又は9に記載の乱数発生装置。

【請求項11】

Kビットで表現される乱数を発生する乱数発生方法であって、

メモリに保持されているKビットのビット列から予め定められたビット列を選択する第1の選択工程と、

前記メモリが保持するビット列を予め定められた方向にシフトする第1のシフト工程と、

前記第1の選択工程で選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト工程でシフトした前記メモリ内のビット列に含める第1の演算工程と、

前記第1の演算工程によるビット列中の予め定められたビット数分のビット列が、ある特定のビット列であるか否かに応じて決まるビット値と、処理する画素の画像上の位置に応じて、前記第1の演算工程によるビット列中の各ビットの値を反転させる処理を制御す

る反転制御工程と、

前記反転制御工程による処理結果のビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする乱数発生方法。

【請求項 1 2】

Kビットで表現される乱数を発生する乱数発生方法であって、

メモリに保持されている(K-1)ビットのビット列から予め定められたビット列を選択する第1の選択工程と、

前記メモリが保持するビット列を予め定められた方向にシフトする第1のシフト工程と

、
前記第1の選択工程で選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト工程でシフトした前記メモリ内のビット列に含める第1の演算工程と、

処理する画素の画像上の位置に応じて、予め設定されたビットパターン中のビット値を選択する選択工程と、

処理する画素の画像上の位置に応じて、前記選択工程により選択されたビットの値を反転させる処理を制御する反転制御工程と、

前記第1の演算工程によるビット列の先頭に前記反転制御工程による処理結果のビットを附加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする乱数発生方法。

【請求項 1 3】

メモリが保持するKビットのビット列から予め定められたビット列を選択する第2の選択工程と、

当該メモリが保持するビット列を予め定められた方向にシフトする第2のシフト工程と

、
前記第2の選択工程で選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第2のシフト工程でシフトした当該メモリ内のビット列に含める第2の演算工程とを備え、

処理する画像上のライン終端またはライン先頭にて、前記第1のレジスタに前記第2のレジスタの値をロードすることを特徴とする請求項11又は12に記載の乱数発生方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

すなわち、Kビットで表現される乱数を発生する乱数発生方法であって、

メモリに保持されているKビットのビット列を予め定められたビットパターンでマスクするマスク工程と、

前記マスク工程でマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記メモリに保持されているKビットのビット列を予め定められた方向にシフトした結果に含める演算工程と、

予め設定されたビットパターン中の指示されたビット値に応じて、前記演算工程によるビット列中の各ビット値の反転/非反転を制御する第1の反転制御工程と、

前記第1の反転制御工程による処理結果のビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

すなわち、Kビットで表現される乱数を発生する乱数発生方法であって、

メモリに保持されている（K-1）ビットのビット列を予め定められたビットパターンでマスクするマスク工程と、

前記マスク工程でマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記メモリに保持されている（K-1）ビットのビット列を予め定められた方向にシフトした結果に含める第1の演算工程と、

処理する画素の画像上の位置に応じて、前記予め設定されたビットパターン中のビット値を選択する選択工程と、

処理する画素の画像上の位置に応じて、前記選択工程で選択されたビット値を反転させる処理を制御する反転制御工程と、

前記第1の演算工程によるビット列の先頭に前記反転制御工程での処理結果のビットを付加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

すなわち、Kビットで表現される乱数を発生する乱数発生装置であって、

Kビットのビット列を保持するレジスタと、

前記レジスタが保持するビット列を予め定められたビットパターンでマスクするマスク手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトするシフト手段と、

前記マスク手段がマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記シフト手段がシフトした前記レジスタ内のビット列に含める演算手段と、

予め設定されたビットパターン中の指示されたビット値に応じて、前記演算手段によるビット列中の各ビット値を反転させる処理を制御する第1の反転制御手段と、

前記第1の反転制御手段による処理結果のビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

すなわち、Kビットで表現される乱数を発生する乱数発生装置であって、

（K-1）ビットのビット列を保持するレジスタと、

前記レジスタが保持するビット列を予め定められたビットパターンでマスクするマスク手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトするシフト手段と、

前記マスク手段がマスクしたビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記シフト手段がシフトした前記レジスタ内のビット列

に含める第1の演算手段と、

前記第1の演算手段によるビット列中の予め定められたビット数分のビット列がある特定のビット列であるか否かに応じて決まるビット値と、予め設定されたビットパターン中の指示されたビット値とに応じて決まるビット値を演算する第2の演算手段と、

前記第1の演算手段で演算されたビット列の先頭に前記第2の演算手段によるビットを付加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

すなわち、Kビットで表現される乱数を発生する乱数発生装置であって、

Kビットのビット列を保持する第1のレジスタと、

前記レジスタが保持するビット列から予め定められたビット列を選択する第1の選択手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトする第1のシフト手段と、

前記第1の選択手段が選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト手段がシフトした前記第1のレジスタ内のビット列に含める第1の演算手段と、

前記第1の演算手段によるビット列中の予め定められたビット数分のビット列が、ある特定のビット列であるか否かに応じて決まるビット値と、処理する画素の画像上の位置に応じて、前記第1の演算手段によるビット列中の各ビットの値を反転させる処理を制御する反転制御手段と、

前記反転制御手段による処理結果のビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

すなわち、Kビットで表現される乱数を発生する乱数発生装置であって、

(K-1)ビットのビット列を保持する第1のレジスタと、

前記レジスタが保持するビット列から予め定められたビット列を選択する第1の選択手段と、

前記レジスタが保持するビット列を予め定められた方向にシフトする第1のシフト手段と、

前記第1の選択手段が選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト手段がシフトした前記第1のレジスタ内のビット列に含める第1の演算手段と、

処理する画素の画像上の位置に応じて、予め設定されたビットパターン中のビット値を選択する選択手段と、

処理する画素の画像上の位置に応じて、前記選択手段により選択されたビットの値を反転させる処理を制御する反転制御手段と、

前記第1の演算手段によるビット列の先頭に前記反転制御手段による処理結果のビット

を付加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力手段と

を備えることを特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

すなわち、Kビットで表現される乱数を発生する乱数発生方法であって、メモリに保持されているKビットのビット列から予め定められたビット列を選択する第1の選択工程と、

前記メモリが保持するビット列を予め定められた方向にシフトする第1のシフト工程と、

前記第1の選択工程で選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト工程でシフトした前記メモリ内のビット列に含める第1の演算工程と、

前記第1の演算工程によるビット列中の予め定められたビット数分のビット列が、ある特定のビット列であるか否かに応じて決まるビット値と、処理する画素の画像上の位置に応じて、前記第1の演算工程によるビット列中の各ビットの値を反転させる処理を制御する反転制御工程と、

前記反転制御工程による処理結果のビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

すなわち、Kビットで表現される乱数を発生する乱数発生方法であって、メモリに保持されている(K-1)ビットのビット列から予め定められたビット列を選択する第1の選択工程と、

前記メモリが保持するビット列を予め定められた方向にシフトする第1のシフト工程と、

前記第1の選択工程で選択したビット列に対する排他的論理和演算を行い、当該排他的論理和演算結果を示すビット値を、前記第1のシフト工程でシフトした前記メモリ内のビット列に含める第1の演算工程と、

処理する画素の画像上の位置に応じて、予め設定されたビットパターン中のビット値を選択する選択工程と、

処理する画素の画像上の位置に応じて、前記選択工程により選択されたビットの値を反転させる処理を制御する反転制御工程と、

前記第1の演算工程によるビット列の先頭に前記反転制御工程による処理結果のビットを付加したことにより得られるビット列を、Kビットで表現される乱数として出力する出力工程と

を備えることを特徴とする。