

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-222708
(P2011-222708A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int.Cl.

H01L 27/146 (2006.01)
H01L 27/148 (2006.01)
H04N 5/369 (2011.01)

F 1

H01L 27/14
H01L 27/14
H04N 5/335A
B
690

テーマコード(参考)

4M118
5C024

審査請求 未請求 請求項の数 15 O L (全 28 頁)

(21) 出願番号
(22) 出願日特願2010-89606 (P2010-89606)
平成22年4月8日 (2010.4.8)(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100082131
弁理士 稲本 義雄
(74) 代理人 100121131
弁理士 西川 孝
(72) 発明者 松村 勇佑
東京都港区港南1丁目7番1号 ソニー株
式会社内
(72) 発明者 町田 貴志
東京都港区港南1丁目7番1号 ソニー株
式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の製造方法、および電子機器

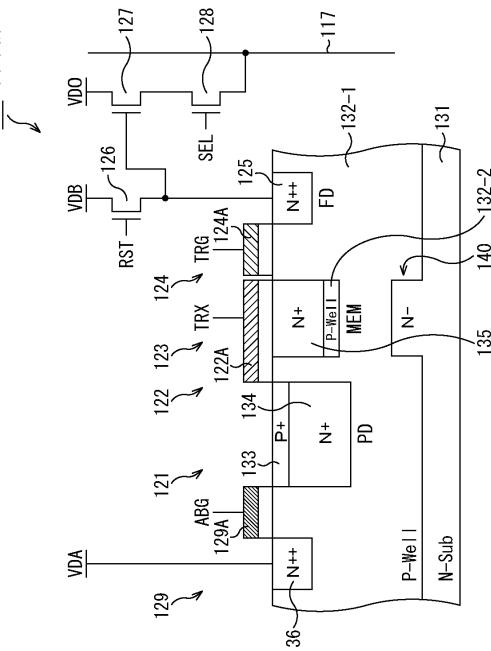
(57) 【要約】

【課題】より効果的にノイズを抑制する。

【解決手段】N型基板131と、N型基板131の表面側に形成される第1のP型ウェル層132-1と、N型の不純物領域からなり、入射される光を電荷に変換するフォトダイオード121と、N型の不純物領域からなり、フォトダイオード121によって変換された電荷を読み出されるまで保持するメモリ部123と、N型の不純物領域からなり、メモリ部123に保持されている電荷を電圧に変換する浮遊拡散領域125と、メモリ部123の下に、N型基板131と第1のP型ウェル層132-1との境界から、表面側の所定の深さまで、N型が凸状に形成された低濃度N型層領域140とを備えて単位画素120が構成される。本発明は、例えば、固体撮像素子に適用できる。

【選択図】図2

図2



【特許請求の範囲】**【請求項 1】**

第1の導電型の基板と、

前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を読み出されるまで保持する前記第1の導電型の電荷保持領域と、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記電荷保持領域に保持されている電荷を電圧に変換する電荷電圧変換領域と、

前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域と

を備える固体撮像素子。

【請求項 2】

前記第1の導電型層領域は、前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下における領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより設けられる

請求項1に記載の固体撮像素子。

10

【請求項 3】

前記第1の導電型層領域は、前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下において、前記第1の導電型の基板の一部と前記第2の導電型によるウェルの一部を介して、第1の導電型の層を形成することにより設けられる

請求項1に記載の固体撮像素子。

20

【請求項 4】

第1の導電型の基板の表面側に第2の導電型によるウェルを形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域をイオン注入することにより形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を読み出されるまで保持する前記第1の導電型の電荷保持領域をイオン注入することにより形成し、

30

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記電荷保持領域に保持されている電荷を電圧に変換する電荷電圧変換領域をイオン注入することにより形成する

ステップを含み、

前記第2の導電型によるウェルを形成する際に、前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下の領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域が設けられる

40

固体撮像素子の製造方法。

【請求項 5】

第1の導電型の基板と、

前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を読み出されるまで保持する前記第1の導電型の電荷保持領域と、

50

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記電荷保持領域に保持されている電荷を電圧に変換する電荷電圧変換領域と、

前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域と

を備える固体撮像素子を有し、

行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、

前記光電変換領域から前記電荷保持領域に電荷を転送する転送ゲートにより転送された前記電荷を順次読み出す

電子機器。

10

【請求項6】

第1の導電型の基板と、

前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を電圧に変換する電荷電圧変換領域と、

前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域と

20

を備える固体撮像素子。

【請求項7】

前記第1の導電型層領域は、前記電荷電圧変換領域の少なくとも一部の下における領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより設けられる

請求項6に記載の固体撮像素子。

【請求項8】

前記第1の導電型層領域は、前記電荷電圧変換領域の少なくとも一部の下において、前記第1の導電型の基板の一部と前記第2の導電型によるウェルの一部を介して、第1の導電型の層を形成することにより設けられる

30

請求項6に記載の固体撮像素子。

【請求項9】

第1の導電型の基板の表面側に第2の導電型によるウェルを形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域をイオン注入することにより形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を電圧に変換する電荷電圧変換領域をイオン注入することにより形成する

ステップを含み、

前記第2の導電型によるウェルを形成する際に、前記電荷電圧変換領域の少なくとも一部の下の領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域が設けられる

40

固体撮像素子の製造方法。

【請求項10】

第1の導電型の基板と、

前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、

50

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を電圧に変換する電荷電圧変換領域と、

前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域と

を備える固体撮像素子を有し、

行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、

前記光電変換領域から前記電荷電圧変換領域に電荷を転送する転送ゲートにより転送された前記電荷を順次読み出す

電子機器。

10

【請求項11】

第1の導電型の基板と、

前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を一旦読み出して転送するための第1の転送手段と、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、電荷を電圧に変換する電荷電圧変換手段に、前記第1の転送手段により転送された電荷を転送する第2の転送手段と、

20

前記第1の転送手段および前記第2の転送手段の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域と

を備える固体撮像素子。

【請求項12】

前記第1の導電型層領域は、前記第1の転送手段および前記第2の転送手段の少なくとも一部の下における領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより設けられる

請求項11に記載の固体撮像素子。

30

【請求項13】

前記第1の導電型層領域は、前記第1の転送手段および前記第2の転送手段の少なくとも一部の下において、前記第1の導電型の基板の一部と前記第2の導電型によるウェルの一部を介して、第1の導電型の層を形成することにより設けられる

請求項11に記載の固体撮像素子。

【請求項14】

第1の導電型の基板の表面側に第2の導電型によるウェルを形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域をイオン注入することにより形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を一旦読み出して転送するための第1の転送手段をイオン注入することにより形成し、

前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、電荷を電圧に変換する電荷電圧変換手段に、前記第1の転送手段により転送された電荷を転送する第2の転送手段をイオン注入することにより形成する

40

ステップを含み、

前記第2の導電型によるウェルを形成する際に、前記第1の転送手段および前記第2の転送手段の少なくとも一部の下の領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第

50

1 の導電型層領域が設けられる
固体撮像素子の製造方法。

【請求項 1 5】

第 1 の導電型の基板と、

前記第 1 の導電型の基板の表面側に形成される第 2 の導電型によるウェルと、

前記第 2 の導電型によるウェルに形成される第 1 の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、

前記第 2 の導電型によるウェルに形成される第 1 の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を一旦読み出して転送するための第 1 の転送手段と、

前記第 2 の導電型によるウェルに形成される第 1 の導電型の不純物領域からなり、電荷を電圧に変換する電荷電圧変換手段に、前記第 1 の転送手段により転送された電荷を転送する第 2 の転送手段と、

前記第 1 の転送手段および前記第 2 の転送手段の少なくとも一部の下に、前記第 1 の導電型の基板と前記第 2 の導電型によるウェルとの境界から、表面側の所定の深さまで、第 1 の導電型が凸状に形成された第 1 の導電型層領域と

を備える固体撮像素子を有し、

行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、

前記第 1 の転送ゲートにより転送された前記電荷を順次読み出す

電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、固体撮像装置、固体撮像装置の製造方法、および電子機器に関し、特に、より効果的にノイズを抑制することができるようとした固体撮像装置、固体撮像装置の製造方法、および電子機器に関する。

【背景技術】

【0 0 0 2】

近年、ビデオカメラや電子スチルカメラなどでは、画像を撮像する固体撮像素子として、CCD (Charge Coupled Device) やCMOS(Complementary Metal Oxide Semiconductor)イメージセンサが用いられている。特に、CMOSイメージセンサは、低消費電力という点でCCDより優れた特長を有している。

【0 0 0 3】

従来、CMOSイメージセンサが有する各画素は、例えば、フォトダイオード、転送ゲート、フロー・ティングディフュージョン、リセットトランジスタ、増幅トランジスタ、および選択トランジスタを備えて構成されている。そして、各画素では、光電変換部としてのフォトダイオードにおいて生成されて蓄積された信号電荷をフロー・ティングディフュージョンに転送して増幅トランジスタを介して読み出す、読み出し動作が行われる。

【0 0 0 4】

ところで、CMOSイメージセンサでは、画素アレイの行ごとに読み出し動作が行われるため、全ての画素において信号電荷の蓄積期間を一致させることができず、被写体が動いている場合などに撮像画像に歪みが生じる。例えば、上下方向にまっすぐな物が横方向に動いているのを撮影した場合に、それが傾いているように写ることになる。

【0 0 0 5】

このような像に歪みが生じることを回避するために、各画素の露光期間が一致するようなCMOSイメージセンサの全画素同時電子シャッタが開発されている。全画素同時電子シャッタとは、撮像に有効な全ての画素について同時に露光を開始し、同時に露光を終了する動作を行うものであり、グローバルシャッタ (グローバル露光) とも呼ばれる。

【0 0 0 6】

CMOSイメージセンサにおけるグローバルシャッタを実現させる方法として、例えば、各

10

20

30

40

50

画素におけるフォトダイオードとフローディングディフュージョンとの間に、メモリ部を設ける方法がある。メモリ部を有する画素を備えたCMOSイメージセンサでは、例えば、全画素を同時に露光した後、それぞれのフォトダイオードで生成された信号電荷が全画素同時にメモリ部に転送されて、メモリ部で一旦蓄積される。そして、メモリ部に蓄積されている信号電荷が、所定の読み出しタイミングでフローディングディフュージョンに転送され、電圧に変換されて出力される。

【0007】

ところで、例えば、フォトダイオードに光を入射させる開口部からメモリ部の下方に向かって斜めに光が入射した場合、メモリ部の下方の比較的に深い領域において光電変換により発生した電荷のうちの一部が、フォトダイオードに導入されず、メモリ部に入ってしまうことがある。このようにメモリ部に入った電荷は、フォトダイオードから転送された信号電荷と同様に読み出されてしまう。このように、フォトダイオードから転送されない電荷はノイズとして作用し、以下、メモリ部の下方の比較的に深い領域において光電変換により発生した電荷がメモリ部に入ることにより生じる出力をノイズと称する。

10

【0008】

また、通常、多段打ちで形成されるP型ウェルのなかでも最深部に位置するP型ウェルの存在によって、メモリ部の接合位置から最深部に位置するP型ウェルの間に電界の弱い領域が形成されてしまう。そして、このような電界の弱い領域内において光電変換によって発生した電子が、高い確率でメモリ部側へと拡散する結果、ノイズが増加する要因となる。

20

【0009】

そこで、ノイズの増加を抑制するために、N型のメモリ部（電荷格納部）の下に、P型ウェルの一部を介して、P型ウェルの不純物濃度よりも不純物濃度が高く設定されたP型の層が配置された画素構造の固体撮像装置が提案されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2008-4692号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、上述の特許文献1に開示されている固体撮像装置のような構造では、メモリ部とP型の層との間のP型ウェルにおける光電変換によって発生した電荷がメモリ部に入ってしまうことがある。このため、この電荷がノイズとして作用してしまうので、より効果的にノイズを抑制する画素構造が求められている。

【0012】

本発明は、このような状況に鑑みてなされたものであり、より効果的にノイズを抑制することができるようとするものである。

【課題を解決するための手段】

【0013】

本発明の第1の側面の固体撮像素子は、第1の導電型の基板と、前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を読み出されるまで保持する前記第1の導電型の電荷保持領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記電荷保持領域に保持されている電荷を電圧に変換する電荷電圧変換領域と、前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで

40

50

、第1の導電型が凸状に形成された第1の導電型層領域とを備える。

【0014】

本発明の第2の側面の固体撮像素子の製造方法は、第1の導電型の基板の表面側に第2の導電型によるウェルを形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域をイオン注入することにより形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を読み出されるまで保持する前記第1の導電型の電荷保持領域をイオン注入することにより形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記電荷保持領域に保持されている電荷を電圧に変換する電荷電圧変換領域をイオン注入することにより形成するステップを含み、前記第2の導電型によるウェルを形成する際に、前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下の領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域が設けられる。

10

【0015】

本発明の第3の側面の電子機器は、第1の導電型の基板と、前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を読み出されるまで保持する前記第1の導電型の電荷保持領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記電荷保持領域に保持されている電荷を電圧に変換する電荷電圧変換領域と、前記電荷保持領域および前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域とを備える固体撮像素子を有し、行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、前記光電変換領域から前記電荷保持領域に電荷を転送する転送ゲートにより転送された前記電荷を順次読み出す。

20

【0016】

30

本発明の第4の側面の固体撮像素子は、第1の導電型の基板と、前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を電圧に変換する電荷電圧変換領域と、前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域とを備える。

【0017】

40

本発明の第5の側面の固体撮像素子の製造方法は、第1の導電型の基板の表面側に第2の導電型によるウェルを形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域をイオン注入することにより形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を電圧に変換する電荷電圧変換領域をイオン注入することにより形成するステップを含み、前記第2の導電型によるウェルを形成する際に、前記電荷電圧変換領域の少なくとも一部の下の領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域が設けられる。

【0018】

50

本発明の第6の側面の電子機器は、第1の導電型の基板と、前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を電圧に変換する電荷電圧変換領域と、前記電荷電圧変換領域の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域とを備える固体撮像素子を有し、行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、前記光電変換領域から前記電荷電圧変換領域に電荷を転送する転送ゲートにより転送された前記電荷を順次読み出す。

10

【0019】

本発明の第7の側面の固体撮像素子は、第1の導電型の基板と、前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を一旦読み出して転送するための第1の転送手段と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、電荷を電圧に変換する電荷電圧変換手段に、前記第1の転送手段により転送された電荷を転送する第2の転送手段と、前記第1の転送手段および前記第2の転送手段の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域とを備える。

20

【0020】

本発明の第8の側面の固体撮像素子の製造方法は、第1の導電型の基板の表面側に第2の導電型によるウェルを形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域をイオン注入することにより形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を一旦読み出して転送するための第1の転送手段をイオン注入することにより形成し、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、電荷を電圧に変換する電荷電圧変換手段に、前記第1の転送手段により転送された電荷を転送する第2の転送手段をイオン注入することにより形成するステップを含み、前記第2の導電型によるウェルを形成する際に、前記第1の転送手段および前記第2の転送手段の少なくとも一部の下の領域以外の領域に、最下層に配置される前記第2の導電型によるウェルが形成されることにより、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域が設けられる。

30

【0021】

本発明の第9の側面の電子機器は、第1の導電型の基板と、前記第1の導電型の基板の表面側に形成される第2の導電型によるウェルと、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、入射される光を電荷に変換する光電変換領域と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、前記光電変換領域によって変換された電荷を一旦読み出して転送するための第1の転送手段と、前記第2の導電型によるウェルに形成される第1の導電型の不純物領域からなり、電荷を電圧に変換する電荷電圧変換手段に、前記第1の転送手段により転送された電荷を転送する第2の転送手段と、前記第1の転送手段および前記第2の転送手段の少なくとも一部の下に、前記第1の導電型の基板と前記第2の導電型によるウェルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域とを備える固体撮像素子を有し、行列状に配置された複数行の単位画素が同時に前記電荷の蓄積を行い、前記第1の転送ゲートにより転送された前記電荷を順次読み出す。

40

【0022】

50

本発明の第1乃至第9の側面においては、第1の導電型の基板と第2の導電型によるウエルとの境界から、表面側の所定の深さまで、第1の導電型が凸状に形成された第1の導電型層領域が設けられる。

【発明の効果】

【0023】

本発明の第1乃至第9の側面によれば、より効果的にノイズを抑制することができる。

【図面の簡単な説明】

【0024】

【図1】本発明を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

10

【図2】単位画素の構成を示す図である。

【図3】単位画素の第1の構成の平面図である。

【図4】単位画素の第1の構成の模式断面図およびポテンシャル図である。

【図5】ノイズの発生について説明する図である。

【図6】単位画素の模式断面図である。

【図7】単位画素の製造プロセスについて説明する図である。

【図8】単位画素の模式断面図である。

【図9】単位画素の第2の構成の模式断面図である。

【図10】単位画素の製造プロセスについて説明する図である。

20

【図11】単位画素の第3の構成について説明する図である。

【図12】単位画素の第4の構成について説明する図である。

【図13】単位画素のその他の第1構成例を示す図である。

【図14】単位画素のその他の第2構成例を示す図である。

【図15】単位画素のその他の第3構成例を示す図である。

【図16】単位画素のその他の第4構成例を示す図である。

【図17】単位画素のその他の第5構成例を示す図である。

【図18】本発明を適用した電子機器の一実施の形態の構成例を示すブロック図である。

【発明を実施するための形態】

【0025】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

30

【0026】

図1は、本発明を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

【0027】

【固体撮像素子の構成例】

図1は、本発明が適用される固体撮像素子としてのCMOSイメージセンサの構成例を示すブロック図である。

【0028】

CMOSイメージセンサ100は、画素アレイ部111、垂直駆動部112、カラム処理部113、水平駆動部114、およびシステム制御部115を含んで構成される。画素アレイ部111、垂直駆動部112、カラム処理部113、水平駆動部114、およびシステム制御部115は、図示せぬ半導体基板(チップ)上に形成されている。

40

【0029】

画素アレイ部111には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素(図2の単位画素120)が行列状に2次元配置されている。なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

【0030】

画素アレイ部111にはさらに、行列状の画素配列に対して行ごとに画素駆動線116

50

が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直信号線 117 が図の上下方向（画素列の画素の配列方向）に沿って形成されている。図 1 では、画素駆動線 116 について 1 本として示しているが、1 本に限られるものではない。画素駆動線 116 の一端は、垂直駆動部 112 の各行に対応した出力端に接続されている。

【0031】

CMOS イメージセンサ 100 はさらに、信号処理部 118 およびデータ格納部 119 を備えている。信号処理部 118 およびデータ格納部 119 については、CMOS イメージセンサ 100 とは別の基板に設けられる外部信号処理部、例えば DSP (Digital Signal Processor) やソフトウェアによる処理でも構わないし、CMOS イメージセンサ 100 と同じ基板上に搭載しても構わない。

10

【0032】

垂直駆動部 112 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 111 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部 112 は、その具体的な構成については図示を省略するが、一般的に、読み出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。

【0033】

読み出し走査系は、単位画素から信号を読み出すために、画素アレイ部 111 の単位画素を行単位で順に選択走査する。掃出し走査系は、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタースピードの時間分だけ先行して掃出し走査を行う。

20

【0034】

この掃出し走査系による掃出し走査により、読み出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

【0035】

読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素における光電荷の蓄積時間（露光時間）となる。

30

【0036】

垂直駆動部 112 によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線 117 の各々を通してカラム処理部 113 に供給される。カラム処理部 113 は、画素アレイ部 111 の画素列ごとに、選択行の各単位画素から垂直信号線 117 を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0037】

具体的には、カラム処理部 113 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS (Correlated Double Sampling; 相関二重サンプリング) 処理を行う。このカラム処理部 113 による CDS 処理により、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部 113 にノイズ除去処理以外に、例えば、AD (アナログ - デジタル) 変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

40

【0038】

水平駆動部 114 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 113 の画素列に対応する単位回路を順番に選択する。この水平駆動部 114 による選択走査により、カラム処理部 113 で信号処理された画素信号が順番に信号処理部 118 に出力される。

50

【0039】

システム制御部115は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部112、カラム処理部113および水平駆動部114などの駆動制御を行う。

【0040】

信号処理部118は、少なくとも加算処理機能を有し、カラム処理部113から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部119は、信号処理部118での信号処理に当たって、その処理に必要なデータを一時的に格納する。

【0041】

[単位画素の構造]

10

次に、画素アレイ部111に行列状に配置されている単位画素120の具体的な構造について説明する。単位画素120は、浮遊拡散領域(容量)とは別に、光電変換素子から転送される光電荷を保持する電荷保持領域(以下、「メモリ部」と記述する)を有している。

【0042】

図2は、単位画素120の構成を示す図である。

【0043】

20

単位画素120は、光電変換素子として例えばフォトダイオード(PD)121を有している。フォトダイオード121は、例えば、N型基板131に形成された第1のP型ウェル層132-1に対して、P型層133(P+)を基板表面側に形成してN型埋め込み層134(N+)を埋め込むことによって形成される埋め込み型フォトダイオードである。本実施の形態では、N型を第1の導電型、P型を第2の導電型とする。また、本実施の形態では、N-, N, N+, N++の順にN型の不純物濃度が濃いことを表しており、同様に、P, P+の順にN型の不純物濃度が濃いことを表している。

【0044】

単位画素120は、フォトダイオード121に加えて、第1転送ゲート122、メモリ部(MEM)123、第2転送ゲート124および浮遊拡散領域(FD: Floating Diffusion)125を有する。

【0045】

30

第1転送ゲート122は、フォトダイオード121で光電変換され、その内部に蓄積された電荷を、ゲート電極122Aに転送パルスTRXが印加されることによって転送する。メモリ部123は、ゲート電極122Aの下に形成されたN型の埋め込みチャネル135(N+)によって形成され、第1転送ゲート122によってフォトダイオード121から転送された電荷を保持する。メモリ部123が埋め込みチャネル135によって形成されていることで、基板界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

【0046】

40

このメモリ部123において、その上部にゲート電極122Aを配置し、そのゲート電極122Aに転送パルスTRXを印加することでメモリ部123に変調をかけることができる。すなわち、ゲート電極122Aに転送パルスTRXが印加されることで、メモリ部123のポテンシャルが深くなる。これにより、メモリ部123の飽和電荷量を、変調を掛けない場合よりも増やすことができる。

【0047】

第2転送ゲート124は、メモリ部123に保持された電荷を、ゲート電極124Aに転送パルスTRGが印加されることによって転送する。浮遊拡散領域125は、N型層(N++)からなる電荷電圧変換部であり、第2転送ゲート124によってメモリ部123から転送された電荷を電圧に変換する。

【0048】

単位画素120はさらに、リセットトランジスタ126、増幅トランジスタ127および選択トランジスタ128を有している。リセットトランジスタ126、増幅トランジス

50

タ127および選択トランジスタ128は、図2の例では、NチャネルのMOSトランジスタを用いている。しかし、図2で例示したリセットトランジスタ126、増幅トランジスタ127および選択トランジスタ128の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0049】

リセットトランジスタ126は、電源VDBと浮遊拡散領域125との間に接続されており、ゲート電極にリセットパルスRSTが印加されることによって浮遊拡散領域125をリセットする。増幅トランジスタ127は、ドレイン電極が電源VDOに接続され、ゲート電極が浮遊拡散領域125に接続されており、浮遊拡散領域125の電圧を読み出す。

10

【0050】

選択トランジスタ128は、例えば、ドレイン電極が増幅トランジスタ127のソース電極に、ソース電極が垂直信号線117にそれぞれ接続されており、ゲート電極に選択パルスSELが印加されることで、画素信号を読み出すべき単位画素120を選択する。なお、選択トランジスタ128については、電源VDOと増幅トランジスタ127のドレイン電極との間に接続した構成を探ることも可能である。

【0051】

リセットトランジスタ126、増幅トランジスタ127および選択トランジスタ128については、その一つあるいは複数を画素信号の読み出し方法によって省略したり、複数の画素間で共有したりすることも可能である。

20

【0052】

単位画素120はさらに、フォトダイオード121の蓄積電荷を排出するための電荷排出部129を有している。この電荷排出部129は、露光開始時にゲート電極129Aに制御パルスABGが印加されることで、フォトダイオード121の電荷をN型層のドレイン部136(N++)に排出する。電荷排出部129はさらに、露光終了後の読み出し期間中にフォトダイオード121が飽和して電荷が溢れるのを防ぐ作用をなす。ドレイン部136には、所定の電圧VDAが印加されている。

【0053】

そして、単位画素120はさらに、メモリ部123の直下に第2のP型ウェル層132-2が形成されるとともに、メモリ部123下の深い領域の一部においてN型基板131の一部が上に凸となるような低濃度N型層領域140(N-)が形成されている。第2のP型ウェル層132-2および低濃度N型層領域140については、図3および図4を参照して後述する。

30

【0054】

[メモリ部123のゲート電極の電位]

ここで、電荷保持領域としてのメモリ部123のゲート電極、即ち、第1転送ゲート122のゲート電極122Aの電位について説明する。

【0055】

本実施形態においては、電荷保持領域としてのメモリ部123のゲート電極の電位が、第1転送ゲート122および第2転送ゲート124のうち少なくともいずれか、たとえば第1転送ゲート122を非導通状態とする期間に、ピニング状態とする電位に設定される。

40

より具体的には、第1転送ゲート122若しくは第2転送ゲート124のいずれか一方、または両方を非導通状態とする際に、ゲート電極122A, 124Aに印加する電圧が、ゲート電極直下のSi表面にキャリアを蓄積できるピニング状態となるように設定される。

【0056】

本実施形態のように、転送ゲートを形成するトランジスタがN型の場合、第1転送ゲート122を非導通状態とする際に、ゲート電極122Aに印加する電圧が第1のP型ウェル層132-1に対しグランドGNDよりも負電位となる電圧に設定される。なお、図示

50

しないが、転送ゲートを形成するトランジスタがP型である場合、P型ウェル層がN型ウェル層となり、このN型ウェル層に対して電源電圧VDDよりも高い電圧に設定される。

【0057】

第1転送ゲート122を非導通状態とする際に、ゲート電極122Aに印加する電圧を、ゲート電極直下のSi表面にキャリアを蓄積できるピニング状態となるような電圧に設定する理由は以下の通りである。

【0058】

第1転送ゲート122のゲート電極122Aの電位を、第1のP型ウェル層132-1に対して同電位（例えば0V）とすると、Si表面の結晶欠陥から発生するキャリアがメモリ部123に蓄積され、暗電流となり画質を劣化させるおそれがある。このため、本実施形態においては、メモリ部123上に形成されるゲート電極122Aのオフ（OFF）電位を、第1のP型ウェル層132-1に対して負電位、例えば-2.0Vとする。これにより、本実施形態においては、電荷保持期間中はメモリ部123のSi表面に正孔（ホール：Hole）を発生させ、Si表面で発生した電子（エレクトロン：Electron）を再結合させることができ、その結果、暗電流を低減することが可能である。

10

【0059】

なお、図2の構成においては、メモリ部123の端部に、第2転送ゲート124のゲート電極124Aが存在することから、このゲート電極124Aも負電位とすることで、メモリ部123の端部で発生す暗電流を同様に抑えることが可能である。

20

【0060】

CMOSイメージセンサ100は、全画素同時に露光を開始し、全画素同時に露光を終了し、フォトダイオード121に蓄積された電荷を、遮光されたメモリ部123および浮遊拡散領域125へ順次転送することで、グローバル露光を実現する。このグローバル露光により、全画素一致した露光期間による歪みのない撮像が可能となる。

30

【0061】

なお、本実施の形態での全画素とは、画像に現れる部分の画素の全てということであり、ダミー画素などは除外される。また、時間差や画像の歪みが問題にならない程度に十分小さければ、全画素同時の動作の代わりに複数行（例えば、数十行）ずつに高速に走査するものも含まれる。また、画像に表れる部分の画素の全てでなく、所定領域の複数行の画素に対してグローバル露光を行う場合でも本発明は適用可能である。

30

【0062】

次に、図3は、単位画素120の構成を示す平面図である。

【0063】

図3では、埋め込みチャネル135、第2のP型ウェル層132-2、および低濃度N型層領域140が形成されている領域が破線で示されている。即ち、埋め込みチャネル135、第2のP型ウェル層132-2、および低濃度N型層領域140は、平面的に見て重なり合う位置に配置されている。

40

【0064】

次に、図4を参照して、単位画素120の断面構造およびポテンシャル状態について説明する。

【0065】

図4Aには、図3に示されている破線の矢印A-A'に沿った単位画素120の断面図が示されており、図4Bには、図4Aに示されている破線の矢印B-B'に沿ったポテンシャルが示されている。

【0066】

図4Aに示すように、第2のP型ウェル層132-2は、メモリ部123を構成する埋め込みチャネル135の底面に接するように形成されている。低濃度N型層領域140は、N型基板131のN型の不純物濃度よりもN型の不純物濃度が低い領域である。また、低濃度N型層領域140は、メモリ部123下の深い領域の一部において、メモリ部123下における第1のP型ウェル層132-1とN型基板131との境界から深さZ2だけ

50

浅い位置まで形成されている。

【0067】

なお、図4Aに示すように、フォトダイオード121に光を導入する開口部以外の各部は、遮光膜150により覆われてあり、遮光膜150と、基板表面や各電極などとの間には、図示しない絶縁膜が形成されている。また、図示しないが、遮光膜150は、開口部以外の箇所、例えば、各ゲートトランジスタや浮遊拡散領域125、ドレイン部136などに対するコンタクトに対応する箇所においても開口している。

【0068】

そして、単位画素120では、第1のP型ウェル層132-1および低濃度N型層領域140が形成されることにより、メモリ部123下におけるポテンシャル分布が、図4Bに示すように変更される。

【0069】

即ち、図4Bに示すように、N型基板131の深い領域からメモリ部123下の接合位置に向かうに従いポテンシャルが高くなるような電界が形成される。その結果、メモリ部123の深い領域において光電変換によって発生した電子qがN型基板131の方向へ排出されることになり、電荷qがメモリ部123に流れ込むことが防止される。これにより、ノイズを抑制することができる。

【0070】

ここで、図5を参照して、従来の単位画素120'、即ち、第1のP型ウェル層132-1および低濃度N型層領域140が設けられていない構成の画素において発生するノイズについて説明する。

【0071】

図5Aには、単位画素120'の断面図が示されており、図5Bには、図5Aに示されている破線の矢印C-C'に沿ったポテンシャルが示されており、図5Cには、図5Aに示されている破線の矢印D-D'に沿ったポテンシャルが示されている。

【0072】

図5に示すように、P型ウェル層132において、ポテンシャルが平坦になっているため、電荷qがどちら側にも移動することができ、メモリ部123に電荷qが流入してしまい、ノイズが発生する。

【0073】

これに対し、本実施の形態の単位画素120では、図4Bに示したようにポテンシャルが形成されるので、電荷qがN型基板131側に流入するのでノイズの発生を抑制することができる。

【0074】

また、単位画素120の構造では、フォトダイオード121およびメモリ部123が他の部分と接続され、短絡してしまう心配もない。例えば、上述の特許文献1に開示されている構造（特許文献1の図8参照）のように、電荷排出領域に接続されたN型層をフォトダイオードおよびメモリ部の下にP型ウェル層の一部を介して配置した場合、そのN型層とフォトダイオードおよびメモリ部とが接続され、短絡する恐れがある。これに対し、単位画素120では、このようなN型層を設けることなく、メモリ部123の下方の領域において発生した電荷qがメモリ部123に流入することを防止することができるので、上述のような短絡を心配する必要はない。

【0075】

次に、単位画素120の製造方法について説明する。

【0076】

例えば、単位画素120の基板では、N型のシリコン基板にP型の不純物を注入することにより、P型ウェル層が形成される。このため、低濃度N型層領域140を形成するには、低濃度N型層領域140が形成される領域以外の領域に、P型の不純物を注入して深さZ2のP型ウェル層を形成し、その後、全面にP型の不純物を注入することにより製造することができる。

10

20

30

40

50

【0077】

即ち、図6に示すように、低濃度N型層領域140が形成される深さZ2の範囲に、第3のP型ウェル層132-3が形成されることにより、第3のP型ウェル層132-3が形成されなかった領域が低濃度N型層領域140となる。このような構造の場合、リソグラフィ時におけるP型ウェル層の最深部に位置する第3のP型ウェル層132-3のマスク形状を、通常のP型ウェル層を形成する際のマスク形状から変更し、メモリ部123下における最深部のP型ウェル層が形成されないようにすればよい。

【0078】

なお、第3のP型ウェル層132-3が形成されない領域は、平面的に見てメモリ部123に一致していなくてもよく、例えば、メモリ部123下の領域のうち、フォトダイオード121側以外の方向に、メモリ部123の下からはみ出していてもよい。なお、第3のP型ウェル層132-3が形成されない領域が、フォトダイオード121側にはみ出していた場合には、フォトダイオード121下の深い領域において光電変換によって発生した電荷がN型基板131側に排出され易くなる恐れがある。このため、第3のP型ウェル層132-3が形成されない領域が、フォトダイオード121側にはみ出さないようにすることが好ましい。

10

【0079】

次に、図7を参照して、単位画素120の製造プロセスについて説明する。

【0080】

第1の工程において、図7Aに示すように、第1のP型ウェル層132-1および第3のP型ウェル層132-3を形成する処理が行われる。

20

【0081】

即ち、低濃度N型層領域140が設けられる範囲が覆われるように形成されたマスクを用い、N型の基板に対してP型不純物をイオン注入して、P型ウェル層を形成する層の最下層に厚さZ2のP型ウェル層132-3を形成する。また、通常のマスク（従来と同様のP型ウェル層を形成するためのマスク）を用い、N型の基板に対してP型不純物をイオン注入して、第1のP型ウェル層132-1を形成する。

【0082】

これにより、第3のP型ウェル層132-3が形成されなかった領域が低濃度N型層領域140となる。また、低濃度N型層領域140では、第1のP型ウェル層132-1側の影響を受け、N型基板131よりもN型不純物の濃度が低くなる。

30

【0083】

第2の工程において、図7Bに示すように、第2のP型ウェル層132-2およびN型の埋め込みチャネル135を形成する処理が行われる。

【0084】

即ち、第2のP型ウェル層132-2およびN型の埋め込みチャネル135が形成される領域のみが開口しているマスクを用いて、P型不純物をイオン注入して、第1のP型ウェル層132-1よりもP型不純物の濃度が濃い第2のP型ウェル層132-2を形成する。また、同一のマスクを使用して、P型不純物をイオン注入して、埋め込みチャネル135を形成する。このように、第2のP型ウェル層132-2およびN型の埋め込みチャネル135は、同一のマスクを使用して形成される。

40

【0085】

第3の工程において、図7Cに示すように、基板上にゲート電極122A、ゲート電極124A、およびゲート電極129Aが形成される。第4の工程において、基板表面に、フォトダイオード121、浮遊拡散領域125、および電荷排出部129が形成される。その後、フォトダイオード121の開口部が形成されるように、基板上に絶縁膜を介して遮光膜150を成膜することで、図6に示したような単位画素120が製造される。

【0086】

ここで、通常、N型のシリコン基板にP型の不純物を注入してP型ウェル層を形成する際には、一度にP型ウェル層が形成されるのではなく、複数回に別けて、多段でP型ウェ

50

ル層が形成される。図6に示したように、低濃度N型層領域140が設けられる深さの範囲Z2において、第3のP型ウェル層132-3が1段で形成されるようとする他、低濃度N型層領域140が設けられる深さの範囲Z2において、P型ウェル層が多段で形成されていてもよい。

【0087】

例えば、図8に示すように、低濃度N型層領域140が形成される深さZ2の範囲に、第3のP型ウェル層132-3および第4のP型ウェル層132-4が形成されることにより、第3のP型ウェル層132-3および第4のP型ウェル層132-4が形成されなかつた領域が低濃度N型層領域140となる。これにより、メモリ部123下の深い領域から基板表面方向に電界が形成され、メモリ部123下の深い領域において光電変換によって発生した電荷を基板側へ排出することができる。その結果、ノイズを抑制することができる。

10

【0088】

なお、図8には、2層の第3のP型ウェル層132-3および第4のP型ウェル層132-4が形成される例を示したが、低濃度N型層領域140を形成する目的であれば、深さZ2の範囲に、2層以上の多層のP型ウェル層を形成してもよい。

【0089】

次に、図9は、単位画素120の第2の構成の模式断面図である。

【0090】

図9に示すように、単位画素120は、P型ウェル層の最下層である第3のP型ウェル層132-3のうち、メモリ部123下における領域の一部にN型層141が形成された構造となっている。

20

【0091】

このようにN型層141を有する構造の単位画素120では、メモリ部123下に形成されるP型ウェル層132-2と同一形状のマスクを使用してイオン注入することで、P型ウェル層にN型層141を形成することができる。これにより、メモリ部123下の深い領域におけるポテンシャルを深くして、基板表面方向に電界を形成することができるので、メモリ部123下の深い領域において光電変換によって発生した電荷を基板側へ排出することができる。その結果、ノイズを抑制することができる。

30

【0092】

また、このような構造の単位画素120では、N型層141を形成するイオン注入時に、第2のP型ウェル層132-2の形成に用いたマスクをそのまま使用することができるので、新たなマスクを使用する必要がなく、製造工程において工程数の増加を最小限に抑制することができる。

【0093】

次に、図10を参照して、第2の構成の単位画素120の製造プロセスについて説明する。

【0094】

第1の工程において、図10Aに示すように、N型基板内に第1のP型ウェル層132-1と、P型ウェル層の最下層となる第3のP型ウェル層132-3とが形成される。

40

【0095】

第2の工程において、図10Bに示すように、基板表面にN型の埋め込みチャネル135が形成され、N型の埋め込みチャネル135下に第2のP型ウェル層132-2が形成されてメモリ部123が設けられる。そして、第3のP型ウェル層132-3の深さ領域に、打ち返されることでN型層141が形成される。

【0096】

第3の工程において、図10Cに示すように、基板上にゲート電極122A、ゲート電極124A、およびゲート電極129Aが形成される。第4の工程において、基板表面に、フォトダイオード121、浮遊拡散領域125、および電荷排出部129が形成される。その後、フォトダイオード121の開口部が形成されるように、基板上に絶縁膜を介し

50

て遮光膜 150 を成膜することで、図 9 に示したような単位画素 120 が製造される。

【0097】

なお、第 3 の P 型ウェル層 132-3 の深さに形成される N 型層 141 は、例えば、砒素を注入して熱拡散させることにより形成される。また、シリコン基板の表面側の領域自体を N 型層にする代わりに、例えば、シリコン基板上に成長させたエピタキシャル層によって N 型層を形成してもよい。また、図 9 の単位画素 120 において、N 型層 141 と第 2 の P 型ウェル層 132-2 とは同一のマスクを使用して形成しても、異なるマスクを使用して形成してもよい。

【0098】

次に、図 11 を参照して、単位画素 120 の第 3 の構成について説明する。図 11 A には、第 3 の構成の単位画素 120 の平面図が示されており、図 11 B には、平面図に示されている矢印 E-E' に沿った第 3 の構成の単位画素 120 断面図が示されている。

【0099】

図 11 に示すように、単位画素 120 は、P 型ウェル層の最下層である第 3 の P 型ウェル層 132-3 の深さ領域に、第 1 の低濃度 N 型層領域 140-1 および第 2 の低濃度 N 型層領域 140-2 が形成された構造となっている。第 1 の低濃度 N 型層領域 140-1 は、図 2 の低濃度 N 型層領域 140 に対応し、第 2 の低濃度 N 型層領域 140-2 は、浮遊拡散領域 125 下に形成されている。

【0100】

このように浮遊拡散領域 125 下の深い領域に第 2 の低濃度 N 型層領域 140-2 を設けることにより、浮遊拡散領域 125 下の領域においても基板表面方向に電界を形成することができ、浮遊拡散領域 125 下の深い領域において光電変換によって発生した電荷を基板側へ排出することができる。これにより、浮遊拡散領域 125 に電荷を保持する転送方法を用いた CMOS イメージセンサ 100 においても、浮遊拡散領域 125 におけるノイズを抑制することができる。

【0101】

なお、第 1 の低濃度 N 型層領域 140-1 および第 2 の低濃度 N 型層領域 140-2 が一体で構成されていてもよい。また、第 1 の低濃度 N 型層領域 140-1 および第 2 の低濃度 N 型層領域 140-2 の深さ領域に、多段の P 型ウェル層が形成されていてもよい。また、第 1 の低濃度 N 型層領域 140-1 および第 2 の低濃度 N 型層領域 140-2 に替えて、図 9 に示したような N 型層 141 を形成してもよい。

【0102】

次に、図 12 は、単位画素の第 4 の構成について説明する図である。

【0103】

図 12 には、第 2 の P 型ウェル層 132-2 および低濃度 N 型層領域 140 を、CCD に適用した構成が示されている。図 12 A には、CCD の平面図が示されており、図 12 B には、図 12 A の平面図に示されている矢印 F-F' に沿った単位画素の断面図が示されている。

【0104】

図 12 に示されている単位画素 170 は、フォトダイオード 121 の電荷を一旦読み出して転送する垂直レジスタ 171 (転送手段) を構成する埋め込みチャネル 135 下に第 2 の P 型ウェル層 132-2 が形成され、垂直レジスタ 171 の深い領域に低濃度 N 型層領域 140 が形成されている。即ち、垂直レジスタ 171 の深い領域において、第 3 の P 型ウェル層 132-3 を形成しないことにより、低濃度 N 型層領域 140 が設けられる。

【0105】

このように構成されている単位画素 170 では、垂直レジスタ 171 下の深い領域から基板表面方向に電界が形成され、垂直レジスタ 171 下の深い領域において光電変換によって発生した電荷を基板側へ排出することができる。その結果、CCD におけるスミア悪化を防止することができる。なお、低濃度 N 型層領域 140 の深さ領域に、多段の P 型ウェル層が形成されていてもよい。また、低濃度 N 型層領域 140 に替えて、垂直レジスタ

10

20

30

40

50

171下の領域に図9に示したようなN型層141を形成してもよい。なお、低濃度N型層領域140は、垂直レジスタ171と、垂直レジスタ171により転送された電荷をアンプ(電荷電圧変換手段)に転送する水平レジスタ(転送手段)との少なくとも一方の一部の下に形成されればよい。

【0106】

なお、本実施の形態においては、埋め込み型のフォトダイオード121を使用した例について説明しているが、例えば、空乏化防止層を有していないフォトダイオードを使用してもよい。また、第3のP型ウェル層132-3は、例えば、ボロンを注入して熱拡散させることで形成されているが、このようにシリコン基板の表面側領域自体をP型層にする他、例えば、シリコン基板上に成長させたエピタキシャル層によってP型層を形成してもよい。

10

【0107】

[単位画素のその他の構成例]

本発明は、上述した実施の形態で説明した単位画素120以外の画素構造にも採用することができる。以下、本発明が適用可能なその他の単位画素120の構造について説明する。なお、以下の図において、図5と対応する部分には同一符号を付してあり、その説明は適宜省略する。

【0108】

[単位画素のその他の第1構成例]

図13は、単位画素120のその他の第1構成例である単位画素120Bの構造を示す図である。

20

【0109】

単位画素120Bでは、図5の単位画素120における第1転送ゲート122とメモリ部123が省略され、P型ウェル層132を挟んで、フォトダイオード121と浮遊拡散領域125が隣接する配置となっている。フォトダイオード121と浮遊拡散領域125の間のP型ウェル層132の上側には、第2転送ゲート124が配置されている。

30

【0110】

単位画素120Bにおけるグローバル露光動作について説明する。まず、全画素同時に埋め込みフォトダイオード121の蓄積電荷を空にする電荷排出動作が実行された後、露光が開始される。これにより、フォトダイオード121のPN接合容量に光電荷が蓄積される。露光期間終了時点で、第2転送ゲート124が全画素同時にONされ、蓄積された光電荷が全て浮遊拡散領域125へと転送される。第2転送ゲート124を閉じることで、全画素同一の露光期間で蓄積された光電荷が浮遊拡散領域125で保持される。その後、浮遊拡散領域125で保持された光電荷が、順次、画素信号として垂直信号線117を通して読み出される。最後に、浮遊拡散領域125がリセットされ、かかる後、リセットレベルが読み出される。

30

【0111】

従って、単位画素120Bでは、浮遊拡散領域125がグローバル露光動作を行う場合の電荷保持領域となる。単位画素120Bの構成においても、図2に示した第2のP型ウェル層132-2および低濃度N型層領域140を設けることで本発明を適用できる。

40

【0112】

[単位画素のその他の第2構成例]

図14は、単位画素120のその他の第2構成例である単位画素120Cの構造を示す図である。

【0113】

単位画素120Cでは、ゲート電極122Aの下で、かつ、フォトダイオード121とメモリ部123との境界部分に、P-の不純物拡散領域137を設けることによりオーバーフローパス130を形成した点が単位画素120と異なる。

【0114】

オーバーフローパス130を形成するためには、不純物拡散領域137のポテンシャル

50

を低くする必要がある。不純物拡散領域 137 に軽く N 不純物をドープして P 不純物濃度を下げることで、P- の不純物拡散領域 137 を形成することができる。あるいはポテンシャルバリア形成の際に不純物拡散領域 137 に P 不純物をドープする場合はその濃度を下げることで、P- の不純物拡散領域 137 を形成することができる。

【0115】

単位画素 120C では、低照度での発生電荷を優先的にフォトダイオード 121 で蓄積する手段として、フォトダイオード 121 とメモリ部 123 との境界部分に形成されたオーバーフローパス 130 が用いられる。

【0116】

フォトダイオード 121 とメモリ部 123 との境界部分に、P- の不純物拡散領域 137 を設けることで境界部分のポテンシャルが下がる。このポテンシャルが下がった部分がオーバーフローパス 130 となる。そして、フォトダイオード 121 で発生し、オーバーフローパス 130 のポテンシャルを超えた電荷は、自動的にメモリ部 123 に漏れて、蓄積される。換言すれば、オーバーフローパス 130 のポテンシャル以下の発生電荷はフォトダイオード 121 に蓄積される。

【0117】

オーバーフローパス 130 は中間電荷転送部としての機能を持つ。すなわち、中間電荷転送部としてのオーバーフローパス 130 は、複数の単位画素の全てが同時に撮像動作を行う露光期間において、フォトダイオード 121 での光電変換によって発生し、オーバーフローパス 130 のポテンシャルで決まる所定電荷量を超える電荷を信号電荷としてメモリ部 123 へ転送する。

【0118】

なお、図 14 の例では、P- の不純物拡散領域 137 を設けることによりオーバーフローパス 130 を形成した構造が採用されている。しかし、P- の不純物拡散領域 137 を設ける代わりに、N- の不純物拡散領域 137 を設けることによりオーバーフローパス 130 を形成した構造をとることも可能である。

【0119】

単位画素 120C では、浮遊拡散領域 125 および埋め込みチャネル 135 がグローバル露光動作を行う場合の電荷保持領域となる。単位画素 120C の構成においても、図 2 に示した第 2 の P 型ウェル層 132-2 および低濃度 N 型層領域 140 を設けることで本発明を適用できる。

【0120】

[単位画素のその他の第 3 構成例]

図 15 は、単位画素 120 のその他の第 3 構成例である単位画素 120D の構造を示す図である。

【0121】

単位画素 120D は、図 13 の単位画素 120B の構成に、浮遊拡散領域 125 と同様のメモリ部 123 が設けられた構成となっている。即ち、単位画素 120D では、第 1 転送ゲート 122 のゲート電極 122A がフォトダイオード 121 とメモリ部 123 の境界の P 型ウェル層 132 の上部に設けられている。また、単位画素 120D では、メモリ部 123 が浮遊拡散領域 125 と同様の N 型層 138 によって形成される。

【0122】

単位画素 120D におけるグローバル露光動作は、次の手順で実行される。まず、電荷排出動作が全画素同時に実行され、同時露光が開始される。発生した光電荷がフォトダイオード 121 に蓄積される。露光終了時点で、第 1 転送ゲート 122 が全画素同時に ON され、蓄積された光電荷がメモリ部 123 へ転送され、保持される。露光終了後、順次動作にてリセットレベルと信号レベルが読み出される。即ち、浮遊拡散領域 125 がリセットされ、次にリセットレベルが読み出される。続いて、メモリ部 123 の保持電荷が浮遊拡散領域 125 へ転送され、信号レベルが読み出される。

【0123】

10

20

30

40

50

単位画素 120D では、メモリ部 123 の N 型層 138 がグローバル露光動作を行う場合の電荷保持領域となる。単位画素 120D の構成においても、図 2 に示した第 2 の P 型ウェル層 132-2 および低濃度 N 型層領域 140 を設けることで本発明を適用できる。

【0124】

[単位画素のその他の第 4 構成例]

図 16 は、単位画素 120 のその他の第 4 構成例である単位画素 120E の構造を示す図である。

【0125】

図 16 の単位画素 120E では、メモリ部 123 を、埋め込みチャネル 135 に代えて、埋め込み型の N 型拡散領域 139 によって形成した構成が採用されている。

10

【0126】

メモリ部 123 を N 型拡散領域 139 によって形成した場合であっても、埋め込みチャネル 135 によって形成した場合と同様の作用効果を得ることができる。具体的には、P 型ウェル層 132 の内部に N 型拡散領域 139 を形成し、基板表面側に P 型層 141 を形成することで、界面で発生する暗電流がメモリ部 123 の N 型拡散領域 139 に蓄積されることを回避できるため画質の向上に寄与できる。

【0127】

ここで、メモリ部 123 の N 型拡散領域 139 の不純物濃度は、浮遊拡散領域 125 の不純物濃度よりも低くすることが好ましい。このような不純物濃度の設定により、第 2 転送ゲート 124 によるメモリ部 123 から浮遊拡散領域 125 への電荷の転送効率を高めることができる。単位画素 120E におけるグローバル露光動作は、図 2 の単位画素 120 と同様である。

20

【0128】

なお、図 16 に示した単位画素 120E の構成では、メモリ部 123 を埋め込み型の N 型拡散領域 139 によって形成したが、メモリ部 123 で発生する暗電流が増加することがあるものの、埋め込み型にしない構造としてもよい。

20

【0129】

また、単位画素 120E の構成においても、図 2 の単位画素 120 における場合と同様に電荷排出部 129 を省略し、転送パルス TRX, TRS およびリセットパルス RST を全てアクティブ状態にする構成を探ることができる。この構成を探すことにより、電荷排出部 129 と同等の作用効果、即ちフォトダイオード 121 の電荷を排出し、また、読み出し期間中にフォトダイオード 121 で溢れた電荷を基板側に逃がすことができる。

30

【0130】

単位画素 120E では、メモリ部 123 の N 型拡散領域 139 がグローバル露光動作を行う場合の電荷保持領域となる。単位画素 120E の構成においても、図 2 に示した第 2 の P 型ウェル層 132-2 および低濃度 N 型層領域 140 を設けることで本発明を適用できる。

【0131】

[単位画素のその他の第 5 構成例]

図 17 は、単位画素 120 のその他の第 5 構成例である単位画素 120F の構造を示す図である。

40

【0132】

図 5 の単位画素 120 では、フォトダイオード 121 と浮遊拡散領域 125 の間に 1 つのメモリ部 (MEM) 123 が配置されていたが、図 17 の単位画素 120F では、さらにもう 1 つのメモリ部 (MEM2) 143 が配置されている。即ち、メモリ部が 2 段構成となっている。

【0133】

第 3 転送ゲート 142 は、メモリ部 123 に蓄積された電荷を、ゲート電極 142A に転送パルス TRX2 が印加されることによって転送する。メモリ部 143 は、ゲート電極 142A の下に形成された N 型の埋め込みチャネル 144 によって形成され、第 3 転送ゲ

50

ート 142 によってメモリ部 123 から転送された電荷を蓄積する。メモリ部 143 が埋め込みチャネル 144 によって形成されていることで、界面での暗電流の発生を抑えることができるため画質の向上に寄与できる。

【0134】

メモリ部 143 は、メモリ部 123 と同様の構成とされているので、メモリ部 123 と同様、変調を掛けた場合には、メモリ部 143 の飽和電荷量を変調を掛けない場合よりも増やすことができる。

【0135】

単位画素 120F におけるグローバル露光動作では、全画素同時に蓄積された光電荷はフォトダイオード 121 またはメモリ部 123 で保持される。メモリ部 143 は、画素信号が読み出されるまでの間、光電荷を保持するために使用される。

10

【0136】

単位画素 120F では、メモリ部 123 の埋め込みチャネル 135 およびメモリ部 143 の埋め込みチャネル 144 がグローバル露光動作を行う場合の電荷保持領域となる。単位画素 120F の構成においても、図 2 に示した第 2 の P 型ウェル層 132-2 および低濃度 N 型層領域 140 を設けることで本発明を適用できる。

20

【0137】

以上のように、本発明は、単位画素 120 以外のその他の構造にも採用することができる。また、単位画素 120 および 120B 乃至 120F において、導電型の極性 (N 型、P 型) を反対にしたものでも同様に適用可能である。

【0138】

[本発明を適用した電子機器の構成例]

さらに本発明は、固体撮像素子への適用に限られるものではない。即ち、本発明は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部 (光電変換部) に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0139】

図 18 は、本発明を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

30

【0140】

図 18 の撮像装置 300 は、レンズ群などからなる光学部 301、上述した単位画素 120 の各構成が採用される固体撮像素子 (撮像デバイス) 302、およびカメラ信号処理回路である DSP (Digital Signal Processor) 回路 303 を備える。また、撮像装置 300 は、フレームメモリ 304、表示部 305、記録部 306、操作部 307、および電源部 308 も備える。DSP 回路 303、フレームメモリ 304、表示部 305、記録部 306、操作部 307 および電源部 308 は、バスライン 309 を介して相互に接続されている。

40

【0141】

光学部 301 は、被写体からの入射光 (像光) を取り込んで固体撮像素子 302 の撮像面上に結像する。固体撮像素子 302 は、光学部 301 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子 302 として、CMOS イメージセンサ 100 の固体撮像素子、即ちグローバル露光によって歪みのない撮像を実現できるとともに、RGB の画素ごとの漏れ込み信号抑圧比を抑制することができる固体撮像素子を用いることができる。

【0142】

表示部 305 は、例えば、液晶パネルや有機 EL (Electro Luminescence) パネル等のパネル型表示装置からなり、固体撮像素子 302 で撮像された動画または静止画を表示する。記録部 306 は、固体撮像素子 302 で撮像された動画または静止画を、ビデオテープ

50

や D V D (Digital Versatile Disk) 等の記録媒体に記録する。

【 0 1 4 3 】

操作部 3 0 7 は、ユーザによる操作の下に、撮像装置 3 0 0 が持つ様々な機能について操作指令を発する。電源部 3 0 8 は、D S P 回路 3 0 3 、フレームメモリ 3 0 4 、表示部 3 0 5 、記録部 3 0 6 および操作部 3 0 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【 0 1 4 4 】

上述したように、固体撮像素子 3 0 2 として、上述した実施の形態に係る C M O S イメージセンサ 1 0 0 を用いることで、グローバル露光によって歪みのない撮像を実現できるとともに、RGBの画素ごとの漏れ込み信号抑圧比を抑制することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置 3 0 0 においても、撮像画像の高画質化を図ることができる。10

【 0 1 4 5 】

また、上述した実施形態においては、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなる C M O S イメージセンサに適用した場合を例に挙げて説明した。しかしながら、本発明は C M O S イメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム処理部を配置してなるカラム方式の固体撮像素子全般に対して適用可能である。

【 0 1 4 6 】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線や X 線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。20

【 0 1 4 7 】

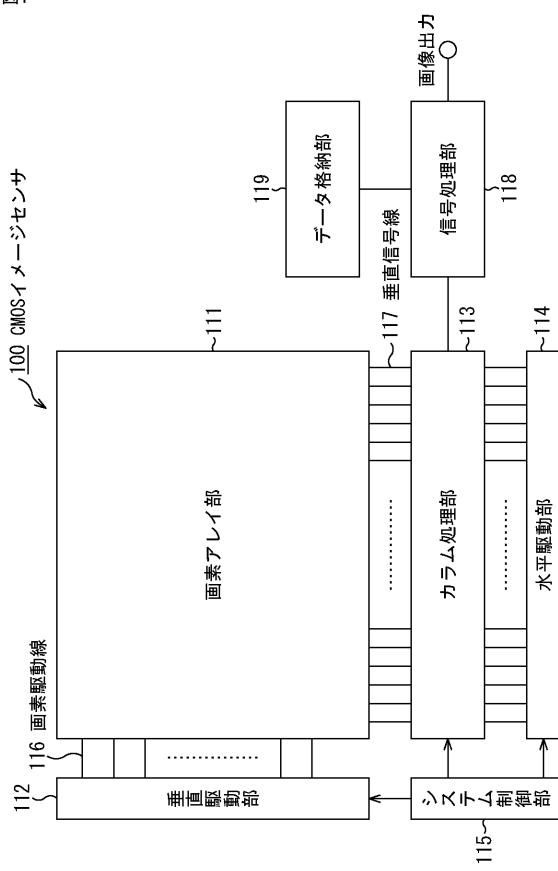
なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【 符号の説明 】

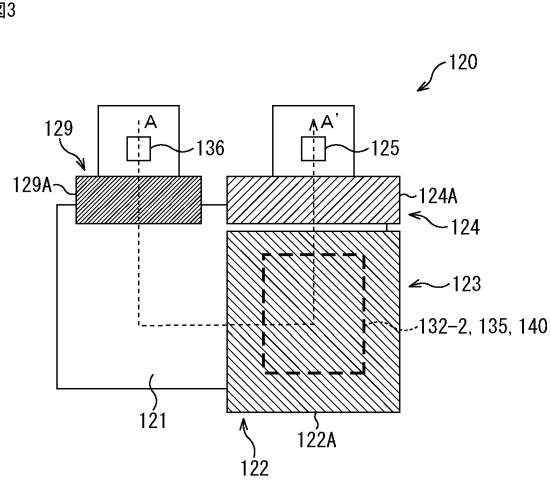
【 0 1 4 8 】

1 0 0 C M O S イメージセンサ , 1 1 1 画素アレイ部 , 1 2 0 , 1 2 0 B , 1
2 0 C , 1 2 0 D , 1 2 0 E , 1 2 0 F 単位画素 , 1 3 2 P 型ウェル層 , 1 3 4
N 型埋め込み層 , 1 2 2 第 1 転送ゲート , 1 3 5 埋め込みチャネル , 3 0 0
撮像装置30

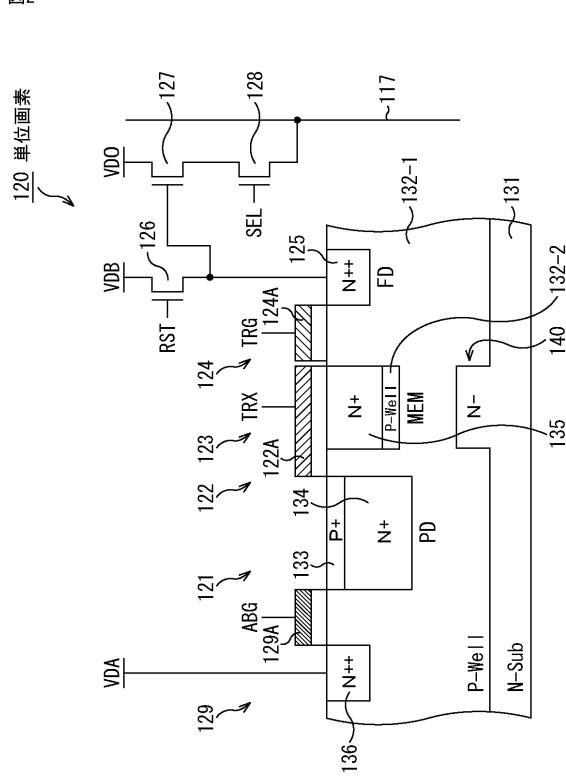
【 図 1 】



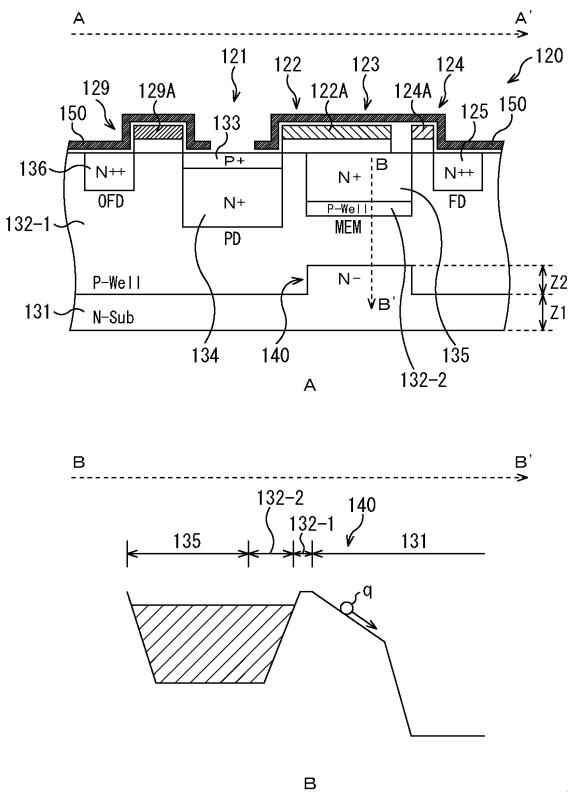
【 図 3 】



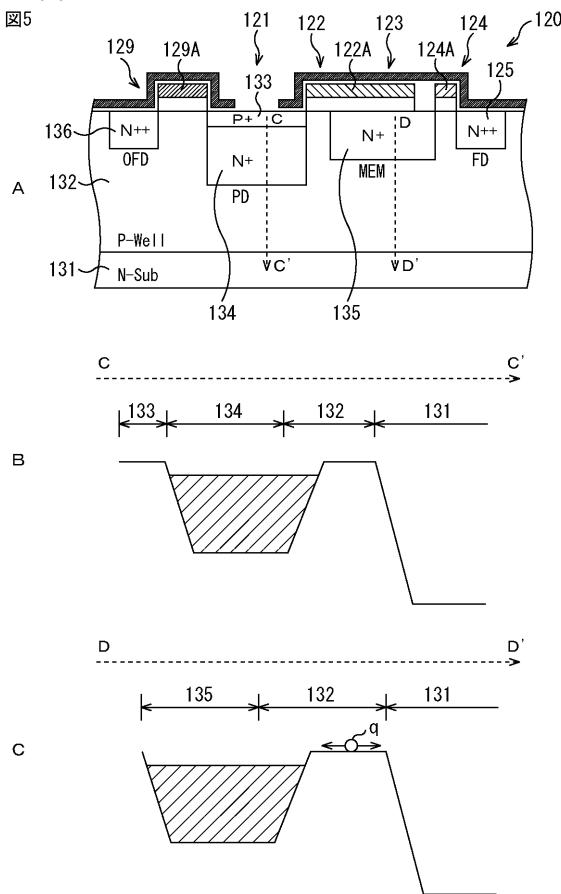
【 図 2 】



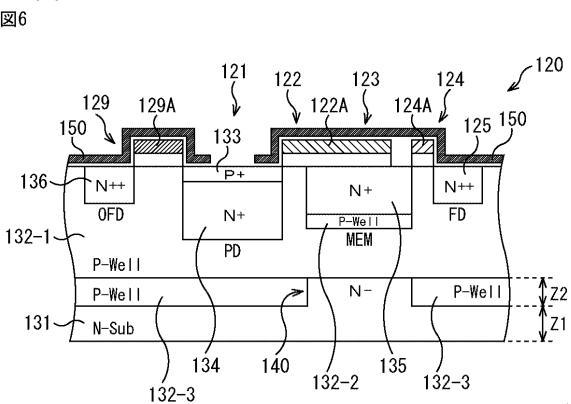
【 図 4 】



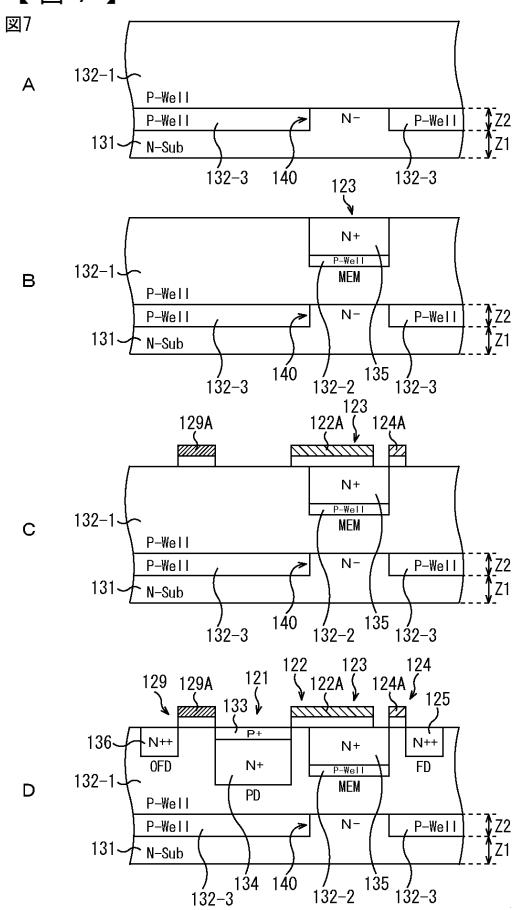
【 四 5 】



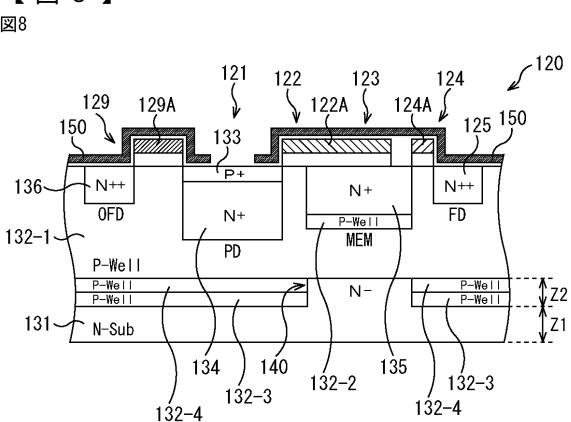
【 図 6 】



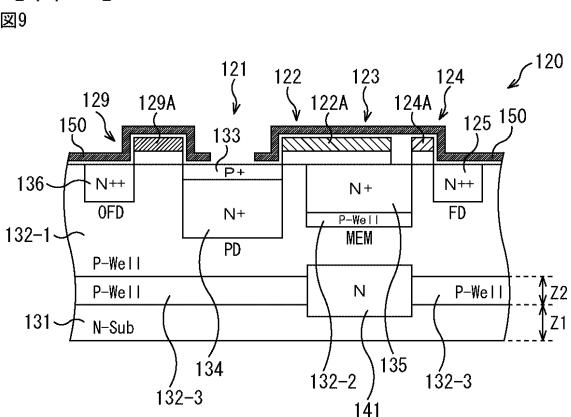
【 义 7 】



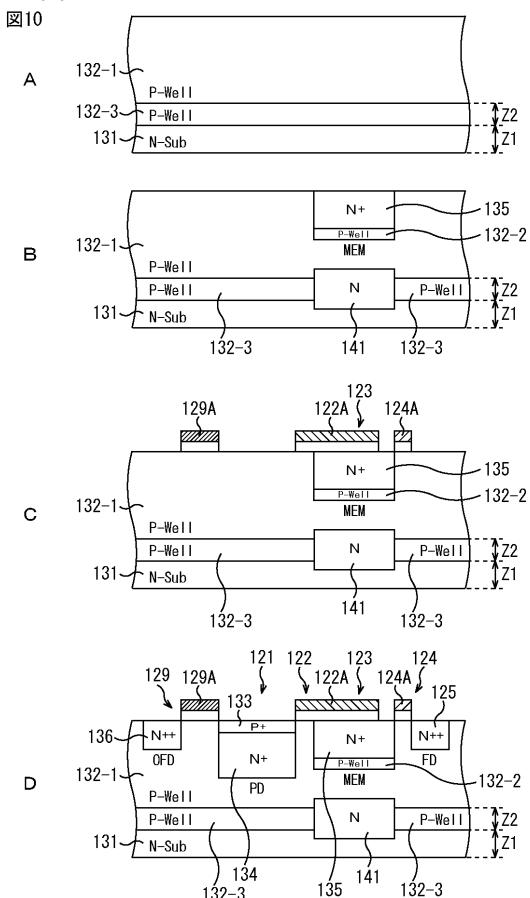
【 図 8 】



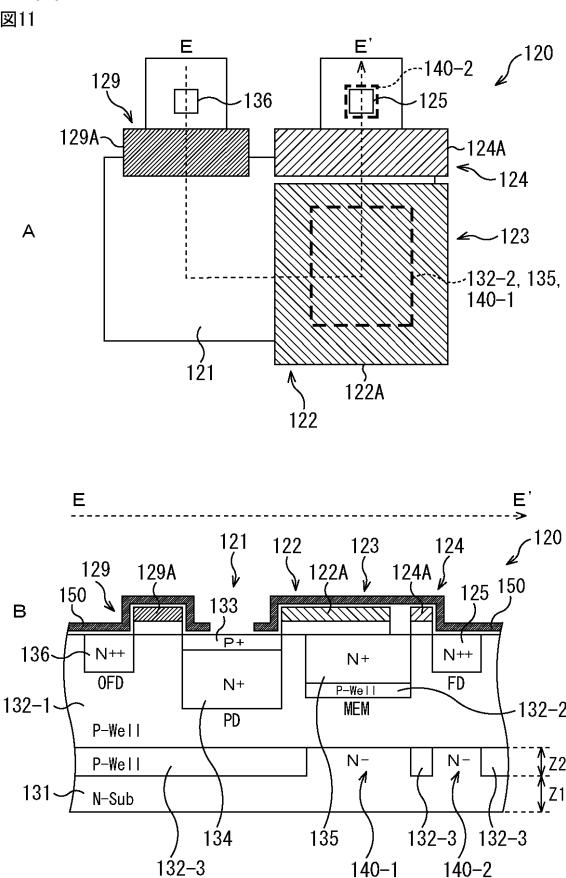
【 図 9 】



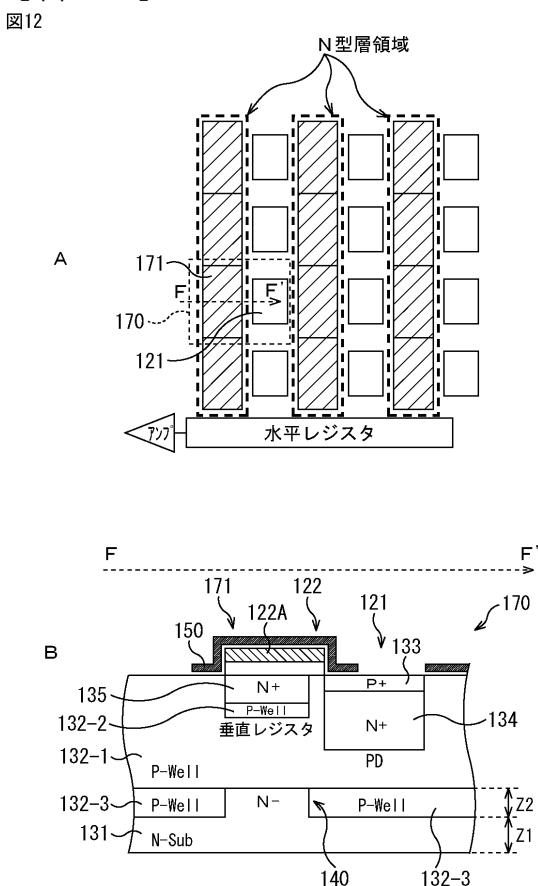
【 図 1 0 】



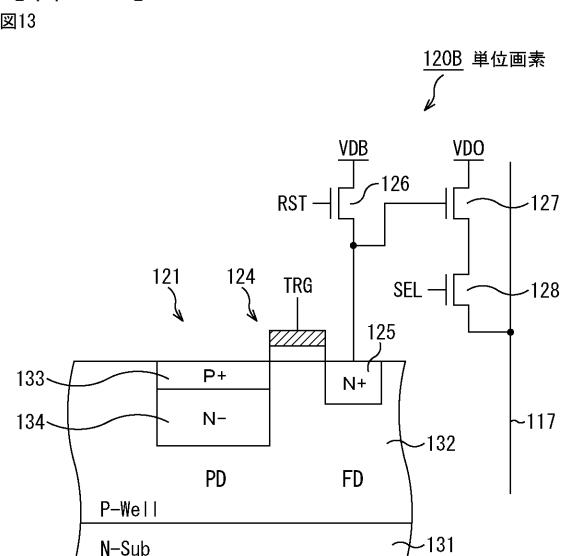
【 図 1 1 】



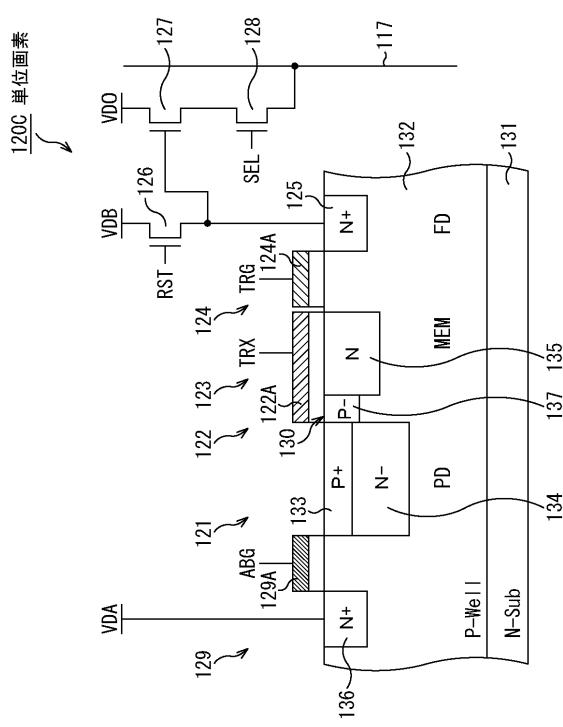
【 図 1 2 】



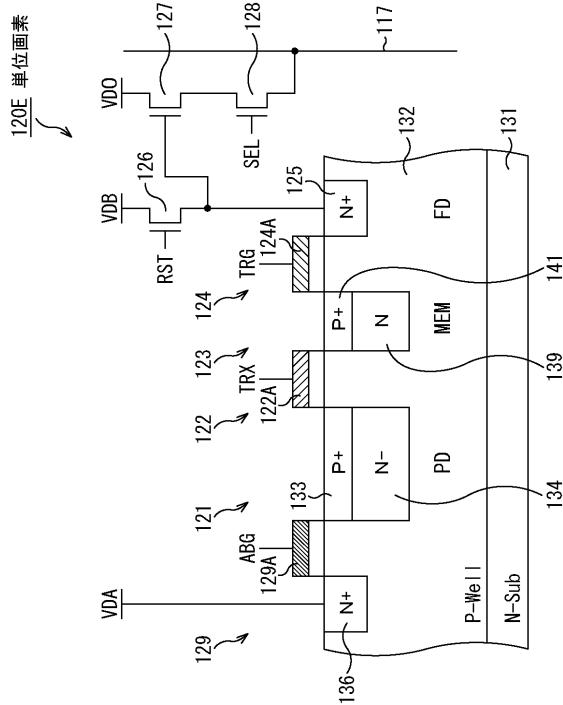
【 図 1 3 】



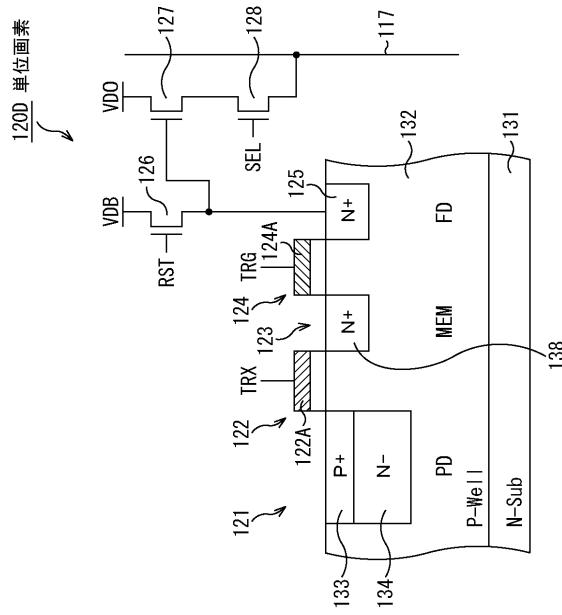
【図 1 4】



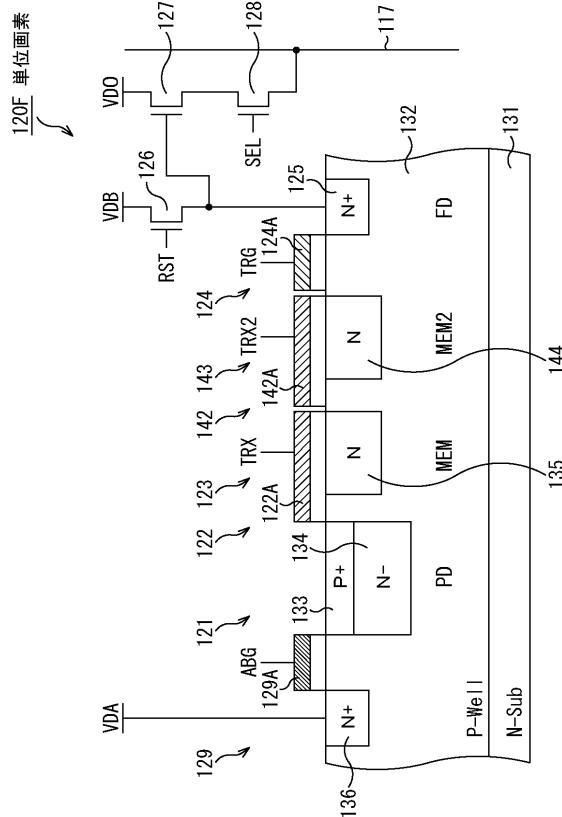
【図 1 6】



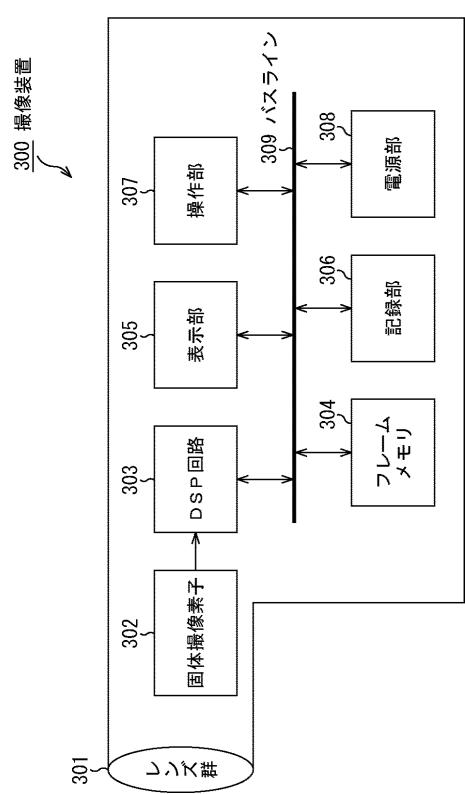
【図 1 5】



【図 1 7】



【図 18】
図18



フロントページの続き

F ターム(参考) 4M118 AA05 AA10 AB01 BA10 BA14 CA03 CA04 DD04 DD12 EA01
EA14 EA15 FA06 FA13 FA16 FA33 FA35 FA38 GB03
5C024 AX01 CX03 CY47 GX03 GY01 GY31