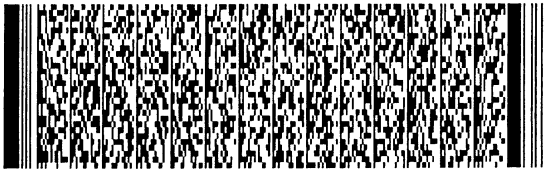


申請日期： 89.9.19	案號： 89119222
類別： G46F 12/46	

(以上各欄由本局填註)

本 告 白		發明專利說明書	484060
		非揮發性半導體記憶裝置及具有該非揮發性半導體記憶裝置之資料記憶系統 NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA STORAGE SYSTEM COMPRISING THE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE	
一、發明名稱	中文		
	英文		
二、發明人	姓名 (中文)	1. 玉田悟 2. 佐伯達也 3. 興梶泰宏	
	姓名 (英文)	1. 2. 3.	
	國籍	1. 日本 2. 日本 3. 日本	
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式会社内 2. 同1 3. 同1	
三、申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司	
	姓名 (名稱) (英文)	1. 三菱電機株式会社	
	國籍	1. 日本	
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號	
	代表人 姓名 (中文)	1. 谷口一郎	
	代表人 姓名 (英文)	1.	
			

本案已向

國(地區)申請專利
日本 JP

申請日期
2000/01/24

案號
2000-014557

主張優先權
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景

[發明之技術領域]

本發明係有關一種非揮發性半導體記憶裝置以及資料記憶系統，尤指一種使用可作電氣寫入/抹除之非揮發性半導體記憶格的構成。

[背景技術之說明]

按，可作電氣寫入抹除之非揮發性半導體記憶體(快閃記憶體)，曾發揮可在基板上重寫之長處，早先已作為程式碼儲存用記憶體，廣泛地作為EPROM(可抹除可程式化唯讀記憶體)或罩式ROM(唯讀記憶體)之代用品。

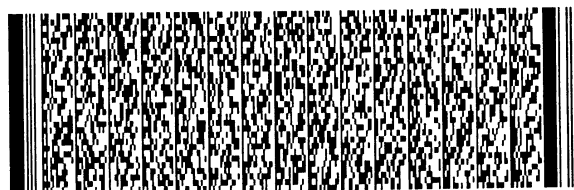
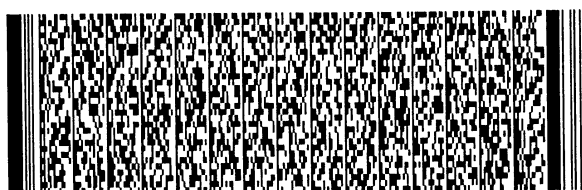
近年，由於半導體加工技術之微細化日趨進步，可記憶畫像資料或音頻資料之大容量快閃記憶體已然問世，對於數位式靜像攝像機或可攜式音響之應用正急速地發展。

然而，為了能作動畫資料的記錄，快閃記憶體乃被要求能作進一步之大容量化。

作為供實現快閃記憶體之更大容量化的重要技術，與半導體加工技術之微細化並行的還有多值化之技術。快閃記憶體一般係對藉由絕緣膜與周圍絕緣之浮閘施加高電場，藉注入或放出電荷，而變化記憶格之臨限值記憶資料。

一般之快閃記憶體(二值快閃記憶體)，記憶體之臨限值高的狀態係對應於"1"(或"0")，記憶體之臨限值低的狀態係對應於"0"(或"1")(二值資料)。

另一方面，使用多值技術之快閃記憶體(多值快閃記憶體)之場合，記憶格之臨限值係設定於3種以上之複數狀



五、發明說明 (2)

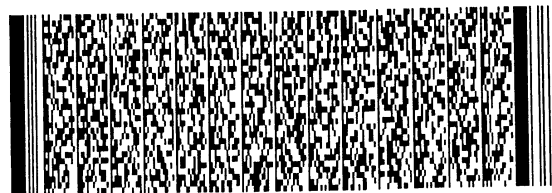
態。例如，可記憶四值之快閃記憶體中，係將記憶格之臨限值設成四個狀態，依序分別與"11"（臨限值之最低狀態）、"10"、"00"、"01"（臨限值之最高狀態）。藉此，可在一個記憶格記憶2位元之資料（五值資料）。記憶格之物理狀態與邏輯資料之對應，與二值快閃記憶體相同，自然也可任意決定。

然而，在實現多值快閃記憶體時，在記憶格中記憶"1"（或"0"），在長期放置後若將該資料讀出，會有變成"0"（或"1"）之重要問題。

此一問題的起因是，在物理上主要為注入浮閘之電子會在絕緣膜穿過能量阻障而放出至半導體基板或閘極，或是自半導體基板或閘極注入，而使記憶格中之臨限值產生變化。

茲佐以圖44說明之，在二值快閃記憶體之場合，例如，"1"狀態之臨限值係設成1V~1.7V，"0"狀態之臨限值係設成4.3V以上，讀出時之判定臨限值係設成3V。此一狀態下，不管是"1"狀態及"0"狀態，均有1.3V之讀出餘裕。此一場合下，若有相當於1.3V之電子注入/放出，會產生錯誤讀出。

相對於此，多值快閃記憶體之場合，例如，"11"狀態之臨限值係設成1V~1.7V，"10"狀態之臨限值係設成2.3V~2.7V，"00"狀態之臨限值係設成3.3V~3.7V，"01"狀態之臨限值係設成4.3V以上。若讀出時之判定臨限值為2V、3V、4V，則各狀態之讀出餘裕只有0.3V。因此，若有相當



五、發明說明 (3)

於0.3V之電子注入/放出，會產生錯誤讀出。

當具有圖44之F1所示的 $V_{gs}-I_{ds}$ 特性之記憶格，藉由自浮閘放出電子而成為與具有F2所示的 $V_{gs}-I_{ds}$ 特性之記憶格相同狀態的場合，在多值快閃記憶體中，寫入之"01"資料會被誤讀出成"00"。

同樣地，具有F3所示 $V_{gs}-I_{ds}$ 特性的記憶格，在成為與具有F4所示 $V_{gs}-I_{ds}$ 特性的記憶格相同狀態時，在多值快閃記憶體中，寫入之"11"資料會被誤讀出成"10"。

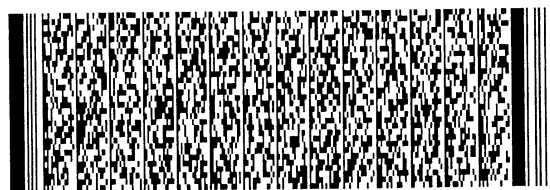
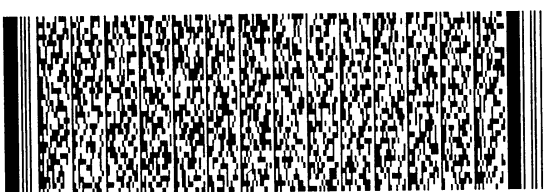
相對於此，二值快閃記憶體之場合，即使是F1狀態之記憶格成為F2之狀態，或F3狀態之記憶格成為F4之狀態，仍可正確地讀出資料。

如此，多值快閃記憶體與二值半閃記憶體雖然彼此具有在物理上同等之資料保持特性，但就資料之信賴性而言，較多值快閃記憶體，以二值快閃記憶體為優。又，由資料傳輸速度之觀點而言，也是以二值快閃記憶體為優。另外，如上所述，就成本及大容量化之層面而言，則以多值快閃記憶體為優。是以，今後，能將此等所有特性活用化之裝置的開發，是業界所強烈企盼者。

[發明之概要]

是以，本發明提供一種可實現記憶體之大容量，且可提昇資料之信賴性、可作高速動作之非揮發性半導體記憶裝置及資料記憶系統。

根據本發明一個層面之非揮發性半導體記憶裝置，具有：包含複數個記憶格之非揮發性記憶格陣列，以及供控制



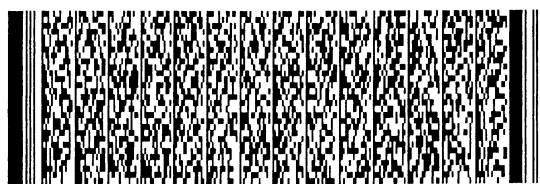
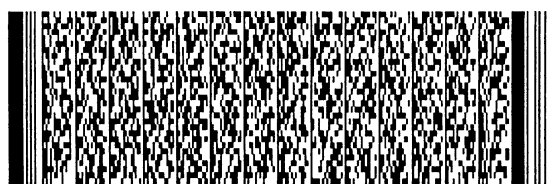
五、發明說明 (4)

對於上述複數個記憶格的寫入動作、讀出動作及抹除動作之控制電路；上述控制電路係應答於寫入要求，對於成為寫入對象之記憶格寫入二值資料或多值資料，上述讀出動作係應答於成為讀出對象之記憶格的寫入內容，讀出上述二值資料或多值資料。

較佳的是，上述控制電路係將上述成為寫入對象之記憶格，在上述二值資料寫入時，設定於抹除狀態之第1狀態或與上述第1狀態不同之第n狀態中之任一者；而在上述多值資料寫入時，設定於自上述第1狀態至第n狀態之彼此不同的合計n個(3個以上)狀態中之任一者。又，控制電路在讀出動作時，就寫入上述二值資料之記憶格，係判定屬於上述第1狀態至第k狀態(惟上述 $k < \text{上述} n$)，或是自上述第 $(k+1)$ 狀態至上述第n狀態中之何者；而就寫入上述多值資料之記憶格，則係判定屬於上述合計n個狀態中之何者。

特別是讀出動作時，係判定寫入二值資料之記憶格係屬於合計n個狀態中之任一者，當判定為屬於第1狀態或與第n狀態不同之狀態時，係對外部輸出警告信號，表示二值資料已變化。又，上述讀出動作時，係判定寫入二值資料之記憶格為合計n個之狀態中的何者，當判定為屬於第1狀態或與第n狀態不同之狀態時，係對記憶格再度作用以寫入上述二值資料之寫入動作。

根據上述非揮發性半導體記憶裝置，可應答於要求寫入或讀出二值資料或三值以上之多值資料。藉此，可在記憶大容量之資料下，因應必要作高信賴性且高速之資料寫入



五、發明說明 (5)

及讀出。

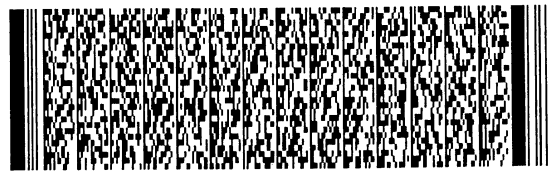
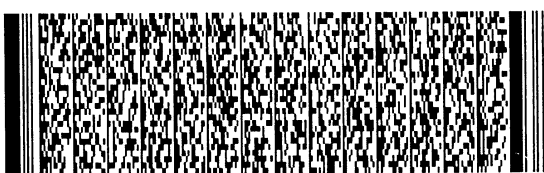
又，根據上述非揮發性半導體記憶裝置，對於記憶有二值資料之記憶格，可檢測出臨限值之位移。

另，根據上述非揮發性半導體記憶裝置，對於記憶有二值資料之記憶格，檢測出臨限值之位移的場合，可再度寫入二值資料(資料修復)。

較佳的是，複數個記憶格係一併被分割成為上述寫入動作及上述讀出動作之對象的複數個寫入/讀出單位，此外又具有針對上述複數個寫入/讀出單位之各單位所配置的複數個旗標；上述複數個旗標之各者，儲存有一值用以表示在對應之寫入/讀出單位之記憶格中，是上述二值資料寫入，還是上述多值資料寫入。尤其是旗標具有與記憶格相同之構造。

特別的是，控制電路在上述寫入動作中，係對於上述成為寫入對象之寫入/讀出單位寫入上述二值資料或上述多值資料，同時對於對應之旗標寫入一值，該值係表示是上述二值資料寫入還是上述多值資料寫入。

特別的是，控制電路應答於自外部接收之寫入要求，對於成為寫入對象之寫入/讀出單位，執行供寫入二值資料之第一寫入序列，或是供寫入多值資料之第二寫入序列。又，控制電路在讀出動作中，根據對應之旗標的值，在上述成為讀出對象之寫入/讀出單位中寫入有上述二值資料時，係執行用以讀出上述二值資料之第一讀出序列，而在寫入有上述多值資料時，係執行用以讀出上述多值資料之



五、發明說明 (6)

第二讀出序列。

根據上述非揮發性半導體記憶裝置，係就每個寫入/讀出單位(區、頁)配置旗標。藉此，可將表示讀入為二值資料或多值資料之值，儲存於旗標。

根據上述非揮發性半導體記憶裝置，由於旗標與記憶格係相同構造，因此在記憶格寫入/讀出的同時，可容易地作對於旗標之寫入/讀出。

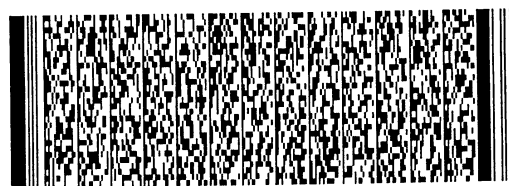
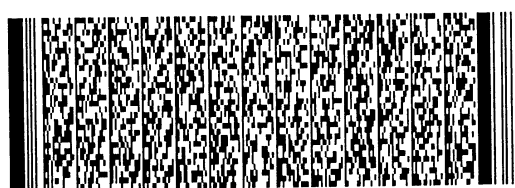
根據上述非揮發性半導體記憶裝置，在對記憶格寫入之同時，可在旗標中記憶對於記憶格究竟是寫入二值資料或多值信號。

根據上述非揮發性半導體記憶裝置，在有來自外部之二值資料寫入要求時，可執行二值資料之寫入序列，在有來自外部之多值資料寫入要求時，係可執行多值資料之寫入序列。

根據上述非揮發性半導體記憶裝置，可根據旗標，就各寫入/讀出單位讀出二值資料或多值資料。

較佳的是，複數個記憶格之各者具有包含抹除狀態之第1狀態及與上述第1狀態最近之第2狀態的彼此不同合計 n 個之狀態(上述 n 係3以上)；上述控制電路在上述二值資料寫入時，係將上述成為寫入對象之記憶格設定於上述第1狀態或第2狀態，在上述二值資料讀出時，係判定上述成為讀出對象之記憶格，屬於上述第1狀態或上述合計 n 個狀態中不包含上述第1狀態之狀態中之何者。

根據上述非揮發性半導體記憶裝置，係應答於寫入要求



五、發明說明 (7)

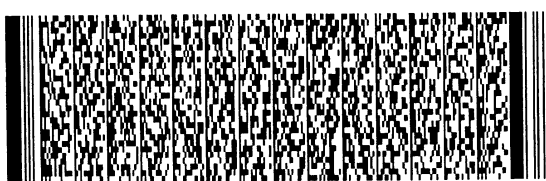
控制成使得成為寫入對象之記憶格為第1狀態或第2狀態，在讀出動作時，係判定成為讀出對象之記憶格為第1狀態或其他狀態。藉此，可作二值資料之寫入/讀出。

根據本發明又一層面之資料記憶系統，具有：記憶體區域，包含具備第一特性之第一非揮發性半導體記憶體，以及具備與上述第一特性不同的第二特性之第二非揮發性半導體記憶體，

控制裝置，用以與外部作資料授受，對於上述記憶體區域作資料寫入及自該記憶體區域作資料讀出；又，上述控制裝置係應答於自上述外部接收之供寫入上述記憶體區域的儲存資料，判斷是被要求作配合於上述第一特性之寫入，或是作配合於上述第二特性之寫入，並應答於該判斷結果，將上述儲存資料寫入上述第一非揮發性半導體記憶體或上述第二非揮發性半導體記憶體。

較佳的是，第一特性係以規定之信賴性記憶資料，且可以規定之處理速度動作之特性；上述第二特性係可以較上述第一特性相對上較高之信賴性記憶資料，且可以較上述第一特性為高速之處理速度動作。

根據上述資料記憶系統，至少備有兩個彼此特性互異之非揮發性半導體記憶體，可因應儲存資料在具有相合特性之非揮發性半導體記憶體中記憶資料。特別是藉由使用可以規定之信賴性記憶資料且以規定之處理速度動作的第一非揮發性半導體記憶體，以及可以較第一非揮發性半導體記憶體相對上較高之信賴性記憶資料且可以較上述第一特



五、發明說明 (8)

性為高速作動作之第二非揮發性半導體記憶體，可實行大容量且高信賴性、高速之資料處理。

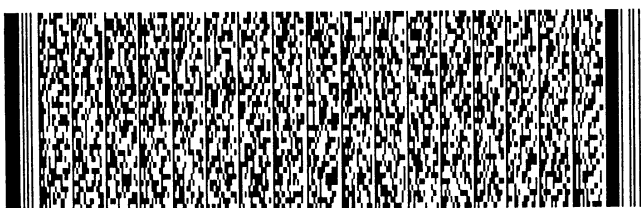
較佳的是，第一非揮發性半導體記憶體包含分別記憶2位元以上的資料之複數個多值資料用記憶格；上述第二非揮發性半導體記憶體包含分別記憶1位元的資料之複數個記憶格。

較佳的是，應答於儲存資料，當判斷外部要求對於記憶體區域寫入被要求相對上高信賴性之資料或作高速之資料授受時，係將儲存資料寫入第二非揮發性半導體記憶體，除此以外之場合，係將儲存資料寫入第一非揮發性半導體記憶體。

較佳的是，控制裝置在上述第一非揮發性半導體記憶體動作中，係將上述儲存資料寫入上述第二非揮發性半導體記憶體，在上述第一非揮發性半導體記憶體非為動作中時，係將上述儲存資料寫入上述第一非揮發性半導體記憶體中。

較佳的是，控制裝置具有在一定期間內測定自外部接受之儲存資料的大小之測定電路；以及接受該測定電路之輸出，在儲存資料之大小為基準值以下之場合，將儲存資料寫入第一非揮發性半導體記憶體，在儲存資料之大小超過基準值時，將儲存資料寫入第二非揮發性半導體記憶體之控制電路。

較佳的是，控制裝置係應答於與上述外部間資料授受之有無，將已寫入上述第二非揮發性半導體記憶體之資料，



五、發明說明 (9)

轉送至上述第一非揮發性半導體記憶體。

較佳的是，控制裝置係將供管理上述記憶體區域之管理資料，寫入上述第二非揮發性半導體記憶體。

較佳的是，進而備有在資料中附加錯誤檢測符號之錯誤訂正電路，而控制裝置係在將儲存資料寫入第一非揮發性半導體記憶體時，係對寫入資料附加錯誤檢測符號進行寫入，在對第二非揮發性半導體記憶體寫入上述儲存資料時，係不對寫入資料附加錯誤檢測符號而逕行寫入。

五、發明說明 (10)

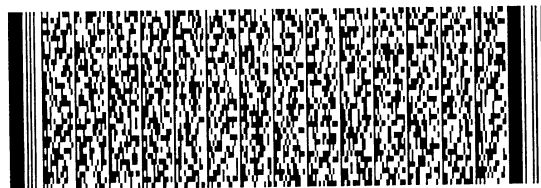
的二值資料，作為多值資料記憶於與多值資料對應之非揮發性半導體記憶體。

根據上述資料記憶系統，就用以管理記憶體區域之管理資料，係將其作為二值資料記憶於與二值資料對應之非揮發性半導體記憶體。藉此，與管理資料有關之錯誤讀出的機率將可降低，因此，引起對系統而言為致命性之錯誤的可能性降低。

根據上述資料記憶系統，就二值資料係不實行錯誤訂正處理。藉此，可實現高速資料處理。

本發明又一層面之資料記憶系統，備有包含複數個記憶格之非揮發性記憶體區域；上述複數個記憶格分別可以二值或三值以上之多值狀態記憶資料，並可將記憶之上述二值或上述多值資料讀出；此外，此系統又備有用以與外部間作資料授受，進行上述非揮發性記憶體區域中之資料寫入以及自上述非揮發性記憶體區域之資料讀出的控制裝置；上述控制裝置當應答於上述儲存資料判斷有來自外部之寫入被要求相對上高信賴性之資料或高速授受資料的要求時，係以上述二值之狀態將上述儲存資料寫入上述非揮發性記憶體區域。

較佳的是，控制裝置具有在一定期間內測定自外部接受之儲存資料的大小之測定電路，以及控制電路。該控制電路係作以下之控制：接受測定電路之輸出，在儲存資料之大小為基準值以下時，將儲存資料以多值之狀態寫入非揮發性記憶體區域，而當儲存資料之大小超過基準值時，係



五、發明說明 (11)

將儲存資料以二值之狀態寫入非揮發性記憶體區域。

較佳的是，進一步備有在資料中附加錯誤檢測符號之錯誤訂正電路，而控制裝置係在以多值狀態將資料寫入時，附加錯誤檢測符號進行寫入，在以二值狀態作資料寫入時，係不附加錯誤檢測符號而逕行寫入。

根據上述資料記憶系統，含有可以二值或多值狀態將資料記憶之複數個記憶格，且可應答於自外部接受之資料以二值或多值狀態儲存資料。藉此，可以大容量作高信賴性且高速之資料處理。

根據上述資料記憶系統，藉由備有可在一定期間內測定自外部接受之儲存資料的大小之測定電路，當上述儲存資料之大小超過上述基準值之場合，係判斷被要求高速寫入，可以二值之狀態寫入資料。

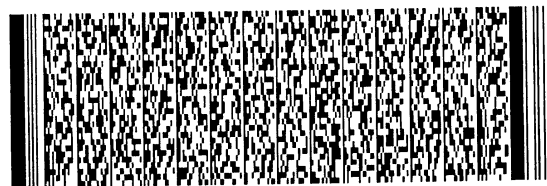
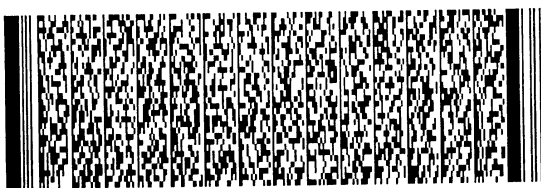
根據上述資料記憶系統，。就供管理記憶體區域之管理資料，係以二值記憶資料。藉此，與管理資料有關之錯誤讀出的機率將可降低，因此，引起對系統而言為致命性之錯誤的可能性降低。

根據上述資料記憶系統，就二值資料係不實行錯誤訂正處理。藉此，可實現高速資料處理。

[發明之實施形態]

以下，茲將本發明之實施形態，佐以圖面詳細說明之。又，圖中相同或相當之部份係標記以相同之符號，其說明不作重複。

[實施形態1]



五、發明說明 (12)

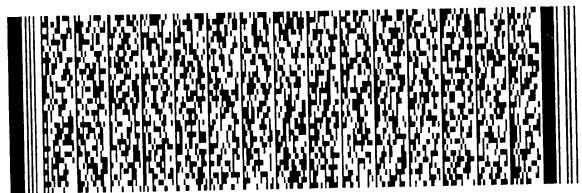
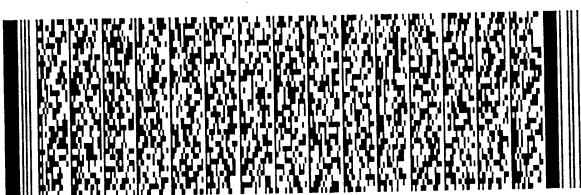
茲就本發明實施形態1之快閃記憶體1000說明之。本發明之實施形態1係記憶多值資料之區域與記憶二值資料之區域可混合存在之快閃記憶體。

如圖1所示，快閃記憶體1000備有：用以與外部間進行信號授受之複數個引線；與複數個引線對應而設之輸出入緩衝器11；將自輸出入緩衝器11輸出的內部位址信號解碼之位址解碼器12；將自輸出入緩衝器11輸出的內部控制信號解碼並發出命令之命令解碼器13、以及配置成行列狀之包含複數個非揮發性記憶格之記憶格陣列MA及MB。

複數個引線，包括：輸出表示記憶體是在動作中(忙碌狀態)或可動作之狀態的信號R/B之R/B引線P1，進行資料輸出入之資料輸出入引線群P2，以及接受供控制內部動作的外部控制信號之控制引線群P3。控制引線群P3包含晶片起動/接受CE信號/CE引線。

記憶格陣列MA及MB中所含之記憶格，係可設定成複數之狀態，記憶二值資料或多值資料(3位元以上)。以下，作為多值資料之一例，茲利用"01"、"00"、"10"、"11"說明之。多值資料/二值資料與臨限值之關係，係可應用圖44中所示之對應關係。又，實施形態1中，當有二值資料"0"之寫入要求時，係將記憶格形成多值資料"01"之狀態。

快閃記憶體1000進而備有供控制資料寫入、讀出、抹除等之控制用CPU16以及供控制檢驗動作之檢驗電路17。控制用CPU16包含保持裝置內部之狀態的狀態暫存器18。該狀態暫存器18所保持之資訊，係可輸出至外部。



五、發明說明 (13)

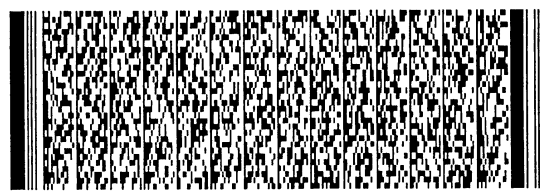
根據自外部接受之命令，係控制資料係以二值還是多值記憶於記憶格。藉由命令解碼器13，識別二值寫入命令/多值寫入命令之何者被輸入。控制用CPU16係應答於命令解碼器13之輸出，依二值之寫入順序或多值之寫入順序，進行對記憶格寫入資料之控制。

讀出/寫入，係以連接於1條字線之記憶格所構成的區(或頁)單位進行。

快閃記憶體1000進一步備有：接受位址解碼器12之輸出，作記憶格陣列MA的列向選擇之X解碼器14A；接受位址解碼器12之輸出進行記憶格MB的列向選擇之X解碼器14B；相對記憶格陣列MA而設之多值旗標部15A；相對記憶格陣列MB而設之多值旗標部15B；應答於位址解碼器12的輸出及控制用CPU16的輸出而動作之Y解碼器/資料門鎖器19、20；應答於位址解碼器12的輸出及控制用CPU16的輸出而動作之Y解碼器/感測門鎖器21；以及多值旗標感測門鎖器部22。Y解碼器係作記憶格陣列之行向選擇。

多值旗標部15A、15B中，如後所述，儲存有一表示在記憶格中記憶的是二值資料抑或是多值資料。對於多值旗標部15A、15B之資料寫入(多值為"0"，二值為"1")、多值旗標部15A、15B之資料的輸出，係由控制用CPU16所控制。多值旗標部15A、15B之資料，如後所述，係與自記憶格之資料讀出依相同之手續讀出。

如圖2所示，記憶格陣列MA包含複數之非揮發性記憶格M及配置於列向之字線WL00及WL01。記憶格陣列MB包含複數



五、發明說明 (14)

之非揮發性記憶格M、以及配置於列向之字線WL10及WL11。位元線BL1、BL2係與記憶格陣列MA及MB的行對應共通地配置。

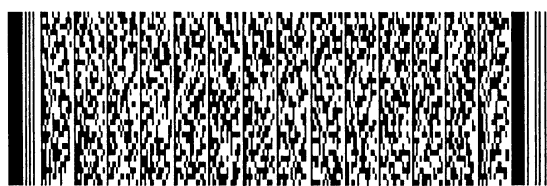
記憶格M之控制閘極層係與字線，汲極區域係與字線連接，而源極區域係接受源極電壓VSL。

X解碼器14A及14B，包含接受位址解碼器12之輸出解碼器信號的複數個NAND電路及複數個反相器。包含於X解碼器14A之反相器V1a，係將NAND電路N1a之輸出反相，而驅動字線WL00，反相器V1b係將NAND電路N1b之輸出反相而驅動字線WL01。包含於X解碼器14B之反相器V1c，係將NAND電路N1c之輸出反相而驅動字線WL10，反相器V1d係將NAND電路N1d之輸出反相而驅動字線WL11。

多值旗標部15A及15B分別包含多值旗標MF。多值旗標MF具有與記憶格M(非揮發性記憶格)相同之構造。圖中，表示分別與字線WL00、WL01、WL10及WL11連接之四個多值旗標MF。多值旗標MF係以區或頁單位配置。多值旗標MF係以配置於位元線方向之配線(稱為位元線BL0)與多值旗標感測門鎖器部22連接。多值旗標MF係記憶一表示是以二值或多值將資料寫入與同字線連接之記憶格M的值。

Y解碼器/資料門鎖器19包含與位元線對應配置之位元門鎖器1。該資料門鎖器1係由反相器V3a及反相器V3b所構成。Y解碼器/資料門鎖器20包含與位元線對應配置之資料門鎖器2。資料門鎖器2係由反相器4a及反相器4b所構成。

與一條字線連接之記憶格的汲極，分別與彼此不同之感



五、發明說明 (15)

測門鎖器與資料門鎖器電氣連接。

讀出動作時，係對字線賦與讀出電壓，介以感測門鎖器判定電流是否流入記憶格。資料門鎖器1、2係用以保存讀出之結果。本發明之實施形態1中，為自一個記憶格讀出2位元之信號，因而配置資料門鎖器1、2。利用資料門鎖器1、2之值，將資料輸出至外部。

在寫入動作中，首先係將資料輸入資料門鎖器1、2，而後再於感測門鎖器3#1中設定值，藉而變化記憶格之臨限值。

多值旗標感測門鎖器部22包含由反相器V5a及V5b所構成之感測門鎖器3#2。感測門鎖器3#及3#2總稱為感測門鎖器3。

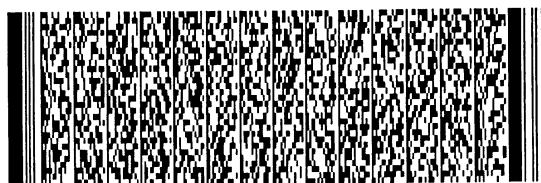
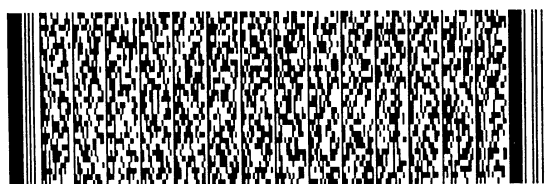
各門鎖器(資料門鎖器、感測門鎖器)與位元線之間，配置有信號處理電路25。

信號處理電路25係如圖3所示，包含NMOS電晶體T1、T2及T3。又，如圖3所示，門鎖器L係表示資料門鎖器、感測門鎖器其中之一。

電晶體T1係配置於位元線與門鎖器L之輸出入節點Z1之間。電晶體T2係連於節點Z2與節點Z3之間，閘極係與節點Z1連接。電晶體T3係連接於節點Z3與字元線之間。

藉由信號處理電路25，進行選擇預充電處理、選擇放電處理、感測處理、控制用CPU16係因應處理對之節點22、電晶體T1之閘極、電晶體T3之閘極提供信號。

選擇預充電處理中，如圖4A所示，係對電晶體T1之閘



五、發明說明 (16)

極、節點Z2、電晶體T3之閘極分別提供L位準、H位準、H位準之信號。被門鎖於門鎖器L之值若為"1"，則藉由電晶體T2及T3，位元線係保持於"H"，若為"0"，則位元線原狀保持電壓位準。

在選擇放電處理中，如圖4B所示，係對電晶體T1之閘極、節點Z2、電晶體T3之閘極分別施加L位準、L位準、H位準之信號。則門鎖於門鎖器L之值為"1"時，位元線係保持於"L"，若為"0"，則位元線原狀保持電壓位準。

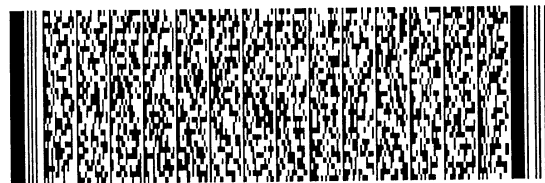
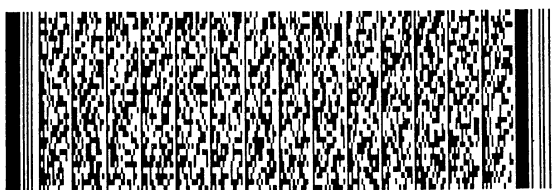
再者，於感測處理中，如圖4C所示，係對電晶體T1之閘極施加H位準之信號，對節點Z2施加H或L位準之信號，對電晶體T3之閘極施加L位準之信號、門鎖器L係應答於位元線之電位成為"1"或"0"。

又，以下所示之自門鎖器至門鎖器之資料傳送處理，係藉由根據傳送門鎖器進行選擇預充電，並以目的端門鎖器進行感測處理而完成。

有關快閃記憶體1000之寫入/讀出/抹除之概要，茲以圖27說明之。記憶格M，係由形成於基板10上之源極區域6及與位元線連接之汲極區域7、浮閘層8、及與字線連接之控制閘層9。

資料寫入時，如圖27所示，對於成為寫入對象之記憶格，係介以字線對控制閘層9施加正的高電壓(例如18V)。此時，對應之感測門鎖器係設為"0"(0V)，對汲極區域施加0V。又，源極區域6係設成開路狀態。

如圖27B所示，對於非為寫入對象之記憶格，係將對應



五、發明說明 (17)

之感測閘鎖器設為"1"(6V)，對於汲極區域7施加6V。

在將資料作集中抹除時，如圖27所示，係對控制閘層9施加負的高電壓(例如-16V)。此時，對源極區域6及汲極區域7係施加0V。記憶格之臨限值係成為最低狀態(與多值資料"11"、二值資料"1"對應)。

在資料讀出時，如圖27D所示，係介以字線對控制閘層9施加正電壓(例如3V)，對源極區域6及汲極區域7施加0V。另以感測閘鎖器判定電流是否流過記憶格。

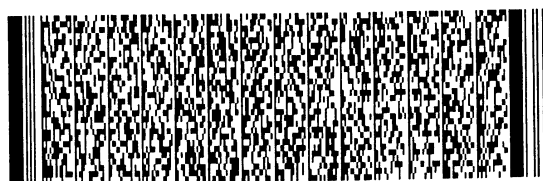
其次，茲就快閃記憶體1000中之資料的讀出序列之細節，以與只記憶多值資料之多值快閃記憶體比較的方式說明之。

多值快閃記憶體係執行圖6A～6A，圖7A、圖7B之讀出序列。又，其多值資料("01"、"00"、"10"或"11")，係依同於本發明之方式使用資料閘鎖器1、2及感測閘鎖器3讀出。

如圖5所示，其係執行三次之讀出動作(READ1、READ2、READ3)。READ1、READ2、READ3中係分別將字線電壓設成3.0V、4.0V、2.0V。

READ1(圖6A)係自記憶格陣列讀出資料，將讀出之資料("1"、"1"、"0"、"0")以感測閘鎖器3閘鎖。其次，自感測閘鎖器3將資料傳送至資料閘鎖器2(傳送處理)。

READ2(圖6B)係自記憶格陣列讀出資料，將讀出之資料("1"、"0"、"0"、"0")以感測閘鎖器3閘鎖。其次，自感測閘鎖器3將資料傳送至資料閘鎖器1(傳送處理)。



五、發明說明 (18)

READ3(圖6C)係自記憶格陣列讀出資料，將讀出之資料("1"、"1"、"1"、"0")以感測門鎖器3門鎖。

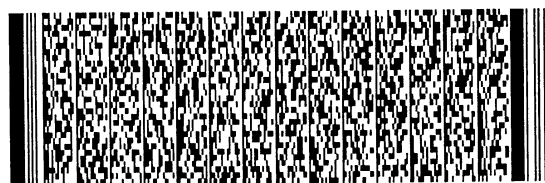
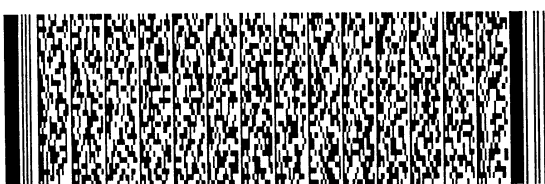
其次，進行演算處理(圖7A)。在演算處理中，係將資料自感測門鎖器3傳送至資料門鎖器1(傳送處理)，將資料自資料門鎖器1傳送至感測門鎖器3(轉送反轉處理)。藉此，進行感測門鎖器3之資料與資料門鎖器1之資料的XOR處理。

而後，進行輸出處理(圖7B)。具體而言，係將資料自感測門鎖器3傳送至資料門鎖器1(傳送處理)。而後，輸出資料門鎖器2之資料("0"、"0"、"1"、"1")及將資料門鎖器1之資料("0"、"1"、"1"、"0")反轉之資料，藉此，讀出多值資料("01"、"00"、"10"、"11")。

又，資料(3次讀出後之資料門鎖器的值)與藉各動作被門鎖於感測門鎖器3之值的關係，係如圖8所示。

相對於此，在快閃記憶體1000中，係執行圖9～圖11所示之多值資料的讀出序列。首先，控制用CPU16係以第1次之讀出動作(READ1)讀出多值旗標MF之資料，根據此值判斷是否要做第2次或第3次之讀出動作。與多值旗標MF之資料為"0"，即同一區(或同一頁)之記憶格M中有多值資料記憶此一事實被表示之場合，係執行第2次、第3次之讀出動作READ2、READ3。READ1中，字線電壓係設成3.0V，READ2中，字線電壓係設成4.0V，READ3中，字線電壓係設成2.0V。

於READ1中(圖10A)，係讀出記憶格陣列MA之記憶格M及



五、發明說明 (19)

與該記憶格對應之多值旗標MF的資料。記憶格M之資料("1"、"1"、"0"、"0")係感測閘鎖器3#1閘鎖，多值旗標MF之資料("0")係以感測閘鎖器3#2閘鎖。

由於多值旗標MF資料為"0"，控制用CPU16係執行多值資料讀出用序列。自感測閘鎖器3#1對於資料閘鎖器2傳送記憶格M之反轉資料(傳送處理)。

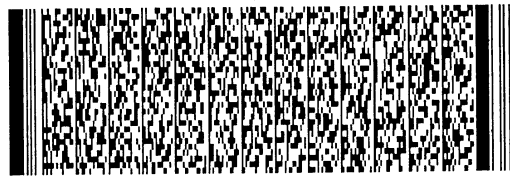
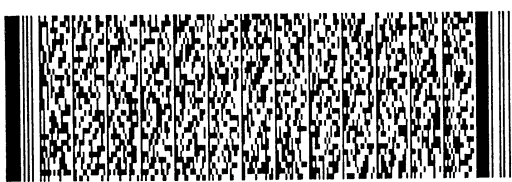
在READ2(圖10B)中，係自記憶格M讀出資料。記憶格M之資料("1"、"0"、"0"、"0")係以感測閘鎖器3#1閘鎖。自閘鎖器3#1係將記憶格M之資料傳送至資料閘鎖器1(傳送處理)。

在READ3(圖10C)中，係自記憶格M讀出資料。將記憶格M之資料("1"、"1"、"1"、"0")以感測閘鎖器3#1閘鎖。

其次，進行演算處理(圖11A)。在演算處理中，係對於記憶格陣列MA之位元線作基於感測閘鎖器3#1之選擇預充電處理，以及基於資料閘鎖器1之選擇放電處理。藉此，資料閘鎖器1之資料與感測閘鎖器3#1之資料的XOR處理進行。

其次，進行輸出處理(圖11B)。具體而言，係以資料閘鎖器1作感測處理。在資料閘鎖器1中，係閘鎖與記憶格陣列MA之位元線的電位對應之資料("0"、"1"、"1"、"0")。而後，輸出資料閘鎖器2之資料("0"、"0"、"1"、"1")與資料閘鎖器1之資料反轉成之資料。藉此，多值資料("01"、"00"、"10"、"11")讀出。

又，資料(3次讀出動作後之資料閘鎖值)與藉由各動作



五、發明說明 (20)

被門鎖於感測門鎖器3之值的關係，係如圖12所示。

二值資料讀出時，快閃記憶體1000係執行圖13、圖14A、圖14B所示之二值資料的讀出序列。在第1次讀出動作(READ1)所讀出之多值旗標MF的資料為"1"時，控制用CPU16係如圖13所示於READ1終了讀出動作。

在READ1(圖14A)中，係讀出記憶格陣列MA之記憶格M及其對應之多值旗標MF的資料。將記憶格M之資料("1"、"1"、"0"、"0")以感測門鎖器3#1門鎖，將多值旗標MF之資料("1")以感測門鎖器3#2門鎖。

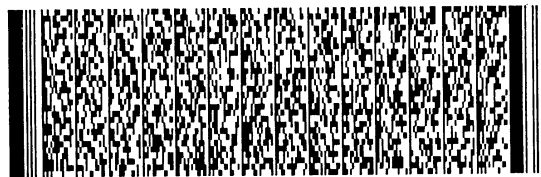
由於多值旗標MF之資料為"1"，控制用CPU16係作控制使系統執行讀出用序列。自感測門鎖器3#1將資料傳送至資料門鎖器2(傳送處理)。在資料門鎖器2中門鎖有讀出資料之反轉資料。

其次，進行輸出處理(圖14B)。具體而言，係將資料門鎖器2之資料("0"、"0"、"1"、"1")輸出。藉此，讀出二值資料("0"、"0"、"1"、"1")。

又，資料(1次讀出動作後之資料門鎖器的值)與以1次之讀出動作在感測門鎖器3中門鎖之值的關係，係如圖15所示。如此，根據多值旗標之值，可將讀出動作以一次終了。

其次，茲就對於快閃記憶體1000之資料寫入序列，與只記憶多值資料之多值快閃記憶體比較說明之。

多值快閃記憶體係執行圖16、圖17A～圖17D、圖18A～18D所示之寫入序列。又，多值資料("01"、"00"、"10"或



五、發明說明 (21)

"11") 與本發明相同，係使用資料門鎖器1、2及感測門鎖器3#1寫入。

如圖16所示，係執行三次之寫入動作(PROGRAM1、PROGRAM2、PROGRAM3)。在PROGRAM1、2、3中，係將字線電壓分別設於18V、17V、16V。

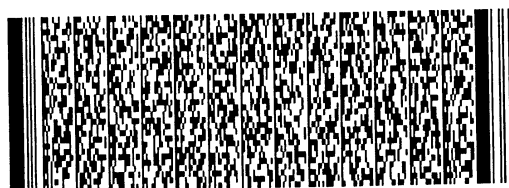
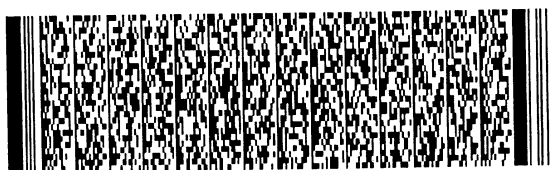
在PROGRAM1中係寫入資料"01"，在PROGRAM2中係寫入資料"00"，在PROGRAM3中係寫入資料"10"。

PROGRAM1之處理，係如圖17A~D所示。如圖17A所示，係在資料門鎖器1中儲存第1位元之資料("1"、"0"、"0"、"1")，在資料門鎖器2中儲存第2位元之資料("0"、"0"、"1"、"1")。自資料門鎖器1將資料傳送至感測門鎖器3(傳送處理)。

如圖17B所示，將資料門鎖器2與感測門鎖器3之間的位元線均預充電("1")。如圖17C所示，對該位元線根據資料門鎖器2作選擇放電處理，根據資料門鎖器3作選擇放電處理。

其次，如圖17D所示，以感測門鎖器3作感測處理。在該感測門鎖器3中，門鎖與該位元線之電位對應的資料("1"、"0"、"0"、"0")及反轉資料。與門鎖"0"之感測門鎖器連接之記憶格M中，係寫入資料"01"。

PROGRAM2之處理係如圖18A~18D所示，如圖18A所示，將資料自資料門鎖器1傳送至感測門鎖器3(傳送處理)。如圖18B所示，根據感測門鎖器3，對於資料門鎖器2與感測門鎖器3之間的位元線，進行選擇預充電處理。如圖18C所



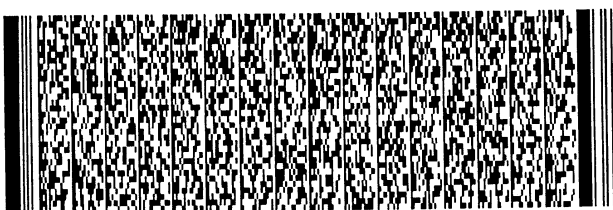
五、發明說明 (22)

示，根據資料門鎖器2，對於該位元線作選擇放電處理。如圖18D所示，以感測門鎖器3作感測處理。在感測門鎖器3中門鎖有與該位元線之電位對應的資料("0"、"1"、"0"、"0")及反轉資料。與門鎖"0"之感測門鎖器連接的記憶格M中，寫入有資料"00"。

PROGRAM2之處理，係如圖18A~18D所示。如圖18A所示，係自資料門鎖器1將資料傳送至感測門鎖器3(傳送處理)。如圖18B所示，根據感測門鎖器3，對於資料門鎖器2與感測門鎖器3之間的位元線進行選擇預充電處理。如圖18C所示，根據資料門鎖器之對該位元線作選擇放電處理。如圖18D所示，以感測門鎖器3作感測處理。感測門鎖器3中門鎖有對應於該位元線之電位的資料("0"、"1"、"0"、"0")及反轉資料。與門鎖"0"之感測門鎖器的記憶格M中寫入有資料"00"。

PROGRAM3之處理係如圖19A~19D所示。如圖19A所示，自資料門鎖器1將資料傳送至感測門鎖器3(傳送處理)。如圖19B所示，將感測門鎖器3與資料門鎖器1之間的位元線均預充電("1")。如圖19C所示，對於該位元線根據感測門鎖器3進行選擇放電處理，根據資料門鎖器1作選擇放電處理。

其次，如圖19D，以感測門鎖器3作感測處理。感測門鎖器3中門鎖有與該位元線之電位對應的資料("0"、"0"、"1"、"0")及反轉資料。與門鎖"0"之感測門鎖器連接之記憶格M中係寫入有資料"10"。



五、發明說明 (23)

又，資料(資料饋入後之資料門鎖器的值)與藉由各動作被門鎖於感測門鎖器3之值的關係，係如圖20所示。

相對於此，快閃記憶體1000在多值資料寫入時，係執行如圖21～圖23所示之寫入序列。

如圖21所示，係執行3次寫入動作(PROGRAM1、PROGRAM2、PROGRAM3)。PROGRAM1、2、3中，係分別將字線電壓設於18V、17V、16V。

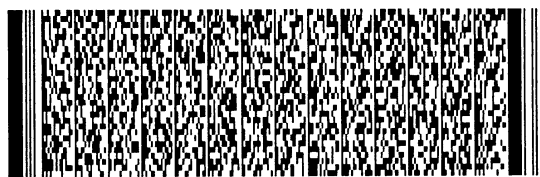
PROGRAM1之處理，係如圖22A～22D所示。如圖22A所示，係在資料門鎖器1中儲存第1位元之資料("1"、"0"、"0"、"1")，在資料門鎖器2中儲存第2位元之資料("0"、"0"、"1"、"1")。自資料門鎖器1將資料傳送至感測門鎖器3#1(傳送處理)。

與此同時，為了於記憶格陣列MA側之多值旗標部MF中寫入"0"，係在感測門鎖器3#2之記憶格陣列MA側儲存"0"。

如圖22B所示，將記憶格陣列MB之位元線均預充電("1")。如圖22C所示，對於記憶格陣列MB之位元線，係根據資料門鎖器2作選擇放電處理，根據感測門鎖器3#1作選擇放電處理。

如圖22D，以感測門鎖器3#1進行感測處理。在感測門鎖器3#1中，門鎖有與該位元線之電位對應的資料("1"、"0"、"0"、"0")及反轉資料。在與門鎖有"0"之感測門鎖器連接的記憶格M中，寫入有資料"01"。

PROGRAM2、3之處理內容，係與上述多值快閃記憶體中之PROGRAM2、3之處理相同。藉此，寫入資料"00"、



五、發明說明 (24)

"10"。

又，資料(資料饋入後之資料閘鎖器之值)與各寫入動作中被閘鎖於感測閘鎖器3之值的關係，係如圖23所示。

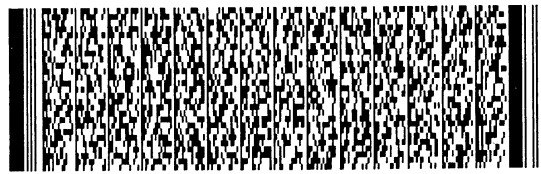
如此，在多值資料寫入時，係將寫入資料閘鎖於資料閘鎖器。當寫入多值資料"01"時，係將對應之感測閘鎖器設為"0"，將對應於"01"以外之多值資料記憶格之感測閘鎖器設為"1"。同樣地，在寫入多值資料"00"時，係將對應之感測閘鎖器設為"0"，將對應於"00"以外之多值資料的記憶格之感測閘鎖器設為"1"。再者，當寫入多值資料"10"時，係將對應之感測閘鎖器設為"0"，將對應於"10"以外之多值資料的記憶格之感測閘鎖器設為"1"。此時，在多值旗標中，儲存有表示其為多值資料之值。

再者，於快閃記憶體1000中，在二值資料寫入時，係執行如圖24～圖25所示之寫入序列。

如圖24所示，執行1次之寫入動作(PROGRAM1)。在PROGRAM1中，係將字線電壓設為18V。

PROGRAM1之處理，係如圖25A～25C所示。如圖25A所示，在資料閘鎖器2中儲存寫入資料("0"、"0"、"1"、"1")。同時，為在記憶格陣列MA側之多值旗標部MF寫入"1"，係在感測閘鎖器3#2之記憶格陣列MA側儲存"1"。又，將記憶格陣列MB之位元線均預充電("1")。

如圖25B所示，對於記憶格陣列MB之位元線，係根據資料閘鎖器2作選擇放電處理。如圖25C所示，以感測閘鎖器3#1作感測處理。感測閘鎖器3#1中，閘鎖有與該位元線之



五、發明說明 (25)

電位對應的資料("1"、"1"、"0"、"0")及反轉資料。藉此，與門鎖"0"之感測門鎖器連接之記憶格M中寫入有資料"0"(與資料"01"相當)。

資料(資料饋入後之資料門鎖器的值)，與以1次之寫入動作門鎖於感測門鎖器3之值的關係，係如圖26所示。

如此，在有二值之寫入要求時，可在寫入資料"01"之時間點，終了寫入動作。

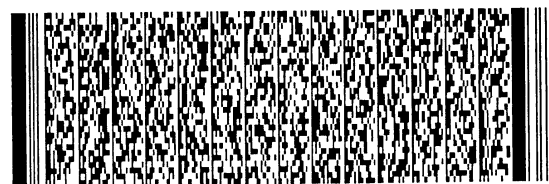
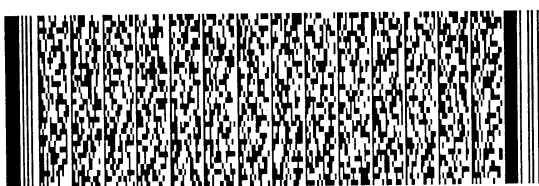
如此，根據本發明實施形態1之快閃記憶體1000，係可混合多值資料與二值資料記憶。因此，可應答於寫入要求，例如就必須為高信賴性之資料以二值記憶，又，就大容量之資料則以多值記憶。又，就多值資料可以多值流出資料，就二值資料可以二值讀出資料。

[實施形態2]

本發明之實施形態2，係就快閃記憶體1000之改良例說明之。本發明實施形態2之控制用CPU，係在讀出二值資料時也是，與多值資料相同，控制成作三次之讀出動作。又，當第1次之讀出動作與第3次之讀出動作所讀出之資料的值不同時，更具體而言，在成為與多值資料之"10"、"00"相當之臨限值的場合，係發出警告，表示以二值記憶之資料的臨限值變化。

警告產生時，控制用CPU係作再度寫入二值資料之控制。

本發明實施形態2之快閃記憶體中的二值資料之讀出序列，係以圖28～圖31說明如下。



五、發明說明 (26)

本發明實施形態2中，如圖28所示，係執行合計3次之讀出動作(READ1、READ2、READ3)。在READ1、2、3中，分別係將字線電壓設為3.0V、4.0V、2.0V。

寫入有二值資料之記憶格，係設成多值資料"01"之狀態("0P")、多值資料"00"之狀態("0E")、多值資料"11"之狀態("1P")、或多值資料"10"之狀態。控制用CPU16係檢測1出"0E"及"1E"之狀態，發出警告。

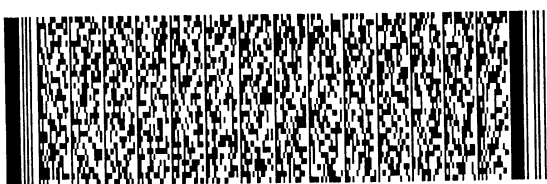
在READ1中(圖29A)，係讀出記憶格陣列MA之記憶格M及與該記憶格M對應之多值旗標MF的資料，並以感測門鎖器門鎖之。在感測門鎖器3#1中，儲存有與記憶格M("0P"、"0E"、"1E"、"1P")對應之資料("1"、"1"、"0"、"0")，在感測門鎖器3#2之記憶格陣列MA側，儲存有多值旗標MF之資料("1")。自感測門鎖器3#1將資料傳送至資料門鎖器2(傳送處理)。

在READ2(圖29B)中，係自記憶格M讀出資料。將讀出之資料("1"、"0"、"0"、"0")以感測門鎖器3#1門鎖。自感測門鎖器3#1將資料傳送至資料門鎖器1(傳送處理)。

在READ3(圖29C)中，係自記憶格M讀出資料。將讀出之資料("1"、"1"、"1"、"0")以感測門鎖器3#1門鎖。

其次，進行演算處理(圖29D)。演算處理中，係對於記憶格陣列MA之位元線根據感測門鎖器3#1作選擇預充電處理，根據資料門鎖器1作選擇放電處理。藉此，進行資料門鎖器1之資料與資料門鎖器3#1之資料的XOR處理。

其次，進行輸出處理(圖29E)。具體而言，係以資料門



五、發明說明 (27)

鎖器1作感測處理。資料門鎖器1中，門鎖有與記憶格陣列MA之位元線的電位對應之資料("0"、"1"、"1"、"0")。

又，資料(3次讀出動作後之資料門鎖器的值)與藉由各動作門鎖於感測門鎖器3#1之值的關係，係成為如圖32所示。

控制用CPU16在讀出之資料為二值資料之場合(多值旗標MF為"1")，進一步進行00檢測處理及10位準檢測處理。

00位準檢測處理中，作為第一處理(圖30A)，係將記憶格陣列MA之位元線均預充電。而在第二處理(圖30B)中，係對於記憶格陣列MA之字元線根據資料門鎖器1作選擇放電處理，以感測門鎖器3#1作感測處理。

第三處理(圖30C)係對於記憶格陣列MB之位元線根據感測門鎖器3#1作選擇預充電處理，並根據資料門鎖器2作選擇放電處理。再者，作為第四處理(圖30D)，係以感測門鎖器3#1作感測處理。在感測門鎖器3#1中，門鎖有與記憶格陣列MB之位元線的電位對應之資料("0"、"1"、"0"、"0")。

與"0E"狀態之記憶格對應的感測門鎖器中，儲存有與對應於其他記憶格之感測門鎖器不同之值。使用經門鎖之值，以圖33所示之全門鎖判定電路200作ALL(全部)判定處理。又，當00位準檢測處理的第四處理終了，則進行10位準檢測處理。

10位準檢測處理之第一處理(圖31A)，係將資料自資料門鎖器1傳送至感測門鎖器3#1(傳送處理)。而後之第二處



五、發明說明 (28)

理(圖31B)係對於記憶格陣列MB之位元線，根據感測門鎖器3#1作選擇放電處理，根據資料門鎖器2作選擇預充電處理。

而後之第三處理(圖31C)係以感測門鎖器3#1作感測處理。在感測門鎖器3#1中，門鎖有與記憶格陣列MB之位元線的電位對應之資料("0"、"0"、"1"、"0")。

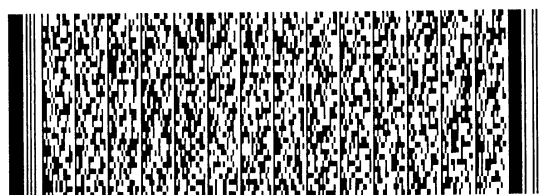
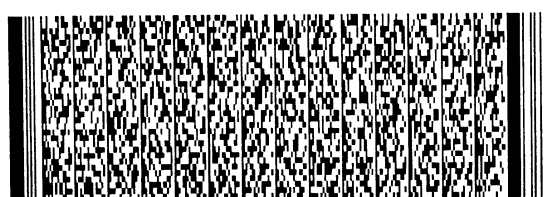
與"1E"狀態之記憶格對應之感測門鎖器中，儲存有與其他記憶格對應之感測門鎖器不同的值。使用經門鎖之值，以圖3所示之全門鎖判定電路200作ALL判定處理。

進行ALL判定處理之全門鎖判定電路200，如圖33所示，包含設於信號線L與接受接地電壓之節點之間的NMOS電晶體T10、T11、T12....，設於信號線L與接受電源電壓之節點之間的電阻元件R，以及反轉信號線L之信號的反相器V20、V21。

電晶體T10、T11、T12....係對應於複數個感測門鎖器3#1各者而設。各電晶體T10、T11、T12....係應答於對應之感測門鎖器3#1之輸出而ON/OFF。

所有感測門鎖器3#1之輸出若為"L"位準，則自反相器V21輸出之判定值成為"H"位準。

是以，在圖30及圖31所示之場合，由於係自一個感測門鎖器3#1輸出H位準之信號，因此判定值係成為"L"位準。根據此一判定值，控制用CPU16為修正臨限值之位移而再度寫入二值資料，並發出表示臨限值位移之警告信號。警告信號例如係介以狀態暫存器18輸出至外部。



五、發明說明 (29)

如此，根據本發明實施形態2之快閃記憶體，可正確地記憶二值資料。又，在檢測出二值資料之位移的場合，可知會外部發生位移。

[實施形態3]

本實施形態3係快閃記憶體1000之改良例。在上述實施形態1中，當有二值資料"0"之寫入要求時，係將記憶格設定成多值資料"01"之狀態，亦即臨限值最高之狀態。

相對於此，本發明實施形態3所用之控制用CPU16，當有二值資料"0"之寫入請求時，係將記憶格設定成與多值資料"11"之狀態最接近之多值資料"10"的狀態(圖43)。

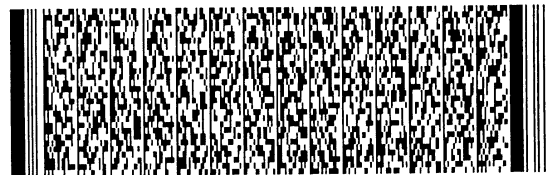
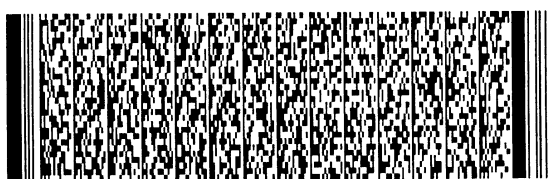
由於較之寫入"01"之場合，臨限值之位移量較少，因此可縮短寫入時間。如此，根據本發明實施形態3之快閃記憶體，可實現高速之寫入動作。

[實施形態4]

就本發明實施形態4之資料記憶系統4000，茲以圖34說明之。如圖34所示，資料記憶系統4000備有：二值快閃記憶體102，多值快閃記憶體104A及104B，以及含計數器/計時器401、緩衝器402、控制器403及錯誤訂正電路404之系統控制器400。

二值快閃記憶體102含複數個非揮發性記憶格。包含於二值快閃記憶體102之記憶格中，寫入有二值資料，又，自該記憶格讀出二值資料。

多值快閃記憶體104A及104B分別含複數個非揮發性記憶格。多值快閃記憶體104A及104B分別所含之記憶格中，寫



五、發明說明 (30)

入有多值資料，只，自該記憶格，讀出多值資料。

二值快閃記憶體102、多值快閃記憶體104A及104B，分別係自I/O引線輸出入資料。I/O引線係與緩衝器402連接。

二值快閃記憶體102係自R/B引線輸出供表示是否於動作中之信號R/B0。多值快閃記憶體104A及104B分別係輸出表示自R/B引線是否於動作中之信號R/B1、R/B2。信號R/B0、R/B1、R/B2係輸入至控制器403。

二值快閃記憶體102、多值快閃記憶體104A及104B分別以/OE引線接受自控制器403輸出之晶片起動信號而動作。

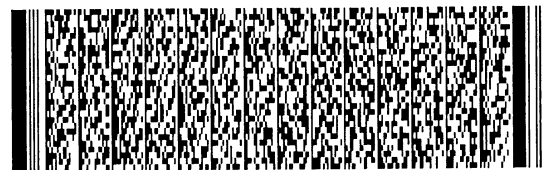
計數器/計時器401係在一定期間內測定由主系統4100所要求之寫入資料的大小。計數器/計時器401之測定結果係輸出至控制器403。

緩衝器402係捕捉自主系統4100傳送之資料，又，捕捉自快閃記憶體讀出之資料。

錯誤訂正電路404係根據控制器403之控制，對於捕捉於緩衝器402之寫入資料附加錯誤訂正檢測信號，又，在對於主系統4100作讀出資料之傳送時，係針對捕捉於緩衝器402之資料作錯誤訂正處理。

控制器403係監視計數器/計時器401之輸出、信號R/B0、R/B1、R/B2，控制對於快閃記憶體之資料的寫入。又，在資料讀出時，係控制錯誤訂正之是否進行。

如圖35所示，供驅動資料記憶系統4000之軟體、FAT資訊(表示快閃記憶體之位址與資料記憶系統4000中之位址



五、發明說明 (31)

的對應性之檔案資訊)及高速寫入被要求時之使用者資料，係寫入相對上高信賴性且可作高速動作之快閃記憶體102。除此以外之使用者資料，係寫入多值快閃記憶體104A及104B。

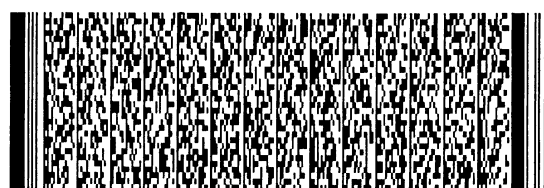
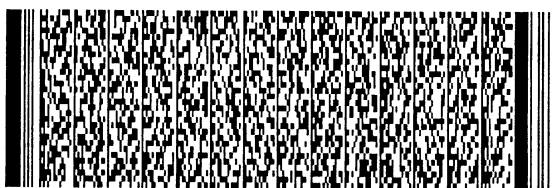
以下茲就利用系統控制器400之對於快閃記憶體的寫入控制之第1例，與只配置複數個多值快閃記憶體之資料記憶系統對比地說明之。

只使用多值快閃記憶體之場合，係以圖36所示之手續進行寫入。又，資料記憶系統係設成搭載N個多值快閃記憶體。N個多值快閃記憶體各者係被指定裝置編號1~N。若有來自主系統之寫入要求時(步驟S400)，係將作為寫入對象指定之裝置編號(DEVICE NO)初始化成"0"(步驟S401)。

而後，將裝置編號作"1"增量(步驟402)。應答於對應之多值快閃記憶體之信號R/B，判斷可寫入(完備狀態)或是不可寫入(忙狀態)(步驟S403)。

若為可寫入(完備狀態)，在對應於裝置編號之多值快閃記憶體中寫入自主系統接受之資料)(步驟S404)。而後，接受來自主系統之其次之寫入要求(步驟S400)。

若為不可寫入(忙狀態)，則判斷裝置編號是否達於最大值"N"(步驟S405)。若裝置編號較N為小，則移至將裝置編號作"1"增量之處理(步驟S402)。當裝置編號為"N"之場合，移至將裝置編號初始化成"0"之處理(步驟S401)。如此，在搭載之複數個多值快閃記憶體中，對可寫入之快閃記憶體依序寫入資料。



五、發明說明 (32)

另一方面，若依資料記憶系統4000，係依圖37所示之手續執行寫入。又，資料記憶系統4000係搭載有N個多值快閃記憶體及1個二值快閃記憶體者。將N個多值快閃記憶體分別指定裝置編號1~N，將二值快閃記憶體指定裝置編號(N+1)。

若有來自主系統4100之寫入要求(步驟4100)時，係將成為寫入對象之裝置編號初始化成"0"(步驟S411)。而後，將裝置編號作"1"增量(步驟S412)。應答於對應之多值快閃記憶體的信號R/B，判斷為可寫入(完備狀態)或不可寫入(忙狀態)(步驟S413)。

若為可寫入(完備Y狀態)，於與裝置編號對應之快閃記憶體中寫入資料(步驟S414)。又，自主系統4100接受次一寫入要求(步驟S410)。

若為不可寫入(忙狀態)，則判斷裝置編號是否達於最大值"N+1"(步驟S415)。若裝置編號較"N+1"為小，則移至裝置編號作"1"增量之處理(步驟S412)。

當裝置編號為"N+1"之場合，移至判斷對應之快閃記憶體(二值快閃記憶體)為"完備"狀態或"忙狀態"之處理(步驟S413)。

具體言之，系統控制器400係控制成監視快閃記憶體之狀態(R/B)，並自完備狀態之多值快閃記憶體進行資料之寫入。又，若全部之多值快閃記憶體為忙狀態時，係控制將資料寫入二值快閃記憶體。藉由此一動作，可在資料記憶系統4000中儲存大容量之資料。



五、發明說明 (33)

就利用系統控制器400之對快閃記憶體之寫入控制之第二例，以圖38說明之。如圖38所示，判斷是否有來自主系統4100之寫入要求(步驟S420)。當有寫入要求時，移至後述根據資料大小之寫入控制處理(步驟S421)。

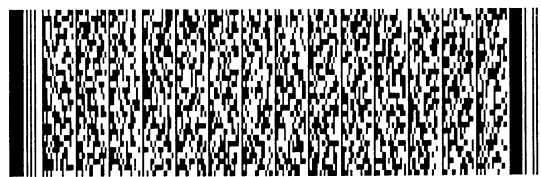
當無寫入要求時，判斷二值快閃記憶體102中是否有寫入高速寫入要求時之使用者資料(步驟S422)。當無該資料時，不進行處理(步驟S423)。當有寫入時，將二值快閃記憶體102之該資料傳送至緩衝器(步驟S424)。

介以緩衝器402對多值快閃記憶體寫入該資料(步驟S425)。而後，移至判斷主系統4100之次一寫入要求的處理(步驟S420)。

亦即，當並無來自主系統4100之寫入要求時，係將寫入二值快閃記憶體102之高速寫入要求時之使用者資料，移至多值快閃記憶體。藉此可同時達成高速寫入及大容量化。

就根據寫入資料的大小之寫入控制處理(步驟S421)，以圖39說明之。當有來自主系統4100之寫入要求(步驟S430)時，根據計數器/計時器401之輸出，判斷是否有一定時間之大小(基準值)的寫入資料。寫入資料之大小為基準值以內之場合，係將寫入對象之裝置編號初始化成"0"(步驟S432)。而後，將裝置編號作"1"增量(步驟S433)，移至判定對應之快閃記憶體之完備/忙狀態的處理(步驟S435)。

當寫入資料之大小為基準值以上之場合，係將裝置編號設成"N+1"(步驟S434)，移至判定對應之二值快閃記憶體



五、發明說明 (34)

之完備/忙狀態之處理(步驟S435)。

當對應之快閃記憶體若為完備之狀態，則對該快閃記憶體寫入資料(步驟S436)。而後，接受來自主系統4100之次一寫入要求(步驟S430)。

當對應之快閃記憶體為忙狀態時，判斷裝置編號是否達於最大值" $N+1$ "(步驟S437)。當裝置編號較" $N+1$ "為小時，移至將裝置編號作" 1 "增量之處理(步驟S433)。

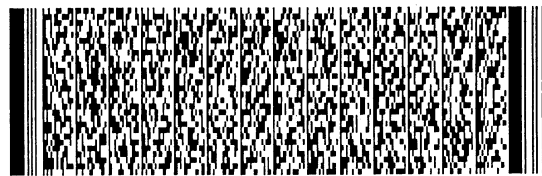
當裝置編號為" $N+1$ "之場合，移至判斷對應之快閃記憶體(二值快閃記憶體)為完備狀態或忙狀態之處理(步驟S435)。

亦即，系統控制器400在資料大之場合，係判斷有高速資料寫入之要求，而將該資料寫入可作高速動作之二值快閃記憶體。

其次，茲就利用系統控制器400之快閃記憶體的讀出控制例，以圖40說明之。當有來自主系統4100之讀出要求時(步驟S450)，儲存於快閃記憶體之對應資料係被傳送至緩衝器402(步驟S452)。

當資料自二值快閃記憶體讀出之場合，將傳送至緩衝器402之資料送至錯誤訂正電路(步驟S453)。在錯誤訂正電路404中係實施錯誤訂正處理(步驟S454)。錯誤訂正後之資料，係儲存於緩衝器402(步驟S455)。而後，移至自緩衝器402將資料傳送至主系統4100之處理(步驟S456)。

具體言之，對於二值快閃記憶體寫入時，係不附加錯誤訂正符號，而對於多值快閃記憶體寫入時，則事先附加錯



五、發明說明 (35)

誤訂正符號。又，對於來自主系統4100之資料讀出要求，若自高信賴性之二值快閃記憶體讀出資料之場合，係不進行錯誤訂正，當自多值快閃記憶體讀出資料之場合，係在進行錯誤訂正後，再將資料傳送至主系統4100。藉此，可實現高速動作。

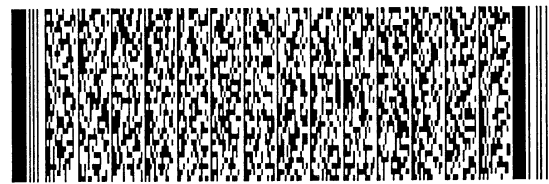
[實施形態5]

以下，茲就本發明實施形態5之資料記憶系統5000，以圖41說明之。資料記憶系統5000係如圖41所示，包含多值/二值快閃記憶體100A、100B及100C以及系統控制器400。多值/二值快閃記憶體100A~100C具有實施形態1、2或3所說明之構成，可對記憶格記憶二值資料或多值資料。

利用實施形態5之構成的場合，如圖42所示，對於快閃記憶體100A、100B，可將使用者資料以多值資料寫入，將高速寫入要求時之使用者資料以二值資料寫入，而對快閃記憶體100C，可將使用者資料以多值資料寫入，將高速寫入被要求時之使用者資料，用以驅動資料記憶系統之軟體及FAT資訊(表示快閃記憶體之位址與資料記憶系統5000中之位址的對應性之檔案資訊)以二值資料寫入。

系統控制器400係因應自主系統400接受之寫入資料的種類，控制以多值記憶還是以二值記憶。又，系統控制器400也可因應資料之種類控制錯誤訂正之是否要進行。

又，當無寫入要求時，在快閃記憶體中寫入有高速寫入要求時之使用者資料(二值資料)的場合，可將該資料傳送至緩衝器402並介以該緩衝器402以多值狀態將該資料記



五、發明說明 (36)

憶。

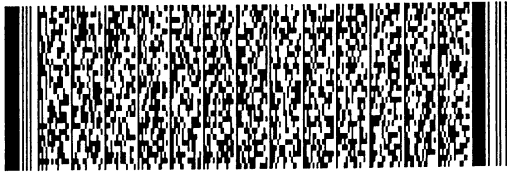
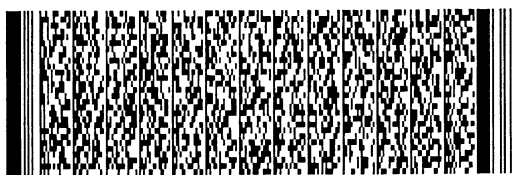
實施形態4之場合，雖然二值快閃記憶體102中多量殘留有來使用區域，但多值快閃記憶體中則無未使用區域，又，雖然多值快閃記憶體中多量殘留有未使用區域，二值快閃記憶體102中也有可能沒有未使用區域。

是以，本發明之實施形態5，係配置可寫入多值資料/二值資料，且可將寫入之多值資料/二值資料讀出之快閃記憶體。藉此，可在有效使用記憶體空間下，作高信賴性且高速之動作。

上述揭示之實施形態，其所有層面只為例示之用，並無限制之意義。本發明之範圍，並不是由實施形態說明，而是由申請專利範圍所表示，在與申請專利範圍均等之意義與範圍內的所有變更，均包含於本發明範圍之內。

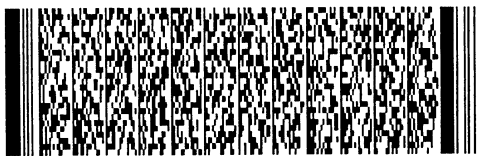
[元件編號之說明]

MA, MB	記憶格陣列
1, 2	資料閃鎖器
3	感測閃鎖器
11	輸入/輸出緩衝器
12	位址解碼器
13	命令解碼器
14A, 14B	X解碼器
15A, 15B	多值旗標部
16	控制CPU
17	檢驗電路



五、發明說明 (37)

18	狀態暫存器
19, 20	Y 解碼器 / 資料門鎖器
21	Y 解碼器 / 感測門鎖器
22	多值旗標感測門鎖器部
100A ~ 100C	多值 / 二值快閃記憶體
102	二值快閃記憶體
104A, 104B	多值快閃記憶體
401	計數器 / 計時器
402	緩衝器
403	控制器
404	錯誤訂正電路
4100	主系統



圖式簡單說明

圖1係本發明實施形態1之快閃記憶體1000的整體構成概要之方塊圖。

圖2係快閃記憶體1000主要部份的構成之電路圖。

圖3係用以說明信號處理電路的構成之電路圖。

圖4A～圖4C係選擇預充電處理・選擇放電處理・感測處理中之信號狀態圖。

圖5係表示多值快閃記憶體讀出動作時的字線電壓之圖。

圖6A～圖6C係表示多值快閃記憶體中的讀出序列(READ1～READ3)之圖。

圖7A、7B係表示多值快閃記憶體中的讀出序列之圖。

圖8係表示多值快閃記憶體之讀出動作時，資料與感測門鎖器之值的關係之圖。

圖9係表示多值快閃記憶體1000之多值資料讀出動作時的字線電壓之圖。

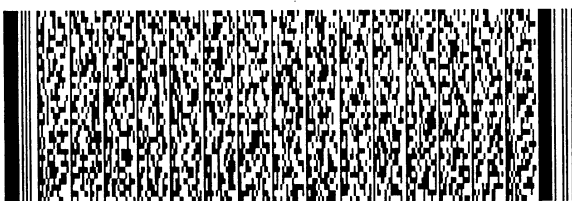
圖10A～圖10C係表示快閃記憶體1000中多值資料的讀出序列(READ1～READ3)之圖。

圖11A、11B係表示快閃記憶體1000中之多值資料的讀出序列之圖。

圖12係表示快閃記憶體1000之多值資料讀出動作時，資料與感測門鎖器之值的關係之圖。

圖13係表示快閃記憶體1000之二值資料讀出動作時的字線電壓之圖。

圖14A、14B係快閃記憶體1000中之二值資料讀出序列之



圖式簡單說明

說明圖。

圖15係表示快閃記憶體1000之二值資料讀出動作時，資料與感測門鎖器之值的關係之圖。

圖16係表示多值快閃記憶體之寫入動作時的字線電壓之圖。

圖17A～圖17D係多值快閃記憶體中之寫入序列(PROGRAM1)之說明圖。

圖18A～圖18D係多值快閃記憶體中之寫入序列(PROGRAM2)之說明圖。

圖19A～圖19D係多值快閃記憶體中之寫入序列(PROGRAM3)之說明圖。

圖20係表示多值快閃記憶體之寫入動作時，資料與感測門鎖器之值的關係之圖。

圖21係表示快閃記憶體1000之多值資料寫入動作時的字線電壓之圖。

圖22A～圖22D係表示快閃記憶體1000中多值資料的寫入序列(PROGRAM1)之圖。

圖23係表示快閃記憶體1000之多值資料寫入動作時，資料與感測門鎖器之值的關係之圖。

圖24係表示快閃記憶體1000之二值資料寫入動作時的字線電壓之圖。

圖25A～圖25C係表示快閃記憶體1000中二值資料的寫入序列(PROGRAM1)之圖。

圖26係表示快閃記憶體1000之二值資料寫入動作時，資



圖式簡單說明

料與感測門鎖器之值的關係之圖。

圖27A～圖27D係快閃記憶體1000之寫入/抹除/讀出時的電壓關係之說明圖。

圖28係本發明實施形態2快閃記憶體之二值資料讀出時的字線電壓之圖。

圖29A～圖29E係表示本發明實施形態2快閃記憶體之二值資料的讀出序列之圖。

圖30A～圖30D係表示本發明實施形態2中之00位準檢測處理的內容之圖。

圖31A～圖31C係表示本發明實施形態2中之10位準檢測處理的內容之圖。

圖32係表示二值資料讀出動作時之資料與感測門鎖器之值的關係之圖。

圖33係全門鎖判定電路200的構成之電路圖。

圖34係本發明實施形態4資料記憶系統4000之說明圖。

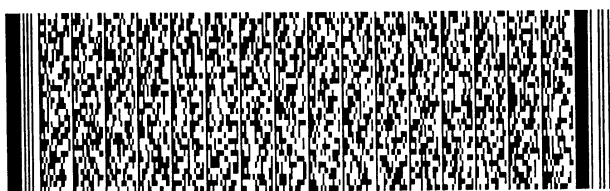
圖35係表示資料記憶系統4000中，位址空間上之資料配置例圖。

圖36係只配置複數個多值快閃記憶體之資料記憶系統中的寫入控制之流程圖。

圖37係表示資料記憶系統4000中的第1寫入控制之流程圖。

圖38係表示資料記憶系統4000中的第2寫入控制之流程圖。

圖39係表示資料記憶系統4000中，利用寫入資料的大小



圖式簡單說明

作寫入控制處理之流程圖。

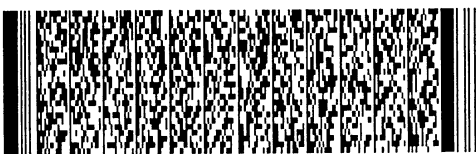
圖40係表示資料記憶系統4000中的讀出控制之流程圖。

圖41係本發明實施形態5資料記憶系統5000之說明圖。

圖42係表示資料記憶系統5000中，位址空間上之資料配置例圖。

圖43係多值資料與二值資料之關係圖。

圖44係非揮發性記憶格中，多值資料與二值資料之關係圖。

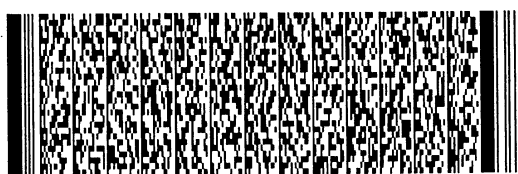


四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置及具有該非揮發性半導體記憶裝置之資料記憶系統)

本發明實施形態之快閃記憶體，備有：含非揮發性記憶格之記憶格陣列、多值旗標部、以及控制對於該記憶格陣列及多值旗標部的資料寫入、讀出、抹除之控制用CPU。多值旗標部係記憶供表示經寫入記憶格之資料為二值資料或多值資料之值。根據該多值旗標部之值，就二值資料係以二值用讀出序列讀出資料，就多值資料係以多值用讀出序列讀出資料。

英文發明摘要 (發明之名稱：NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA STORAGE SYSTEM COMPRISING THE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE)

The inventive flash memory comprises a memory cell array including nonvolatile memory cells and a control CPU controlling data writing, reading and erasing in the memory cell array and a multivalued flag part. The multivalued flag part stores a value indicating whether data written in any memory cell is binary data or multivalued data. The data can be read in a binary read sequence for the binary data or a multivalued read sequence for the multivalued data due to the value



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置及具有該非揮發性半導體記憶裝置之資料記憶系統)

英文發明摘要 (發明之名稱：NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA STORAGE SYSTEM COMPRISING THE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE)

of the multivalued flag part.



六、申請專利範圍

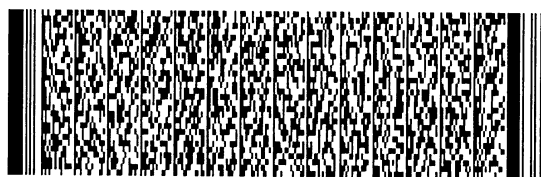
1. 一種非揮發性半導體記憶裝置，具有：包含複數個記憶格之非揮發性記憶格陣列，以及供控制對於上述複數個記憶格的寫入動作、讀出動作及抹除動作之控制電路；

上述控制電路係應答於寫入要求，對於成為寫入對象之記憶格寫入二值資料或多值資料，上述讀出動作係應答於成為讀出對象之記憶格的寫入內容，讀出上述二值資料或多值資料。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中上述控制電路係將上述成為寫入對象之記憶格，在上述二值資料寫入時，設定於抹除狀態之第1狀態或與上述第1狀態不同之第n狀態中之任一者；而在上述多值資料寫入時，設定於自上述第1狀態至第n狀態之彼此不同的合計n個(3個以上)狀態中之任一者。

3. 如申請專利範圍第2項之非揮發性半導體記憶裝置，其中上述控制電路在上述讀出動作時，就寫入上述二值資料之記憶格，係判定屬於上述第1狀態至第k狀態(惟上述 $k < \text{上述} n$)，或是自上述第 $(k+1)$ 狀態至上述第n狀態中之何者；而就寫入上述多值資料之記憶格，則係判定屬於上述合計n個狀態中之何者。

4. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中該複數個記憶格係一併被分割成成為上述寫入動作及上述讀出動作之對象的複數個寫入/讀出單位，此外又具有針對上述複數個寫入/讀出單位之各單位所配置的複數個旗標；上述複數個旗標之各者，儲存有一值用以表示在



六、申請專利範圍

對應之寫入/讀出單位之記憶格中，是上述二值資料寫入，還是上述多值資料寫入。

5. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中該控制電路在上述寫入動作中，係對於上述成為寫入對象之寫入/讀出單位寫入上述二值資料或上述多值資料，同時對於對應之旗標寫入一值，該值係表示是上述二值資料寫入還是上述多值資料寫入。

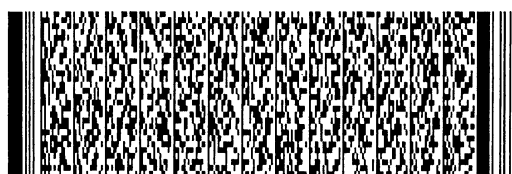
6. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中於上述讀出動作中，根據對應之旗標的值，在上述成為讀出對象之寫入/讀出單位中寫入有上述二值資料時，係執行用以讀出上述二值資料之第一讀出序列，而在寫入有上述多值資料時，係執行用以讀出上述多值資料之第二讀出序列。

7. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中該複數個記憶格之各者具有包含抹除狀態之第1狀態及與上述第1狀態最近之第2狀態的彼此不同合計 n 個之狀態(上述 n 係3以上)；

上述控制電路在上述二值資料寫入時，係將上述成為寫入對象之記憶格設定於上述第1狀態或第2狀態，在上述二值資料讀出時，係判定上述成為讀出對象之記憶格，屬於上述第1狀態或上述合計 n 個狀態中不包含上述第1狀態之狀態中之何者。

8. 一種資料記憶系統，具有：

記憶體區域，包含具備第一特性之第一非揮發性半導體



六、申請專利範圍

記憶體，以及具備與上述第一特性不同的第二特性之第二非揮發性半導體記憶體，

控制裝置，用以與外部作資料授受，對於上述記憶體區域作資料寫入及自該記憶體區域作資料讀出；又，

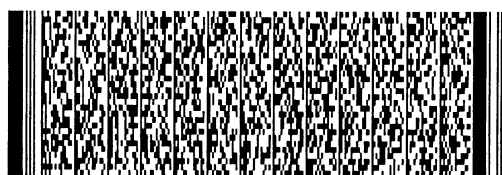
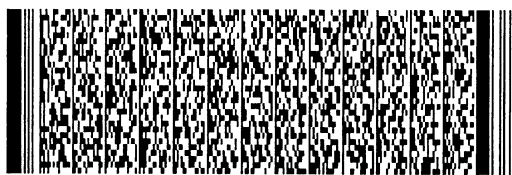
上述控制裝置係應答於自上述外部接收之供寫入上述記憶體區域的儲存資料，判斷是被要求作配合於上述第一特性之寫入，或是作配合於上述第二特性之寫入，並應答於該判斷結果，將上述儲存資料寫入上述第一非揮發性半導體記憶體或上述第二非揮發性半導體記憶體。

9. 如申請專利範圍第8項之資料記憶系統，其中該第一特性係以規定之信賴性記憶資料，且可以規定之處理速度動作之特性；上述第二特性係可以較上述第一特性相對上較高之信賴性記憶資料，且可以較上述第一特性為高速之處理速度動作。

10. 如申請專利範圍第9項之資料記憶系統，其中該第一非揮發性半導體記憶體包含分別記憶2位元以上的資料之複數個多值資料用記憶格；上述第二非揮發性半導體記憶體包含分別記憶1位元的資料之複數個記憶格。

11. 如申請專利範圍第9項之資料記憶系統，其中該控制裝置在上述第一非揮發性半導體記憶體動作中，係將上述儲存資料寫入上述第二非揮發性半導體記憶體，在上述第一非揮發性半導體記憶體非為動作中時，係將上述儲存資料寫入上述第一非揮發性半導體記憶體中。

12. 如申請專利範圍第9項之資料記憶系統，其中該控制



六、申請專利範圍

裝置係應答於與上述外部間資料授受之有無，將已寫入上述第二非揮發性半導體記憶體之資料，轉送至上述第一非揮發性半導體記憶體。

13. 如申請專利範圍第9項之資料記憶系統，其中該控制裝置係將供管理上述記憶體區域之管理資料，寫入上述第二非揮發性半導體記憶體。

14. 一種資料記憶系統，備有包含複數個記憶格之非揮發性記憶體區域；上述複數個記憶格分別可以二值或三值以上之多值狀態記憶資料，並可將記憶之上述二值或上述多值資料讀出；

此外，此系統又備有用以與外部間作資料授受，進行上述非揮發性記憶體區域中之資料寫入以及自上述非揮發性記憶體區域之資料讀出的控制裝置；上述控制裝置當應答於上述儲存資料判斷有來自外部之寫入被要求相對上高信賴性之資料或高速授受資料的要求時，係以上述二值之狀態將上述儲存資料寫入上述非揮發性記憶體區域。

15. 如申請專利範圍第14項之資料記憶系統，其中該複數個記憶格分別可設定於抹除狀態之第1狀態至第n狀態（上述n為3以上）之合計n個狀態，當資料以上述二值狀態寫入時，係設定於上述第1狀態或與上述第1狀態不同之狀態，當資料以上述多值狀態寫入時，係設定於上述合計n個狀態中之任一狀態。



圖 1

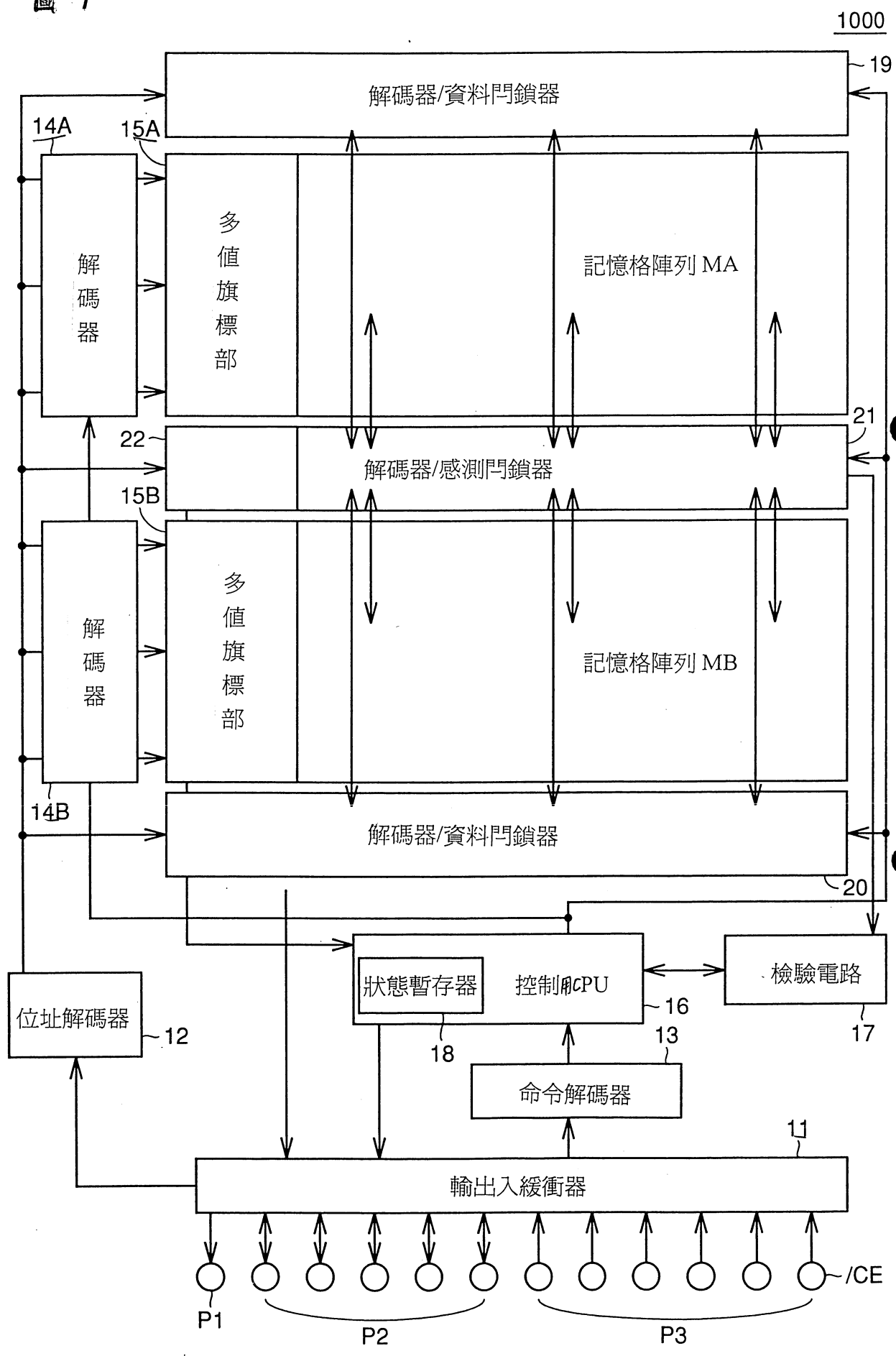


圖 2

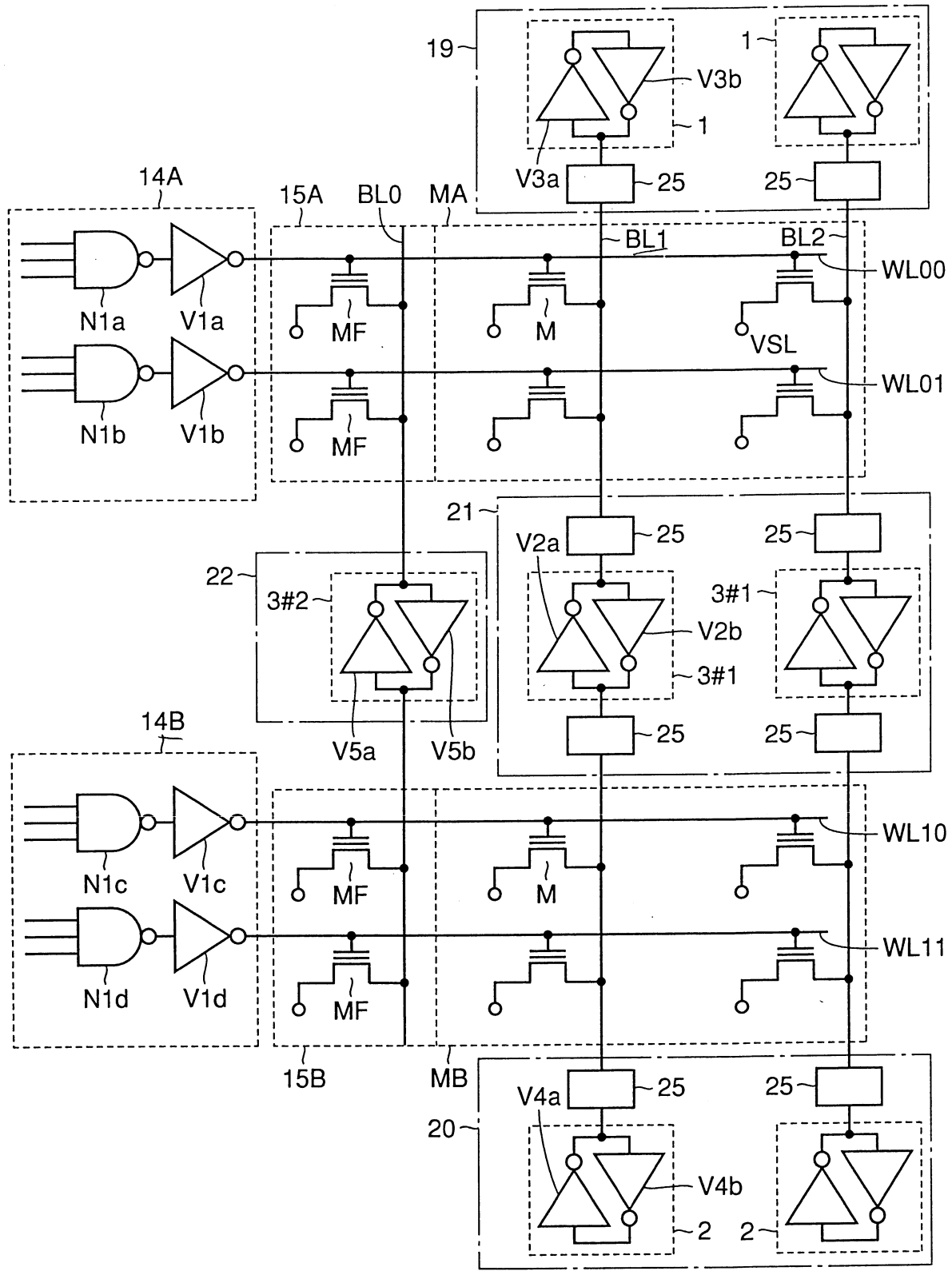


圖 3

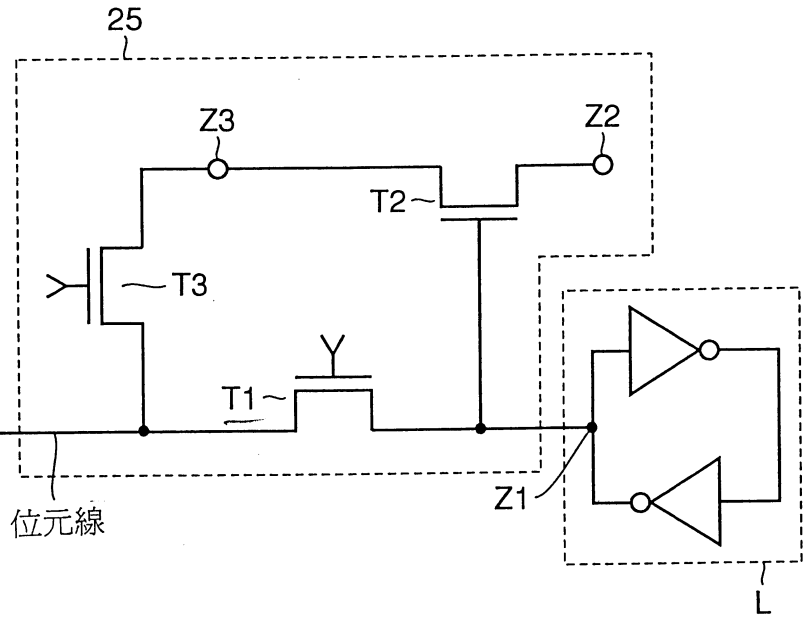


圖 4A

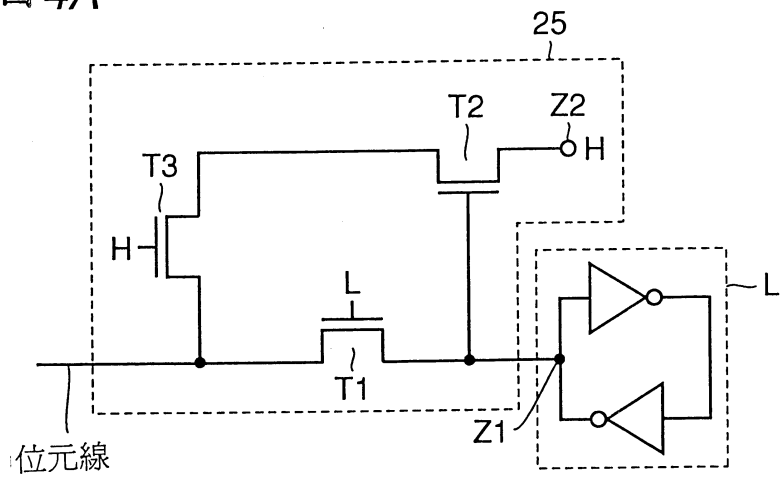


圖 4B

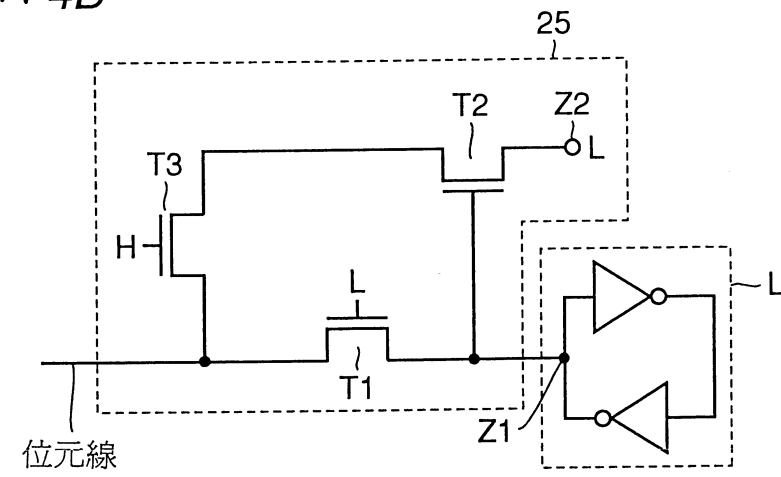


圖 4C

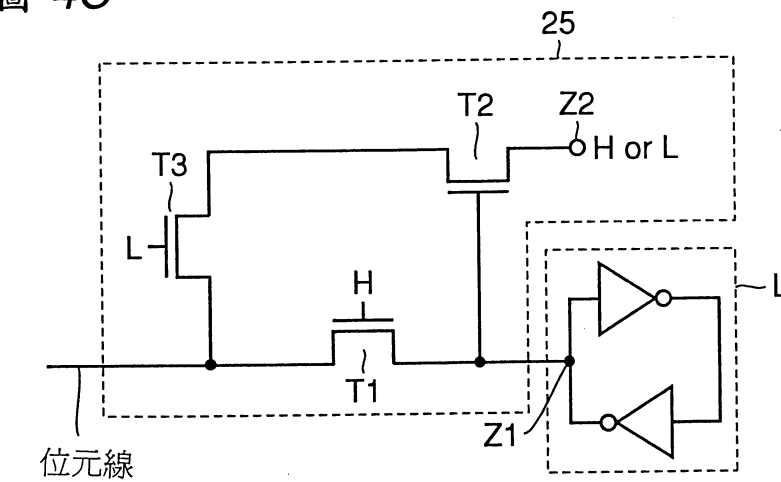


圖 5

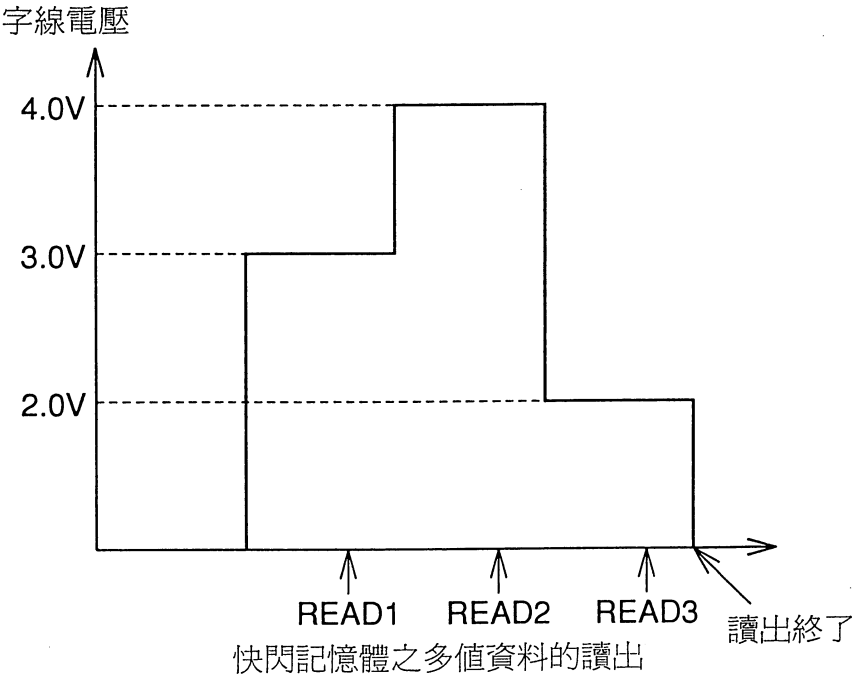


圖 6A

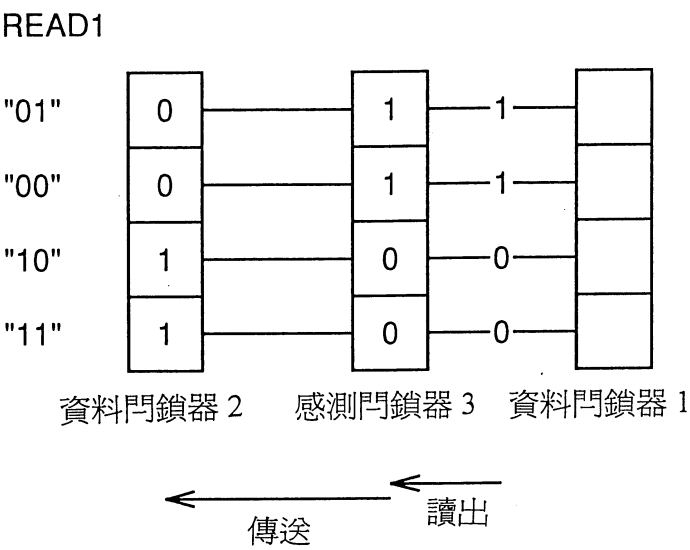


圖 6B

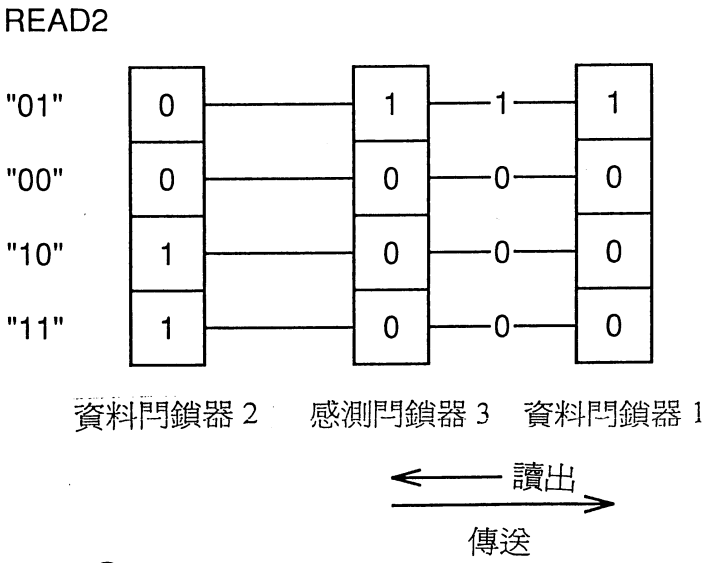


圖 6C

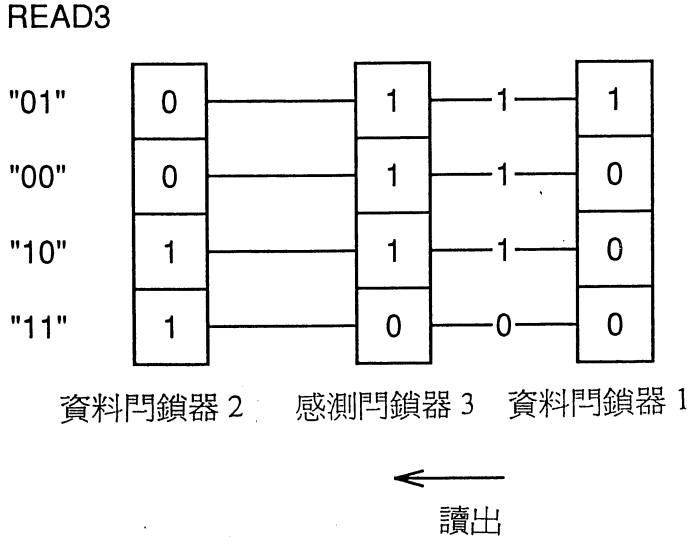


圖 7A

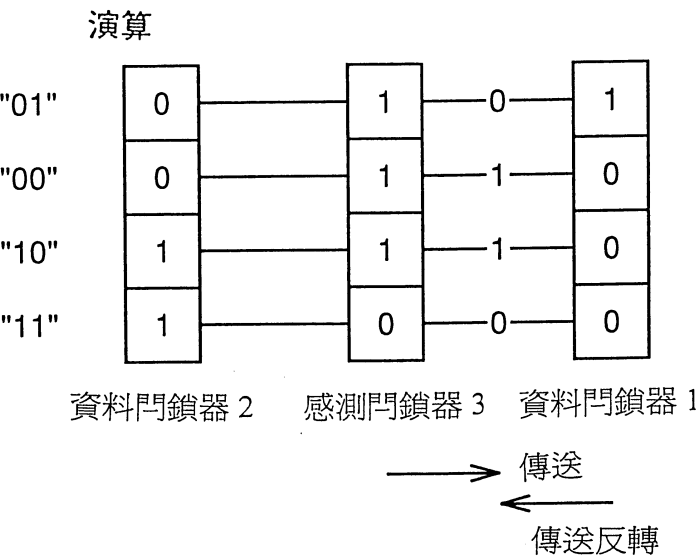


圖 7B

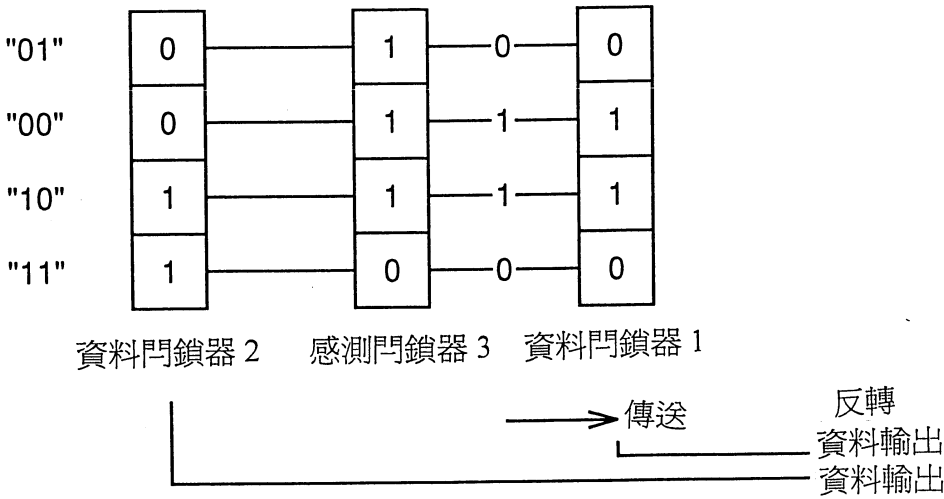


圖 8

資料		11	10	00	01
感測門鎖器之值	READ1	0	0	1	1
	READ2	0	0	0	1
	READ3	0	1	1	1

圖 9

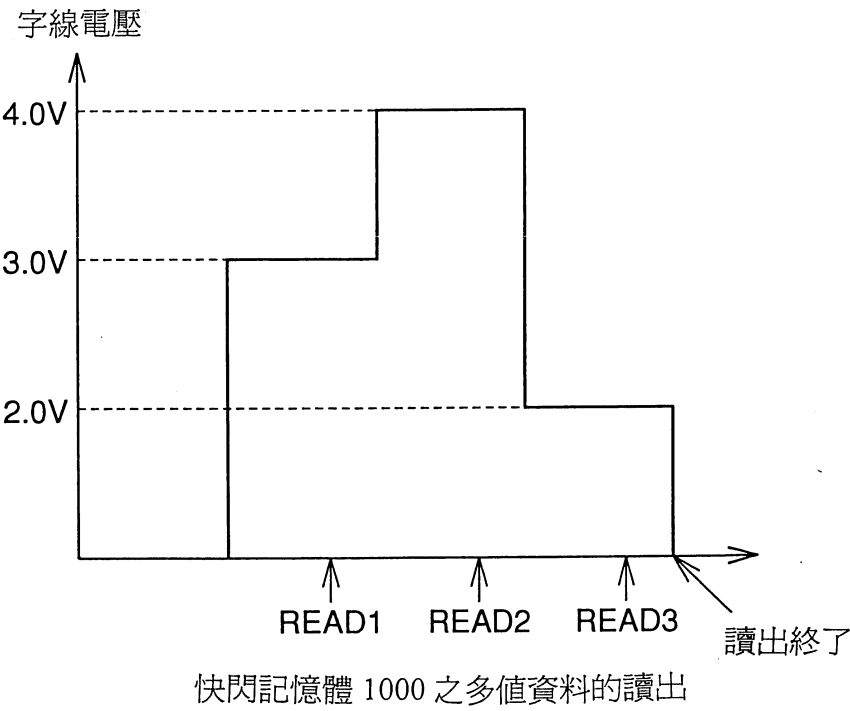


圖 10A

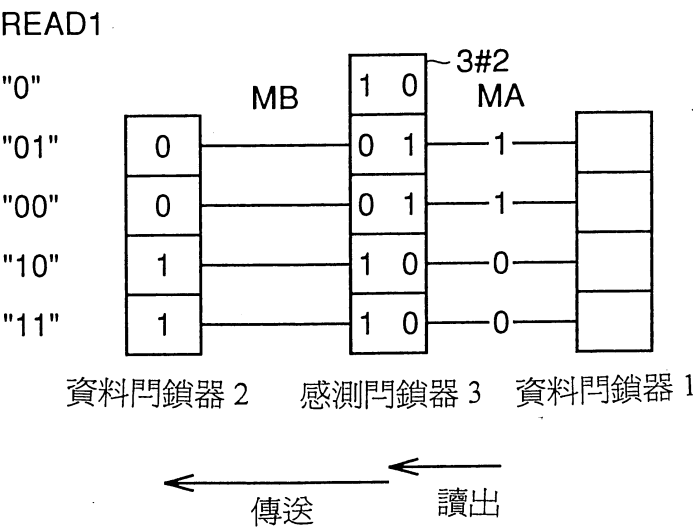


圖 10B

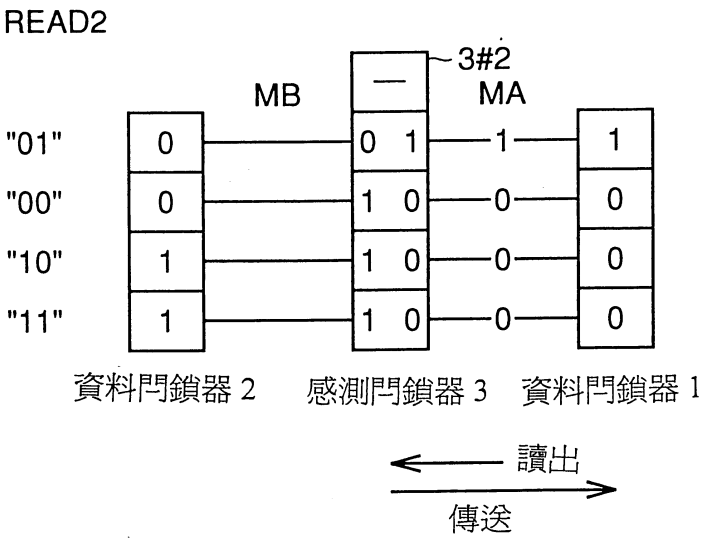


圖 10C

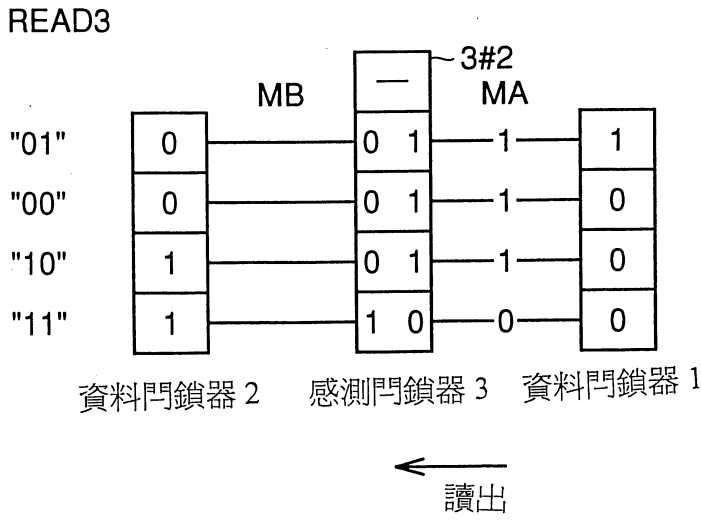


圖 11A

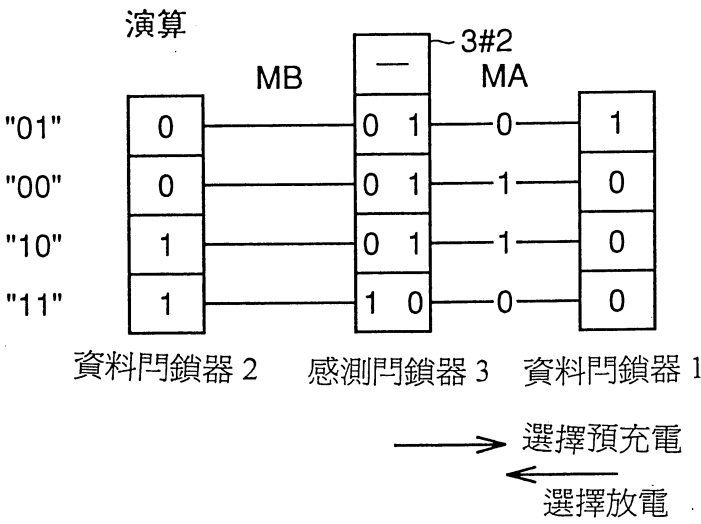


圖 11B

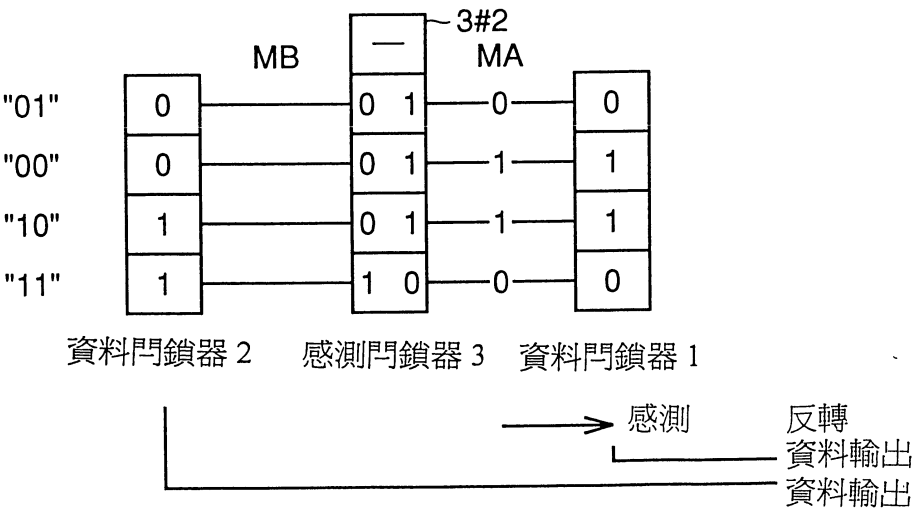


圖 12

記憶位置		MF	M	M	M	M
資料		0	11	10	00	01
感測門鎖器之值	READ1	0	0	0	1	1
	READ2	—	0	0	0	1
	READ3	—	0	1	1	1

圖 13

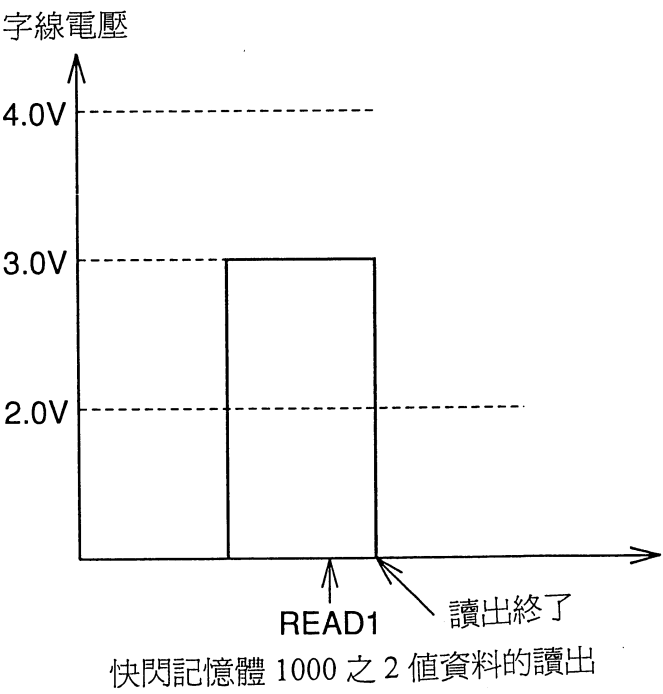


圖 14A

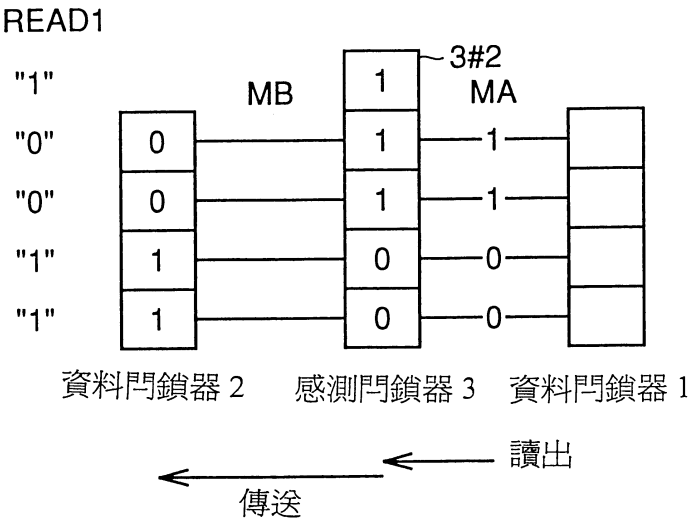


圖 14B

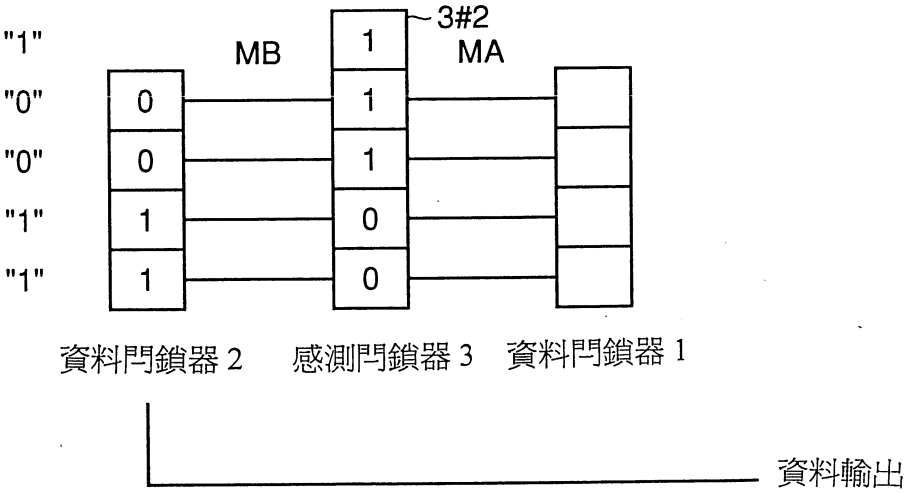
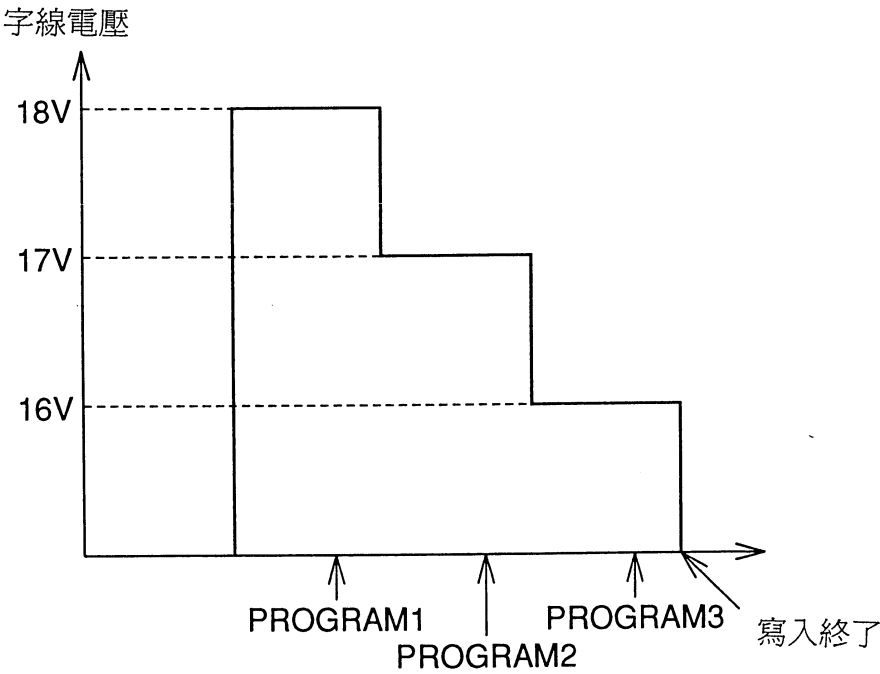


圖 15

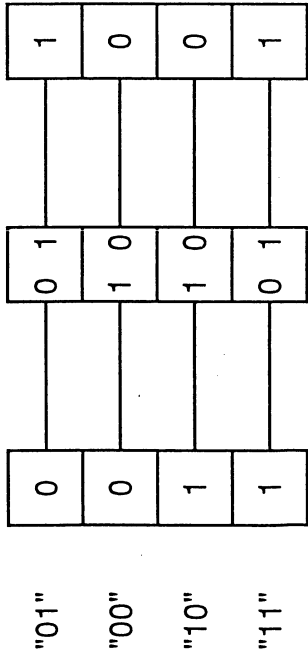
記憶位置		MF	M	M	M	M
資料		1	0	0	1	1
感測門鎖器之值	READ1	1	0	0	1	1
	READ2	—	—	—	—	—
	READ3	—	—	—	—	—

圖 16



對於多值快閃記憶體之多值資料的寫入

圖 17A

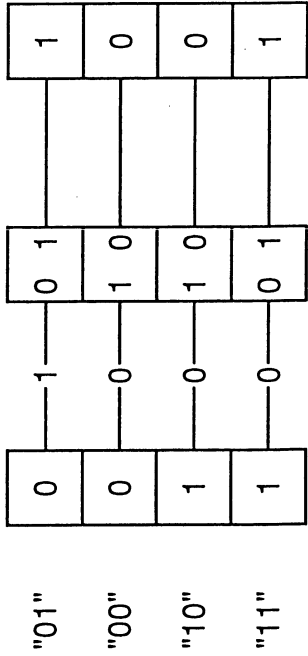


資料門鎖器 2 感測門鎖器 3 資料門鎖器 1

傳送



圖 17C



資料門鎖器 2 感測門鎖器 3 資料門鎖器 1

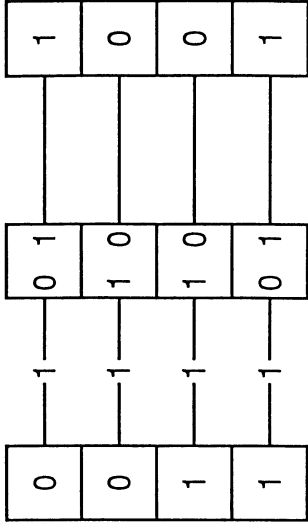
選擇放電



選擇放電



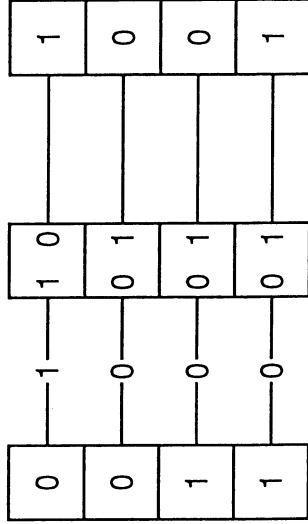
圖 17B



資料門鎖器 2 感測門鎖器 3 資料門鎖器 1

位元線全預充電

圖 17D

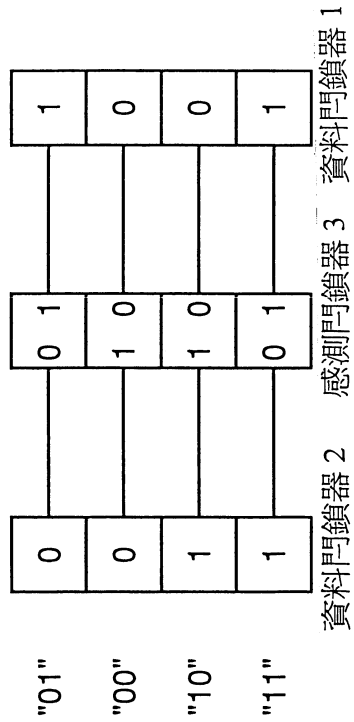


資料門鎖器 2 感測門鎖器 3 資料門鎖器 1

感測

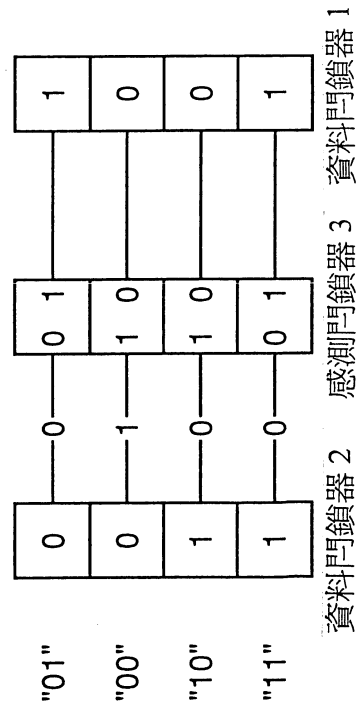


圖 18A



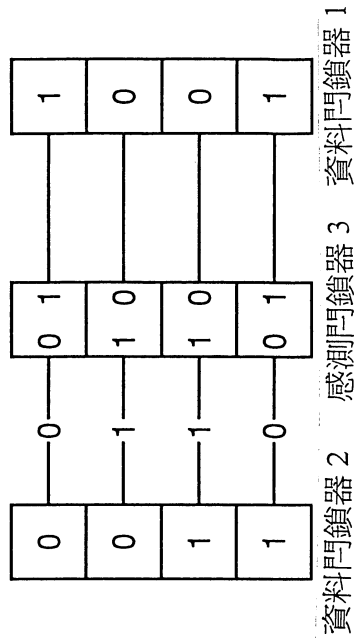
← 傳送

圖 18C



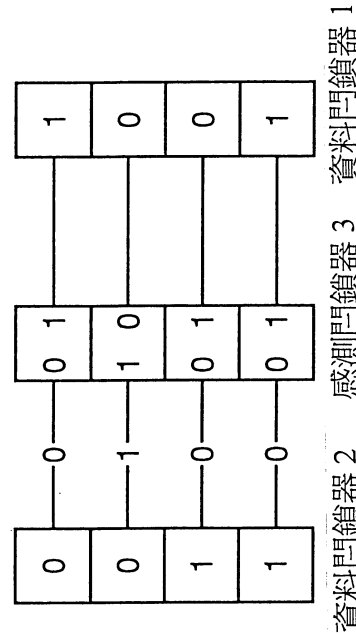
→ 選擇放電

圖 18B



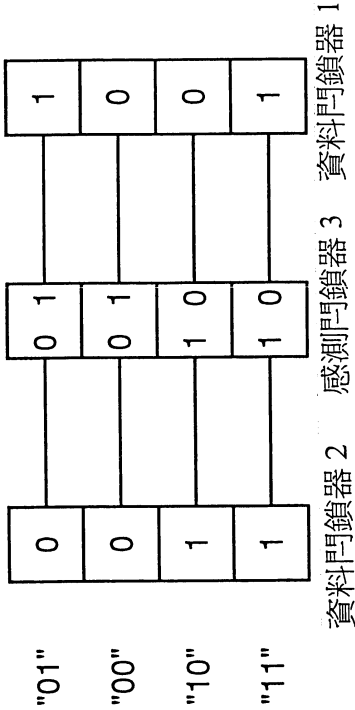
← 選擇預充電

圖 18D



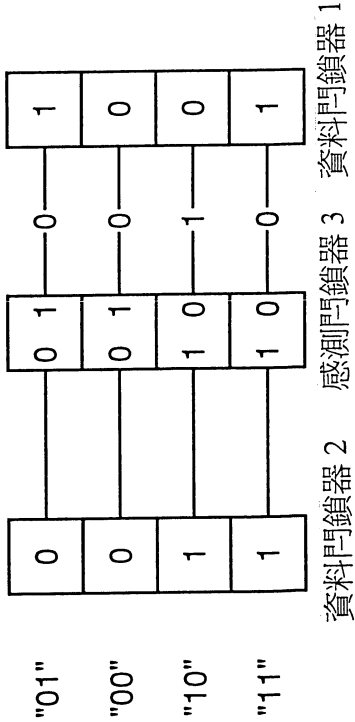
→ 感測

圖 19A



← 傳送

圖 19C



→ 選擇放電
→ 選擇放電

圖 19B

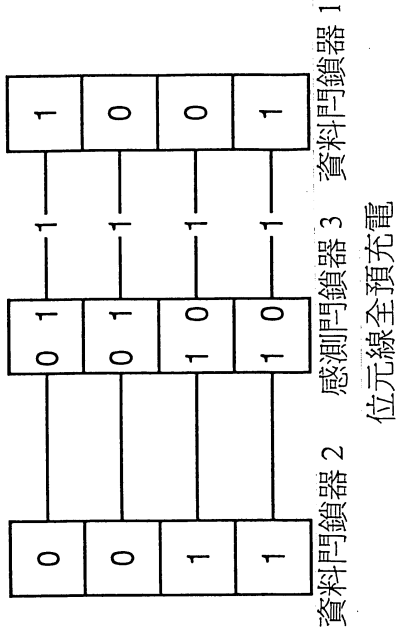
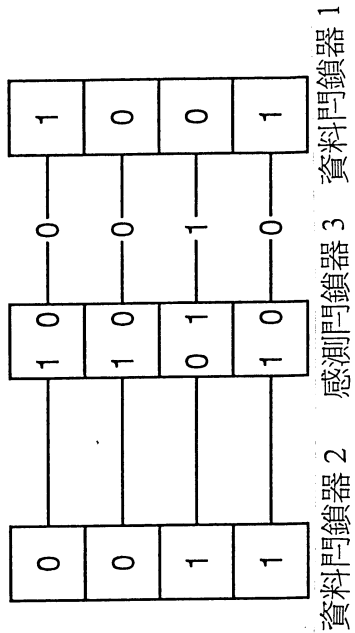


圖 19D



→ 感測

圖 20

資料		11	10	00	01
感測門 鎖器之值	PROGRAM1	1	1	1	0
	PROGRAM2	1	1	0	1
	PROGRAM3	1	0	1	1

圖 21

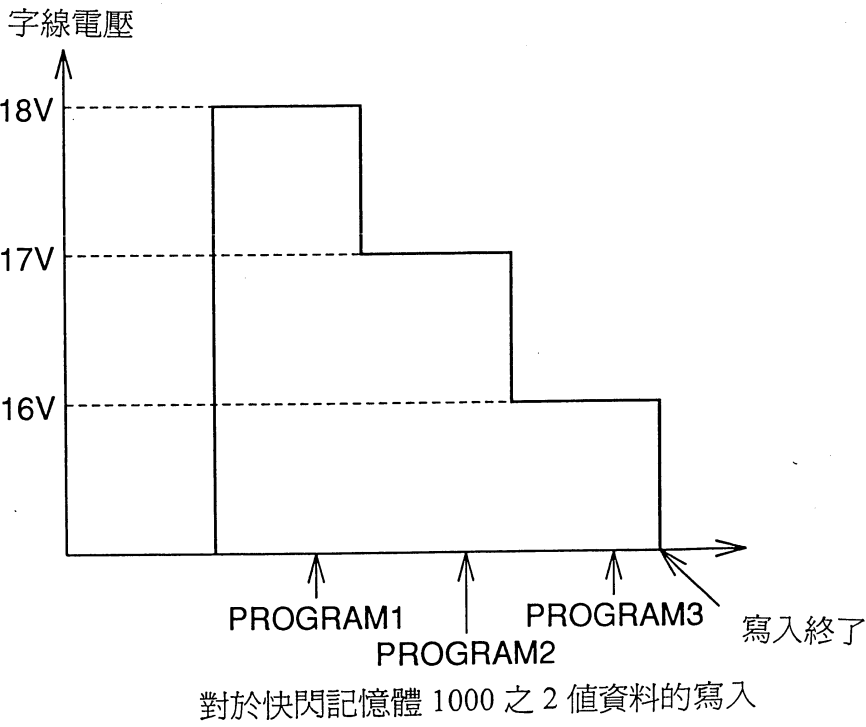
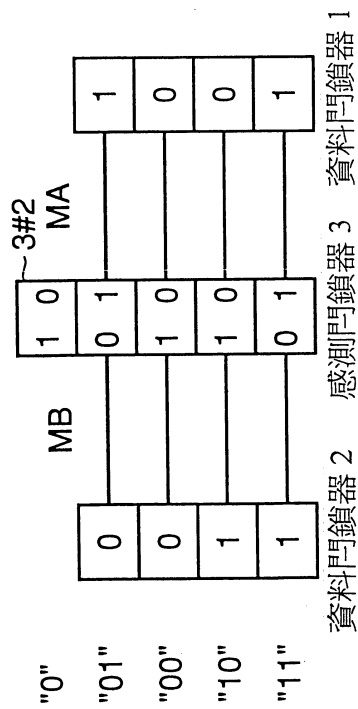
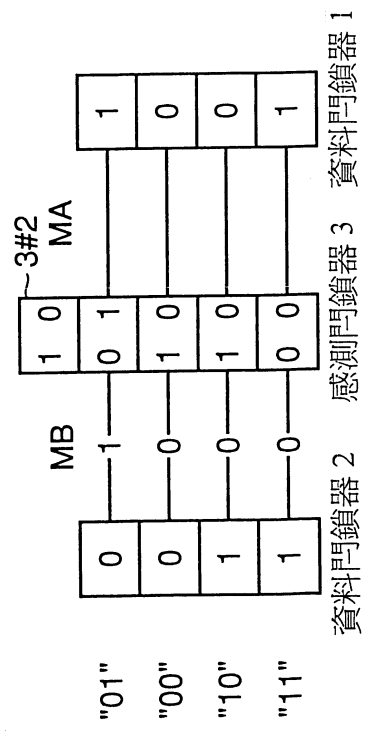


圖 22A



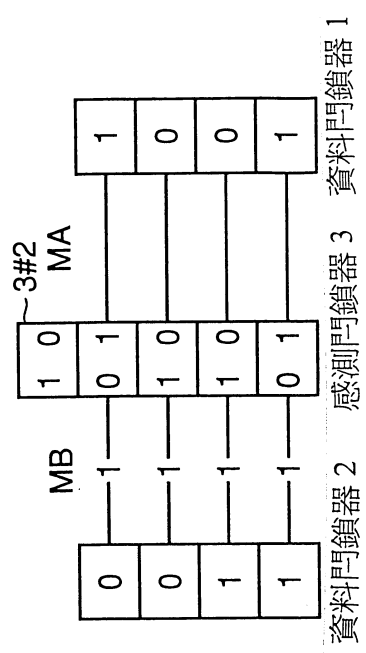
← 傳送

圖 22C



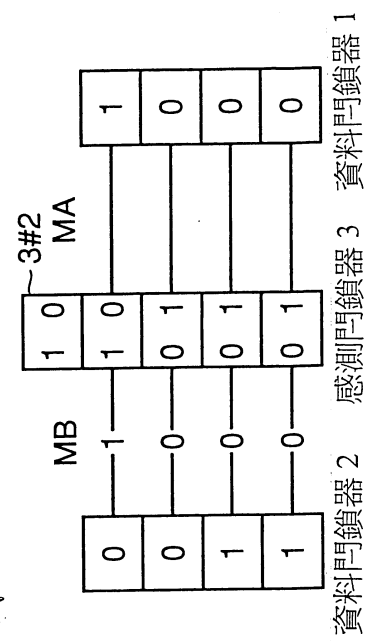
→ 選擇放電
← 選擇放電

圖 22B



位元線全預充電

圖 22D



→ 感測

圖 23

記憶位置		MF	M	M	M	M
資料		0	11	10	00	01
感測門 鎖器之值	PROGRAM1	0	1	1	1	0
	PROGRAM2	1	1	1	0	1
	PROGRAM3	1	1	0	1	1

圖 24

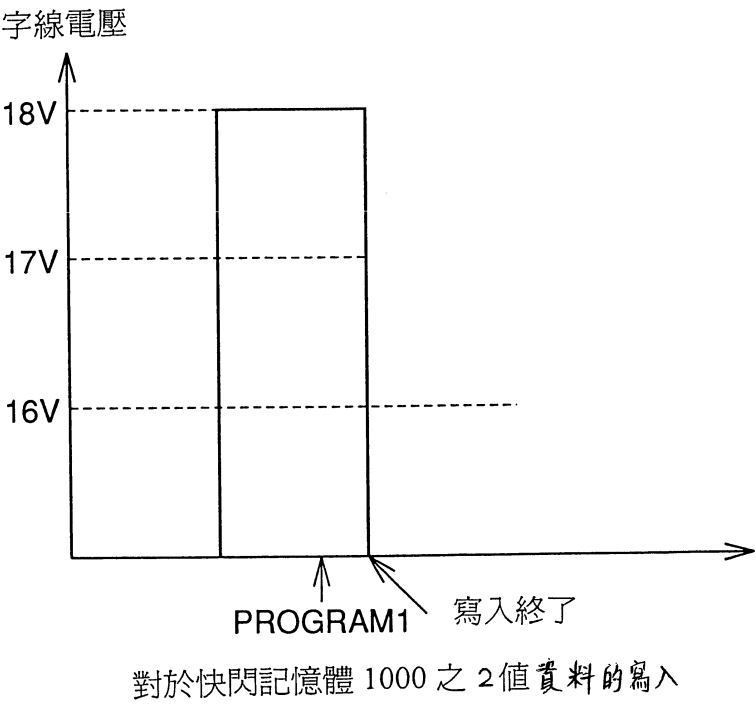


圖 25B

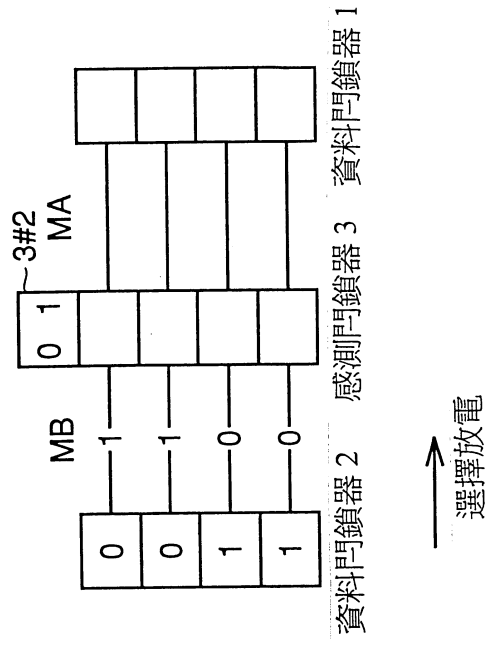


圖 25A

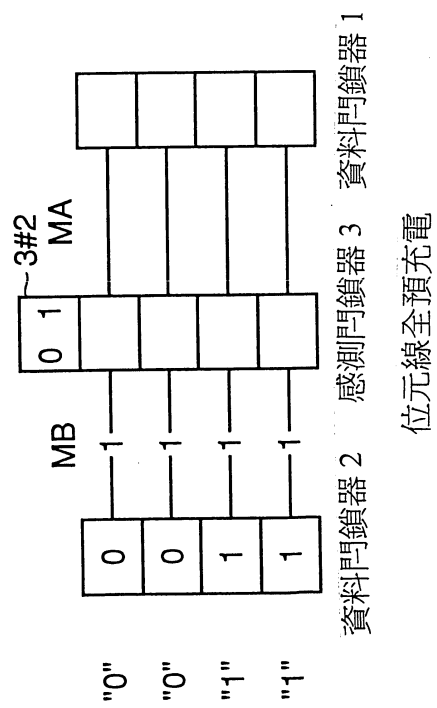


圖 25C

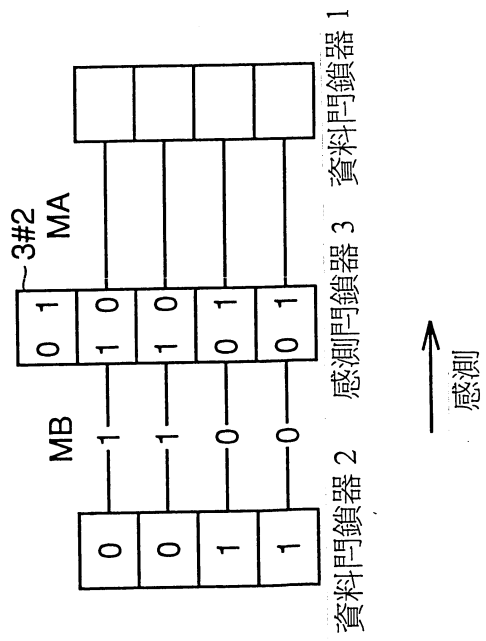


圖 26

記憶位置		MF	M	M	M	M
資料		1	1	1	0	0
感測門鎖 器之值	PROGRAM1	1	1	1	0	0

圖 27A

寫入時(寫入格)

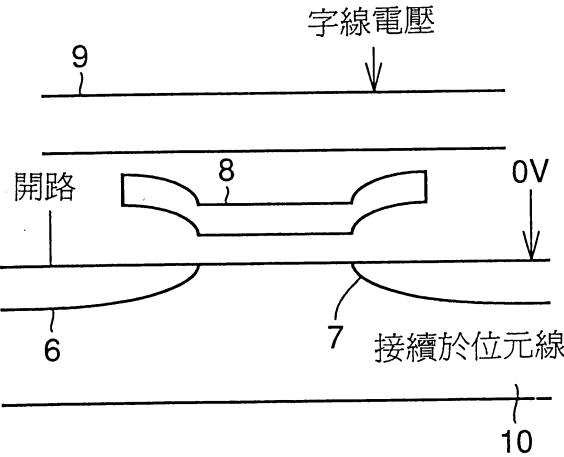


圖 27B

寫入時(未寫入格)

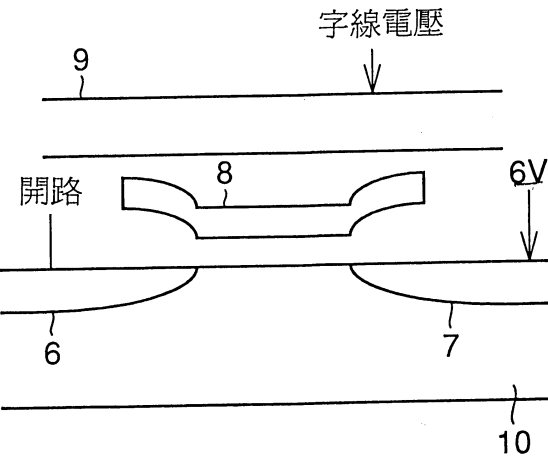


圖 27C

抹除時(頁統合地抹除)

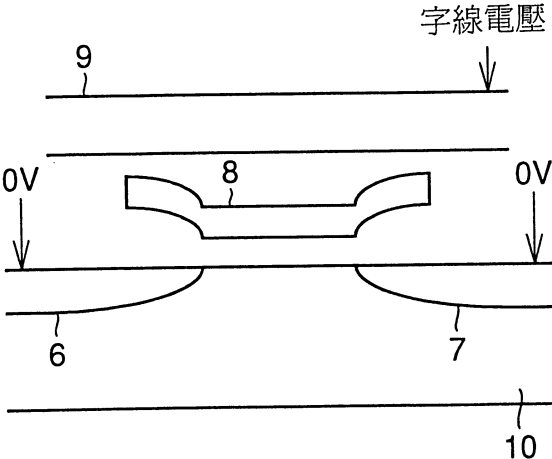


圖 27D

讀出時

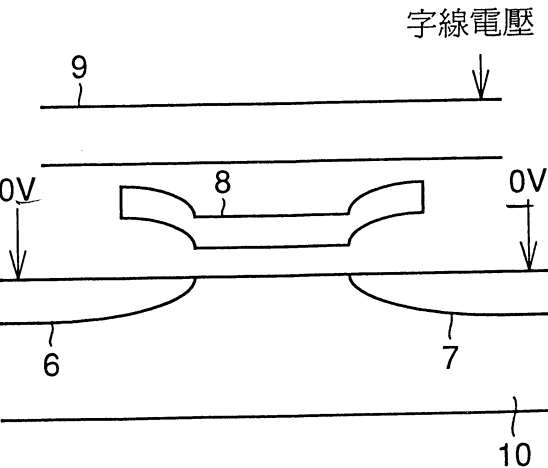


圖 28

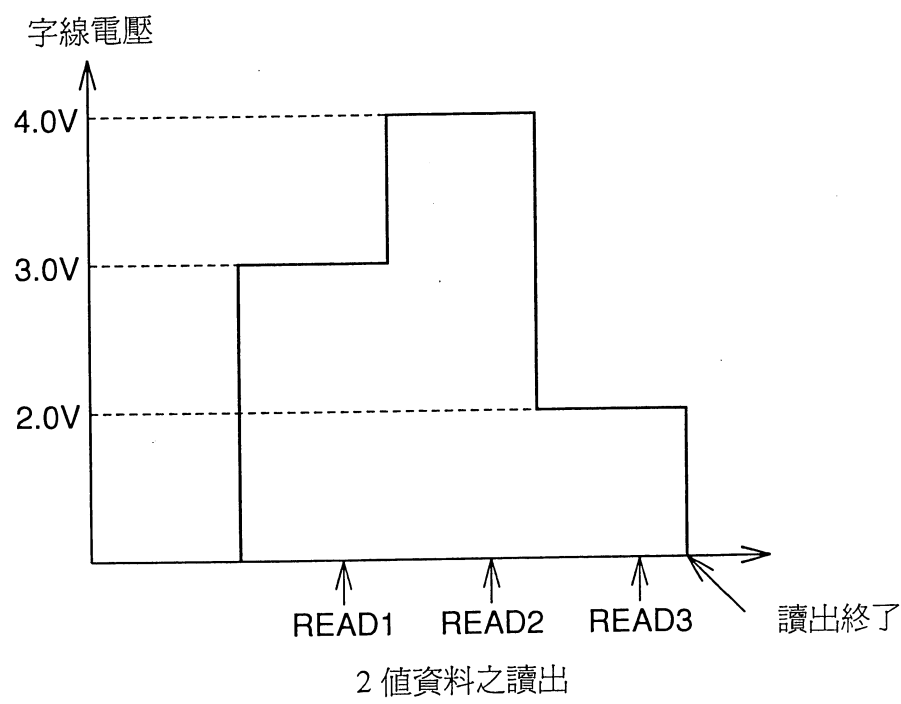


圖 29A

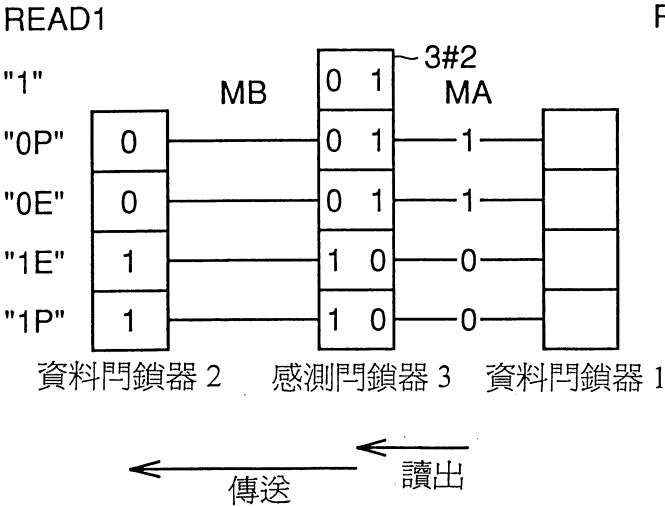


圖 29B

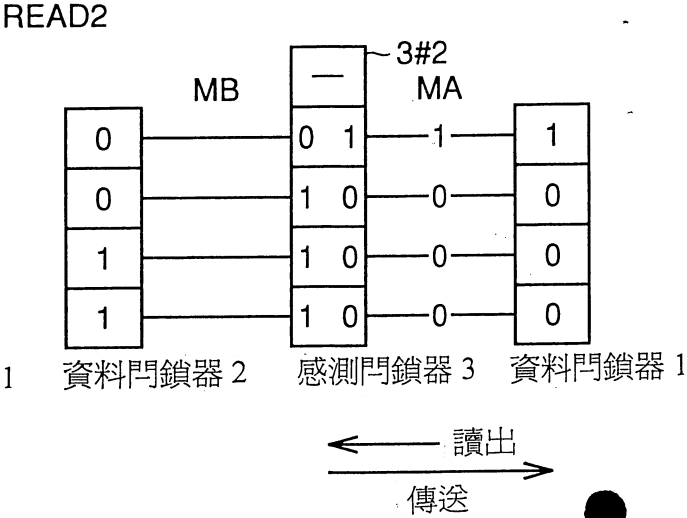


圖 29C

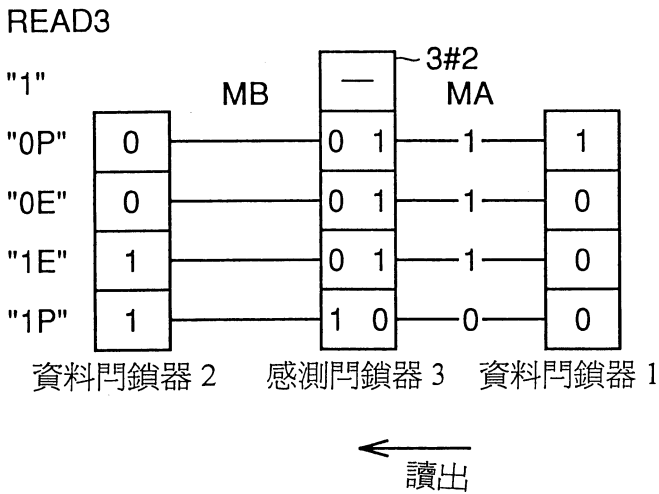


圖 29D

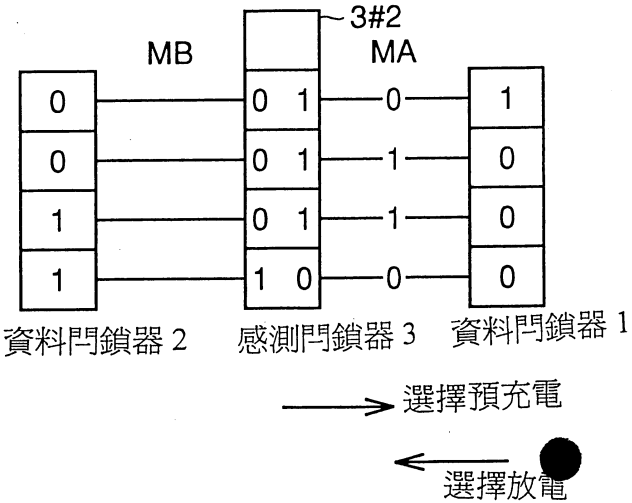


圖 29E

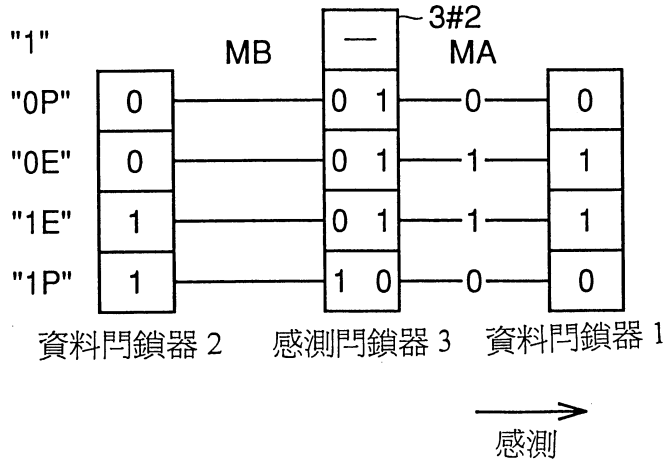
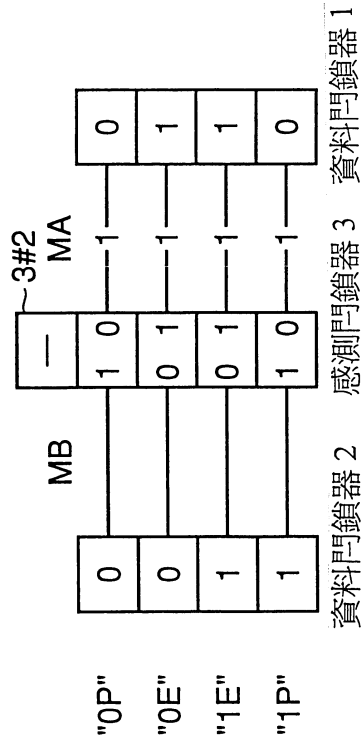
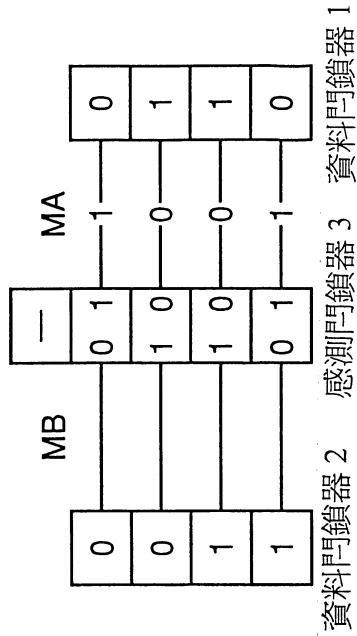


圖 30A



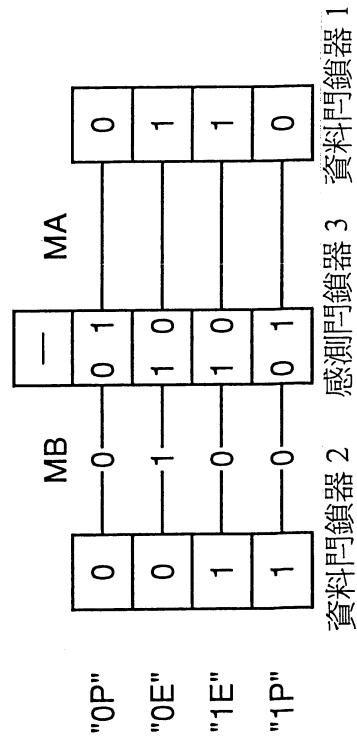
位元線全預充電

圖 30B



選擇放電

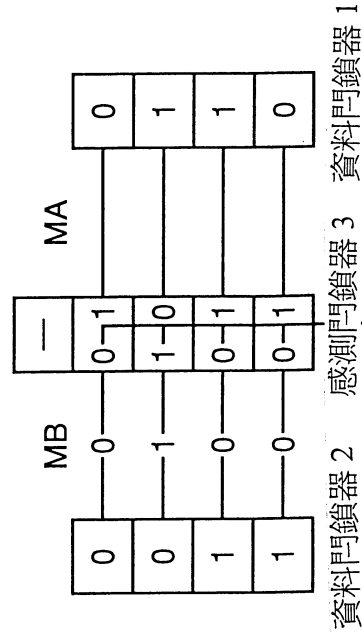
圖 30C



選擇預充電

選擇放電

圖 30D



感測

全部判定

圖 31A

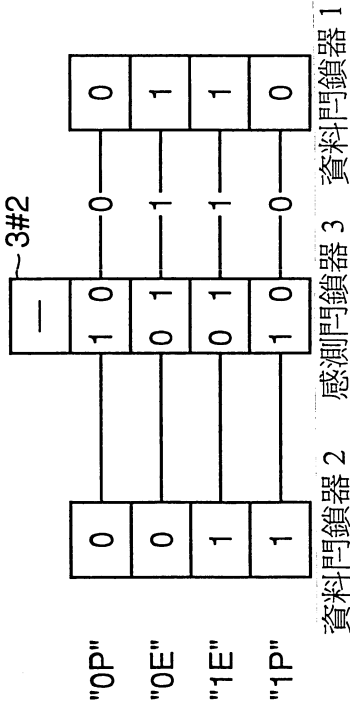


圖 31B

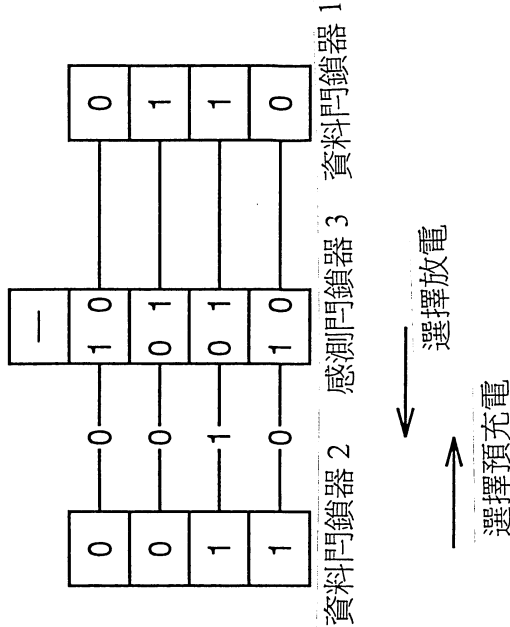


圖 31C

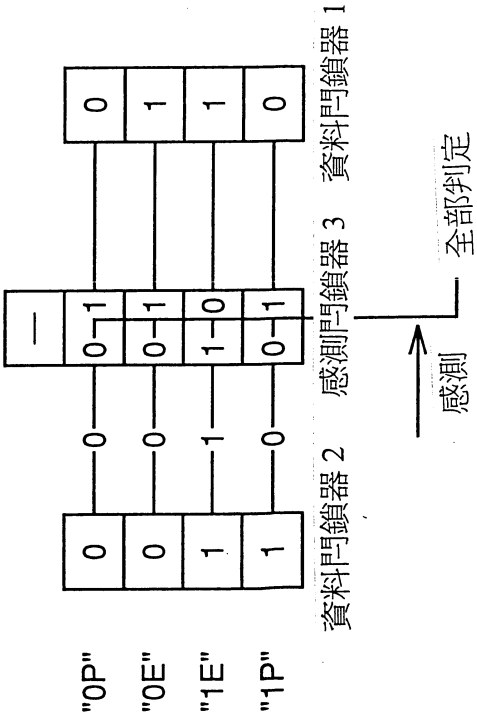


圖 32

記憶位置		MF	M	M	M	M
資料		0	1P	1E	0E	0P
感測門鎖器之值	READ1	0	0	0	1	1
	READ2	—	0	0	0	1
	READ3	—	0	1	1	1

圖 33

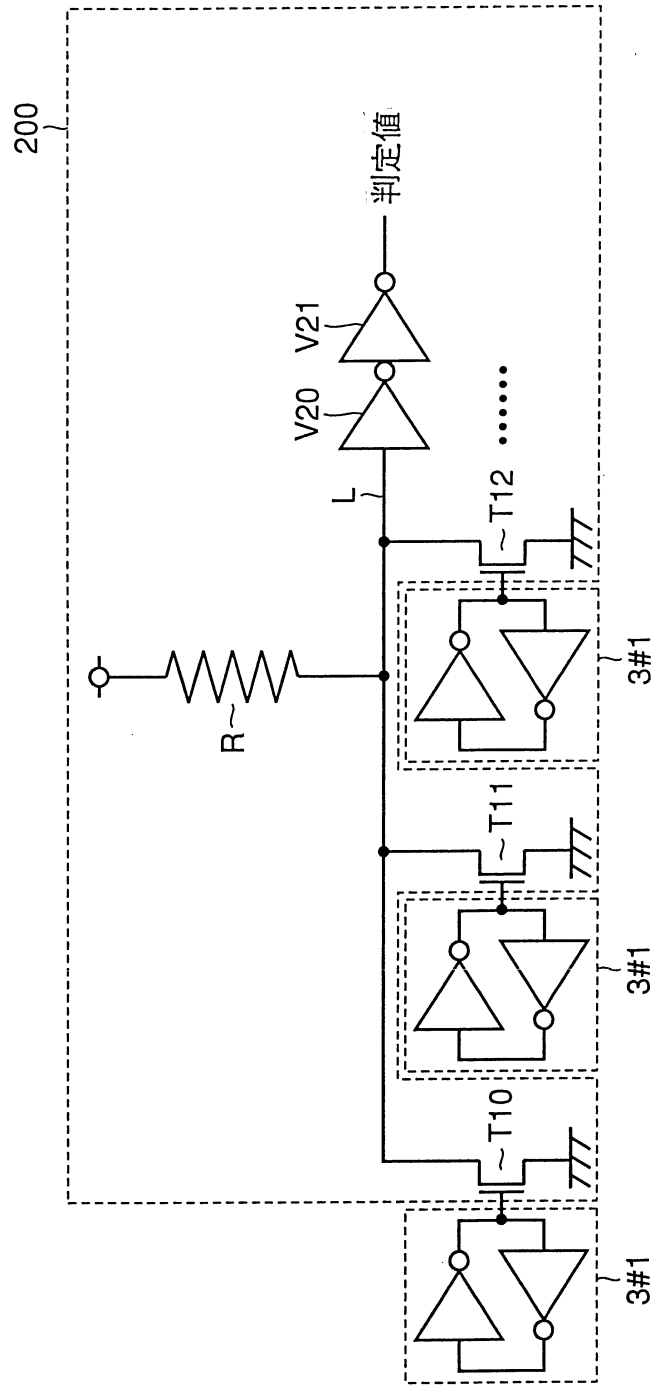


圖 34

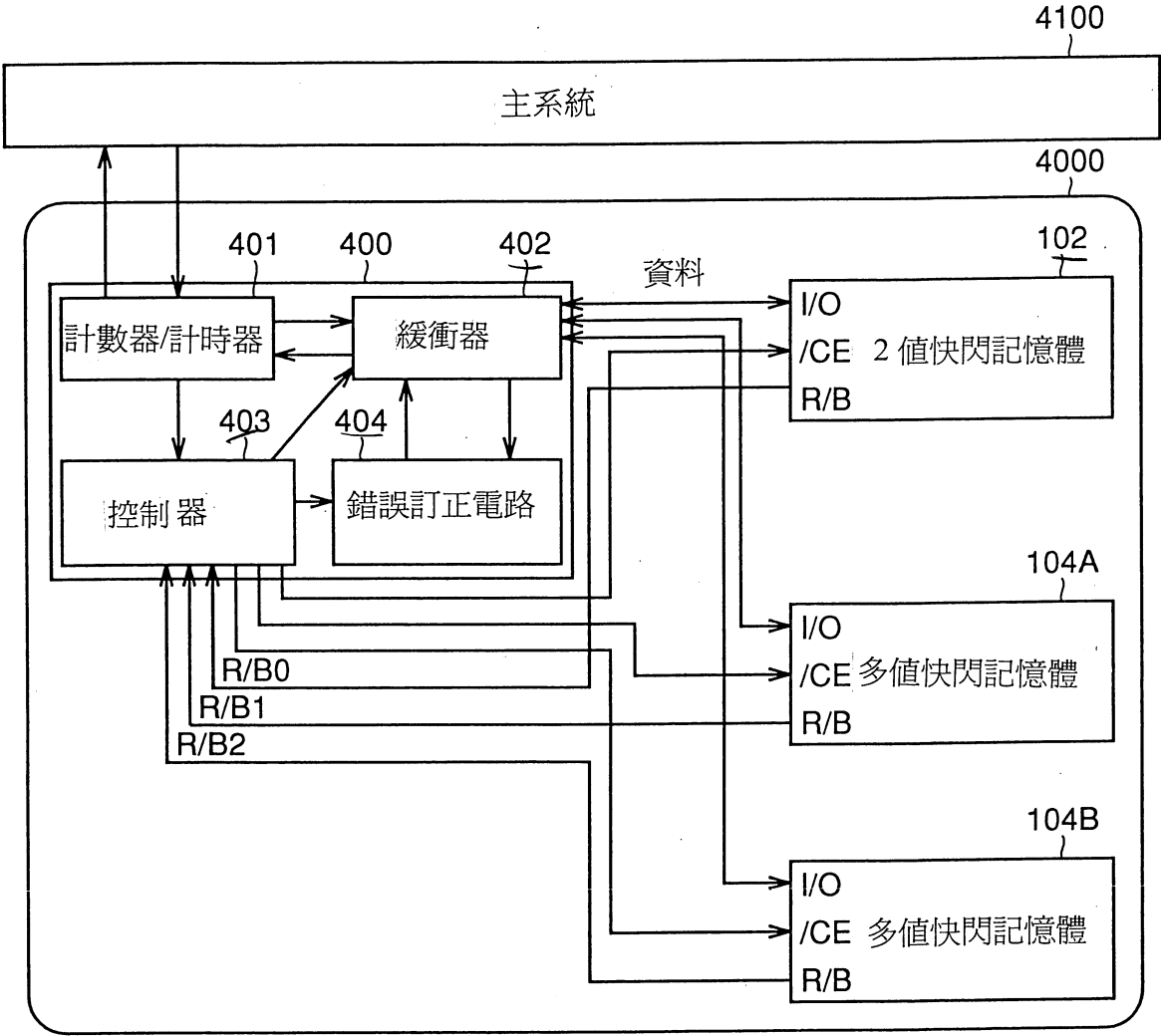


圖 35

多值快閃記憶體 104B	未使用
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
多值快閃記憶體 104A	未使用
	未使用
	未使用
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
	使用者資料
2 值快閃記憶體 102	未使用
	高速寫入被要求時之使用者資料
	高速寫入被要求時之使用者資料
	FAT 資訊
	資料記憶系統之軟體

#0000

圖 36

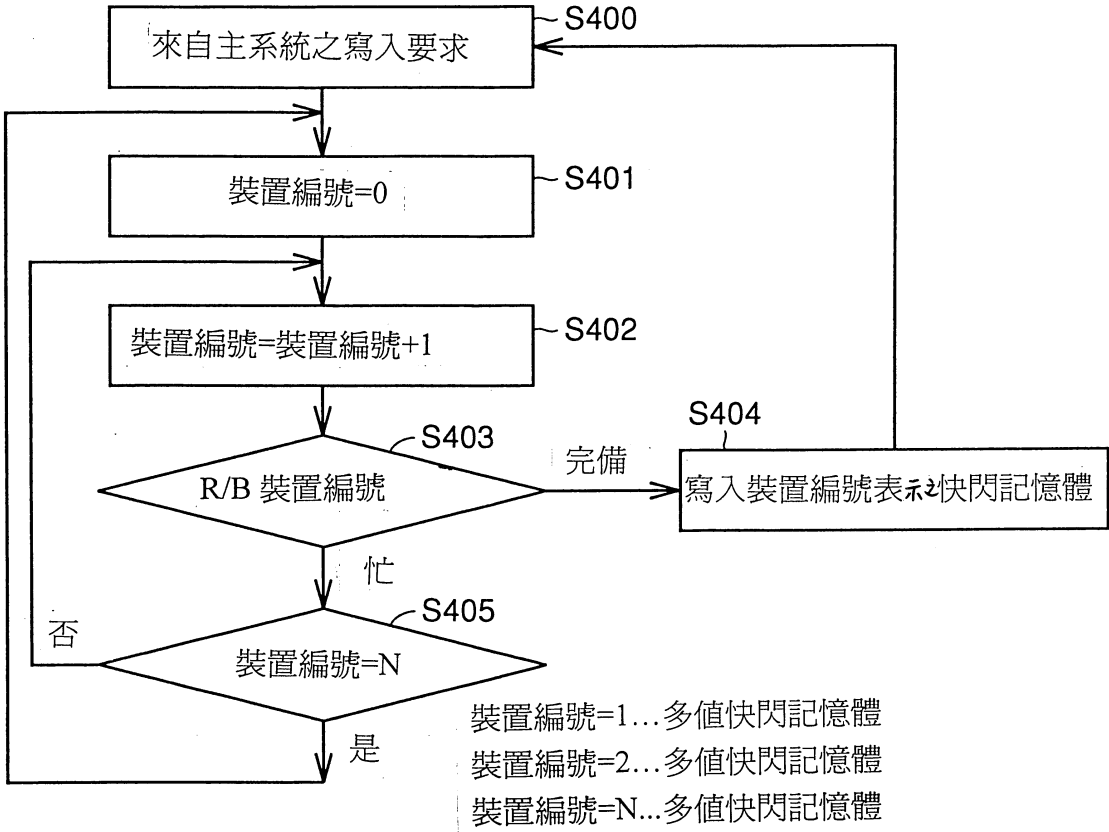


圖 37

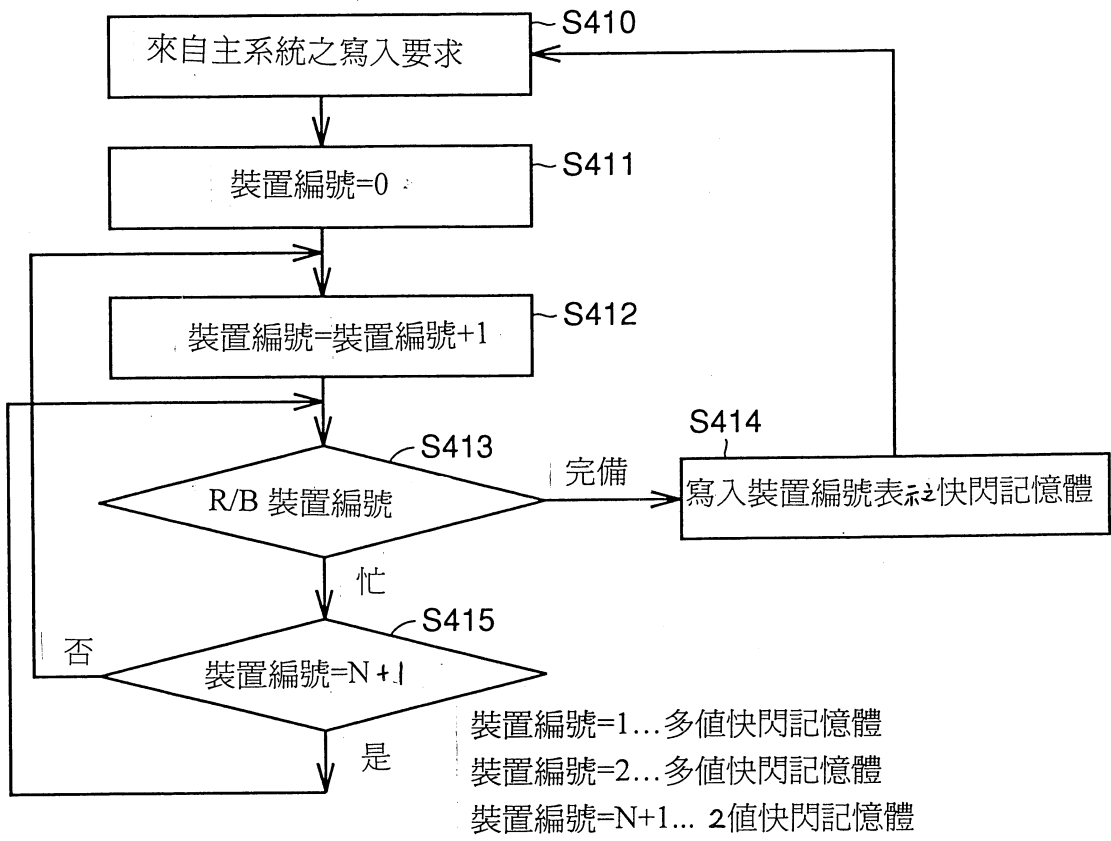


圖 38

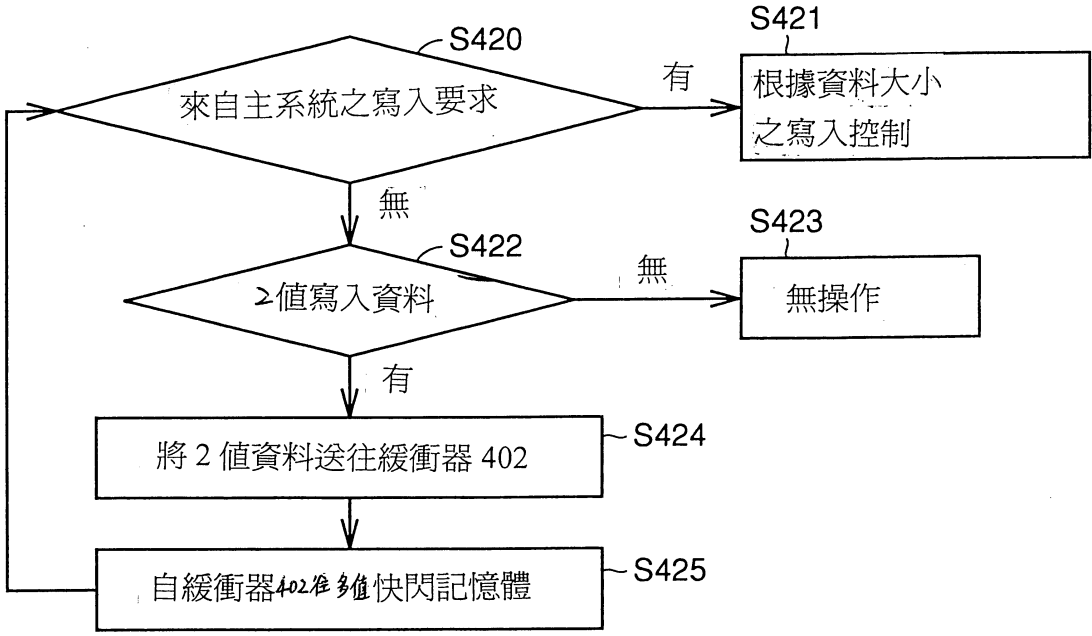


圖 39

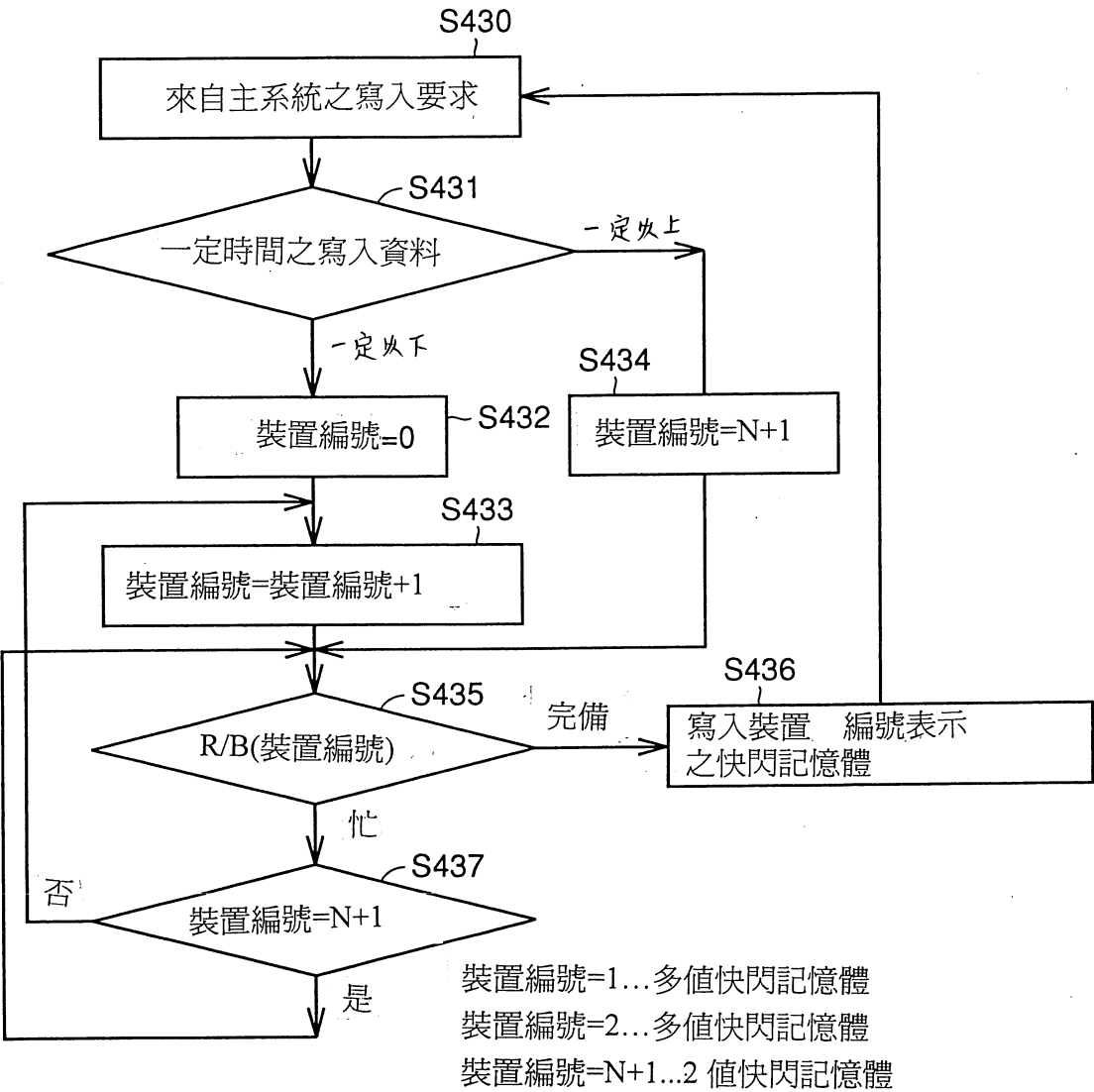


圖 40

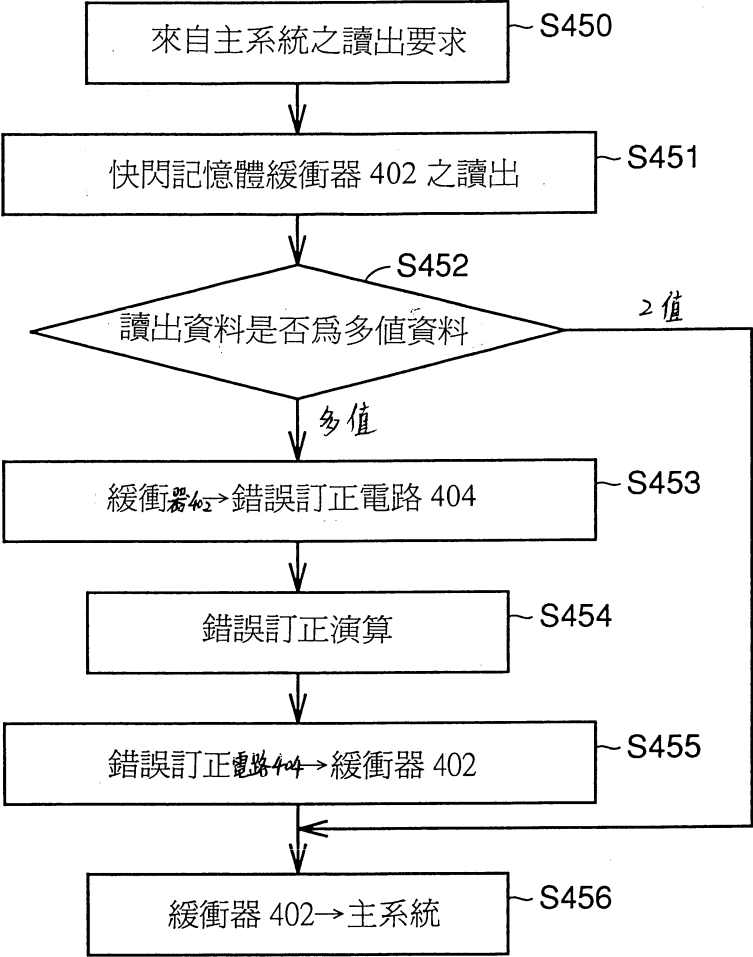


圖 41

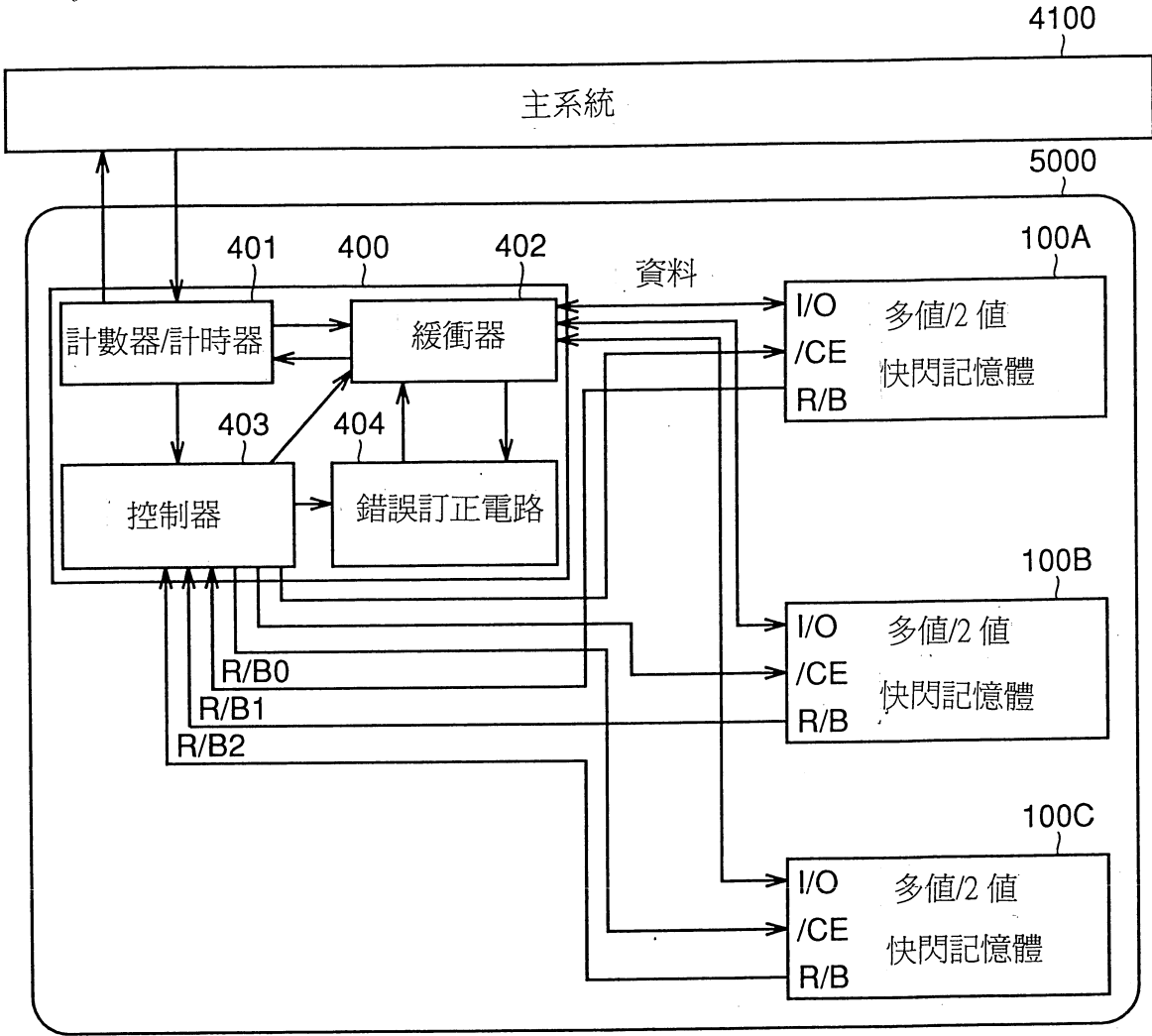


圖 42

未使用			多值/2 值快閃記憶體 100C
使用者資料		多值	
使用者資料		多值	
使用者資料		多值	
使用者資料		多值	
使用者資料		多值	
高速寫入被要求時之使用者資料		2值	多值/2 值快閃記憶體 100B
高速寫入被要求時之使用者資料		2值	
未使用			
未使用			
未使用			
高速寫入被要求時之使用者資料		2值	
使用者資料		多值	多值/2 值快閃記憶體 100A
高速寫入被要求時之使用者資料		2值	
使用者資料		多值	
使用者資料		多值	
未使用			
高速寫入被要求時之使用者資料		2值	
高速寫入被要求時之使用者資料		2值	多值/2 值快閃記憶體 100A
使用者資料		多值	
使用者資料		多值	
使用者資料		多值	
FAT 資訊		2值	
資料記憶系統之軟體		2值	

#0000

圖 43

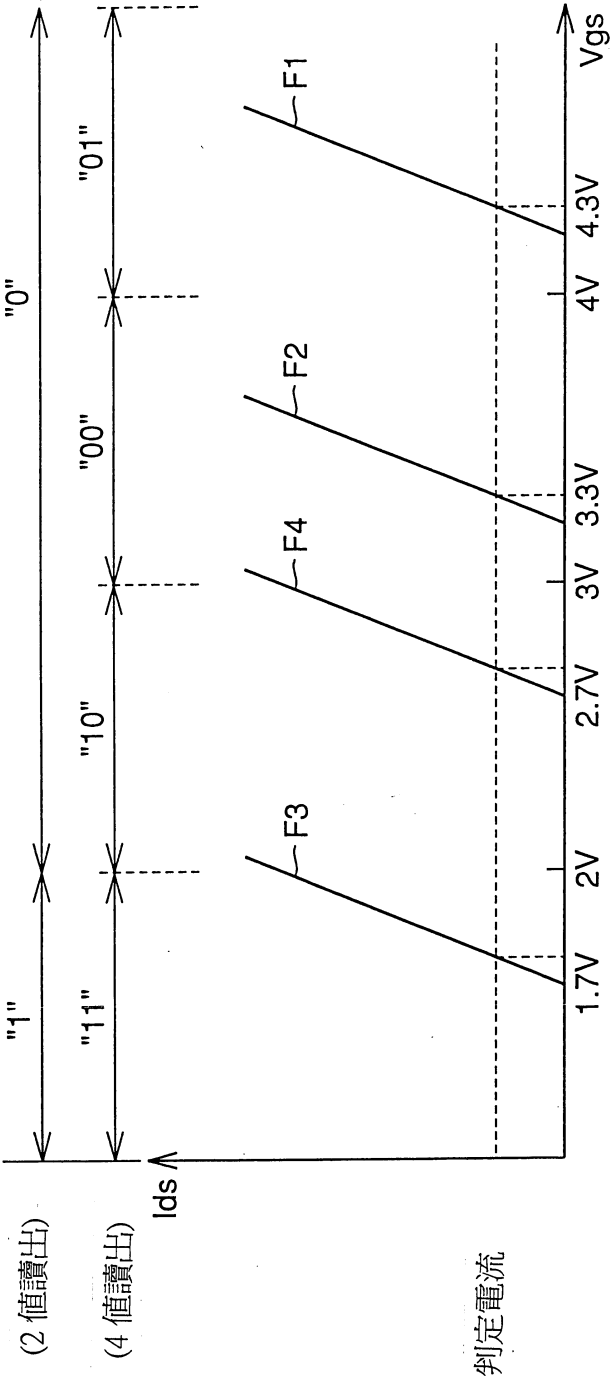


圖 44

