



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2015년10월08일
 (11) 등록번호 10-1558144
 (24) 등록일자 2015년10월01일

- (51) 국제특허분류(Int. Cl.)
G11C 16/10 (2006.01) *G11C 16/12* (2006.01)
G11C 16/34 (2006.01)
- (21) 출원번호 10-2010-7027838
- (22) 출원일자(국제) 2009년06월04일
 심사청구일자 2014년06월02일
- (85) 번역문제출일자 2010년12월10일
- (65) 공개번호 10-2011-0036885
- (43) 공개일자 2011년04월12일
- (86) 국제출원번호 PCT/US2009/046318
- (87) 국제공개번호 WO 2009/152037
 국제공개일자 2009년12월17일
- (30) 우선권주장
 12/138,382 2008년06월12일 미국(US)
 12/138,387 2008년06월12일 미국(US)
- (56) 선행기술조사문헌
 US6046935 A
 US20050219906 A1
 JP2004519804 A
 JP2003109386 A

(73) 특허권자
 샌디스크 테크놀로지스, 인코포레이티드
 미국 텍사스 75024 플라노 노스 달拉斯 파크웨이
 6900 투 리가시 타운 센터

(72) 발명자
 세르네아, 라울-애드리안
 미국, 캘리포니아 95054, 산타 클라라, 애그뉴 로드 889

(74) 대리인
 박경재

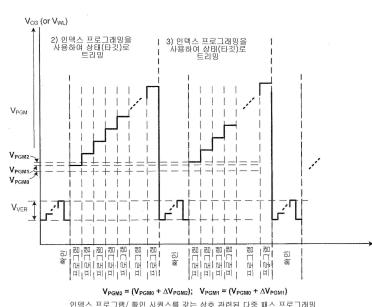
전체 청구항 수 : 총 30 항

심사관 : 한선경

(54) 발명의 명칭 상호 관련 다중 패스 프로그래밍을 위한 비휘발성 메모리와 방법

(57) 요약

메모리 셀 그룹은 다수의 패스의 프로그래밍 전압이 상관되는 다중 패스 프로그래밍 방법을 사용하여 병렬로 그 타깃 상태로 각각 프로그램된다. 각 프로그래밍 패스는 공통 단차 크기를 갖는 계단식 펄스 트레인 형태의 프로그래밍 전압을 사용하고, 각 연속적 패스는 미리 결정된 오프셋 레벨만큼 이전 패스의 것으로부터 오프셋된 계단식 펄스 트레인을 갖는다. 미리 결정된 오프셋 레벨은 공통 단차 크기 미만이며, 이전 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작을 수 있다. 따라서, 각 연속적 패스가 더 미세한 단차 크기를 갖는 프로그래밍 계단식 펄스 트레인을 사용하는 종래의 방법보다 더 적은 프로그래밍 펄스를 사용하여 다수의 패스에 걸쳐 동일한 프로그래밍 해독성이 달성될 수 있다. 다중 패스 프로그래밍은 전체 프로그래밍 펄스의 수를 감소시키면서 프로그램된 임계치의 분포를 밀집화시키도록 가능하다.

대 표 도 - 도26

명세서

청구범위

청구항 1

비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법에 있어서,

주어진 단차 크기(step size)를 갖는 계단식 펄스 트레인(staircase pulse train) 형태로 유한 기간 동안 시간에 따라 충분되는 프로그래밍 전압을 제공하는 단계와,

다중 프로그래밍 패스에서 메모리 셀 그룹을 프로그래밍하는 단계로서, 각각의 연속 프로그래밍 패스는 메모리 셀 그룹을 프로그램하기 위해 인가된 계단식 펄스 트레인을 갖고, 각각의 연속 프로그래밍 패스는 미리 결정된 오프셋 레벨만큼 이전 프로그래밍 패스의 계단식 펄스 트레인으로부터 오프셋된 계단식 펄스 트레인을 갖는, 메모리 셀 그룹을 프로그래밍하는 단계를

포함하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 2

제 1항에 있어서, 각 프로그래밍 패스의 미리 결정된 오프셋 레벨은 주어진 단차 크기 미만이고, 이전 프로그래밍 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작은, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 3

제 1항에 있어서, 다중 프로그래밍 패스는,

제 1 계단식 펄스 트레인을 사용하는 제 1 프로그래밍 패스와,

제 1 계단식 펄스 트레인과 유사하지만 절반 단차 크기만큼 제 1 계단식 펄스 트레인으로부터 오프셋되어 있는 제 2 계단식 펄스 트레인을 사용하는 제 2 프로그래밍 패스를

포함하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 4

제 3항에 있어서, 제 2 계단식 펄스 트레인과 유사하지만 1/4 단차 크기만큼 제 2 계단식 펄스 트레인으로부터 오프셋되어 있는 제 3 계단식 펄스 트레인을 사용하는 제 3 프로그래밍 패스를 더 포함하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 5

제 1항에 있어서, 비휘발성 메모리 셀 그룹의 각 메모리 셀은 각각의 타깃 상태로 프로그램될 수 있고, 상기 방법은,

(a) 프로그래밍 중인 그룹의 각 메모리 셀을 위한 프로그램 인덱스를 제공하는 단계로서, 메모리 셀의 프로그램 인덱스는 메모리 셀을 프로그램하기 위해 사용된 최종 프로그래밍 전압 레벨을 나타내는, 프로그램 인덱스를 제공하는 단계와,

(b) 프로그래밍 패스에서 일련의 충분 전압 펄스로서 프로그래밍 전압을 메모리 셀 그룹에 인가하는 단계와,

(c) 셀의 프로그램 인덱스에 따라 프로그래밍 패스 동안 메모리 셀의 프로그래밍을 허용하거나 메모리 셀의 프로그래밍을 억제하는 단계를

더 포함하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 6

제 5항에 있어서, 일련의 충분 전압 펄스로서 프로그래밍 전압을 인가하는 상기 단계는 프로그래밍 패스 동안

전압 펄스 사이에 메모리 셀 그룹에 대한 확인 단계 없이 수행되는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 7

제 5항에 있어서, 각 프로그래밍 패스의 미리 결정된 오프셋 레벨은 주어진 단자 크기 미만이고, 이전 프로그래밍 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작은, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 8

제 5항에 있어서, 다중 프로그래밍 패스는,

제 1 계단식 펄스 트레인을 사용하는 제 1 프로그래밍 패스와,

제 1 계단식 펄스 트레인과 유사하지만 절반 단자 크기만큼 제 1 계단식 펄스 트레인으로부터 오프셋되어 있는 제 2 계단식 펄스 트레인을 사용하는 제 2 프로그래밍 패스를 포함하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 9

제 8항에 있어서, 제 2 계단식 펄스 트레인과 유사하지만 1/4 단자 크기만큼 제 2 계단식 펄스 트레인으로부터 오프셋되어 있는 제 3 계단식 펄스 트레인을 사용하는 제 3 프로그래밍 패스를 더 포함하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 10

제 1항에 있어서, 각 메모리 셀은 전계 효과 트랜지스터의 부유 게이트인 전하 저장 소자를 갖는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 11

제 1항에 있어서, 각 메모리 셀은 전계 효과 트랜지스터의 유전체 층인 전하 저장 소자를 갖는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 12

제 1항에 있어서, 비휘발성 메모리는 NAND 구조를 갖는 비휘발성 메모리인, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 13

제 1항에 있어서, 비휘발성 메모리는 플래시 EEPROM인, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 14

제 1항에 있어서, 비휘발성 메모리는 메모리 카드 내에 내장되어 있는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 15

제 1항에 있어서, 프로그래밍 중인 메모리 셀은 각각 1비트보다 많은 데이터를 저장하는, 비휘발성 메모리 셀 그룹을 병렬로 프로그램하는 방법.

청구항 16

비휘발성 메모리에 있어서,

각 메모리 셀이 각각의 타깃 상태로 프로그램될 수 있는 메모리 셀 어레이와,

메모리 셀 그룹을 병렬로 판독 및 프로그램하기 위한 판독/기록 회로를

포함하고,

상기 판독/기록 회로는 프로그래밍을 수행하고,

상기 프로그래밍은,

주어진 단차 크기를 갖는 계단식 펠스 트레인 형태로 유한 기간 동안 시간에 따라 충분되는 프로그래밍 전압을 제공하는 단계와,

다중 프로그래밍 패스에서 메모리 셀 그룹을 프로그래밍하는 단계로서, 각각의 연속 프로그래밍 패스는 메모리 셀 그룹을 프로그램하도록 인가된 계단식 펠스 트레인을 갖고, 각 연속 프로그래밍 패스는 미리 결정된 오프셋 레벨만큼 이전 프로그래밍 패스의 계단식 펠스 트레인으로부터 오프셋된 계단식 펠스 트레인을 갖는, 메모리 셀 그룹을 프로그래밍하는 단계를

포함하는, 비휘발성 메모리.

청구항 17

제 16항에 있어서, 각 프로그래밍 패스의 미리 결정된 오프셋 레벨은 주어진 단차 크기 미만이고, 이전 프로그래밍 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작은, 비휘발성 메모리.

청구항 18

제 16항에 있어서, 다중 프로그래밍 패스는,

제 1 계단식 펠스 트레인을 사용하는 제 1 프로그래밍 패스와,

제 1 계단식 펠스 트레인과 유사하지만 절반 단차 크기만큼 제 1 계단식 펠스 트레인으로부터 오프셋되어 있는 제 2 계단식 펠스 트레인을 사용하는 제 2 프로그래밍 패스를

포함하는, 비휘발성 메모리.

청구항 19

제 18항에 있어서, 제 2 계단식 펠스 트레인과 유사하지만 1/4 단차 크기만큼 제 2 계단식 펠스 트레인으로부터 오프셋되어 있는 제 3 계단식 펠스 트레인을 사용하는 제 3 프로그래밍 패스를 더 포함하는, 비휘발성 메모리.

청구항 20

제 16항에 있어서, 프로그래밍 중인 그룹의 각 메모리 셀을 위한 프로그램 인덱스로서, 메모리 셀을 프로그램하기 위해 사용된 최종 프로그래밍 전압 레벨을 나타내는 프로그램 인덱스를 더 포함하고,

상기 판독/기록 회로는 프로그래밍을 수행하며,

상기 프로그래밍은,

프로그래밍 패스에서 일련의 충분 전압 펠스로서 프로그래밍 전압을 메모리 셀 그룹에 인가하는 단계와,

셀의 프로그램 인덱스에 따라 프로그래밍 패스 동안 메모리 셀의 프로그래밍을 허용하거나 메모리 셀의 프로그래밍을 억제하는 단계를

더 포함하는, 비휘발성 메모리.

청구항 21

제 20항에 있어서, 상기 판독/기록 회로에서, 일련의 충분 전압 펠스로서 프로그래밍 전압을 인가하는 단계는 프로그래밍 패스 동안 전압 펠스 사이에 메모리 셀 그룹에 대한 확인 단계 없이 수행되는, 비휘발성 메모리.

청구항 22

제 20항에 있어서, 각 프로그래밍 패스의 미리 결정된 오프셋 레벨은 주어진 단차 크기 미만이고, 이전 프로그래밍 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작은, 비휘발성 메모리.

청구항 23

제 20항에 있어서, 다중 프로그래밍 패스는,

제 1 계단식 펠스 트레인을 사용하는 제 1 프로그래밍 패스와,

제 1 계단식 펠스 트레인과 유사하지만 절반 단차 크기만큼 제 1 계단식 펠스 트레인으로부터 오프셋되어 있는
제 2 계단식 펠스 트레인을 사용하는 제 2 프로그래밍 패스를
포함하는, 비휘발성 메모리.

청구항 24

제 23항에 있어서, 제 2 계단식 펠스 트레인과 유사하지만 1/4 단차 크기만큼 제 2 계단식 펠스 트레인으로부터
오프셋되어 있는 제 3 계단식 펠스 트레인을 사용하는 제 3 프로그래밍 패스를 더 포함하는, 비휘발성 메모리.

청구항 25

제 16항에 있어서, 각 메모리 셀은 전계 효과 트랜지스터의 부유 게이트인 전하 저장 소자를 갖는, 비휘발성 메모리.

청구항 26

제 16항에 있어서, 각 메모리 셀은 전계 효과 트랜지스터의 유전체 충인 전하 저장 소자를 갖는, 비휘발성 메모리.

청구항 27

제 16항에 있어서, 비휘발성 메모리는 NAND 구조를 갖는 비휘발성 메모리인, 비휘발성 메모리.

청구항 28

제 16항에 있어서, 비휘발성 메모리는 플래시 EEPROM인, 비휘발성 메모리.

청구항 29

제 16항에 있어서, 비휘발성 메모리는 메모리 카드 내에 내장되어 있는, 비휘발성 메모리.

청구항 30

제 16항에 있어서, 프로그래밍 중인 메모리 셀은 각각 1비트보다 많은 데이터를 저장하는, 비휘발성 메모리.

발명의 설명**기술 분야**

[0001] 본 발명은, 일반적으로 전기적으로 삭제 및 프로그램 가능한 판독 전용 메모리(EEPROM) 및 플래시 EEPROM 같은 비휘발성 반도체 메모리에 관한 것이고, 구체적으로는, 프로그램 확인 동작 횟수를 최소화한 메모리 및 프로그래밍 동작에 관한 것이다.

배경 기술

[0002] 특히 작은 형상 인자의 카드로서 패키징된 EEPROM 및 플래시 EEPROM 형태의, 전하를 비휘발성 저장할 수 있는 고상 메모리는 최근 다양한 이동형 및 휴대형 장치, 특히, 정보 기기 및 소비자 가전제품의 저장장치로서 선택되고 있다. 역시 고상 메모리인 RAM(임의 접근 메모리)과는 달리, 플래시 메모리는 비휘발성이며, 전력이 중단된 이후에도 그 저장된 데이터를 보유한다. 가격이 더 비싸지만, 플래시 메모리는 대용량 저장 용례에 점점 더 많이 사용되고 있다. 하드 드라이브 및 플로피 디스크 같은 회전식 자기 매체에 기초한 종래의 대용량 저장장치는 이동형 및 휴대형 환경에 대해서는 부적합하다. 이는 디스크 드라이브가 부피가 큰 경향이 있고, 기계적 고장이 잦으며, 높은 지연시간 및 높은 전력 수요를 갖기 때문이다. 이들 바람직하지 못한 속성은 디스크 기반 저장장치가 대부분의 이동형 및 휴대형 용례에 실용적이지 못하게 만든다. 다른 한편, 내장형 및 제거 가능 카드 형태 양자 모두의 플래시 메모리는 그 작은 크기, 낮은 전력 소비, 높은 속도 및 높은 신뢰성 특성에 기인하여

이동형 및 휴대형 환경에 이상적으로 적합하다.

[0003] EEPROM 및 전기적으로 프로그램 가능한 판독 전용 메모리(EPROM)는 삭제될 수 있으면서, 그 메모리 셀 내에 새로운 데이터를 기록 또는 "프로그램"할 수 있는 비휘발성 메모리이다. 이를 양자 모두는 소스 영역과 드레인 영역 사이에서 반도체 기판 내의 채널 영역 위에 위치된, 전계 효과 트랜지스터 구조의 부유(비접속) 전도성 게이트를 사용한다. 이때, 제어 게이트는 부유 게이트 위에 제공된다. 트랜지스터의 임계 전압 특성은 부유 게이트 상에 보유된 전하의 양에 의해 제어된다. 즉, 부유 게이트 상의 주어진 전하 레벨에 대해, 트랜지스터가 그 소스 영역과 드레인 영역 사이의 전도를 허용하도록 "온" 전환되기 이전에 제어 게이트에 인가되어야만 하는 대응하는 전압(임계치)이 존재하게 된다.

[0004] 부유 게이트는 소정 범위의 전하를 보유할 수 있으며, 따라서, 임계 전압 윈도우 이내의 임의의 임계 전압으로 프로그램될 수 있다. 임계 전압 윈도우의 크기는 장치의 최소 임계 레벨과 최대 임계 레벨에 의해 한정되며, 이는 부유 게이트 상에 프로그램될 수 있는 전하의 범위에 대응한다. 임계 윈도우는 일반적으로 메모리 장치의 특성, 동작 조건 및 이력(history)에 의존한다. 윈도우 내의 각각의 별개의 해독 가능 임계 전압 레벨 범위가 원론적으로 셀의 한정된 메모리 상태를 나타내기 위해 사용된다. 임계 전압이 두 개의 별개의 영역으로 분획되어 있는 경우, 각 메모리 셀은 1비트의 데이터를 저장할 수 있다. 유사하게, 임계 전압 윈도우가 2개보다 많은 별개의 영역으로 분획되어 있는 경우, 각 메모리 셀은 1비트보다 많은 데이터를 저장할 수 있다.

[0005] 일반적으로 2개-상태 EEPROM 셀에서, 전도 윈도우를 두 개의 영역으로 분획하기 위해 적어도 하나의 전류 중단 점(breakpoint) 레벨이 형성된다. 셀이 미리 결정된 고정된 전압의 인가에 의해 판독될 때, 그 소스/드레인 전류는 중단점 레벨(또는 기준 전류 IREF)와의 비교에 의거하여 일 메모리 상태로 해석된다. 판독된 전류가 중단점 레벨의 전류보다 높으면 셀은 하나의 논리 상태(예를 들어, "제로(0)" 상태)로 존재하는 것으로 판정된다. 다른 한편, 전류가 중단점 레벨의 전류 미만이면, 셀은 다른 논리 상태(예를 들어, "일(1)" 상태)로 존재하는 것으로 판정된다. 따라서, 이런 2개-상태 셀은 1비트의 디지털 정보를 저장한다. 종종, 중단점 레벨 전류를 발생시키기 위해 메모리 시스템의 일부로서 외부적으로 프로그램할 수 있는 기준 전류 소스가 제공된다.

[0006] 메모리 용량을 증가시키기 위해, 플래시 EEPROM 장치는 반도체 기술 발전 상태에 따라 점점 더 높은 밀도로 제조되고 있다. 저장 용량을 증가시키는 다른 방법은 각 메모리 셀이 2개보다 많은 상태를 저장할 수 있게 하는 것이다.

[0007] 다중-상태 또는 다중-레벨 EEPROM 메모리 셀에 대해, 전도 윈도우는 하나보다 많은 중단점에 의해 두 개보다 많은 영역으로 분획되며, 그래서, 각 셀은 1비트보다 많은 데이터를 저장할 수 있다. 따라서, 주어진 EEPROM 어레이가 저장할 수 있는 정보는 각 셀이 저장할 수 있는 상태의 수에 따라 증가된다. 다중 상태 또는 다중 레벨 메모리 셀을 갖는 EEPROM 및 플래시 EEPROM은 미국 특허 제 5,172,338호에 설명되어 있다.

[0008] 메모리 셀로서 기능하는 트랜지스터는 통상적으로, 두 개의 메커니즘 중 하나에 의해 "프로그램된" 상태로 프로그램된다. "열전자(hot electron) 주입"에서, 드레인에 인가된 높은 전압은 전자를 기판 채널 영역을 가로질러 가속시킨다. 동시에, 제어 게이트에 인가된 높은 전압은 얇은 게이트 유전체를 통해 부유 게이트 상으로 열전자를 견인한다. "터널링 주입"에서, 기판에 의해 제어 게이트에 높은 전압이 인가된다. 이 방식으로, 전자는 기판으로부터 개입 부유 게이트로 견인된다.

[0009] 메모리 장치는 다수의 메커니즘에 의해 삭제될 수 있다. EEPROM에 대해, 메모리는 자외선 방사선에 의해 부유 게이트로부터 전하를 제거함으로써 전체 삭제(bulk erase)될 수 있다. EEPROM에 대해, 메모리 셀은 제어 게이트에 의해 기판에 높은 전압을 인가하여 부유 게이트 내의 전자가 얇은 산화물을 통해 기판 채널 영역으로 터널링 하게 유도함으로써(즉, Fowler-Nordheim 터널링) 전기적으로 삭제될 수 있다. 통상적으로, EEPROM은 바이트 단위로 삭제 가능하다. 플래시 EEPROM에 대하여, 메모리는 한번에 전체적으로, 또는 한번에 하나 이상의 블록으로 전기적으로 삭제될 수 있으며, 여기서, 블록은 512 바이트 이상의 메모리로 구성될 수 있다.

[0010] 메모리 장치는 통상적으로 카드 상에 장착될 수 있는 하나 이상의 메모리 칩을 포함한다. 각 메모리 칩은 디코더와, 삭제, 기록 및 판독 회로 같은 주변 회로에 의해 지지되어 있는 메모리 셀 어레이를 포함한다. 더 정교한 메모리 장치는 지능적이고 더 높은 레벨의 메모리 동작 및 인터페이싱을 수행하는 외부적 메모리 제어기에 의해 동작한다.

[0011] 다수의 상업적으로 성공적인 비휘발성 고상 메모리 장치가 오늘날 사용되고 있다. 이들 메모리 장치는 플래시 EEPROM일 수 있거나, 다른 유형의 비휘발성 메모리 셀을 사용할 수 있다. 플래시 메모리 및 시스템과, 이들을 제조하는 방법의 예는 미국 특허 제 5,070,032호, 제 5,095,344호, 제 5,315,541호, 제 5,343,063호 및 제

5,661,053호, 제 5,313,421호와 제 6,222,762호에 제공되어 있다. 특히, NAND 스트링 구조를 구비한 플래시 메모리 장치가 미국 특허 제 5,570,315호, 제 5,903,495호 및 제 6,046,935호에 설명되어 있다. 또한, 비휘발성 메모리 장치는 전하를 저장하기 위한 유전체 층을 갖는 메모리 셀로부터도 제조된다. 전술한 전도성 부유 게이트 소자 대신, 유전체 층이 사용된다. 유전체 저장 소자를 사용하는 이런 메모리 장치는 Eitan 등에 의해 "NORM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell(IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545)"에서 설명되었다. ONO 유전체 층이 소스 확산부와 드레인 확산부 사이의 채널을 가로질러 연장한다. 하나의 데이터 비트를 위한 전하는 드레인에 인접한 유전체 층 내에 국지화되고, 다른 데이터 비트를 위한 전하는 소스에 인접한 유전체 층 내에 국지화된다. 예로서, 미국 특허 제 5,768,192호 및 제 6,011,725호는 두 개의 이산화실리콘 층 사이에 개재된 트랩핑 유전체를 갖는 비휘발성 메모리 셀을 개시한다. 다중 상태 데이터 저장은 유전체 내에 공간적으로 분리되어 있는 전하 저장 영역의 2진 상태를 개별적으로 판독함으로써 이행된다.

[0012] 판독 및 프로그램 성능을 향상시키기 위해, 어레이 내의 다수의 전하 저장 소자 또는 메모리 트랜지스터가 병렬로 판독 또는 프로그램된다. 따라서, 메모리 소자의 "페이지"가 함께 판독 또는 프로그램된다. 기존 메모리 아키텍쳐에서, 행(row)은 통상적으로 수 개의 간삽된(interleave) 페이지를 포함하거나, 하나의 페이지를 구성할 수 있다. 페이지의 모든 메모리 소자는 함께 판독 또는 프로그램된다.

[0013] 일련의 교번적 프로그램/확인 사이클을 사용하는 종래의 프로그래밍 기술은 V_{PGM} 의 비교적 큰 변화에 응답하여 셀의 임계 전압이 초기에 빠르게 성장하는 프로그래밍 프로세스의 불확실성을 해결하기 위한 것이다. 그러나, 부유 게이트 내로 프로그램된 전하가 부유 게이트 내로의 전하의 추가적 터널링을 위한 유효 전계를 감소시키는 차폐부로서 작용함에 따라, 성장은 느려지고 결국 정지된다. 프로세스는 매우 비선형적으로 나타나며, 따라서, 시행착오(trial-and-error) 접근법이 사용된다.

[0014] 프로그램/확인 프로그래밍 기술의 단점은 확인 사이클이 시간을 소모하고, 성능에 영향을 준다는 점이다. 이러한 문제점은 다수의 비트를 저장할 수 있는 메모리 셀의 구현에 의해 심화된다. 본질적으로, 확인은 메모리 셀의 가능한 다수의 상태들 각각에 대해 수행될 필요가 있다. 16개 가능 메모리 상태를 갖는 메모리에 대하여, 이는 각각의 확인 사이클이 16개에 달하는 감지 동작을 유발할 수 있다는 것을 의미한다. 따라서, 다중 레벨 메모리 셀("MLC")에서 구별 가능한 상태 레벨의 수가 증가하면, 프로그램/확인 체계의 확인 사이클도 점점 더 시간 소모적이 된다.

[0015] 2006년 9월 12일자로 Loc Tu 등에 의해 출원된 발명의 명칭이 "Method for Non-volatile Memory with Linear Estimation of Initial Programming Voltage"인 미국 특허 출원 제 11/531,227호는 선형적 추산에 의해 초기 프로그래밍 전압을 추산하는 방법을 개시하고 있다. 비휘발성 메모리를 위한 바람직한 프로그래밍 성능을 달성하기 위해, 초기 프로그래밍 전압(V_{PGM0}) 및 단차 크기는 공장에서 최적으로 선택되어야만 한다. 이는 메모리 셀의 각 페이지를 테스트함으로써 달성된다. 선택된 페이지에 결합된 워드 라인은 계단형 과정의 일련의 전압 펄스들에 의해 연속적으로 프로그램되며, 페이지가 지정된 패턴으로 확인될 때까지 펄스들 사이에 확인이 이루어진다. 확인된, 페이지가 프로그램될 때의 프로그래밍 전압은 그 페이지를 위한 개시 프로그래밍 전압의 초기값으로 돌아가도록 선형적으로 스케일링됨으로써 추산을 위해 사용된다. 추산은 제 2 패스에서, 제 1 패스로부터의 추산치를 사용함으로써 추가적으로 정제된다. 따라서, 일 페이지의 성공적 프로그래밍을 위한 최종 프로그래밍 전압을 형성하기 위해 종래의 교번식 프로그래밍 및 확인이 사용되게 된다. 그후, 최종 프로그래밍 전압이 페이지를 위한 추산된 초기 프로그래밍 전압에 도달하도록 선형적으로 스케일링된다. 이 유형의 스케일링은 페이지 레벨에서의 포괄적 스케일(gross scale)이며, 셀 단위 기반으로 필드 내의 메모리를 프로그래밍 및 확인하는 종래의 단점을 해결하지 못한다.

[0016] 특히, 종래의 프로그래밍은 매 펄스 사이에 확인 동작을 필요로 한다. 메모리가 다수의 메모리 상태로 분획되는 경우, 확인 동작은 매 펄스 사이에서 다수의 상태를 체크하여야만 한다. 확인 동작의 수는 상태 분획의 수의 차승에 따라 증가한다. 따라서, 셀 당 3 이상의 비트를 보유하는 메모리에 대해, 확인 동작의 수는 과도하게 커진다.

[0017] 프로그래밍 해독성을 증가시키기 위해, 종래의 방법에서는 프로그래밍 펄스 단차 크기를 더 미세하게 형성한다. 그러나, 이는 프로그램을 위해 필요한 펄스의 수를 비례적으로 증가시키는 효과를 가지며, 그에 의해, 프로그래밍 시간을 증가시킨다. 또한, 프로그래밍 펄스의 증가는 종래의 방법에서의 간접 확인의 수와 복합되게 된다.

발명의 내용

해결하려는 과제

[0018] 따라서, 고용량 및 고성능 비휘발성 메모리에 대한 포괄적 수요가 존재한다. 특히, 상술한 단점이 최소화되는, 개선된 프로그래밍 성능을 갖는 고용량 비휘발성 메모리를 구비할 필요가 있다.

과제의 해결 수단

상호 관련 다중 패스 프로그래밍

[0020] 다중 상태 메모리에서, 각 셀은 사전지정된 임계 전압의 범위 중 하나 이내의 임계 전압을 갖는 다중 상태 중 하나로 프로그램될 수 있다. 이런 메모리 셀의 개체군에서, 다양한 임계 전압의 범위 또는 분포가 뚜렷하지 않은 범위를 형성하도록 분산되지 않도록 정확히 프로그램하는 것이 바람직하다. 분포를 밀집화하는 한가지 기술은 각 시기에 더 미세한 프로그래밍 펠스 단차 크기를 사용하여 다중 프로그래밍 패스를 수행하는 것이다. 그러나, 매우 미세한 펠스 단차 크기의 경우, 펠스 수의 증가와 함께 프로그래밍 성능은 감소한다.

[0021] 본 발명의 다른 양상에 따라서, 메모리 셀 그룹은 다중 패스의 프로그래밍 전압이 상관되는 다중 프로그래밍 패스에서 별별로 프로그램된다. 각 프로그래밍 패스는 공통 단차 크기를 갖는 계단식 펠스 트레인 형태의 프로그래밍 전압을 사용하고, 각 연속적 패스는 미리 결정된 오프셋 레벨만큼 이전 패스의 것으로부터 오프셋된 계단식 펠스 트레인을 갖는다. 미리 결정된 오프셋 레벨은 공통 단차 크기 미만이며, 이전 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작을 수 있다.

[0022] 바람직한 일 실시예에서, 미리 결정된 오프셋은 이전 패스의 것의 절반이다. 예로서, 제 2 패스의 계단식 펠스 트레인은 제 1 패스로부터 절반 단차 크기만큼 오프셋되고, 제 3 패스의 계단식 펠스 트레인은 제 2 패스로부터 1/4 단차 크기만큼 오프셋된다. 이 방식으로, 각 패스가 더 미세한 단차 크기를 갖는 프로그래밍 계단식 펠스 트레인을 사용하는 다중 패스를 사용한 종래의 방법보다 더 적은 프로그래밍 펠스를 사용하여 다중 패스에 걸쳐 동일한 프로그래밍 해독성이 달성될 수 있다.

발명의 효과

[0023] 상호 관련 다중 패스 프로그래밍은 다중 프로그래밍 패스에 걸쳐 프로그래밍 펠스의 수를 감소시킴으로써 프로그래밍 성능을 향상시킨다는 점에서 바람직하다.

[0024] 다중 패스 인덱스 프로그래밍 기술은 확인 작업의 수를 현저히 절감시킬 수 있게 한다. 유사하게, 다중 패스 상호 관련 프로그래밍 기술은 필요한 프로그래밍 펠스의 수를 현저히 절감시킬 수 있게 한다. 두 기술은 고성능 다중 패스 인덱스 및 상호 관련 프로그래밍으로 함께 통합될 수 있다. 셀 당 3개 이상의 데이터 비트를 저장하도록 구성된 메모리에 대해 더 많은 이득이 얻어진다.

[0025] 첨부 도면과 연계하여 설명이 이루어지는 본 발명의 바람직한 실시예에 대한 하기의 설명으로부터 본 발명의 추가적 특징 및 장점을 이해할 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1은, 본 발명이 구현될 수 있는 비휘발성 메모리 칩의 기능 블록을 개략적으로 예시하는 도면.

도 2는, 비휘발성 메모리 셀을 개략적으로 예시하는 도면.

도 3은, 부유 게이트가 임의의 하나의 시간에 선택적으로 저장할 수 있는 4개 서로 다른 전하(Q1 내지 Q4)를 위한 제어 게이트 전압(V_{CG})과 소스-드레인 전류(I_D) 사이의 관계를 예시하는 도면.

도 4는, 메모리 셀의 NOR 어레이의 예를 예시하는 도면.

도 5a는, NAND 스트링으로 조직화된 메모리 셀의 스트링을 개략적으로 예시하는 도면.

도 5b는, 도 5a에 도시된 것 같은 NAND 스트링(50)으로 구성된 메모리 셀의 NAND 어레이(200)의 일례를 예시하는 도면.

도 6은, 메모리 셀 어레이를 가로지른 p 감지 모듈의 뱅크를 포함하는 도 1에 도시된 판독/기록 회로(270A, 270B)를 예시하는 도면.

도 7은, 도 6에 도시된 감지 모듈의 바람직한 조직화를 개략적으로 예시하는 도면.

도 8은, 도 7에 도시된 판독/기록 스택을 더 상세히 예시하는 도면.

도 9(0) 내지 도 9(2)는, 4개 상태 메모리 셀의 개체군을 프로그래밍하는 일례를 예시하는 도면.

도 10(0) 내지 도 10(2)는, 8개 상태 메모리 셀의 개체군을 프로그래밍하는 일례를 예시하는 도면.

도 11은, 4개 상태 메모리 셀을 타깃 메모리 상태로 프로그래밍하기 위한 종래의 기술을 예시하는 도면.

도 12는, 종래의 교번적 프로그램/확인 알고리즘을 사용하여 일 페이지를 프로그래밍하기 위한 추산된 프로그래밍 펄스 및 확인 사이클의 수를 예시하는 표.

도 13은, 인덱스 프로그래밍 방법의 일반적 체계를 예시하는 흐름도.

도 14a는, 제 1 실시예에 따른 메모리 셀의 프로그램 인덱스를 제공하는 단계를 예시하는 흐름도.

도 14b는, 메모리 셀을 위한 프로그램 인덱스를 획득하는 제 2 실시예를 예시하는 흐름도.

도 14c는, 하나 이상의 체크포인트에 의해 캘리브레이팅된 예측 함수를 사용하여 메모리 셀의 프로그램 인덱스를 획득하는 제 3 실시예를 예시하는 흐름도.

도 14d는, 일 실시예에 따른 메모리 셀의 프로그램 인덱스를 획득하는 제 3 실시예를 예시하는 흐름도.

도 14e는, 다른 실시예에 따른 메모리 셀의 프로그램 인덱스를 획득하는 제 3 실시예를 예시하는 흐름도.

도 15는, 타깃 임계 전압 레벨로 메모리 셀을 프로그램하기 위해 필요한 프로그래밍 전압을 제공하기 위해 사용되는 미리 결정된 함수의 바람직한 실시예를 예시.

도 16은, 삭제된 상태 위의 제 1 프로그램된 상태에 대응하도록 체크포인트를 위한 바람직한 지정을 예시하는 도면.

도 17은, 제 1 프로그래밍 패스에 사용되는 각 셀을 위한 프로그램 인덱스를 구축하기 위한 예측 프로그래밍을 예시하는 도면.

도 18a는, 각 추가적 펄스가 메모리 셀을 차순위 메모리 상태로 프로그램하도록 단차 크기를 갖는 프로그래밍 전압을 설정하는 단계를 예시하는 흐름도.

도 18b는, 제 1 프로그래밍 패스가 진행중인 메모리 셀의 임계 전압을 개략적으로 예시하는 도면.

도 19는, 메모리 셀을 위한 프로그램 인덱스를 형성하는 바람직한 실시예를 예시하는 흐름도.

도 20의 (A), 도 20의 (B) 및 도 20의 (C)는, 각각 도 18b에 도시된 "정규" 셀, "느린" 셀 및 "매우 느린" 셀을 위한 도 19의 래치 동작을 각각 예시하는 도면.

도 21은, 인덱스 프로그래밍 방법의 바람직한 실시예를 예시하는 흐름도.

도 22는, 제 1 패스 이후 프로그램된 결과를 조율하기 위한 도 21의 단계 820에 도시된 추가적 확인 및 프로그래밍 패스를 예시하는 도면.

도 23은, 확인 상태 플래그를 저장하기 위한 래치를 개략적으로 예시하는 도면.

도 24a는, 확인 상태 플래그의 사용에 의해 미확인 메모리 셀을 추가 프로그래밍할 수 있게 하는 방법을 예시하는 흐름도.

도 24b는, 메모리 셀을 위한 프로그램 인덱스를 오프셋함으로써 미확인 메모리 셀을 추가 프로그래밍할 수 있게 하는 방법을 예시하는 흐름도.

도 24c는, 펄스 계수치를 오프셋함으로써 미확인 메모리 셀을 추가 프로그래밍할 수 있게 하는 방법을 예시하는 흐름도.

도 25는, 인덱스 프로그래밍 기술을 사용하여 일 페이지를 프로그램하기 위한 추산된 프로그래밍 펄스 및 확인 사이클의 수를 예시하는 표.

도 26은, 도 21에 도시된 인덱스 프로그래밍 패스에 대한 상관된 다중 패스 프로그래밍의 적용을 예시하는 도면.

도 27은, 다중 패스 프로그래밍의 사용에 의한 메모리 상태의 임계 전압 분포의 밀집화를 예시하는 도면.

도 28a는, 메모리 상태의 다양한 분획화를 위한 종래의 다중 패스 프로그래밍에 사용되는 프로그래밍 펄스의 수를 보여주는 표.

도 28b는, 메모리 상태의 다양한 분획화를 위한 상관된 다중 패스 프로그래밍에 사용되는 프로그래밍 펄스의 수를 보여주는 표.

도 29는, 패스 사이에 상관된 프로그래밍 레벨을 사용하는 다중 패스 프로그래밍 방법을 예시하는 흐름도.

발명을 실시하기 위한 구체적인 내용

메모리 시스템

[0028] 도 1 내지 도 10은 본 발명의 다양한 양상이 구현될 수 있는 예시적 메모리 시스템을 예시한다. //

[0029] 도 11 및 도 12는 종래의 프로그래밍 기술을 예시한다.

[0030] 도 13 내지 도 29는 본 발명의 다양한 양상 및 실시예를 예시한다.

[0031] 도 1은 본 발명이 구현될 수 있는 비휘발성 메모리 칩의 기능 블록을 개략적으로 예시한다. 메모리 칩(100)은 메모리 셀의 2차원 어레이(200), 제어 회로(210) 및 디코더, 판독/기록 회로 및 멀티플렉서 같은 주변 회로를 포함한다.

[0032] 메모리 어레이(200)는 열 디코더(260)(260A, 260B로 분할됨)를 통해 비트 라인에 의해, 그리고, 행 디코더(230)(230A, 230B로 분할됨)를 통해 워드 라인에 의해 어드레스될 수 있다(도 4 및 도 5 참조). 판독/기록 회로(270)(270A, 270B로 분할됨)는 메모리 셀의 페이지가 병렬로 판독 또는 프로그램될 수 있게 한다. 데이터 I/O 버스(231)는 판독/기록 회로(270)에 결합된다.

[0033] 바람직한 실시예에서, 페이지는 동일한 워드 라인을 공유하는 메모리 셀의 연속적 행으로 구성된다. 다른 실시 예에서, 메모리 셀의 행이 다수의 페이지로 분획되는 경우, 블록 멀티플렉서(250)(250A 및 250B로 분할됨)가 제공되어 판독/기록 회로(270)를 개별 페이지로 멀티플렉싱한다. 예로서, 메모리 셀의 홀수 및 짝수 열에 의해 각각 형성된 두 개의 페이지는 판독/기록 회로로 멀티플렉싱된다.

[0034] 도 1은 다양한 주변 회로에 의해 메모리 어레이(200)에 대한 억세스가 어레이의 대향 측부들 상에서 대칭적 형태로 이행되고, 그래서, 각 측부 상의 억세스 라인 및 회로의 밀도가 절반으로 감소되는 바람직한 배열을 예시한다. 따라서, 행 디코더는 행 디코더(230A, 230B)로 분할되고, 열 디코더는 열 디코더(260A, 260B)로 분할된다. 메모리 셀의 행이 다수의 페이지로 분획되는 실시예에서, 페이지 멀티플렉서(250)는 페이지 멀티플렉서(250A, 250B)로 분할된다. 유사하게, 판독/기록 회로(270)는 저부로부터 비트 라인에 연결되는 판독/기록 회로(270A)와 어레이(200)의 상부로부터 비트 라인에 연결되는 판독/기록 회로(270B)로 분할된다. 이 방식으로, 판독/기록 모듈의 밀도와, 이에 따라, 감지 모듈(280)의 밀도가 본질적으로 절반만큼 감소된다.

[0035] 제어 회로(110)는 메모리 어레이(200) 상의 메모리 동작을 수행하기 위해 기록/판독 회로(270)와 협력하는 온-칩 제어기이다. 제어 회로(110)는 통상적으로, 온-칩 어드레스 디코더 및 파워 제어 모듈(명확하게 도시되지 않음) 같은 다른 회로와 상태 기계(112)를 포함한다. 상태 기계(112)는 메모리 동작의 칩 레벨 제어를 제공한다. 제어 회로는 외부 메모리 제어기를 통해 호스트와 통신한다.

[0036] 메모리 어레이(200)는 통상적으로, 워드 라인 및 비트 라인에 의해 어드레스 가능하며, 행과 열로 배열된 메모리 셀의 2차원 어레이로서 조직화된다. 어레이에는 NOR 형 또는 NAND 형 아키텍처에 따라 형성될 수 있다.

[0037] 도 2는 비휘발성 메모리 셀을 개략적으로 예시한다. 메모리 셀(10)은 부유 게이트 또는 유전체 층 같은 전하 저장 유닛(20)을 갖는 전계 효과 트랜지스터에 의해 구현될 수 있다. 또한, 메모리 셀(10)은 소스(14), 드레인(16) 및 제어 게이트(30)를 포함한다.

[0038] 다수의 상업적으로 성공적인 비휘발성 고상 메모리 장치가 오늘날 사용되고 있다. 이들 메모리 장치는 다양한 유형의 메모리 셀을 포함할 수 있으며, 각 유형은 하나 이상의 전하 저장 소자를 구비한다.

[0039] 통상적 비휘발성 메모리 셀은 EEPROM 및 플래시 EEPROM을 포함한다. EEPROM 셀 및 그 제조 방법의 예는 미국 특허 제 5,595,924호에 제공되어 있다. 플래시 EEPROM 셀의 예, 메모리 시스템에서의 그 용도 및 그들을 제조하는 방법은 미국 특허 제 5,070,032호, 제 5,095,344호, 제 5,315,541호, 제 5,343,063호, 제 5,661,053호, 제

5,313,421호 및 제 6,222,762호에 제공되어 있다. 특히, NAND 셀 구조를 갖는 메모리 장치의 예는 미국 특허 제 5,570,315호, 제 5,903,495호 및 제 6,046,935호에 설명되어 있다. 또한, 유전체 저장 소자를 사용하는 메모리 장치의 예는 Eitan 등에 의한 "NORM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell(IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545)"과, 미국 특허 제 5,768,192호 및 제 6,011,725호에 설명되어 있다.

[0040] 실제로, 셀의 메모리 상태는 일반적으로 기준 전압이 제어 게이트에 인가될 때 셀의 소스 전극과 드레인 전극을 가로지른 전도 전류를 감지함으로써 판독된다. 따라서, 셀의 부유 게이트 상의 각각의 주어진 전하에 대하여, 고정된 기준 제어 게이트 전압에 관한 대응하는 전도 전류가 검출될 수 있다. 유사하게, 부유 게이트 상에 프로그램할 수 있는 전하의 범위는 대응 임계 전압 윈도우 또는 대응 전도 전류 윈도우를 한정한다.

[0041] 대안적으로, 분획된 전류 윈도우 중에서 전도 전류를 검출하는 대신, 제어 게이트에서 테스트 중인 주어진 메모리 상태에 대하여 임계 전압을 설정하고, 전도 전류가 임계 전류보다 높거나 낮은 경우를 검출하는 것이 가능하다. 일 실시예에서, 임계 전류에 대한 전도 전류의 검출은 전도 전류가 비트 라인의 커퍼시턴스를 통해 방전되는 속도를 검사함으로써 달성된다.

[0042] 도 3은 임의의 하나의 시간에 부유 게이트가 선택적으로 저장할 수 있는 4개의 다른 전하(Q1 내지 Q4)를 위한 제어 게이트 전압(V_{CG})과 소스-드레인 전류(I_D) 사이의 관계를 예시한다. 4개 고체 I_D 대 V_{CG} 곡선은 4개 가능 메모리 상태에 각각 대응하는 메모리 셀의 부유 게이트 상에 프로그램될 수 있는 4개 가능 전하 레벨을 나타낸다. 예로서, 셀의 개체군의 윈도우 임계 전압은 0.5V 내지 3.5V의 범위일 수 있다. 1개의 삭제된 상태와 6개의 프로그램된 상태를 각각 나타내는 7개 가능 메모리 상태 "0", "1", "2", "3", "4", "5", "6"은 각각 0.5V 간격의 5개 영역으로 임계 윈도우를 분획함으로써 구별될 수 있다. 예로서, $2\mu A$ 의 기준 전류(I_{REF})가 도시된 바와 같이 사용되는 경우, 이때, Q1으로 프로그램된 셀이 메모리 상태 "1"이 되는 것으로 고려될 수 있으며, 그 이유는 그 곡선이 $V_{CG} = 0.5V$ 및 $1.0 V$ 에 의해 구별되는 임계 윈도우의 영역에서 I_{REF} 와 교차하기 때문이다. 유사하게, Q4는 메모리 상태 "5"로 존재한다.

[0043] 상술한 설명으로부터 알 수 있는 바와 같이, 메모리 셀이 더 많은 상태를 저장하게 되면 될수록, 그 임계 윈도우는 더 미세하게 분할된다. 예로서, 메모리 장치는 -1.5V 내지 5V의 범위인 임계 윈도우를 갖는 메모리 셀을 구비할 수 있다. 이는 6.5V의 최대 폭을 제공한다. 메모리 셀이 16개 상태를 저장하는 경우, 각 상태는 임계 윈도우 내에서 200mV 내지 300mV를 점유할 수 있다. 이는 필요한 해독성을 달성할 수 있게 하기 위해 프로그래밍 및 판독 동작의 더 높은 정밀도를 필요로 한다.

[0044] 도 4는 메모리 셀의 NOR 어레이의 일례를 예시한다. 메모리 어레이(200)에서, 메모리 셀의 각 행은 데이지-체인(daisy chain) 방식으로 그 소스(14) 및 드레인(16)에 의해 연결된다. 이 디자인은 때때로, 가장 그라운드 디자인이라 지칭된다. 행 내의 셀(10)은 워드 라인(42) 같은 워드 라인에 연결된 그 제어 게이트(30)를 구비한다. 열 내의 셀은 비트 라인(34, 36) 같은 선택된 비트 라인에 각각 연결되어 있는 그 소스 및 드레인을 구비한다.

[0045] 도 5a는 NAND 스트링으로 조직화된 메모리 셀의 스트링을 개략적으로 예시한다. NAND 스트링(50)은 그 소스 및 드레인에 의해 데이지 체인 연결된 일련의 메모리 트랜지스터(M1, M2, ..., Mn)(예를 들어, n=4, 8, 16 또는 그 보다 높음)로 구성된다. 선택된 트레점스터 쌍(S1, S2)은 각각 NAND 스트링의 소스 단자(54) 및 드레인 단자(56)를 통한 외부에 대한 메모리 트랜지스터 체인의 연결을 제어한다. 메모리 어레이에서, 소스 선택 트랜지스터(S1)가 온 상태로 전환될 때 소스 단자가 소스 라인에 연결된다(도 5b 참조). 유사하게, 드레인 선택 트랜지스터(S2)가 온 상태로 전환될 때 NAND 스트링의 드레인 단자가 메모리의 비트 라인에 연결된다. 체인 내의 각 메모리 트랜지스터(10)는 메모리 셀로서 작용한다. 이는 의도된 메모리 상태를 나타내도록 주어진 양의 전하를 저장하기 위한 전하 저장 소자(20)를 구비한다. 각 메모리 트랜지스터의 제어 게이트(30)는 판독 및 기록 동작에 대한 제어를 가능하게 한다. 도 5b에서 볼 수 있는 바와 같이, NAND 스트링의 행의 대응 메모리 트랜지스터의 제어 게이트(30)는 모두 동일한 워드 라인에 연결된다. 유사하게, 선택된 트랜지스터(S1, S2) 각각의 제어 게이트(32)는 각각 그 소스 단자(54) 및 드레인 단자(56)를 통해 NAND 스트링에 대한 제어 억제스를 제공한다. 유사하게, NAND 스트링의 행의 대응 선택 트랜지스터의 제어 게이트(32)는 모두 동일한 선택 라인에 연결된다.

[0046] NAND 스트링 내의 어드레스된 메모리 트랜지스터(10)가 판독되거나 프로그래밍 동안 확인될 때, 그 제어 게이트(30)에는 적절한 전압이 공급된다. 동시에, NAND 스트링(50) 내의 어드레스되지 않은 나머지 메모리 트랜지스터는 그 제어 게이트 상에 충분한 전압을 인가함으로써 완전히 온 상태로 전환된다. 이 방식으로, 개별 메모리 트랜지스터의 소스로부터 NAND 스트링의 소스 단자(54)로, 그리고, 마찬가지로, 개별 메모리 트랜지스터의 드레인

에 대하여 셀의 드레인 단자(56)로 전도성 경로가 유효하게 생성된다. 이런 NAND 스트링 구조를 갖는 메모리 장치는 미국 특허 제 5,570,315호, 제 5,903,495호 및 제 6,046,935호에 설명되어 있다.

[0047] 도 5b는 도 5a에 도시된 것 같은 NAND 스트링(50)으로부터 구성된 메모리 셀의 NAND 어레이(200)의 일례를 예시 한다. NAND 스트링의 각 열을 따라, 비트 라인(36) 같은 비트 라인이 각 NAND 스트링의 드레인 단자(56)에 연결 된다. NAND 스트링의 각 뱅크를 따라, 소스 라인(34) 같은 소스 라인이 각 NAND 스트링의 소스 단자(54)에 연결 된다. 또한, NAND 스트링의 뱅크 내의 메모리 셀의 행을 따른 제어 게이트는 워드 라인(42) 같은 워드 라인에 연결된다. NAND 스트링의 뱅크 내의 선택 트랜지스터의 행을 따른 제어 게이트는 선택 라인(44) 같은 선택 라인에 연결된다. NAND 스트링의 뱅크 내의 메모리 셀의 전체 행은 NAND 스트링의 뱅크의 선택 라인 및 워드 라인 상의 적절한 전압에 의해 어드레스될 수 있다. NAND 스트링 내의 메모리 트랜지스터가 판독될 때, 스트링 내의 잔여 메모리 트랜지스터는 그 연계된 워드 라인을 통해 온 상태로 전환되기 어려우며, 그래서, 스트링을 통해 흐르는 전류는 본질적으로 판독되는 셀 내에 저장된 전하의 레벨에 의존한다.

감지 회로와 기술

[0049] 도 6은 메모리 셀 어레이를 가로지른 p 감지 모듈의 뱅크를 포함하는 도 1에 도시된 판독/기록 회로(270A, 170B)를 예시한다. 병렬로 동작하는 p 감지 모듈(480)의 전체 뱅크는 행을 따른 p 셀(10)의 블록(또는 페이지)이 병렬로 판독 또는 프로그램될 수 있게 한다. 본질적으로, 감지 모듈(1)은 셀(1) 내의 전류(I_1)를 감지하고, 감지 모듈(2)은 셀(2) 내의 전류(I_2)를 감지하며,... 감지 모듈(p)은 셀(p) 내의 전류(I_p)를 감지하는 등이다. 소스 라인(34)으로부터 적절한 통합 노드(aggregate node)(CLSLR) 내로, 그리고, 그곳으로부터 접지로 흐르는 페이지를 위한 총 셀 전류(I_{TOT})는 p 셀 내의 모든 전류의 합이다. 종래의 메모리 아키텍쳐에서, 공용 워드 라인을 갖는 메모리 셀의 행은 둘 이상의 페이지를 형성하고, 페이지 내의 메모리 셀은 병렬로 판독 및 프로그램된다. 두 개의 페이지를 갖는 행의 경우에, 하나의 페이지는 짹수 비트 라인에 의해 억세스되고, 다른 페이지는 홀수 비트 라인에 의해 억세스된다. 감지 회로의 페이지는 임의의 하나의 시간에 짹수 비트 라인 또는 홀수 비트 라인에 연결된다. 이 경우에, 판독/기록 회로(270A, 270B)를 각각 개별 페이지로 멀티플렉싱하기 위해 페이지 멀티플렉서(250A, 250B)가 제공된다.

[0050] 56nm 기술에 기초하여 현재 제조된 칩은 $p > 64000$ 이며, 43nm 32Gbit x4 칩에서는 $p > 150000$ 이다. 바람직한 실시 예에서, 블록은 셀의 전체 행의 연장이다. 이는 소위 "전체 비트 라인" 아키텍처라 지칭되며, 여기서, 페이지는 연속적 비트 라인에 각각 연결된 연속적 메모리 셀의 행으로 구성된다. 다른 실시예에서, 블록은 행 내의 셀의 부분집합이다. 예로서, 셀의 부분집합은 연속적 셀의 연장 또는 하나 걸러 하나의 셀 또는 미리 결정된 수의 셀마다 하나의 셀일 수 있다. 각 감지 모듈은 비트 라인을 통해 메모리 셀에 연결되며, 메모리 셀의 전도 전류를 감지하기 위한 감지 증폭기를 포함한다. 일반적으로, 기록/판독 회로가 메모리 어레이의 대향 측부들 상에 분포되는 경우, p 감지 모듈의 뱅크는 두 세트의 판독/기록 회로(270A, 270B) 사이에 분포된다.

[0051] 도 7은 도 6에 도시된 감지 모듈의 바람직한 조직화를 개략적으로 예시한다. p 감지 모듈을 포함하는 판독/기록 회로(270A, 270B)는 판독/기록 스택(400)의 뱅크로 그룹화된다.

[0052] 도 8은 도 7에 도시된 판독/기록 스택을 더 상세히 예시한다. 각 판독/기록 스택(400)은 병렬로 k 비트 라인의 그룹 상에 작용한다. 페이지가 $p=r*k$ 비트 라인을 갖는 경우, r 판독/기록 스택(400-1, ..., 400-r)이 존재한다. 본질적으로, 이 아키텍처는 k 감지 모듈의 각 스택이 공간 전략을 위해 공통 프로세서(500)에 의해 운용되도록 이루어진다. 공통 프로세서(500)는 상태 기계(112)로부터의 제어 및 이들 래치 내의 전류값에 기초 하여 감지 모듈(480) 및 데이터 래치(430)에 위치된 래치 내에 저장될 갱신된 데이터를 연산한다. 공통 프로세서의 상세한 설명은 그 전체 내용이 본 명세서에 참조로 통합되어 있는 2006년 6월 29일자 미국 특허 출원 공개 번호 제US-2006-0140007-A1호에 개시되어 있다.

[0053] 병렬로 동작하는 분획된 판독/기록 스택(400)의 전체 뱅크는 행을 따른 p 셀의 블록(또는 페이지)이 병렬로 판독 또는 프로그램될 수 있게 한다. 따라서, 셀의 전체 행을 위해 p 판독/기록 모듈이 존재한다. 각 스택이 k 메모리 셀을 운용하기 때문에, 뱅크 내의 판독/기록 스택의 총 수는 따라서 $r=p/k$ 에 의해 주어진다. 예로서, r 이 뱅크 내의 스택의 수라면, 이때, $p = r*k$ 이다. 일례시적 메모리 어레이의 $p = 150000$, $k = 8$ 을 가지며, 따라서, $r = 18750$ 이다.

[0054] 400-1 같은 각 판독/기록 스택은 본질적으로 병렬로 k 메모리 셀의 세그먼트를 운용하는 감지 모듈의 스택(480-1 내지 480-k)을 포함한다. 페이지 컨트롤러(410)는 라인(411)을 통해 판독/기록 회로(370)에 제어 및 타이밍 신호를 제공한다. 페이지 컨트롤러 자체는 라인(311)을 통해 메모리 제어기(310)에 의존한다. 각 판독/기록 스

택(400) 사이의 통신은 상호접속 스택 버스(431)에 의해 실행되며, 페이지 제어기(410)에 의해 제어된다. 제어 라인(411)은 페이지 컨트롤러(410)로부터 판독/기록 스택(400-1)의 구성요소로 제어 및 클록 신호를 제공한다.

[0055] 바람직한 배열에서, 스택 버스는 감지 모듈(480)의 스택과 공통 프로세서(500) 사이의 통신을 위해 SABus(422)로 분획되며, 데이터 래치(430)의 스택과 프로세서 사이의 통신을 위해 DBus(423)로 분획된다.

[0056] 데이터 래치(430)의 스택은 스택과 연계된 각 메모리 셀을 위해 하나씩인, 데이터 래치(430-1 내지 430-k)로 이루어진다. I/O 모듈(440)은 데이터 래치가 I/O 버스(231)를 통해 외부와 데이터를 교환할 수 있게 한다.

[0057] 또한, 공통 프로세서는 여러 조건 같은 메모리 동작의 상태를 나타내는 상태 신호의 출력을 위해 출력부(507)를 포함한다. 상태 신호는 결선형 OR(Wired-Or) 구조로 FLAG BUS(590)에 결속된 n-트랜지스터(550)의 게이트를 구동하기 위해 사용된다. FLAG BUS는 제어기(310)에 의해 예비충전되는 것이 바람직하며, 상태 신호가 판독/기록 스택 중 임의의 것에 의해 확인될 때 풀 다운(pull down) 된다.

다중 상태 메모리 분획의 예

[0059] 메모리 셀이 각각 다수의 데이터 비트를 저장하는 비휘발성 메모리를 도 3과 연계하여 이미 설명하였다. 특정 예는 그 채널 영역과 그 제어 게이트 사이에 전하 저장 층을 각각 구비하는 전계 효과 트랜지스터의 어레이로 형성된 메모리이다. 전하 저장 층 또는 유닛은 소정 범위의 전하를 저장할 수 있어서 각 전계 효과 트랜지스터를 위한 소정 범위의 임계 전압에 대한 상승을 제공한다. 가능한 임계 전압 범위는 임계 윈도우에 걸쳐진다. 임계 윈도우가 다수의 임계 전압의 하위 범위 또는 구역으로 분획될 때, 각 해독 가능 구역은 메모리 셀의 서로 다른 메모리 상태를 나타내기 위해 사용된다. 다수의 메모리 상태는 하나 이상의 이진 비트에 의해 코딩될 수 있다. 예로서, 4개 구역으로 분획된 메모리 셀은 2비트 데이터로서 코딩될 수 있는 4개 상태를 지원할 수 있다. 유사하게, 8개 구역으로 분획된 메모리 셀은 3 비트 데이터로서 코딩될 수 있는 8개 메모리 상태를 지원할 수 있는 등등이다.

[0060] 도 9(0) 내지 도 9(2)는 4개 상태 메모리 셀의 개체군을 프로그래밍하는 일례를 예시한다. 도 9(0)은 각각 메모리 상태 "0", "1", "2" 및 "3"을 나타내는 임계 전압의 4개의 별개의 분포로 프로그램될 수 있는 메모리 셀의 개체군을 예시한다. 도 9(1)은 삭제된 메모리를 위한 "삭제된" 임계 전압의 초기 분포를 예시한다. 도 9(2)는 메모리 셀 중 다수가 프로그램된 이후, 메모리의 일례를 예시한다. 본질적으로, 셀은 초기에 "삭제된" 임계 전압을 가지며, 프로그래밍은 이를 DV₁, DV₂ 및 DV₃에 의해 구별되는 세 개의 구역 중 하나로 더 높은 값으로 이동시킨다. 이 방식으로, 각 메모리 셀은 세 개의 프로그램된 상태 "1", "2" 및 "3" 중 하나로 프로그램될 수 있거나, "삭제된" 상태로 프로그램되지 않고 남아있다. 메모리가 더 많이 프로그래밍될 때, 도 9(1)에 도시된 바와 같은 "삭제된" 상태의 초기 분포는 점점더 좁아지고, 삭제된 상태는 "0" 상태에 의해 나타내어 진다.

[0061] 하위 비트와 상위 비트를 갖는 2 비트 코드가 4개 메모리 상태 각각을 나타내기 위해 사용될 수 있다. 예로서, "0", "1", "2" 및 "3" 상태는 각각 "11", "01", "00" 및 "10"에 의해 나타내어 진다. 2 비트 데이터는 "풀 시퀀스(full sequence)" 모드의 감지에 의해 메모리로부터 판독될 수 있으며, 여기서, 2 비트는 각각 3개 서브-패스에서 판독 구별 임계값(DV₁, DV₂ 및 DV₃)에 대한 감지에 의해 함께 감지된다.

[0062] 도 10(0) 내지 10(2)는 8개 상태 메모리 셀의 개체군을 프로그래밍하는 일례를 예시한다. 도 10(0)은 각각 메모리 상태 "0" 내지 "7"을 나타내는 임계 전압의 8개 개별 분포로 프로그램될 수 있는 메모리 셀의 개체군을 예시한다. 도 10(1)은 삭제된 메모리를 위한 "삭제된" 임계 전압의 초기 분포를 예시한다. 도 10(2)는 메모리 셀 중 다수가 프로그램된 이후 메모리의 일례를 예시한다. 본질적으로, 셀은 최초에 "삭제된" 임계 전압을 가지며, 프로그래밍은 이를 DV₁ 내지 DV₇에 의해 구별되는 3개 구역 중 하나로 더 높은 값으로 이동시킨다. 이 방식으로, 각 메모리 셀은 7개 프로그램된 상태 "1" 내지 "7" 중 하나로 프로그램되거나 "삭제된" 상태로 프로그램되지 않고 남아 있을 수 있다. 메모리가 더 많이 프로그래밍될 때, 도 10(1)에 도시된 바와 같은 "삭제된" 상태의 초기 분포는 더 좁아지고, 삭제된 상태는 "0" 상태로 나타내어 진다.

[0063] 4개 메모리 상태 각각을 나타내기 위해 하위 비트와, 상위 비트를 갖는 3 비트 코드가 사용될 수 있다. 예로서, "0", "1", "2", "3", "4", "5", "6" 및 "7"은 각각 "111", "011", "001", "101", "100", "000", "010" 및 "110"에 의해 나타내어진다. 3 비트 데이터는 "풀 시퀀스" 모드의 감지에 의해 메모리로부터 판독될 수 있으며, 여기서, 3개 비트는 각각 7개 서브 패스에서 판독 구별 임계값(DV₁ 내지 DV₇)에 대한 감지에 의해 함께 감지된다.

[0064] 페이지 또는 워드 라인 프로그래밍 및 확인

[0065] 페이지를 프로그래밍하는 한 가지 방법은 풀-시퀀스 프로그래밍이다. 페이지의 모든 셀들은 최초에 삭제된 상태로 존재한다. 따라서, 페이지의 모든 셀들은 삭제된 상태로부터 그 타깃 상태로 병렬로 프로그램된다. 타깃 상태로서 "1" 상태를 갖는 메모리 셀은 "1" 상태로 프로그램되고 나면, 추가 프로그래밍이 억제되고, 타깃 상태 "2" 또는 그 이상을 갖는 다른 메모리 셀은 추가 프로그래밍을 받는다. 결국, 타깃 상태로서 "2"를 갖는 메모리 셀도 추가 프로그래밍이 로킹된다. 유사하게, 누진적 프로그래밍 펄스를 사용하여, 타깃 상태 "3" 내지 "7"을 갖는 셀이 도달되고 로킹된다.

[0066] 도 11은 4개 상태 메모리 셀을 타깃 메모리 상태로 프로그램하기 위한 종래의 기술을 예시한다. 프로그래밍 회로는 일반적으로 일련의 프로그래밍 펄스를 선택된 워드 라인에 적용한다. 이 방식으로, 그 제어 게이트가 워드 라인에 결합되어 있는 메모리 셀의 페이지가 함께 프로그램될 수 있다. 사용되는 프로그래밍 펄스 트레인은 메모리 셀의 전하 저장 유닛에 프로그램된 누적되는 전자를 상쇄하기 위해 증가하는 주기 및 진폭을 가질 수 있다. 프로그래밍 전압(V_{PGM})이 프로그래밍 중인 페이지의 워드 라인에 인가된다. 프로그래밍 전압(V_{PGM})은 초기 전압 레벨(V_{PGM0})로부터 시작하는 계단형 파형 형태의 일련의 프로그래밍 전압 펄스이다. 프로그래밍 중인 페이지의 각 셀은 이 일련의 프로그래밍 전압을 받게 되며, 각 펄스에서 셀의 전하 저장 요소에 충분 전하를 추가하기를 시도한다. 프로그래밍 펄스 사이에서, 셀은 그 임계 전압을 판정하기 위해 판독된다. 판독 프로세스는 하나 이상의 감지 동작을 수반할 수 있다. 그 임계 전압이 타깃 상태에 대응하는 임계 전압 구역 이내로 떨어진 것으로 확인될 때 그 셀에 대한 프로그래밍이 정지된다. 페이지의 메모리 셀이 그 타깃 상태로 프로그래밍되었을 때 마다, 프로그램이 억제되고, 페이지의 모든 셀이 프로그램-확인될 때까지 다른 셀은 계속 프로그래밍된다.

[0067] 일련의 교번적 프로그램/확인 사이클을 사용하는 종래의 프로그래밍 기술은 셀의 임계 전압이 V_{PGM} 의 비교적 큰 변화에 응답하여 초기에 신속히 증가하는 프로그래밍 프로세스의 불확실성을 다루기 위한 것이다. 그러나, 부유 게이트 내에 프로그램된 전하가 부유 게이트 내로의 전자의 추가 터널링을 위한 유효 전계를 감소시키는 차폐부로서 작용함에 따라 성장이 느려지고, 결국 정지한다.

[0068] 프로그램/확인 프로그래밍 기술의 단점은 확인 사이클이 시간을 소비하고 성능에 영향을 준다는 것이다. 이러한 문제점은 다수의 비트를 저장할 수 있는 메모리 셀의 구현시 심화된다. 본질적으로, 확인은 메모리 셀의 가능한 다수의 상태 각각에 대해 수행될 필요가 있다. 16개 가능 메모리 상태를 갖는 메모리에 대하여, 이는 각 확인 단계가 적어도 16회 감지 동작을 유발한다는 것을 의미한다. 일부 다른 체계에서, 이는 수 배 더 많을 수도 있다. 따라서, 메모리를 증가하는 수의 상태로 분획함에 따라, 프로그램/확인 체계의 확인 사이클은 점점 더 많은 시간을 소비하게 된다.

[0069] 도 12는 종래의 교번적 프로그램/확인 알고리즘을 사용하여 페이지를 프로그램하기 위한 프로그램 펄스들 및 확인 사이클들의 추산된 수를 예시하는 표이다. 예로서, N-비트 메모리에 대하여, 분획은 $N_s=2^N$ 상태이다. 프로그램 펄스의 수는 적어도 상태의 수(N_s)와 같다. 일부 알고리즘은 k 프로그래밍 패스(k 는 1 내지 4 일 수 있음)를 필요로 할 수 있다. 다중 상태 메모리에 대하여, 각 확인 동작은 각 프로그램된 상태에 대하여 한 번씩, 즉, 2^N-1 로 추가로 승산된다. 따라서, 추산된 확인의 수는 2^{2N} 에 비례하며, 이는 상태의 수의 자승이다. 표로부터 알 수 있는 바와 같이, 3 비트 셀에 대하여, 확인 사이클의 최소 수는 이미 극도로 높으며, 다른 체계에 필요한 추가적 감지를 포함하지 않는다. 4 비트 셀에 대하여, 확인 사이클의 수는 거의 실현 불가능하다.

[0070] 따라서, 확인 사이클의 수가 감소되는 개선된 프로그래밍 성능을 갖는 메모리 장치가 필요하다.

[0071] 인덱스 프로그래밍 기술

[0072] 본 발명의 한 가지 일반적 양상에 따라, 병렬적으로 메모리 셀 그룹 상에 작용하는 다중 패스 인덱스 프로그래밍 방법은 후속 프로그래밍 패스에서, 프로그램 인덱스에 대하여 셀의 프로그래밍 또는 프로그래밍 억제가 이루어질 수 있도록 셀이 수신한 최종 프로그래밍 전압 레벨 같은 정보를 제공하기 위해 프로그래밍 인덱스를 각 셀을 위해 유지하는 단계를 포함한다.

[0073] 바람직하게는, 각 프로그래밍 패스시, 계단형 펄스 트레인 형태의 일련의 충분 펄스로서 프로그래밍 전압이 메모리 셀 그룹에 인가되고, 그래서, 펄스 계수치가 증가하면, 메모리 셀은 증가하는 프로그래밍 전압에 노출된다. 바람직한 실시예에서, 각 별개의 프로그래밍 전압 레벨은 펄스 계수치 또는 펄스 수로서 적절히 표현된다. 유사하게, 프로그램 인덱스는 펄스 수에 관하여 표현된다.

- [0074] 메모리 셀 그룹의 프로그래밍 패스에서, 그룹 내의 셀의 프로그램 인덱스는 충분 펠스 각각에 대한 프로그래밍을 허용할지 또는 억제할지 여부를 제어하기 위해 사용된다.
- [0075] 도 13은 인덱스 프로그래밍 방법의 일반적 체계를 예시하는 흐름도이다.
- [0076] 단계 700: 각 메모리 셀이 독립적 타깃 임계 전압 레벨로 프로그램될 수 있는 병렬로 프로그램될 메모리 셀 그룹을 제공.
- [0077] 단계 710은 단계 720, 단계 730 및 단계 732를 더 포함하는 인덱스 프로그래밍이다.
- [0078] 단계 720: 프로그래밍 중인 그룹의 각 메모리 셀을 위한 프로그램 인덱스를 제공, 메모리 셀의 프로그램 인덱스는 메모리 셀을 프로그램하기 위해 최종 사용된 프로그래밍 전압 레벨 또는 메모리 셀이 후속 프로그래밍을 수용하도록 허용되는 최대 프로그래밍 전압 레벨을 나타냄. 프로그램 인덱스는 바람직하게는 판독/기록 회로와 동시에 동작하는 추가적 래치 회로에 의해 구현되는 것이 바람직하다.
- [0079] 단계 730: 메모리 셀 그룹에 대한 프로그래밍 패스에서 일련의 충분 전압 펠스로서 충분 프로그래밍 전압을 인가.
- [0080] 단계 740: 메모리 셀의 프로그램 인덱스에 대한 충분 프로그래밍 전압 레벨에 기초하여 프로그래밍 패스 동안 프로그래밍 중인 메모리 셀의 프로그래밍을 억제 또는 허용.
- [0081] 프로그래밍 전압이 증가할 때 병렬로 프로그래밍 되고 있는 그룹의 각 메모리 셀이 프로그래밍 전압이 셀의 프로그램 인덱스에 의해 나타내어진 레벨에 도달한 이후 초파프로그래밍이 방지된다는 것을 알 수 있다. 이 방식으로, 종래의 프로그래밍 방법과는 달리, 각각의, 그리고, 매 프로그래밍 펠스 사이에 확인 단계를 구비할 필요가 없다.
- [0082] 제 1 구현예에서, 셀의 프로그램 인덱스는 메모리 셀의 최초 프로그래밍 경험으로부터 얻어진다. 프로그램 인덱스는 프로그래밍 패스 동안 프로그램 억제되기 이전에 셀에 인가된 최종 프로그래밍 전압 레벨 또는 펠스 수를 저장한다. 각 셀의 프로그램 인덱스는 종래의 간접식 프로그램/확인 방법에서와 같이 프로그래밍 및 확인 단계를 간접시킴으로써 형성된다. 그룹 내의 셀을 위한 프로그래밍은 셀이 프로그램 확인되고 최종 펠스 수가 그 프로그램 인덱스로서 기록된 이후 억제된다. 이 구현에는 더 많은 확인 단계들을 수반할 수 있지만, 임의의 셀을 초파 프로그램할 가능성성이 작다. 그후, 각 셀을 위해 형성된 프로그램 인덱스는 확인 단계를 절감하기 위해 후속 프로그래밍 패스에서 유리하게 사용될 수 있다.
- [0083] 메모리 셀을 위한 프로그램 인덱스를 제공하는 제 1 구현예에서, 메모리 셀은 일련의 프로그래밍 펠스에 의해 프로그램되며, 메모리 셀이 타깃 임계 전압 레벨로 프로그램-확인될 때까지 각 펠스에 확인이 이어진다. 메모리 셀을 위한 프로그램 인덱스는 메모리 셀이 프로그램-확인될 때 최종 프로그래밍 전압과 동일해지도록 설정된다.
- [0084] 도 14a는 제 1 구현예에 따른 메모리 셀의 프로그램 인덱스를 제공하는 단계를 예시하는 흐름도이다. 따라서, 도 13에 도시된 단계 720에 대응하는 단계 720'는 단계 721 및 단계 722를 더 포함한다.
- [0085] 단계 721: 타깃 임계 전압 레벨이 프로그램-확인될 때까지 메모리 셀을 교번적으로 프로그래밍 및 확인.
- [0086] 단계 722: 메모리 셀이 타깃 임계 전압 레벨로 프로그램-확인되는 프로그래밍 전압 레벨과 동일한 값으로 프로그램 인덱스를 설정.
- [0087] 제 1 구현예는 각 프로그래밍 펠스 이후 메모리 셀이 확인되는 종래의 프로그래밍 기술에 의해 프로그램 인덱스를 획득하는 것임을 알 수 있다. 이 방법은 그 타깃값에 근접한 셀의 가장 정확한 프로그램을 제공하지만, 다수의 더 많은 확인 동작을 그 대가로 한다.
- [0088] 제 2 구현예에서, 타깃 상태로부터 미리 결정된 부족분 이내와 같이 그 타깃 상태에 근접하지만 그 타깃 상태를 초과하지는 않도록 프로그램하기 위한 셀을 위한 추산 최대 프로그래밍 전압 레벨로 셀의 프로그램 인덱스가 최초에 설정된다. 그룹 내의 각 셀에 계단형 펠스 트레인이 인가될 때, 셀은 그 프로그램 인덱스에 의해 나타내진 바와 같은 예상 최대 프로그래밍 전압 레벨에 도달한 이후 추가 프로그래밍이 억제된다. 계단형 펠스 트레인의 후속 펠스는 억제된 셀에 대해 더 이상 영향을 갖지 않는다. 프로그래밍 패스의 종점에서, 그룹 내의 각 셀은 그 각각의 타깃 상태에 근접하도록 프로그램되며, 각 프로그램 인덱스는 각 셀이 수용한 최종 프로그래밍 전압 레벨을 반영한다.
- [0089] 도 14b는 메모리 셀의 프로그램 인덱스를 획득하는 제 2 구현예를 예시하는 흐름도이다. 따라서, 도 13에 도시

된 단계 720에 대응하는 단계 720"는 이하를 포함한다.

[0090] 단계 720": 그 타깃 상태에 근접하지만 그를 초과하지는 않도록 셀을 프로그램하기 위한 추산된 프로그래밍 전압 레벨 또는 등가 펄스 수로 메모리 셀의 프로그램 인덱스를 설정.

[0091] 제 3 구현예에서, 셀의 프로그램 인덱스는 메모리 셀의 최초 프로그래밍 경험으로부터 추산된다. 특히, 메모리 셀은 삭제된 상태로부터 주어진 임계 전압 레벨로 일련의 프로그래밍 펄스에 의해 프로그램되고, 각 펄스에는 확인이 이어지며, 이 임계 전압 레벨은 체크포인트로서 기능하며, 예측 함수를 캘리브레이팅하며, 예측 함수로부터 주어진 타깃 임계 전압 레벨을 위한 프로그래밍 전압 또는 프로그램 인덱스가 얻어진다.

[0092] 도 14c는 하나 이상의 체크포인트에 의해 캘리브레이팅된 예측 함수를 사용하여 메모리 셀의 프로그램 인덱스를 획득하는 제 2 구현예를 예시하는 흐름도이다. 따라서, 도 13에 도시된 단계 720에 대응하는 단계 720"'는 이하를 포함한다.

[0093] 단계 720)": 하나 이상의 체크포인트에 의해 캘리브레이팅된 예측 함수에 의한 메모리 셀의 프로그램 인덱스 설정.

[0094] 예측 기술에 의해 셀의 프로그램 인덱스를 획득하는 제 3 구현예가 도 14d 내지 도 21과 연계하여 더 상세히 설명된다.

[0095] 도 14d는 일 실시예에 따른 메모리 셀의 프로그램 인덱스를 획득하는 제 3 구현예를 예시하는 흐름도이다. 따라서, 도 13에 도시된 단계 720에 대응하는 단계 720"'는 단계 723 내지 단계 727을 더 포함한다.

[0096] 단계 723: 메모리 셀을 타깃 임계 전압 레벨로 프로그램하는 것으로 예상되는 프로그래밍 전압 레벨을 산출하는 메모리 셀을 위한 미리 결정된 예측 함수를 제공.

[0097] 단계 724: 대응하는 체크포인트 프로그래밍 전압 레벨에 의해 프로그램 가능한 지정된 체크포인트 임계 전압 레벨을 갖는 메모리 셀을 위한 미리 결정된 함수의 체크포인트를 지정.

[0098] 단계 725: 체크포인트 임계 전압 레벨이 프로그램-확인될 때까지, 교번적으로 메모리 셀을 프로그래밍 및 확인함으로써 대응하는 체크포인트 프로그래밍 전압값을 결정.

[0099] 단계 726: 체크포인트 임계 전압 레벨에서 평가될 때, 결정된 대응 체크포인트 프로그래밍 전압 레벨을 산출하도록 미리 결정된 함수를 캘리브레이팅.

[0100] 단계 727: 메모리 셀의 타깃 임계 전압 레벨에서 미리 결정된 함수를 평가함으로써 프로그램 인덱스를 추산.

[0101] 메모리 셀을 위한 프로그램 인덱스를 제공하는 제 2 실시예에서, 프로그램 인덱스의 정확도를 향상시키기 위해 사용된다.

[0102] 도 14e는 다른 실시예에 따른 메모리 셀의 프로그램 인덱스를 획득하는 제 3 구현예를 예시하는 흐름도이다.

[0103] 따라서, 도 13에 도시된 단계 720에 대응하는 단계 720"'는 단계 728을 더 포함한다.

[0104] 단계 728: 더 정확한 프로그래밍을 얻기 위해 더 많은 체크포인트를 사용하는 것을 제외하면, 도 14d의 단계 723 내지 727과 유사.

체크포인트로부터의 예측 프로그래밍

[0106] 도 15, 도 16 및 도 17은 도 14a의 단계 720"'에 도시된 예측 프로그래밍을 더 상세히 설명한다.

[0107] 소정 범위의 임계 전압 레벨 중 하나로 개별적으로 프로그램될 수 있는 메모리 셀 어레이를 구비하는 비휘발성 메모리에서, 주어진 타깃 임계 전압 레벨로 주어진 메모리 셀을 프로그램하기 위해 어떤 프로그래밍 전압 레벨이 인가될 필요가 있는지를 예측하는 미리 결정된 함수가 제공된다. 이 방식으로, 어떠한 확인 동작도 수행될 필요가 없으며, 그에 의해, 프로그래밍 동작의 성능을 크게 향상시킨다.

[0108] 일 실시예에서, 미리 결정된 함수는 선형 함수에 의해 근사화되며, 이는 주어진 타깃 임계 전압 레벨을 위한 플로그래밍 전압 레벨을 비례적으로 산출한다. 선형 함수는 메모리 어레이의 셀의 개체군에 적용될 수 있는 미리 결정된 평균값에 의해 주어진 구배를 갖는다. 선형 함수는 주어진 메모리 셀을 위한 선형 함수 상의 체크포인트를 미리 결정함으로써 주어진 메모리 셀을 위해 고유하게 결정된다. 체크포인트는 지정된 임계 전압 레벨로 메모리 셀을 프로그램하는 실제 프로그래밍 전압에 기초한다. 체크포인트는 메모리 셀의 최저 프로그램 상태 중 하나에 대응하는 것이 바람직하다. 메모리 셀은 최초에, 예로서, 종래의 프로그램/확인 프로그래밍 기술을 사용

함으로써 체크포인트로 프로그램된다. 이 방식으로, 지정된 메모리 상태로 메모리 셀을 프로그램하기 위해 필요 한 실제 프로그래밍 전압의 체크포인트 값이 결정된다. 따라서, 미리 결정된 함수는 메모리 셀을 타깃 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값을 결정하기 위해 사용되기 이전에 체크포인트 임계 전압 레벨에서 평가될 때 체크포인트 프로그래밍 전압값을 산출하도록 캘리브레이팅된다.

[0109] 예측 프로그래밍 기술은 타깃 상태로의 프로그래밍은 확인 동작을 필요로하지 않는다는 점에서 바람직하다. 확인 동작은 모든 가능한 메모리 상태가 아닌, 체크포인트 상태를 확인하기 위해서만 필요하다.

[0110] 도 15는 메모리 셀을 타깃 임계 전압 레벨로 프로그램하기 위해 필요한 프로그래밍 전압을 제공하기 위해 사용되는 미리 결정된 함수의 바람직한 실시예를 예시한다. 미리 결정된 함수는 선형 함수에 의해 근사화되며, 여기서, 타깃 임계 레벨(V_T)은 이하의 관계에 의해 프로그래밍 전압(V_{PGM})의 함수로서 주어진다.

$$V_T(V_{PGM}) = \langle\text{구배}\rangle V_{PGM} + V_T(0) \quad \text{식(1)}$$

$$(\text{여기서, } \langle\text{구배}\rangle = \Delta V_T / \Delta V_{PGM})$$

[0113] 역으로,

$$V_{PGM}(V_T) = 1/\langle\text{구배}\rangle [V_T - V_T(0)] \quad \text{식(2)}$$

[0115] 바람직한 실시예에서, 평균 $\langle\text{구배}\rangle$ 는 유사한 생산 배치들로부터 공장 샘플에서 테스팅함으로써 미리 결정될 수 있다. 예로서, 테스트는 약 0.1의 표준 편차를 갖는 평균에서 0.9가 되는 $\langle\text{구배}\rangle$ 를 산출할 수 있다. $V_T(0)$ 는 셀의 의존성이며, 각 셀의 예측 프로그래밍 이전에 각 메모리 셀로부터의 체크포인트에 의해 미리 결정된다. $\langle\text{구배}\rangle$ 및 $V_T(0)$ 가 알려지고 나면, 메모리 셀을 위한 미리 결정된 함수가 한정되고, 식 2는 타깃 임계 전압 레벨로의 프로그램을 위해 필요한 프로그래밍 전압 레벨을 획득하기 위해 사용될 수 있다.

[0116] 일반적으로, 미리 결정된 함수는 선형 함수에 의해 근사화될 필요가 없다. 미리 결정된 함수가 넓은 범위의 임계 전압 레벨을 정확하게 커버하는 경우, 이는 공장에서 생산 배치를 테스트함으로써 결정되고, 일부 적절한 함수에 의해 모델링될 수 있다.

각 메모리 셀을 위한 예측 함수의 체크포인트 캘리브레이션

[0118] 식 (1) 또는 식 (2)의 $V_T(0)$ 는 셀의 의존성이며, 삭제된 상태의 것을 미소하게 초과한 체크포인트 임계 전압을 지정하고, 교변적으로 주어진 셀을 체크포인트로 프로그래밍하고 펄스를 사이에서 주어진 셀을 확인함으로써 미리 결정된다. 이 방식으로, 주어진 셀을 체크포인트 임계 전압으로 프로그램하기 위해 필요한 실제 프로그래밍 전압이 알려진다. 이 실제 좌표는 식 2의 $V_T(0)$ 를 풀기 위해 사용된다.

[0119] 도 14a, 단계 722, 단계 723 및 단계 724는 함수의 체크포인트를 사용하여 메모리 셀을 위한 미리 결정된 함수를 캘리브레이팅하는 일반적 원리를 예시한다.

[0120] 도 16은 삭제된 상태를 초과한 제 1 프로그램된 상태에 대응하도록 체크포인트를 위한 바람직한 지정을 예시한다. 다음 장의 설명에서 알 수 있는 바와 같이, 프로그래밍 펄스 트레인이 각 펄스가 셀을 다음 메모리 상태로 프로그램할 수 있는 단차 크기를 갖는 경우, 체크포인트는 캘리브레이팅된 베이스 상태로서 기능한다. 명백히, 셀을 위한 프로그램 데이터가 셀이 삭제된 상태로 남아있는 것을 요구하는 경우, 어떠한 체크포인트도 필요하지 않다.

[0121] 단계 724': 메모리 셀을 위한 미리 결정된 함수의 체크포인트로서 제 1 프로그램된 메모리 상태의 임계 전압 레벨을 지정.

[0122] 따라서, 메모리 셀을 위한 체크포인트(0)는 삭제된 상태와 연계되는 것으로 간주되는 것보다 미소하게 더 높은 임계 전압 레벨(체크포인트 임계 전압 레벨)이 되도록 지정된다. 제 1 프로그래밍 패스의 제 1 위상에서, 일련의 증가하는 프로그래밍 전압 펄스가 체크포인트 임계 전압 레벨을 향해 메모리 셀을 프로그램하기 위해 인가된다. 이러한 프로그래밍 모드는 체크포인트 임계 전압 레벨이 프로그램-확인될 때까지 교변적으로 프로그래밍 및 확인하는 종래의 프로그래밍 모드일 수 있다. 체크포인트(0)를 위한 좌표([V_{PGM} , V_T] 체크포인트(0))의 세트가 알려지고 나면, 식 2 형태의 미리 결정된 함수(도 15 참조)는 $V_T(0)$ 에 대해 풀려질 수 있고, 완전히 명시된다.

[0123] 식 (2)의 형태의 미리 결정된 함수가 명시된 이후에, 메모리 셀은 후속하여 타깃 메모리 상태를 위해 또는 타깃

임계 전압 레벨을 위해 추산된 프로그래밍 전압 레벨을 제공하도록 미리 결정된 함수를 사용하여 예측 모드에서 제 2 위상에서 프로그램된다.

[0124] 또한, 하나 이상의 체크포인트에 의해 캘리브레이팅된 예측 프로그래밍은 본 출원과 동일한 발명자에 의해 2007년 4월 10일자로 출원된 발명의 명칭이 "PREDICTIVE PROGRAMMING IN NON-VOLATILE MEMORY"인 미국 특허 출원 제 11/733,694호 및 본 출원과 동일한 발명자에 의해 2007년 4월 10일자로 출원된 발명의 명칭이 "NON-VOLATILE MEMORY WITH PREDICTIVE PROGRAMMING"인 동시계류중인 미국 특허 출원 제 11/733,706호에 개시되어 있다. 두 개의 상술한 출원의 전체 내용은 본 명세서에 참조로 통합되어 있다.

[0125] 도 17은 각 셀을 위한 프로그램 인덱스를 구성하기 위해, 제 1 프로그래밍 패스에서 사용된 예측 프로그래밍을 예시한다. 제 1 프로그래밍 패스는 두 개의 위상으로 존재한다. 도시된 예에서, 제 1 위상은 메모리 셀을 프로그램하고, 제 3 구현에(도 14c 참조)의 예측 프로그래밍 방법을 사용하여 프로그램 인덱스를 유지한다. 예측 프로그래밍은 주어진 셀을 주어진 타깃 상태로 프로그램하기 위해 필요한 추산된 프로그래밍 전압을 제공하는 각 셀을 위한 예측 함수를 사용한다.

[0126] 제 1 프로그래밍 패스의 제 1 위상은 각 셀의 프로그래밍 특성에 따른 각 셀을 위한 미리 결정된 함수를 캘리브레이팅하는 것이다. 체크포인트는 바람직하게는 삭제된 상태의 것에 인접한 임계 전압에 있으며, 그래서, 교변적 프로그래밍 및 확인은 통상적으로 비교적 소수의 펄스를 수반한다. 펄스 사이의 각 확인 단계는 단지 체크포인트를 위한 하나의 경계값만을 감지하기만 하면 된다.

[0127] 제 2 위상에서, 각 셀은 다음 메모리 상태로부터 알려진 위치에 있는 체크포인트로부터 시작하여 계속 프로그램된다. 따라서, 미리 결정된 함수는 종래의 시행착오 방법에서와 같이 펄스 사이의 확인을 갖지 않고 셀을 주어진 타깃 상태로 프로그램하는 것으로 예상되는 프로그래밍 전압을 예측할 수 있다. 각 셀을 위한 프로그램 인덱스는 제 1 프로그래밍 패스에서 셀을 프로그램하기 위해 사용되는 최종 프로그래밍 전압 레벨 또는 펄스 수이다.

미리 결정된 단차 크기를 갖는 펄스 트레이너로서의 프로그래밍 전압

[0129] 바람직한 실시예에서, 프로그래밍 전압 단차 크기는 각 추가적 펄스가 메모리 셀을 다음 메모리 상태로 프로그램하도록 조절된다. 16개 가능 메모리 상태를 갖는 메모리 셀의 예에서, 펄스 크기는 300mV일 수 있다. 이 방식에서, 하나의 추가적 펄스는 메모리를 상태(1)로 프로그램하고, 다른 추가적 펄스는 메모리를 상태(2)로 프로그램하는 등이다. 따라서, 주어진 메모리 상태로의 프로그래밍은 상태(0)으로부터 상태의 수를 계수하고 동일한 수의 펄스를 공급하도록 감소될 수 있다. 예로서, 플래그는 상태(0)에서 한번 설정될 수 있고, 그후, 메모리 셀은 타깃 상태가 상태(0)으로부터 떨어져 있는 상태의 수와 동일한 수의 펄스에 의해 프로그램될 수 있다.

[0130] 다른 프로그래밍 펄스 크기가 가능하다. 예로서, 16개 가능 메모리 상태를 갖는 메모리 셀에 대하여, 펄스 크기는 150mV일 수 있다. 이 경우에, 하나의 메모리 상태로부터 다음 인접 메모리 상태로 프로그램하기 위해 두 개의 펄스를 사용한다. 이는 프로그래밍에 더 미세한 해독성을 제공하며, 이는 타깃 임계치로부터 여유폭(margin)이 사용되는 일부 구현예에서 유용하다.

[0131] 도 18a는 각 추가적 펄스가 메모리 셀을 다음 메모리 상태로 프로그램하도록 단차 크기를 갖는 프로그래밍 전압을 설정하는 단계를 예시하는 흐름도이다. 도 13에 도시된 단계 710은 이하를 더 포함한다.

[0132] 단계 712: 충분 진폭을 갖는 펄스 트레이너 형태의 시간에 따라 충분되는 진폭을 갖는 프로그래밍 전압을 제공.

[0133] 단계 714: 연속적 펄스에 의해 하나의 프로그램된 메모리 상태로부터 다음 프로그램된 메모리 상태로 메모리 셀이 프로그램되도록 펄스 사이의 진폭 충분을 조절.

[0134] 도 18b는 제 1 프로그래밍 패스를 받는 메모리 셀의 임계 전압을 개략적으로 예시한다. 메모리 셀은 하위에 위치된 임계 전압 레벨 중 임의의 하나 일 수 있는 삭제된 상태에서 시작한다. 최초 프로그래밍 위상 동안, 일련의 프로그램/확인 사이클(예를 들어, 총 x 프로그램 펄스 더하기 n*x 확인 단계)은 메모리 셀을 삭제 상태로부터 상태(0)로 프로그램한다. 일반적으로, 각 메모리 셀을 위한 x는 서로 독립적이다. 개별 셀이 얼마나 깊게 삭제되는지 및 다른 인자들에 기인하여, 개별 셀은 지정된 체크포인트에 도달하기 위한 프로그래밍 펄스의 수에 의해 다를 수 있다. 예로서, 더 낮은 임계 전압을 갖는 "느린" 셀은 더 높은 임계 전압을 갖는 "정규" 셀보다 상태(0)에 도달하기 위해 더 많은 펄스를 취할 것이다. 깊이 삭제되어 있는 "매우 느린" 셀은 매우 더 낮은 임계 전압을 가질 것이며, 상태(0)에 도달하게 하기 위해 프로그래밍 펄스들을 취할 것이다. 메모리 셀이 상태(0)이 되고 나면, 예측 프로그래밍 모드가 차수되고, 각 추가적 펄스는 메모리 셀을 다음 메모리 상태로 프로그

램할 것이다.

[0135] 도 19는 메모리 셀의 프로그램 인덱스를 형성하는 바람직한 구현예를 예시하는 흐름도이다. 프로그램 인덱스는 도 8에 도시된 바와 같은 메모리 셀과 연계하여 데이터 래치(430) 중 하나에 유지된다. 도 13에 도시된 단계 720은 이하를 더 포함한다.

[0136] 단계 752: 메모리 셀을 위한 프로그램 인덱스를 저장하기 위한 래치를 제공.

[0137] 단계 754: 체크포인트 상태로부터 타깃 상태로 메모리 셀을 프로그램하는 것으로 예상되는 펠스의 수 형태로 최초 타깃 상태를 래치에 저장. 예로서, 타깃 상태가 상태(5)인 경우, 이때 래치에 값 "5"가 저장된다(이진값 0101).

[0138] 단계 756: 삭제된 상태로부터 체크포인트 상태로 메모리 셀을 프로그램하기 위해 필요한 펠스 수를 래치에서 누산함으로써 메모리 셀을 위한 프로그램 인덱스를 연산하고, 프로그램 인덱스는 메모리 셀을 타깃 상태로 프로그램하는 것으로 예상되는 펠스의 수를 나타냄. 예로서, 메모리 셀을 삭제된 상태로부터 체크포인트로 프로그래밍하는 중에 메모리 셀에 하나의 펠스가 인가되는 각 시기에, 래치 내의 프로그램 인덱스는 1만큼 증분된다.

[0139] 도 20의 (A), 도 20의 (B) 및 도 20의 (C) 각각은 도 18b에 도시된 "정규" 셀, "느린" 셀 및 "매우 느린" 셀을 위한 도 19의 래치 연산을 예시한다.

[0140] 도 20의 (A)는 도 18b에 도시된 예시적 "정규" 메모리 셀을 위한 프로그램 인덱스를 연산하기 위한 래치 연산을 예시한다. "정규" 메모리 셀은 삭제된 개체군의 임계 전압의 범위의 중간 부근에 위치된 임계전압으로 삭제되어 있다. 메모리 셀은 타깃 상태 래치의 데이터에 의해 나타내진 바와 같이 상태(3)으로 프로그램된다. 따라서, 프로그램 인덱스를 유지하기 위한 데이터 래치는 최초에 "3"으로 설정된다. 메모리 셀이 삭제된 상태로부터 체크포인트 상태(0)에 도달하게 하도록하는 매 프로그래밍 펠스마다, 데이터 래치 내의 값은 1만큼 증분된다. 증분은 체크포인트가 프로그램-확인되면 정지된다. 본 예에서, 1개 펠스 이후 이것이 이루어지며, 래치 내의 프로그램 인덱스는 "4"로 증분된다. 이는 이 셀이 상태(3)으로 프로그램하기 위해 4개 펠스를 예상한다는 것을 의미한다. 체크포인트로부터 상태(3)으로 셀을 프로그램하기 위해, 전체가 4개 펠스가 되도록 추가적 세 개의 펠스가 인가된다. 셀이 프로그램 인덱스와 동일한 펠스 수를 받은 이후, 셀은 프로그래밍이 억제되고, 이어서 페이지 내의 다른 셀이 프로그램될 수 있다. 이는 "P"로부터 "I"로 진행하는 프로그램/억제 상태에 의해 나타나있다.

[0141] 도 20의 (B)는 도 18b에 도시된 예시적 "느린" 메모리 셀을 위한 프로그램 인덱스를 연산하기 위한 래치 연산을 예시한다. "느린" 메모리 셀은 삭제된 개체군의 임계 전압의 범위의 중간보다 낮게 위치되어 있는 임계 전압으로 삭제되어 있다. 또한, 메모리 셀은 타깃 상태 래치 내의 데이터에 의해 표시된 바와 같이 상태(3)로 프로그램된다. 따라서, 프로그램 인덱스를 유지하기 위한 데이터 래치는 최초에 "3"으로 설정된다. 메모리 셀을 삭제된 상태로부터 체크포인트 상태(0)가 되게 하기 위한 매 프로그래밍 펠스마다 데이터 래치 내의 값은 1만큼 증분된다. 증분은 체크포인트가 프로그램-확인되었을 때 정지된다. 본 예에서, 이는 두 개의 펠스 이후에 발생되며, 래치 내의 프로그램 인덱스는 "5"로 증분된다. 이는 이 셀이 상태(3)로 프로그램되기 위해 5개 펠스가 예상된다는 것을 의미한다. 체크포인트로부터 상태(3)로 셀을 프로그램하기 위해, 전체가 5개 펠스가 되도록 추가적 3개 펠스가 인가된다. 셀이 프로그램 인덱스와 같은 수의 펠스를 받은 이후에, 셀은 프로그래밍이 억제되고, 페이지 내의 다른 셀이 계속 프로그램될 수 있다. 이는 "P"로부터 "I"로 진행하는 프로그램/억제 상태에 의해 나타나 있다.

[0142] 도 20의 (C)는 도 18b에 도시된 예시적 "매우 느린" 메모리 셀을 위한 프로그램 인덱스를 연산하기 위한 래치 연산을 예시한다. "매우 느린" 메모리 셀은 삭제된 개체군의 임계 전압의 범위의 하부 끝 단부에 위치되어 있는 임계 전압으로 삭제되어 있다. 또한, 메모리 셀은 타깃 상태 래치 내의 데이터에 의해 표시된 바와 같이 상태(3)로 프로그램된다. 따라서, 프로그램 인덱스를 유지하기 위한 데이터 래치는 최초에 "3"으로 설정된다. 메모리 셀을 삭제된 상태로부터 체크포인트 상태(0)가 되게 하기 위한 매 프로그래밍 펠스마다 데이터 래치 내의 값은 1만큼 증분된다. 증분은 체크포인트가 프로그램-확인되었을 때 정지된다. 본 예에서, 이는 4 개의 펠스 이후에 발생되며, 래치 내의 프로그램 인덱스는 "7"로 증분된다. 이는 이 셀이 상태(3)로 프로그램되기 위해 7개 펠스가 예상된다는 것을 의미한다. 체크포인트로부터 상태(3)로 셀을 프로그램하기 위해, 전체가 5개 펠스가 되도록 하도록 추가적 3개 펠스가 인가된다. 셀이 프로그램 인덱스와 같은 수의 펠스를 받은 이후에, 셀은 프로그래밍이 억제되고, 페이지 내의 다른 셀이 계속 프로그램될 수 있다.

[0143] 프로그램 정확도를 증가시키고 임계치 분포를 밀집화하기 위한 인덱스 프로그래밍을 사용한 후속 프로그래밍 패스

[0144] 본 발명의 다른 일반적 양상에 따라서, 병렬로 메모리 셀 그룹 상에 작용하는 다중 패스 인덱스 프로그래밍 방법은 최초 프로그래밍 패스와 각 셀을 위한 프로그램 인덱스의 구성을 포함한다. 최초 프로그래밍 패스에는 확인 단계와, 최초 패스에 의한 임의의 부족분을 트리밍하기 위한 추가적 프로그래밍 패스가 이어진다. 인덱스 프로그래밍을 사용함으로써, 다중 패스 프로그래밍은 매우 감소된 수의 확인 동작으로 수행된다.

[0145] 제 1 프로그래밍 패스는 각 셀을 위한 프로그램 인덱스가 구성되는 동안 그 각각의 타깃 상태에 근접한 부족분이내로 그룹의 각 셀을 프로그램하는 것이 바람직하다. 그후, 하나 이상의 후속 프로그래밍 패스에서 각각의 셀은 그 부족 상태로부터 그 타깃 상태로 추가 프로그램된다. 이는 패스 내의 각 펠스 사이가 아닌 각각의 후속 프로그래밍 패스 이전의 확인 단계에 의해 달성되는 것이 바람직하다. 셀이 아직 확인되지 않은 경우, 이는 차순위 프로그래밍 패스의 추가적 프로그래밍을 위해 가능화된다. 프로그래밍 패스의 종료시 셀의 프로그램 인덱스는 셀이 수신한 최종 프로그래밍 전압을 나타낸다. 확인 단계가 셀이 그 타깃 상태에 있는 것으로 확인되지 않은 경우, 프로그램 인덱스는 셀을 그 타깃 상태를 향해 프로그램하기 위해 차순위 프로그래밍 패스에서 허용된 예상된 최대 프로그래밍 전압을 제공하도록 미리 결정된 양만큼 충분된다. 바람직한 실시예에서, 프로그램 인덱스는 펠스 수에 관하여 표현되며, 1 만큼 충분된다. 차순위 프로그래밍 패스에서, 메모리 셀은 그후 그 생성된 프로그램 인덱스에 기초하여 다음 펠스를 받게 된다.

[0146] 차순위 프로그래밍 패스 동안, 확인된 셀은 추가 프로그래밍이 억제된다. 미확인 셀은 최종 프로그래밍 패스에서의 펠스를 초과한 하나의 펠스에 의해 프로그램될 수 있다. 확인 단계 및 프로그래밍 패스는 그룹 내의 모든 셀이 그 각각의 타깃 상태에 대해 확인될 때까지 반복된다. 이 방식으로, 확인 단계 수행 이전에 펠스 트레인의 전체 런(run)을 인가함으로써 병렬로 메모리 셀의 페이지를 그 각각의 타깃 상태로 정확하게 프로그램할 수 있다.

[0147] 인덱스 프로그래밍의 장점은 셀의 그룹이 프로그래밍 패스의 각 프로그래밍 펠스 사이에 확인 단계를 필요로하지 않고 프로그램될 수 있다는 것이다. 인덱스 프로그래밍은 프로그래밍 동작의 성능을 크게 향상시킨다.

[0148] 도 21은 인덱스 프로그래밍 방법의 바람직한 실시예를 예시하는 흐름도이다. 본 방법은 확인의 추가 패스(단계 820)가 이어지는 각 셀을 위한 프로그램 인덱스를 위한 제 1 프로그래밍 패스(단계 810)와, 셀을 그 각각의 타깃 상태로 프로그램하기 위한 인덱스 프로그래밍을 포함한다.

[0149] 단계 800: 병렬로 프로그램될 수 있는 메모리 셀 그룹을 제공, 각 메모리 셀은 일련의 충분 프로그래밍 전압 펠스에 의해 각각의 타깃 상태로 프로그램될 수 있음.

[0150] 단계 810: 최초 프로그래밍 패스 동안 그룹의 각 셀을 위한 프로그램 인덱스를 구성, 프로그램 인덱스는 펠스 수에 관하여 각 셀이 받은 최종 프로그래밍 전압 레벨을 저장.

[0151] 단계 820은 프로그래밍 패스 이후 확인하고, 차순위 프로그래밍 패스를 위해 프로그램 인덱스를 생성한다. 이는 단계 822, 단계 824, 단계 826 및 단계 828을 더 포함한다.

[0152] 단계 830: 그룹 내의 메모리 셀을 확인.

[0153] 단계 840: 그룹 내의 각 메모리 셀이 그 각각의 타깃 상태로 확인되었는가? 확인되었다면, 단계 870으로 진행하며, 그 이외의 경우에는 단계 850으로 진행.

[0154] 단계 850: 각 미확인 메모리 셀의 프로그램 인덱스를 1만큼 증분.

[0155] 단계 860: 각 프로그램 인덱스에 의해 선택된 프로그래밍 펠스로 각 미확인 메모리 셀을 프로그래밍. 바람직한 실시예에서, 선택된 프로그래밍 펠스는 프로그램 인덱스에 의해 나타난 바와 동일한 펠스 수를 갖는다. 다른 프로그래밍 패스를 위해 단계 830으로 진행.

[0156] 단계 870: 그룹의 모든 메모리 셀이 그 각각의 타깃 상태로 프로그램된 것으로 확인됨.

[0157] 도 13 및 도 21에 예시된 인덱스 프로그래밍 방법은 메모리 어레이(200)의 메모리 동작을 제어하는 제어 회로(110) 내의 상태 기계(112)(도 1 참조)에서 구현되는 것이 바람직하다.

[0158] 도 22는 제 1 패스 이후 프로그램된 결과를 트리밍하기 위해 도 21의 단계 820에 도시된 추가적 확인 및 프로그래밍 패스를 예시한다. 제 1 프로그래밍 패스에서 타깃 상태에서의 제 1 샷 이후, 각 메모리 셀은 확인에 의해 체크된다. 제 1 프로그래밍 패스는 타깃 상태를 언더 슈트(under shoot)하는 경향이 있다. 임의의 셀이 그 타깃 상태에 대한 확인에 실패하는 경우, 이는 제 2 프로그래밍 패스에서의 충분 프로그래밍이 가능화된다. 이 확인 및 프로그래밍 패스는 페이지 내의 셀 모두가 그 각각의 타깃 상태로 확인될 때까지 반복된다. 이 방식으로, 이

전 패스의 프로그램된 결과를 트리밍함으로써, 셀은 그 타깃 상태에 정확히 수렴할 수 있다. 통상적으로, 하나 이상의 트리밍 패스가 필요하다.

[0159] 도 23은 확인 상태 플래그를 저장하기 위한 래치를 개략적으로 예시한다.

[0160] 바람직한 실시예에서, 도 8에 도시된 데이터 래치(430)의 일부인 래치(432)는 확인 상태 비트를 저장하기 위해 사용된다. 예로서, 셀이 확인될 때, 래치(432) 내의 확인 상태 비트는 "0"으로 설정된다. 이 플래그는 제어 로직이 이 셀 상에서의 추가적 프로그램/확인 동작을 억제하게 한다. 다른 한편, 셀이 확인에 실패한 경우, 플래그는 제어 로직이 차순위 프로그래밍 패스에서 셀 상의 추가적 프로그래밍을 허용하게 한다. 확인 상태 플래그의 종래의 구현에는 타깃 변경을 통해 프로그램 억제를 나타내는 것이다. 이 경우에, 셀이 확인될 때, 타깃 데이터가 셀 내에 프로그램되고 더 이상 필요하지 않게 한다. 따라서, 타깃 데이터를 나타내는 데이터 래치 내의 데이터 값은 셀이 확인된 상태를 지정하기 위하여 "타깃 코드"로부터 "삭제 코드"로 재설정된다. 본 발명에서, 후속 프로그래밍 패스에서 타깃 데이터가 필요하기 때문에, 이는 데이터 래치 내에서 유지된다. 대신, 확인 상태 플래그 내에 확인 상태가 저장된다.

[0161] 도 24a는 확인 상태 플래그의 사용에 의해 추가 프로그래밍에 대해 미확인 메모리 셀을 가능화하는 방법을 예시하는 흐름도이다. 도 21의 단계 840이 수행되는 동안 후속 단계 842 및 단계 844가 이루어진다.

[0162] 단계 842: 확인된 결과물에 따라 래치 내에 확인 상태 플래그를 설정.

[0163] 단계 844: 메모리 셀이 확인되지 않았다는 것을 나타내는 확인 상태 플래그에 응답하여, 단계 850으로 진행하고, 그렇지 않으면, 도 21의 단계 870으로 진행한다.

[0164] 제 2 바람직한 실시예에서, 미확인 메모리 셀은 미리 결정된 수만큼 메모리 셀을 위한 프로그램 인덱스를 더 높게 오프셋함으로써 추가 트림 프로그래밍이 가능해진다. 대부분의 경우에, 오프셋의 미리 결정된 수는 1이다. 이 방식으로, 차순위 프로그래밍 패스에서, 메모리 셀은 추가적 미리 결정된 수의 펄스에 의해 프로그램된다.

[0165] 도 24b는 메모리 셀을 위한 프로그램 인덱스를 오프셋시킴으로써 미확인 메모리 셀을 추가 프로그래밍이 가능해지게 하는 방법을 예시하는 흐름도이다. 도 21의 단계 850은 단계 850'로 대체된다.

[0166] 단계 850': 메모리 셀이 확인되지 않을 때, 후속 프로그래밍 패스에서 메모리 셀이 추가적인 미리 결정된 수의 펄스를 받을 수 있도록 미리 결정된 수만큼 메모리 셀을 위한 프로그램 인덱스를 증분.

[0167] 제 3 바람직한 실시예에서, 미확인 메모리 셀은 차순위 프로그래밍 패스에서 미리 결정된 수만큼 펄스 계수치를 하향 오프셋함으로써 추가 트림 프로그래밍이 가능해진다. 이 방식에서, 메모리 셀은 추가적인 미리 결정된 수의 펄스에 의해 프로그램된다.

[0168] 도 24c는 펄스 계수치를 오프셋시키는 것에 의해 미확인 메모리 셀을 추가 프로그래밍이 가능해지게 하는 방법을 예시한다.

[0169] 단계 852: 메모리 셀이 확인되지 않을 때, 후속 프로그래밍 패스에서, 메모리 셀이 추가적인 미리 결정된 수의 펄스를 받을 수 있게 하도록 프로그래밍 펄스 계수치를 미리 결정된 수만큼 프로그래밍 펄스 계수치를 감분시킴.

[0170] 도 25는 인덱스 프로그래밍 기술을 사용하여 페이지를 프로그램하기 위한 프로그래밍 펄스와 확인 사이클의 추산된 수를 예시하는 표이다. 예로서, N-비트 메모리에 대하여, 분획은 $N_s=2^N$ 상태로 이루어진다. 프로그램 펄스의 수는 상태의 수(N_s)와 적어도 동일하다. 추산치는 1.1) 체크포인트까지의 프로그램-확인, 1.2) 체크포인트로부터 타깃 상태까지의 예측 프로그래밍 및 2) 하나 이상의 트리밍 패스를 위한 펄스와 확인의 수에 대해 제공된다. 도 12의 최종 열은 확인의 총 수를 위한 추산치를 도시한다. 본질적으로, 이는 메모리 상태의 수에 비례한다는 것을 볼 수 있다. 이러한 속성은 도 12에 도시된, 확인의 총 수가 상태의 수의 차승에 비례하는 종래의 방법을 사용한 것에 대해 비교될 수 있다. 예로서, 3 비트 메모리 셀을 갖는 메모리에 대하여, 확인의 수는 종래의 방법에서 56인 것에 비해 약 18로 추산된다. 확인의 총 수가 종래의 240에 비해 34가 되는 4 비트 메모리 셀에 대해서는 이러한 절약이 더욱 현저해진다.

상호 관련 다중 패스 프로그래밍

[0172] 도 13에 예시된 인덱스 프로그래밍 방법은 다중 프로그래밍 패스를 필요로 한다. 인덱싱 및 예측 프로그래밍을 위한 제 1 패스는 타깃 상태에 더 근접하게 프로그램된 임계치를 트리밍하기 위한 하나 이상의 인덱스 프로그래밍 패스가 이어질 가능성이 매우 높다. 각 프로그래밍 패스 내의 펄스의 수는 메모리 상태의 수와 적어도 동일

하다. 이는 각 펠스가 두 상태 사이의 분리와 같은 양만큼 셀의 임계 전압이 증가되는 상태로, 거친 입도(rough granularity)를 제공한다. 결과적으로, 각 메모리 상태를 위한 임계치 분포(예로서, 도 10 참조)가 분산된다.

[0173] 현재의 알고리즘에서, 각 메모리 상태를 위한 더 밀집된 임계 전압 분포를 달성하기 위해, 각 패스에서 점점 더 미세한 단차 크기를 사용하는 것이 가능하다. 예로서, 제 1 트리밍에서, 펠스 단차 크기는 예측 프로그래밍에 사용되는 것에 비해 2배 더 미세할 수 있다. 유사하게, 제 2 트리밍에서, 펠스 단차 크기는 제 1 트리밍에서 사용되는 것에 비해 2배 더 미세할 수 있는 등등이다. 그러나, 단차 크기가 절반으로 감소되는 각 시기에, 펠스 수 및 이에 따른 프로그래밍 시간은 2배가 된다.

[0174] 본 발명의 다른 양상에 따라서, 메모리 셀 그룹은 다중 패스 내의 프로그래밍 전압이 상관되어 있는 다중 프로그래밍 패스로 병렬로 프로그램된다. 각 프로그래밍 패스는 공통적 단차 크기를 갖는 계단식 펠스 트레인의 형태의 프로그래밍 전압을 사용하며, 각 연속적 패스는 미리 결정된 오프셋 레벨만큼 이전 패스의 것으로부터 오프셋된 계단식 펠스 트레인을 구비한다. 미리 결정된 오프셋 레벨은 공통 단차 크기보다 작으며, 이전 패스의 미리 결정된 오프셋 레벨과 같거나 그보다 작을 수 있다.

[0175] 바람직한 일 실시예에서, 미리 결정된 오프셋은 이전 패스의 것의 절반이다. 예로서, 제 2 패스의 계단식 펠스 트레인은 단차 크기의 절반만큼 제 1 패스의 것으로부터 오프셋되고, 제 3 패스의 계단식 펠스 트레인은 1/4 단차 크기만큼 제 2 패스의 것으로부터 오프셋된다. 이 방식으로, 각 패스가 더 미세한 단차 크기를 갖는 프로그래밍 계단식 펠스 트레인을 사용하는 상태로, 다수의 패스를 사용하는 종래의 방법에서보다 적은 수의 프로그래밍 펠스를 사용하여 다수의 패스에 걸쳐 동일한 프로그래밍 해독성이 달성될 수 있다.

[0176] 도 26은 도 21에 도시된 인덱스 프로그래밍 패스에 대한 상관된 다중 패스 프로그래밍의 적용을 예시한다. 이에 관하여, 도 26은 또한 도 17 및 도 22에 도시된 것 같은 제 1 프로그래밍 패스에 후속하는 트리밍 프로그래밍 패스 2) 및 3)을 도시한다. 3개 패스에 사용되는 계단식 펠스 트레인은 모두 동일한 단차 크기를 갖는다. 제 1 프로그래밍 패스 1)에 사용되는 계단식 펠스 트레인은 V_{PGM0} 의 초기 프로그래밍 전압을 갖는다. 다른 한편, 제 2 프로그래밍 패스 2)에 사용되는 계단식 펠스 트레인은 V_{PGM1} 의 초기 프로그래밍 전압을 가지며, 여기서 $V_{PGM1}=V_{PGM0}+\Delta V_{PGM1}$ 이 되도록 V_{PGM1} 은 V_{PGM0} 에 상관된다.

[0177] 유사하게, 제 3 프로그래밍 패스 3)에 사용되는 계단식 펠스 트레인은 V_{PGM2} 의 초기 프로그래밍 전압을 가지며, 여기서 $V_{PGM2}=V_{PGM0}+\Delta V_{PGM2}=V_{PGM1}+\Delta V_{PGM12}$ 가 되도록 V_{PGM2} 는 V_{PGM0} 및 V_{PGM1} 에 상관된다. 바람직한 실시예에서, ΔV_{PGM2} 는 3/4 단차 크기이거나, ΔV_{PGM12} 는 1/4 단차 크기이다.

[0178] 따라서, 상호 관련 다중 패스 프로그래밍은 전체 계단식 펠스의 DC 레벨이 각 패스에서 미리 결정된 양만큼 더 높게 이동되는 것을 제외하면, 각 패스의 프로그래밍을 위해 동일한 계단식 펠스 트레인을 사용한다. 바람직한 실시예에서, 제 2 패스는 1/2 단차 크기만큼 이동되고, 제 3 패스는 이전 패스에 대하여 1/4 단차 크기만큼 이동된다. 이들 3개 상호 관련 프로그래밍 전압 파형을 사용하는 프로그래밍은 각 패스가 이전 패스의 것으로부터 1/2 단차 크기의 계단식 파형을 사용하는 3개 종래의 단일 패스 프로그래밍과 동일한 해독성을 산출한다.

[0179] 도 27은 다중 패스 프로그래밍을 사용하는 것에 의한 메모리 상태의 임계 전압 분포의 밀집화를 예시한다. 각 분포의 하부 가장자리는 매 패스마다 밀집화된다.

[0180] 도 28a는 메모리 상태의 다양한 분획을 위한 종래의 다중 패스 프로그래밍에 사용되는 프로그래밍 펠스의 수를 도시하는 표이다. 펠스의 수는 $(2^0+2^1+\dots+2^{P-1}) \times 2^N$ 이며, 여기서, P는 프로그래밍 패스의 수라는 것을 알 수 있다. 예로서, 3개 패스 프로그래밍에 대해, 3-비트 셀은 56 펠스를 필요로 하며, 4 비트 셀은 112 펠스를 필요로 한다.

[0181] 도 28b는 메모리 상태의 다양한 분획에 대한 상호 관련 다중 패스 프로그래밍에 사용되는 프로그래밍 펠스의 수를 도시하는 표이다. 펠스의 수는 단지 $P \times 2^N$ 이라는 것을 알 수 있다. 예로서, 3개 패스 프로그래밍에 대해, 3 비트 셀은 24 펠스를 필요로 하고, 4 비트 펠스는 48 펠스를 필요로 하며, 이는 도 28a에 도시된 종래의 다중 패스 프로그래밍에 의해 필요한 것보다 매우 작다.

[0182] 도 29는 패스 사이에 상호 관련 프로그래밍 레벨을 사용하는 다중 패스 프로그래밍 방법을 예시하는 흐름도이다.

[0183] 단계 960: 주어진 단차 크기를 갖는 계단식 펠스 트레인의 형태의 유한 기간 동안 시간에 따른 프로그래밍 전압

증분을 제공.

[0184] 단계 970: 미리 결정된 수의 다중 프로그래밍 패스에서, 메모리 셀 그룹을 프로그래밍, 각 연속 프로그래밍 패스는 메모리 셀 그룹을 프로그램하기 위해 인가된 계단식 펄스 트레인을 구비하며, 각 연속 프로그래밍 패스는 미리 결정된 오프셋 레벨만큼 이전 프로그래밍 패스의 계단식 펄스 트레인으로부터 오프셋된 계단식 펄스 트레인을 구비한다.

[0185] 단계 980: 그룹을 위한 프로그래밍을 이행.

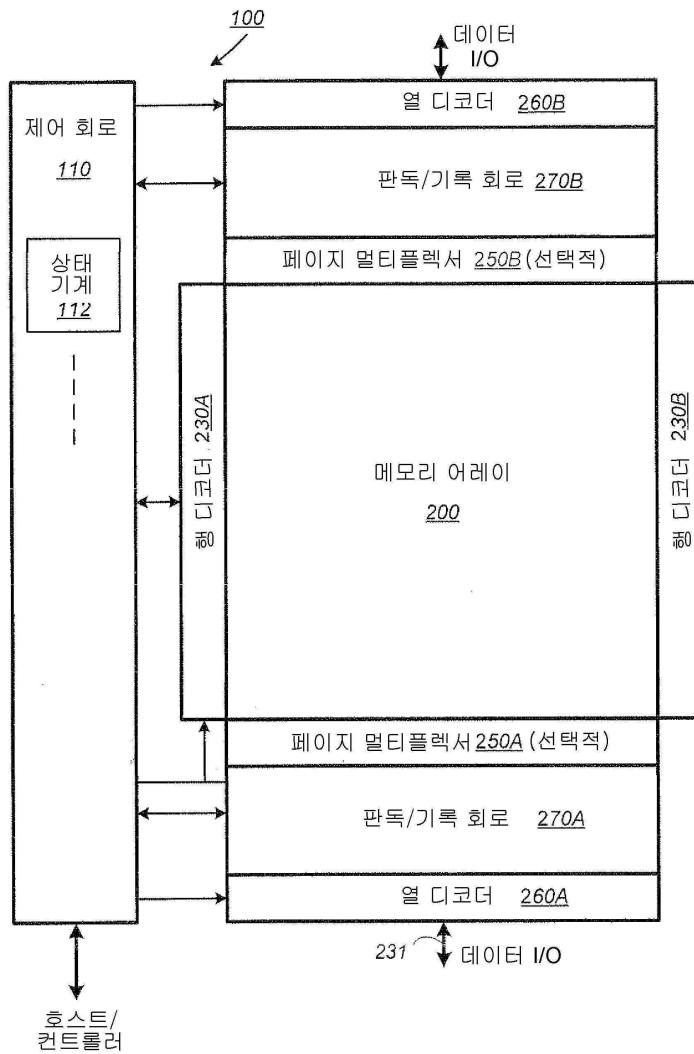
[0186] 다중 패스 인덱스 프로그래밍 기술은 확인 동작의 수의 현저한 절감을 가능하게 한다. 유사하게, 다중 패스 상호 관련 프로그래밍 기술은 필요한 프로그래밍 펄스의 수의 현저한 절감을 가능하게 한다. 두 기술들은 고성능 다중 패스 인덱스 및 상관 프로그래밍으로 함께 통합될 수 있다. 셀 당 3개 이상의 데이터 비트를 저장하도록 구성된 메모리에 대하여 매우 더 커진다.

[0187] 본 명세서에 참조된 모든 특허, 특히 출원, 논문, 서적, 명세서, 다른 발간물, 문헌 및 자료는 모든 목적에 대하여 그 전문이 본 명세서에 참조로 통합되어 있다. 통합된 발간물, 문헌 또는 자료 중 임의의 것들과 본 명세서의 설명 사이의 용어의 용법 또는 정의의 임의의 불일치 및 상충성에 대하여, 본 명세서의 용어의 정의 또는 용법이 우선한다.

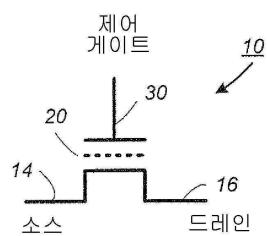
[0188] 비록, 본 발명의 다양한 양상을 특정 실시예에 관하여 설명하였지만, 본 발명은 첨부된 청구범위의 전체 범주 내에서 보호되어야 한다는 것을 이해하여야 한다.

도면

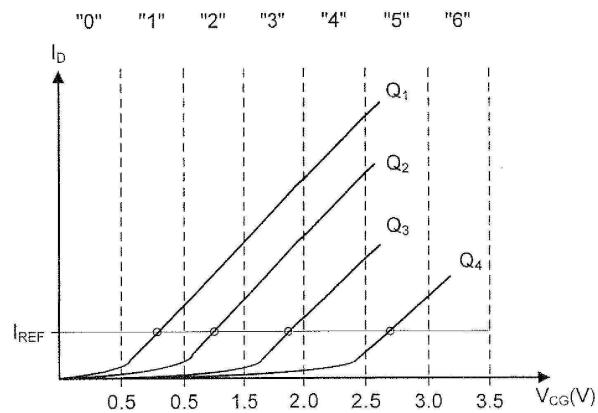
도면1



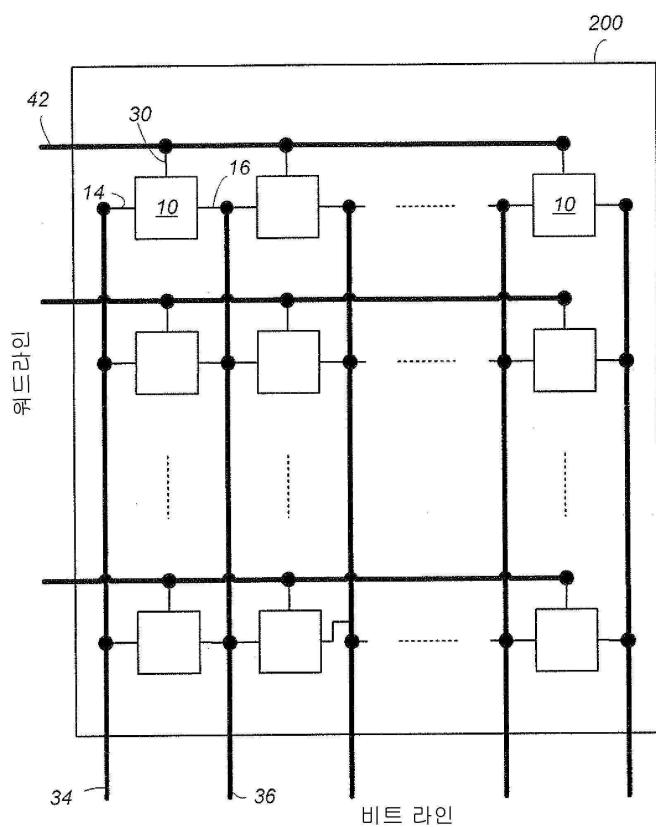
도면2



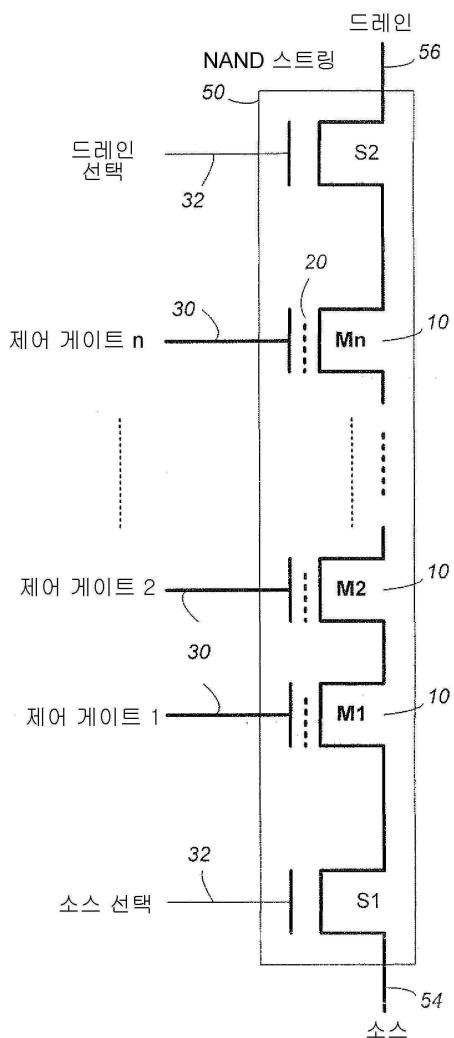
도면3



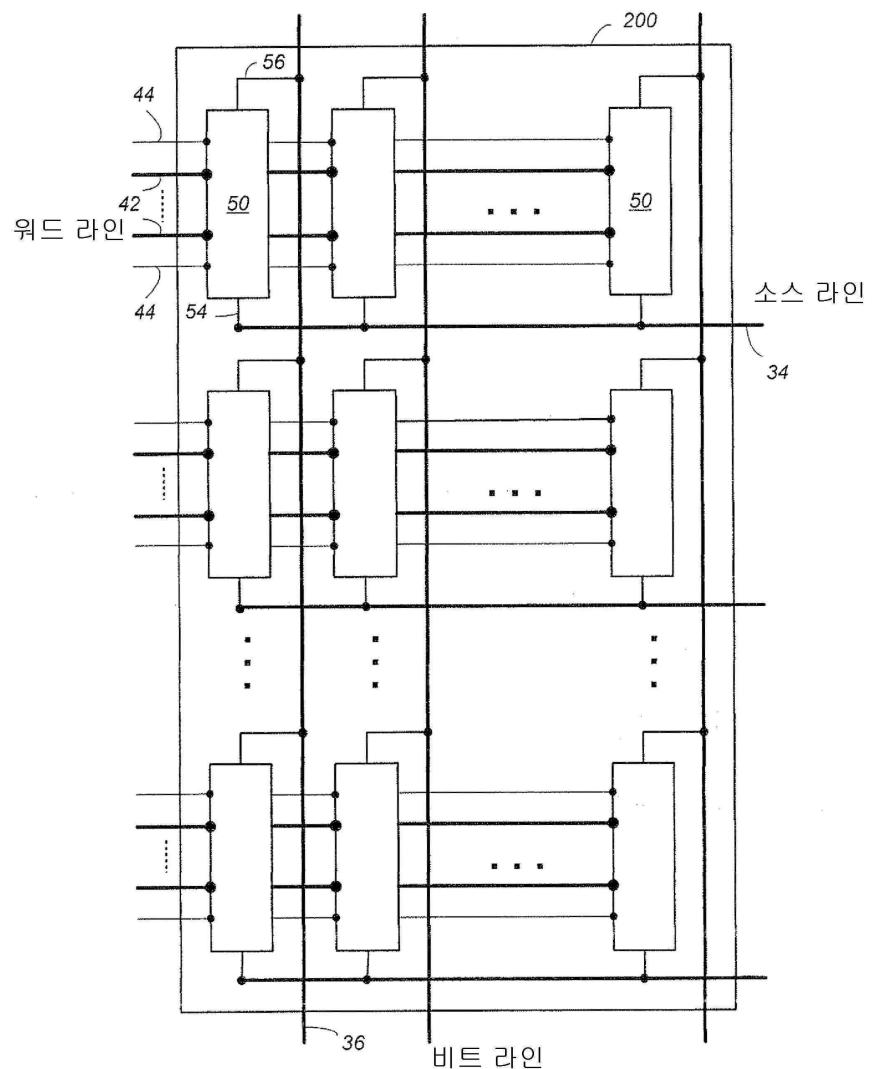
도면4



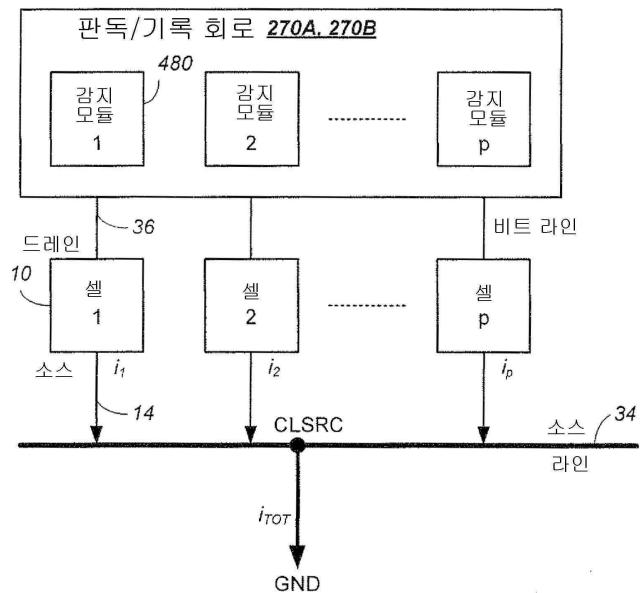
도면5a



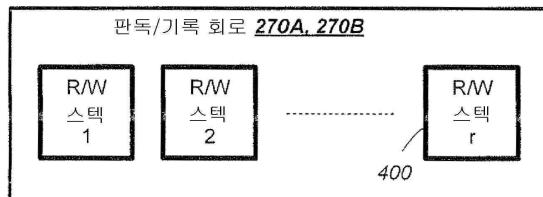
도면5b



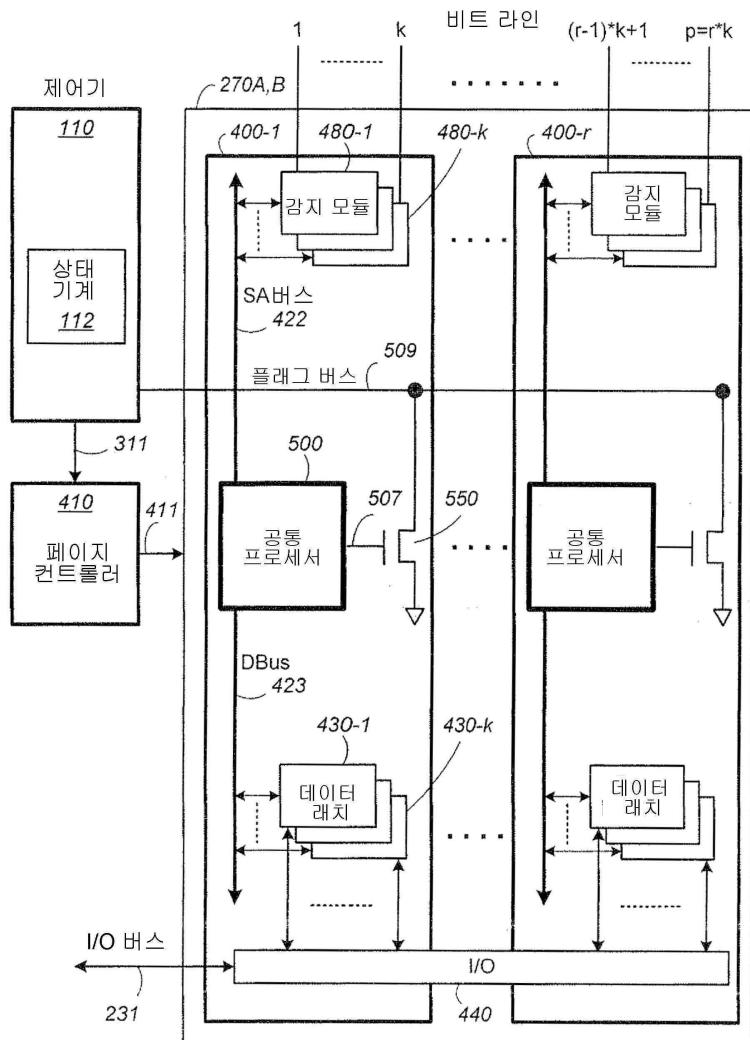
도면6



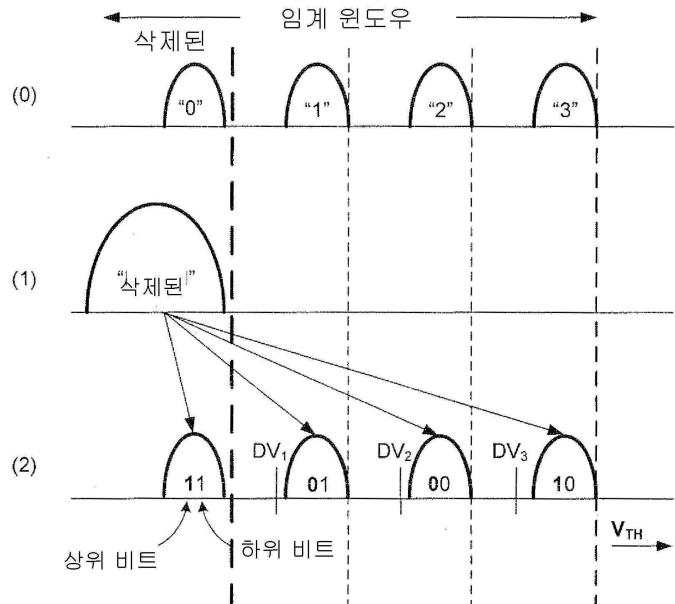
도면7



도면8

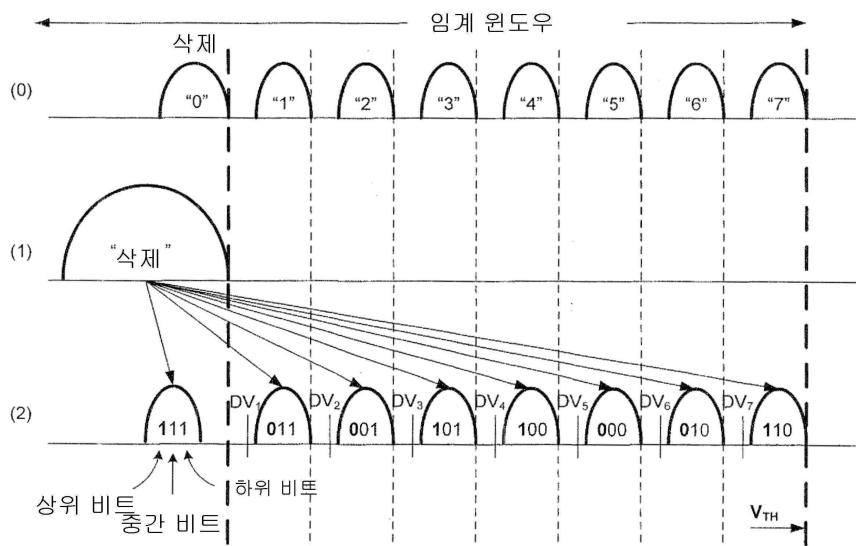


도면9



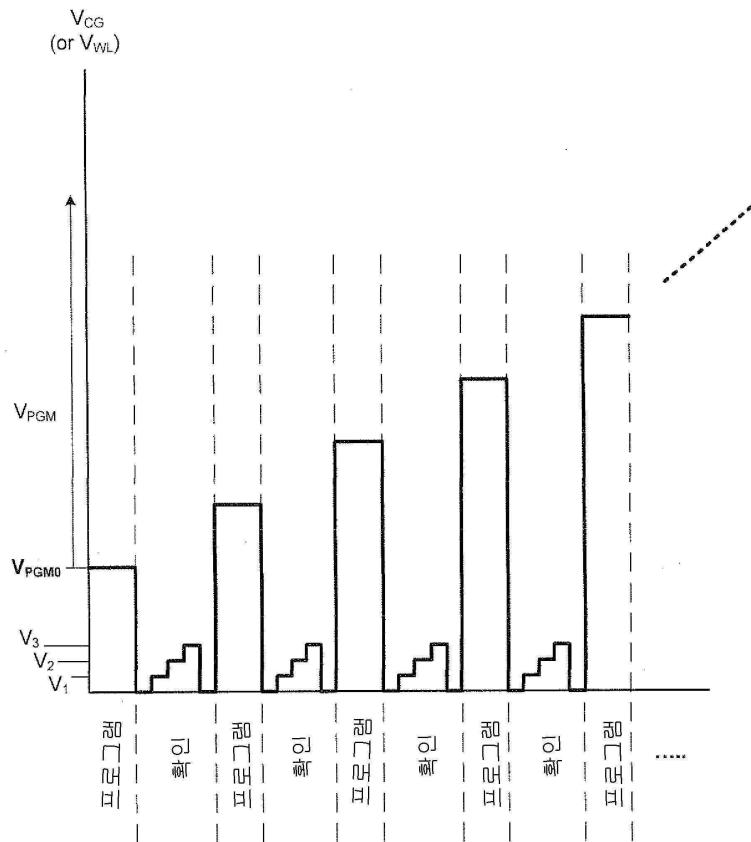
2비트 코드에 의해 표현된 4개 상태로의 프로그래밍

도면10



비트 코드에 의해 표현된 4개 상태로의 프로그래밍

도면11



4개 상태 메모리를 위한 교번하는 프로그램/확인 시퀀스를 갖는
종래의 프로그래밍

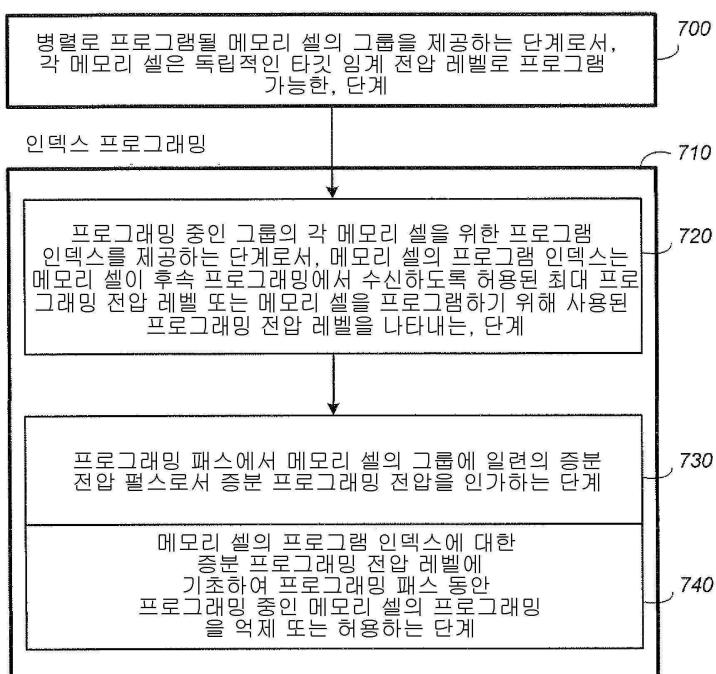
도면12

비트/ 셀	상태의 수 $= N_s$	프로그램 펄스의 주산된 수 $= N_p \sim N_s$	프로그램 펄스 트레이 패스의 주산된 수	각 확인 단계 에서 감지된 상태의 수 $= V_s$	확인 사이클 의 주산된 수 $= N_v = k^* N_p^* V_s$
1	2	2	k	1	k^2
2	4	4	k	3	k^{*12}
3	8	8	k	7	k^{*56}
4	16	16	k	15	k^{*240}
...
N	2^N	2^N	k	$2^N - 1$	$\sim k^* 2^{2N}$

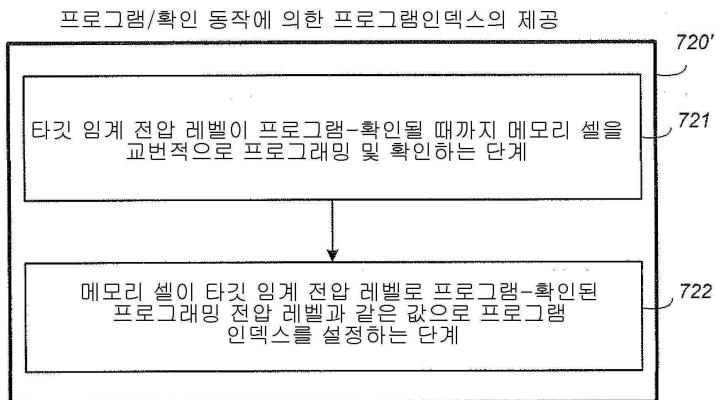
 $(k \sim 1 \text{ to } 4)$

종래의 교번하는 프로그램/확인 알고리즘을 사용하여
페이지를 프로그램하기 위한 주산된 수의 프로그램 펄스와 확인 사이클

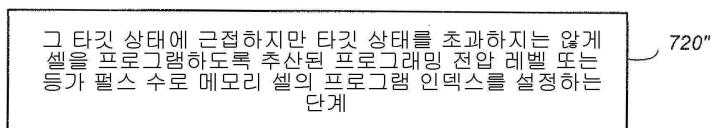
도면13



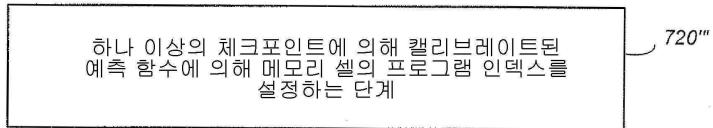
도면14a



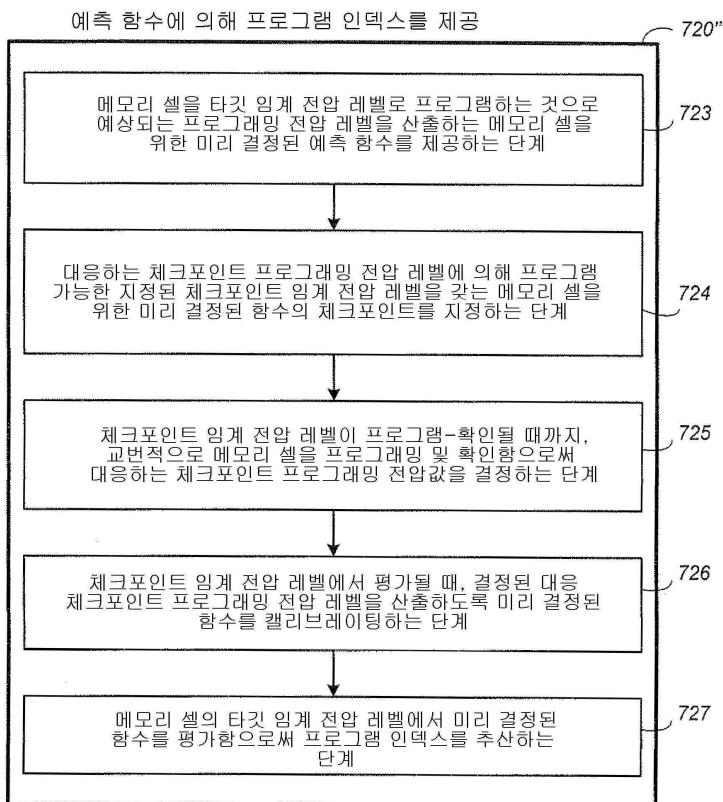
도면14b



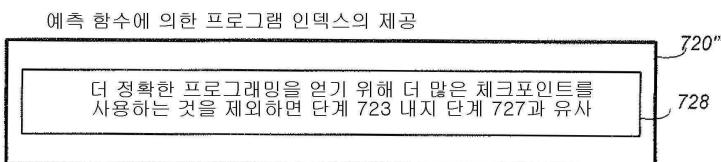
도면14c



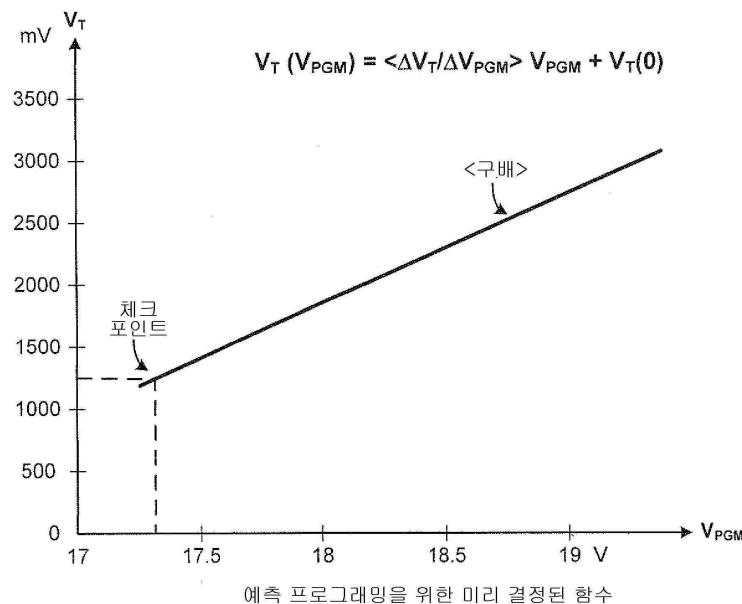
도면14d



도면14e



도면15



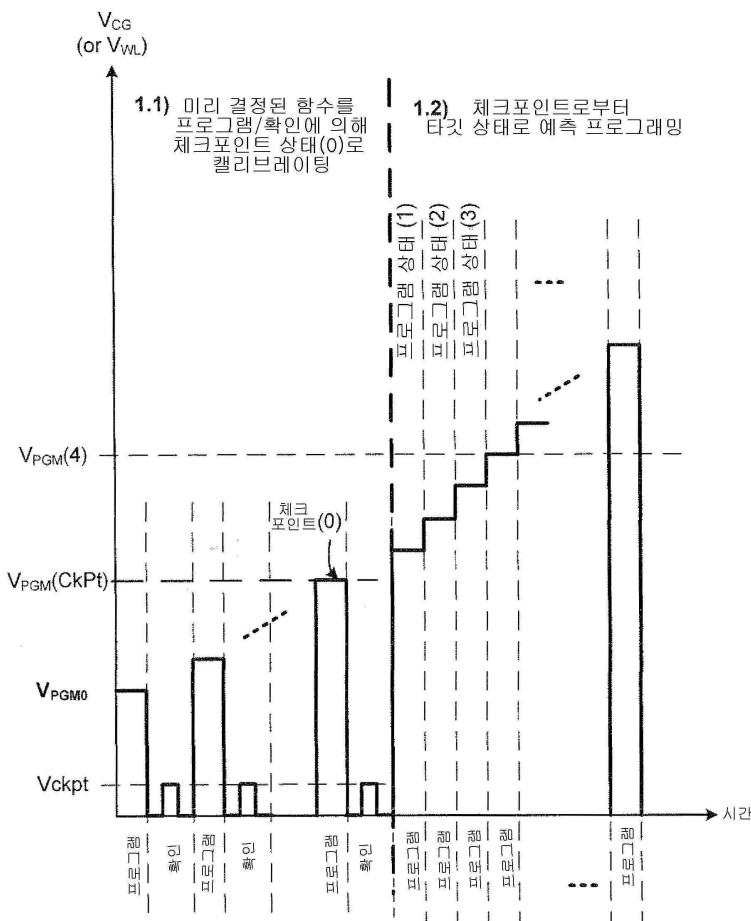
도면16

제 1 프로그램 상태를 체크포인트로 지정

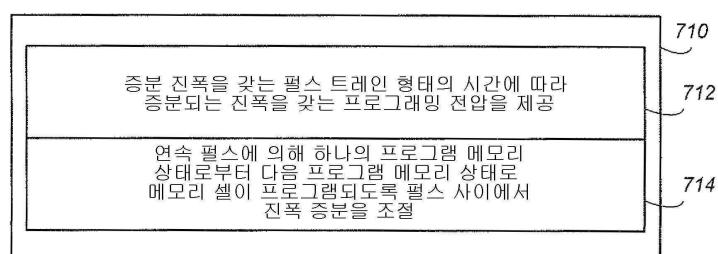
제 1 프로그램 메모리 상태의 임계 전압 레벨을
메모리 셀을 위한 미리 결정된 함수의 체크포인트
로 지정하는 단계

724'

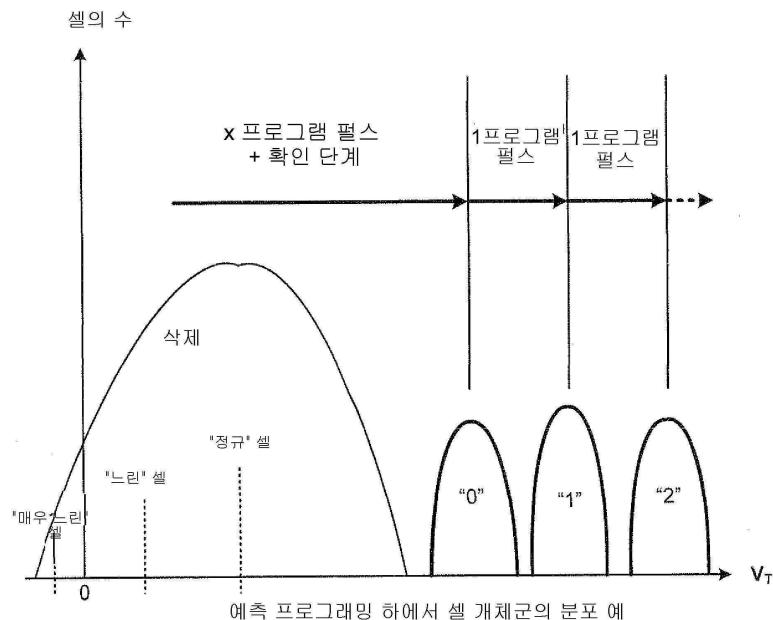
도면17



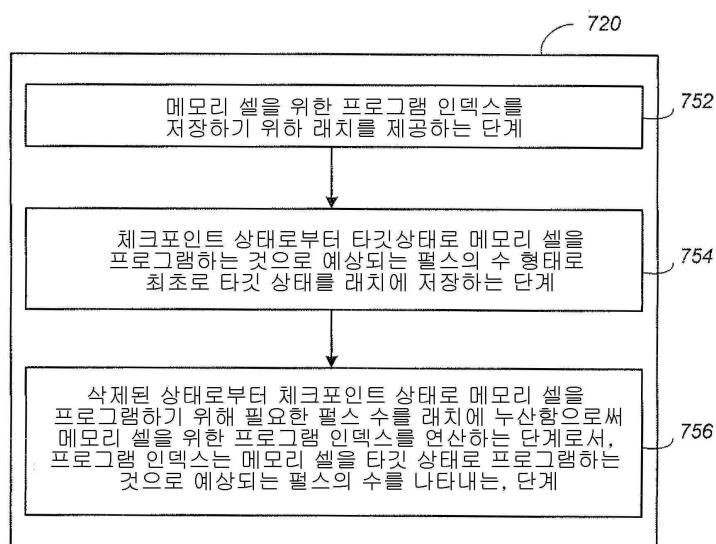
도면18a



도면18b



도면19



메모리 셀을 위한 프로그램 인덱스를 구성하기 위한 래치 연산

도면20

"정규" 셀

(A)

타깃 상태 랜치	"3"
펄스의 수	0
데이터 랜치의 인덱스	"3"
프로그램/억제 ("P"/"I")	P

체크포인트 도달 프로그램 억제

1	2	3	4	5	6	7	8
"4"	"4"	"4"	"4"	"4"	"4"	"4"	"4"
P	P	P	P	I	I	I	I

"정규" 셀은 상태(3)로 프로그램하기 위해 4개 펄스를 소요

"느린" 셀

(B)

타깃 상태 랜치	"3"
펄스의 수	0
데이터 랜치의 인덱스	"3"
프로그램/억제 ("P"/"I")	P

체크포인트 도달

프로그램 억제

1	2	3	4	5	6	7	8
"4"	"5"	"5"	"5"	"5"	"5"	"5"	"5"
P	P	P	P	P	I	I	I

"느린" 셀은 상태(3)로 프로그램하기 위해 5개 펄스를 소요

"매우 느린" 셀

(C)

타깃 상태 랜치	"3"
펄스의 수	0
데이터 랜치의 인덱스	"3"
프로그램/억제 ("P"/"I")	P

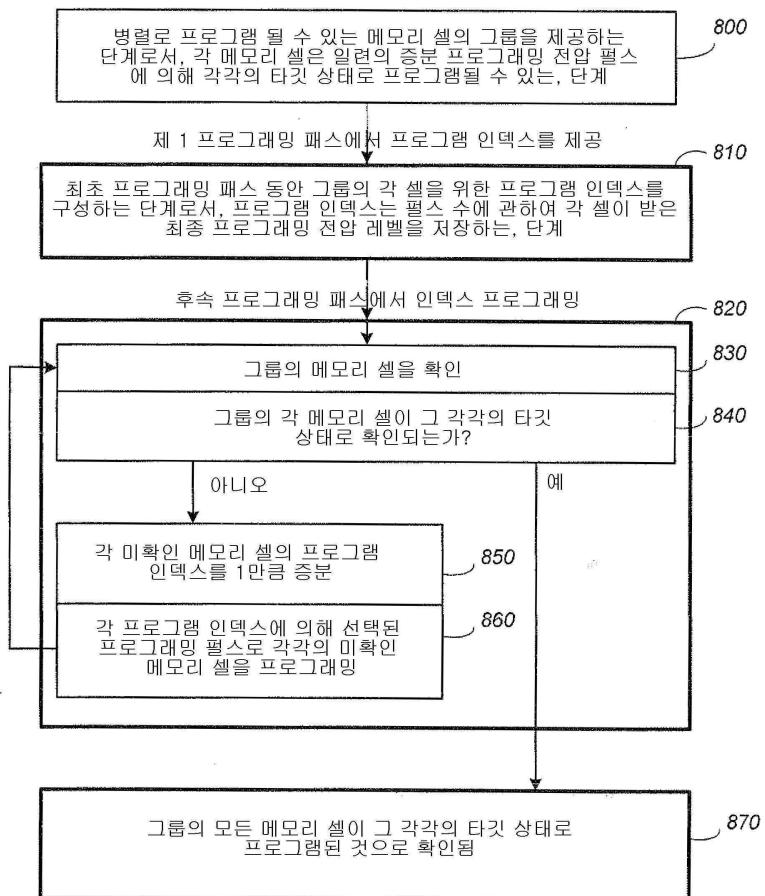
체크포인트 도달

프로그램 억제

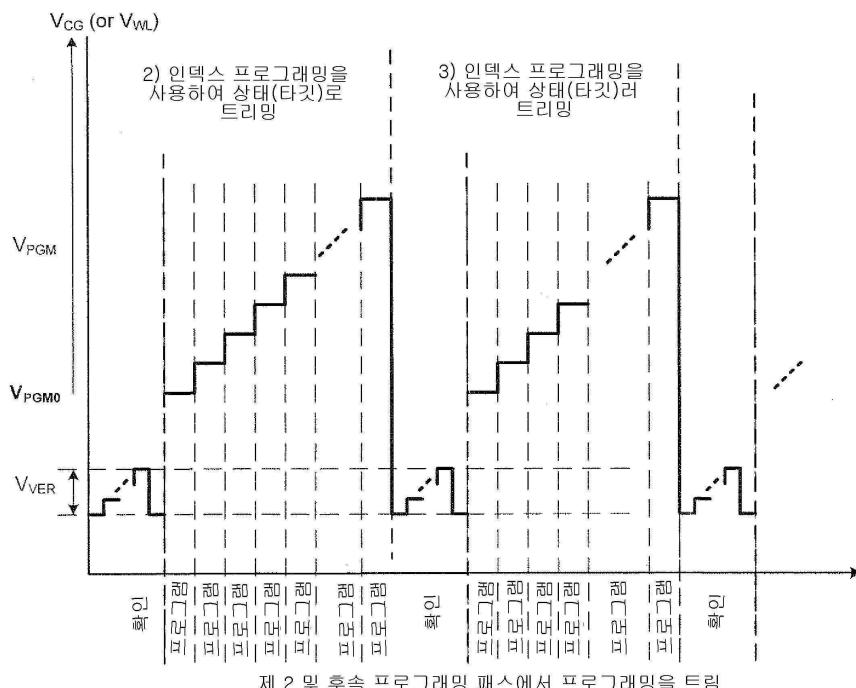
1	2	3	4	5	6	7	8
"4"	"5"	"6"	"7"	"7"	"7"	"7"	"7"
P	P	P	P	P	P	P	I

"매우 느린" 셀은 상태(3)로 프로그램하기 위해 7개 펄스를 소요

도면21



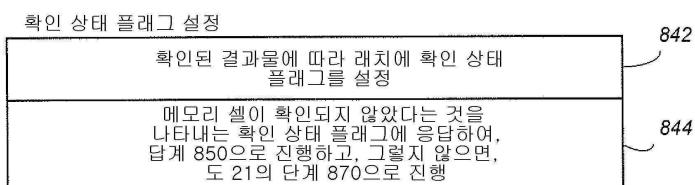
도면22



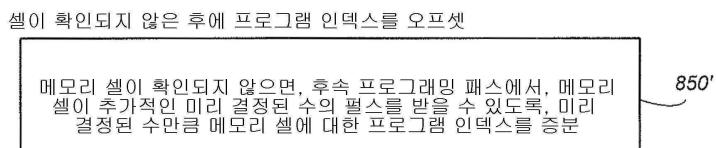
도면23



도면24a



도면24b



도면24c

셀이 확인되지 않은 후에 펄스 수를 오프셋

메모리 셀이 확인되지 않으면, 후속 프로그래밍 패스에서, 메모리 셀이 추가적인 미리 결정된 수의 펄스를 받을 수 있도록, 미리 결정된 수만큼 프로그래밍 펄스 계수치를 감분

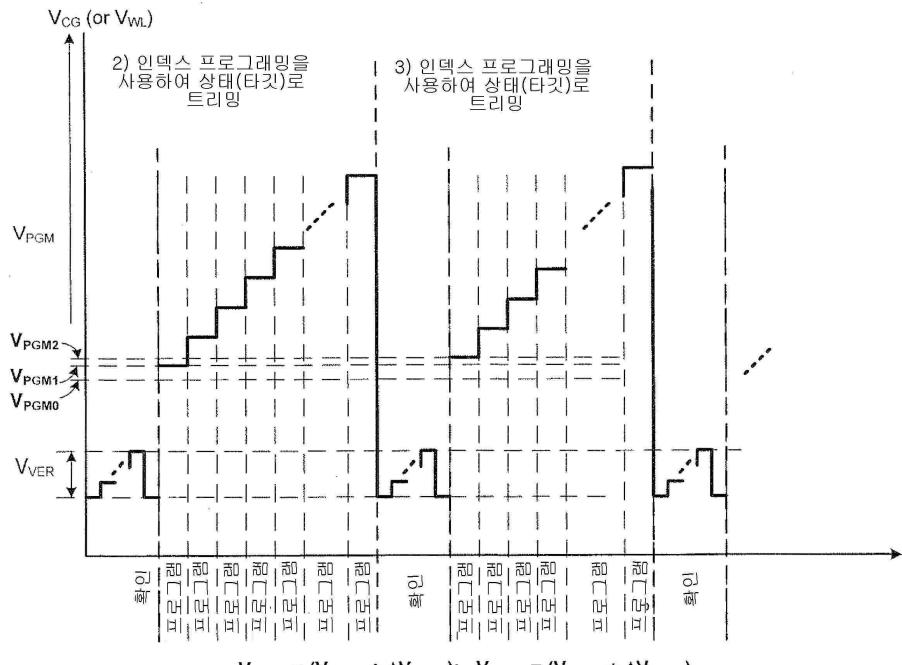
852

도면25

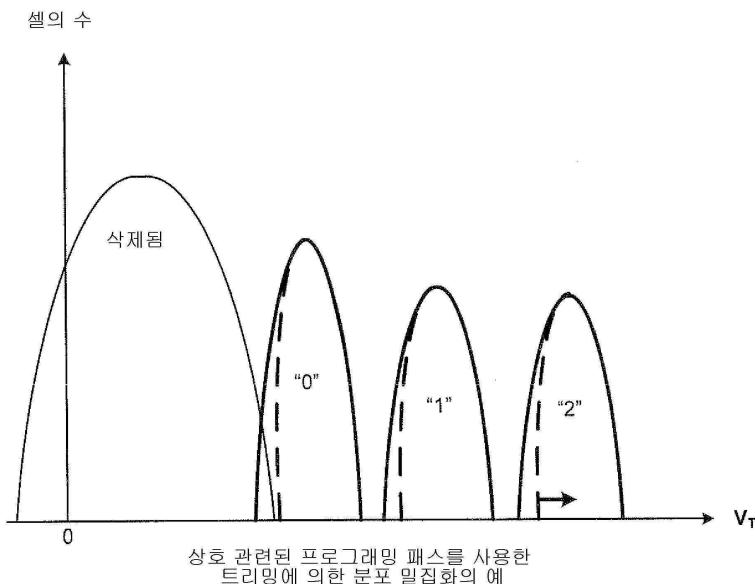
비트/셀	상태의 수	1.1) 체크포인트 프로그램/확인		1.2) 인덱스 프로그램 & 확인		2) 인덱스 프로그램 & 확인의 추가 k-1 트림 사이클		프로그램 펄스의 총 주산된 수	확인의 주산된 수	프로그램 펄스의 주산된 수	확인의 주산된 수	프로그램 펄스의 주산된 수	확인의 주산된 수	프로그램 펄스의 총 주산된 수	확인의 총 주산된 수
		프로그램 펄스의 주산된 수	확인의 주산된 수	프로그램 펄스의 주산된 수	확인의 주산된 수	프로그램 펄스의 주산된 수	확인의 주산된 수								
1	2	1-2	1-2	2	2	2	2	6	6	6	6	6	6	6	6
2	4	1-4	1-4	4	4	4	4	10	10	10	10	10	10	10	10
3	8	1-8	1-8	8	8	8	8	18	18	18	18	18	18	18	18
4	16	1-16	1-16	16	16	16	16	34	34	34	34	34	34	34	34
...
N	2^N	$1-2^N$	$1-2^N$	2^N	2^N	2^N	2^N	$\sim k^*2^N$	$\sim k^*2^N$	$\sim k^*2^N$	$\sim k^*2^N$	$\sim k^*2^N$	$\sim k^*2^N$	$\sim k^*2^N$	$\sim k^*2^N$

($k \sim 2$ to 4)
인덱스 프로그램/확인 알고리즘을 사용하여 페이지를
프로그램하기 위한 프로그램 펄스와 확인 사이클의 주산된 수

도면26



도면27



도면28a

비트/셀	상태의 수	제 1 패스(거침)	제 2 패스(1/2 미세)	제 3 패스(1/4 미세)	3개 패스 후에 총합
		프로그램 펄스의 수	프로그램 펄스의 수	프로그램 펄스의 수	프로그램 펄스의 수
1	2	2	4	8	14
2	4	4	8	16	28
3	8	8	16	32	56
4	16	16	32	64	112
...
N	2^N	2^N	2^{N+1}	2^{N+2}	$(2^0 + 2^1 + 2^2) \times 2^N$

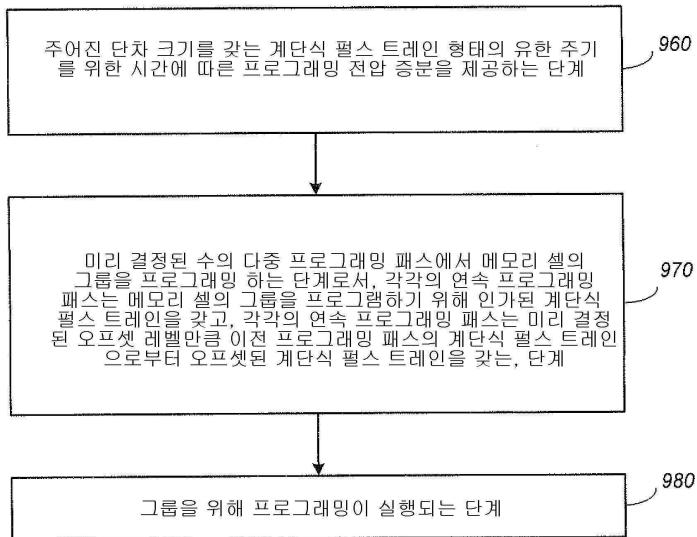
종래의 다중 패스 프로그래밍

도면28b

비트/셀	상태의 수	제 1 패스(거침)	제 2 패스(1/2 미세)	제 3 패스(1/4 미세)	3개 패스 후의 총합
		프로그램 펄스의 수	프로그램 펄스의 수	프로그램 펄스의 수	프로그램 펄스의 수
1	2				
2	4	2	2	2	6
3	8	4	4	4	12
4	16	8	8	8	24
...	...	16	16	16	48
N	2^N
		2^N	2^N	2^N	3×2^N

상호 관련된 다중 패스 프로그래밍

도면29



상호 관련된 다중 패스 프로그래밍