



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0020757
(43) 공개일자 2014년02월19일

(51) 국제특허분류(Int. Cl.)
H01L 27/105 (2006.01) *H01L 21/8238* (2006.01)
(21) 출원번호 10-2013-0091987
(22) 출원일자 2013년08월02일
심사청구일자 없음
(30) 우선권주장
JP-P-2012-178536 2012년08월10일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
코야마 준
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
황의만

전체 청구항 수 : 총 18 항

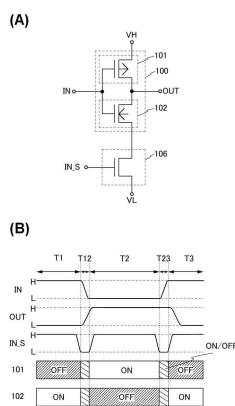
(54) 발명의 명칭 반도체 장치 및 반도체 장치를 구동하는 방법

(57) 요 약

동작시의 소비 전력의 저감이 도모된 반도체 장치를 제공한다. 특히 CMOS 회로에 있어서 관통 전류의 저감을 도모하고, 동작시의 소비 전력의 저감이 도모된 반도체 장치를 제공하는 것을 과제로 한다.

고전위 전원선과 저전위 전원선과의 사이에 p채널형의 제 1 트랜지스터와, n채널형의 제 2 트랜지스터와, 오프 전류가 낮은 제 3 트랜지스터를 가지고, 제 3 트랜지스터는, 저전위 전원선과 고전위 전원선과의 사이에서 제 1 트랜지스터 및 제 2 트랜지스터와 직렬로 소스 단자와 드레인 단자가 접속되고, 제 1 트랜지스터와 제 2 트랜지스터가 양쪽 모두가 도통 상태일 때에 오프 상태가 되는 반도체 장치이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 장치로서,

제 1 트랜지스터;

제 2 트랜지스터; 및

제 3 트랜지스터를 포함하고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 상이한 도전형들을 가지고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 각각은 제 1 반도체를 포함하는 채널 형성 영역을 포함하고,

상기 제 3 트랜지스터는 상기 제 1 반도체보다 넓은 밴드 캡을 가지는 제 2 반도체를 포함하는 채널 형성 영역을 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는, 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 상기 제 3 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 제 2 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터가 온 상태로부터 오프 상태로 바뀌고, 상기 제 2 트랜지스터가 오프 상태로부터 온 상태로 바뀔 때 또는 상기 제 1 트랜지스터가 오프 상태로부터 온 상태로 바뀌고 상기 제 2 트랜지스터가 온 상태로부터 오프 상태로 바뀔 때, 상기 제 3 트랜지스터가 오프 상태가 되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 전원선의 전위는 상기 제 2 전원선의 전위보다 높은, 반도체 장치.

청구항 3

제 1 항에 있어서,

적어도 상기 제 1 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 게이트에 인가된 전압이 상기 제 2 전원선의 전위보다 높고 상기 제 1 전원선의 전위보다 낮을 때, 상기 제 3 트랜지스터가 오프 상태가 되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

적어도 상기 제 1 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 게이트에 인가된 전압이 상기 제 2 전원선의 전위보다 낮고 상기 제 1 전원선의 전위보다 높을 때, 상기 제 3 트랜지스터가 오프 상태가 되는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 2 반도체는 산화물 반도체인, 반도체 장치.

청구항 6

제 1 항에 있어서,
상기 제 1 반도체는 실리콘인, 반도체 장치.

청구항 7

제 1 항에 따른 반도체 장치를 포함하는 CPU를 가지는 전자 기기.

청구항 8

반도체 장치로서,
제 1 트랜지스터;
제 2 트랜지스터; 및
제 3 트랜지스터를 포함하고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 상이한 도전형들을 가지고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 각각은 제 1 반도체를 포함하는 채널 형성 영역을 포함하고,

상기 제 3 트랜지스터는 상기 제 1 반도체보다 넓은 밴드 캡을 가지는 제 2 반도체를 포함하는 채널 형성 영역을 포함하고,

상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는, 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는, 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 제 2 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터가 온 상태로부터 오프 상태로 바뀌고, 상기 제 2 트랜지스터가 오프 상태로부터 온 상태로 바뀔 때 또는 상기 제 1 트랜지스터가 오프 상태로부터 온 상태로 바뀌고 상기 제 2 트랜지스터가 온 상태로부터 오프 상태로 바뀔 때, 상기 제 3 트랜지스터가 오프 상태가 되는, 반도체 장치.

청구항 9

제 8 항에 있어서,
상기 제 1 전원선의 전위는 상기 제 2 전원선의 전위보다 높은, 반도체 장치.

청구항 10

제 8 항에 있어서,
적어도 상기 제 1 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 게이트에 인가된 전압이 상기 제 2 전원선의 전위보다 높고 상기 제 1 전원선의 전위보다 낮을 때, 상기 제 3 트랜지스터가 오프 상태가 되는, 반도체 장치.

청구항 11

제 8 항에 있어서,
적어도 상기 제 1 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 게이트에 인가된 전압이 상기 제 2 전원선의 전위보다 낮고 상기 제 1 전원선의 전위보다 높을 때, 상기 제 3 트랜지스터가 오프 상태가 되는, 반도체 장치.

청구항 12

제 8 항에 있어서,

상기 제 2 반도체는 산화물 반도체인, 반도체 장치.

청구항 13

제 8 항에 있어서,

상기 제 1 반도체는 실리콘인, 반도체 장치.

청구항 14

제 8 항에 따른 반도체 장치를 포함하는 CPU를 가지는 전자 기기.

청구항 15

제 1 트랜지스터, 제 2 트랜지스터, 및 제 3 트랜지스터를 포함하는 반도체 장치를 구동하는 방법으로서,

상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 상기 제 3 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 제 2 전원선에 전기적으로 접속되고,

상기 제 3 트랜지스터를 오프시키는 단계;

상기 제 3 트랜지스터를 오프시킨 후, 상기 제 1 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 게이트의 전위를 변경하는 단계; 및

상기 제 1 트랜지스터의 상기 게이트 및 상기 제 2 트랜지스터의 상기 게이트의 상기 전위를 변경한 후, 상기 제 3 트랜지스터를 온시키는 단계를 포함하는, 반도체 장치를 구동하는 방법.

청구항 16

제 15 항에 있어서,

상기 제 3 트랜지스터는 오프 상태에 있고, 상기 제 1 트랜지스터의 상기 게이트 및 상기 제 2 트랜지스터의 상기 게이트의 전위는 변하는, 반도체 장치를 구동하는 방법.

청구항 17

제 1 트랜지스터, 제 2 트랜지스터, 및 제 3 트랜지스터를 포함하는 반도체 장치를 구동하는 방법으로서,

상기 제 1 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 제 1 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 상기 제 3 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 나머지 하나는 제 2 전원선에 전기적으로 접속되고,

상기 제 3 트랜지스터를 오프시키는 단계;

상기 제 3 트랜지스터를 오프시킨 후, 상기 제 1 트랜지스터의 상기 게이트와 상기 제 2 트랜지스터의 상기 게

이트의 전위를 변경하는 단계; 및

상기 제 1 트랜지스터의 상기 게이트 및 상기 제 2 트랜지스터의 상기 게이트의 상기 전위를 변경한 후, 상기 제 3 트랜지스터를 온시키는 단계를 포함하는, 반도체 장치를 구동하는 방법.

청구항 18

제 17 항에 있어서,

상기 제 3 트랜지스터는 오프 상태에 있고, 상기 제 1 트랜지스터의 상기 게이트 및 상기 제 2 트랜지스터의 상기 게이트의 전위는 변하는, 반도체 장치를 구동하는 방법.

명세서

기술 분야

[0001] 개시하는 발명은, CMOS(상보형 금속 산화물 반도체 : Complementary Metal Oxide Semiconductor) 회로를 이용한 반도체 장치에 관한 것이다.

[0002] 여기서 반도체 장치란, 반도체 특성을 이용함으로써 기능하는 장치 전반을 가리킨다. 예를 들면, 트랜지스터나 다이오드, 사이리스터 등의 반도체 소자(이른바, 파워 디바이스를 포함), 인버터 등의 논리 회로, 이미지 센서나 메모리, 컨버터 등의 접속 회로, 이것들을 포함한 접속 회로, 액정 표시 장치로 대표되는 표시장치 등을 넓게 반도체 장치에 포함된다.

배경기술

[0003] CMOS 회로는 소비 전력이 작고, 고속 동작이 가능하고, 또한 고도의 접속화가 가능하다는 등의 특징을 가지기 때문에, 반도체 접속 회로에는 불가결한 구성으로 되어 있다. 그러나, 최근에는 MOS 트랜지스터의 미세화에 따라 소비 전력이 증대되고 있는 것이 문제였다. 예를 들면, CMOS 회로를 형성하는 트랜지스터의 리크 전류에 기인하는 비동작시의 소비 전력의 증대 등이 있다.

[0004] 이러한 리크 전류의 증대를 억제하기 위하여, CMOS 회로에 한층 더 스위칭 트랜지스터를 형성하는 기술이 개시되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 평5-210976호 공보

발명의 내용

해결하려는 과제

[0006] 특허문헌 1에 개시되는 기술에 의해, 리크 전류의 증대에 기인하는 비동작시의 소비 전력의 증대를 억제할 수 있다. 그러나, CMOS 회로에 있어서의 소비 전력의 증대는, 비동작시에서의 것만이 아니다.

[0007] CMOS 회로에 있어서의 소비 전력의 증대는 동작시에서도 문제가 된다. 그 중에서도 CMOS 회로의 논리를 반전할 때에 흐르는 관통 전류는 동작시에 소비 전력이 증대되는 큰 원인이 되었다.

[0008] 상기한 문제를 감안하여, 개시하는 발명의 일양태에서는, 동작시의 소비 전력의 저감이 도모된 반도체 장치를 제공하는 것을 목적의 하나로 한다. 특히, CMOS 회로에 있어서 관통 전류의 저감을 도모하고, 동작시의 소비 전력의 저감이 도모된 반도체 장치를 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0009] 개시하는 발명의 일양태는, 고전위 전원선과 저전위 전원선 사이에 p채널형의 제 1 트랜지스터와, n채널형의 제 2 트랜지스터와, 오프 전류가 낮은 제 3 트랜지스터를 가지고, 제 1 트랜지스터는 게이트 단자가 제 2 트랜지스

터의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선과 전기적으로 접속되고, 드레인 단자가 제 2 트랜지스터의 드레인 단자와 전기적으로 접속되고, 제 2 트랜지스터는 소스 단자가 제 3 트랜지스터의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 제 3 트랜지스터는 소스 단자 또는 드레인 단자의 다른 한쪽이 저전위 전원선과 전기적으로 접속되고, 제 1 트랜지스터와 제 2 트랜지스터 모두가 도통 상태일 때에 제 3 트랜지스터가 오프 상태가 되는 반도체 장치이다.

[0010] 또, 개시하는 발명의 다른 일양태는, 고전위 전원선과 저전위 전원선 사이에 p채널형의 제 1 트랜지스터와, n채널형의 제 2 트랜지스터와, 오프 전류가 낮은 제 3 트랜지스터를 가지고, 제 1 트랜지스터는 게이트 단자가 제 2 트랜지스터의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선과 전기적으로 접속되고, 드레인 단자가 제 3 트랜지스터의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 제 2 트랜지스터는 드레인 단자가 제 3 트랜지스터의 소스 단자 또는 드레인 단자의 다른 한쪽과 전기적으로 접속되고, 소스 단자가 저전위 전원선과 전기적으로 접속되고, 제 1 트랜지스터와 제 2 트랜지스터 모두가 도통 상태일 때에 제 3 트랜지스터가 오프 상태가 되는 반도체 장치이다.

[0011] 또, 개시하는 발명의 다른 일양태는, 고전위 전원선과 저전위 전원선 사이에 p채널형의 제 1 트랜지스터와, n채널형의 제 2 트랜지스터와, 오프 전류가 낮은 제 3 트랜지스터를 가지고, 제 1 트랜지스터는 게이트 단자가 제 2 트랜지스터의 게이트 단자와 전기적으로 접속되고, 소스 단자가 제 3 트랜지스터의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속되고, 드레인 단자가 제 2 트랜지스터의 드레인 단자와 전기적으로 접속되고, 제 2 트랜지스터는 소스 단자가 저전위 전원선과 전기적으로 접속되고, 제 3 트랜지스터는 소스 단자 또는 드레인 단자의 다른 한쪽이 고전위 전원선과 전기적으로 접속되고, 제 1 트랜지스터와 제 2 트랜지스터 모두가 도통 상태일 때에 제 3 트랜지스터가 오프 상태가 되는 반도체 장치이다.

[0012] 또, 제 1 트랜지스터의 게이트 단자 및 제 2 트랜지스터의 게이트 단자에 인가되는 전압이, 적어도 저전위 전원선의 전위보다 높고, 고전위 전원선의 전위보다 낮을 때에 제 3 트랜지스터를 오프 상태로 하는 구성으로 해도 좋다.

[0013] 또, 제 3 트랜지스터는 산화물 반도체를 포함하는 것이 바람직하다. 또, 제 1 트랜지스터 및 제 2 트랜지스터는 실리콘을 포함하는 것이 바람직하다.

[0014] 또한, 본 명세서 등에 있어서 「위」나 「아래」이라는 용어는, 구성 요소의 위치 관계가 「바로 위」 또는 「바로 아래」인 것을 한정하는 것은 아니다. 예를 들면, 「게이트 절연층 위의 게이트 전극」이라는 표현이라면, 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0015] 또, 본 명세서 등에 있어서 「전극」이나 「배선」이라는 용어는, 이러한 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 이용되는 일이 있고, 그 반대도 마찬가지이다. 게다가 「전극」이나 「배선」이라는 용어는 복수의 「전극」이나 「배선」이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0016] 또, 「소스」나 「드레인」의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 서로 바뀌는 경우가 있다. 따라서, 본 명세서 등에 있어서 「소스」나 「드레인」이라는 용어는, 바꾸어 사용할 수 있는 것으로 한다.

[0017] 또한 본 명세서 등에 있어서, 「전기적으로 접속」에는, 「어떠한 전기적 작용을 가지는 것」을 통하여 접속되어 있는 경우가 포함된다. 여기에서, 「어떠한 전기적 작용을 가지는 것」은 접속 대상 간의 전기 신호의 수수를 가능하게 하는 것이라면, 특별히 제한을 받지 않는다.

[0018] 예를 들어, 「어떠한 전기적 작용을 가지는 것」에는, 전극이나 배선을 비롯해 트랜지스터 등의 스위칭 소자, 저항 소자, 인더터, 커패시터, 그 외 각종 기능을 가지는 소자 등이 포함된다.

발명의 효과

[0019] 개시하는 발명의 일양태에서는, 동작시에 소비 전력의 저감이 도모된 반도체 장치를 제공할 수 있다. 특히, CMOS 회로에 있어서 관통 전류의 저감을 도모하는 것에 의해, 동작시에 소비 전력의 저감이 도모된 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 개시하는 발명의 일양태에 관한 반도체 장치의 회로도 및 타이밍 차트도이다.
- 도 2는 반도체 장치의 일부의 전기 특성의 모식도이다.
- 도 3은 반도체 장치의 일부의 전기 특성의 모식도이다.
- 도 4는 반도체 장치의 일부의 전기 특성의 모식도이다.
- 도 5는 반도체 장치의 일부의 전기 특성의 모식도이다.
- 도 6은 개시하는 발명의 일양태에 관한 반도체 장치의 회로도이다.
- 도 7은 개시하는 발명의 일양태에 관한 반도체 장치의 회로도이다.
- 도 8은 개시하는 발명의 일양태에 관한 반도체 장치의 회로도이다.
- 도 9는 개시하는 발명의 일양태에 관한 반도체 장치의 회로도이다.
- 도 10은 개시하는 발명의 일양태에 관한 반도체 장치의 회로도이다.
- 도 11은 개시하는 발명의 일양태에 관한 반도체 장치의 단면도이다.
- 도 12는 개시하는 발명의 일양태에 관한 반도체 장치의 단면도이다.
- 도 13은 개시하는 발명의 일양태에 관한 반도체 장치의 단면도이다.
- 도 14는 개시하는 발명의 일양태에 관한 반도체 장치의 단면도이다.
- 도 15는 개시하는 발명의 일양태에 관한 반도체 장치를 이용한 전자기기이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 실시형태의 일례에 대하여 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않으며, 그 형태 및 세부 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.
- [0022] 또한, 도면 등에서 나타내는 각 구성의, 위치, 크기, 범위 등을 이해를 돋기 위해 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 개시하는 발명은 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.
- [0023] 또한, 본 명세서 등에서의 「제 1」, 「제 2」, 「제 3」 등의 서수는, 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하는 것이 아닌 것을 부기한다.
- [0024] 또한, 본 명세서에서 「평행」이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또, 「수직」이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다.
- [0025] 또한, 본 명세서에서 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.
- [0026] (실시형태 1)
- [0027] 본 실시형태에서는 개시하는 발명의 일양태에 관한 반도체 장치의 구성 및 동작에 대하여, 도 1 내지 도 8을 이용하여 설명한다.
- [0028] 개시하는 발명의 일양태에 관한 반도체 장치의 회로도를 도 1(A)에 도시한다. 도 1(A)에 도시하는 반도체 장치는 CMOS 인버터로서 기능하는 반도체 장치이다. 도 1(A)에는 p채널형의 트랜지스터(101) 및 n채널형의 트랜지스터(102)를 포함한 CMOS 인버터 회로(100)와, 오프 전류가 매우 낮은 트랜지스터(106)를 가지고, 단자 VH에서 고전위 전원선과 전기적으로 접속되고, 단자 VL에서 저전위 전원선과 전기적으로 접속되는 반도체 장치를 도시하고 있다.
- [0029] 구체적으로 트랜지스터(101)는, 게이트 단자가 트랜지스터(102)의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선과 전기적으로 접속되고, 드레인 단자가 트랜지스터(102)의 드레인 단자와 전기적으로 접속된다. 또 트랜지스터(102)는 소스 단자가 트랜지스터(106)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로

접속된다. 또 트랜지스터(106)는 소스 단자 또는 드레인 단자의 다른 한쪽이 저전위 전원선과 전기적으로 접속된다.

[0030] 여기에서, 트랜지스터(101)의 소스 단자는 상기 단자 VH로서 기능하고, 트랜지스터(106)의 소스 단자 또는 드레인 단자의 다른 한쪽은 상기 단자 VL로서 기능한다. 또, 트랜지스터(101)의 게이트 단자 및 트랜지스터(102)의 게이트 단자는 CMOS 인버터 회로(100)의 입력 단자 IN로서 기능하고, 트랜지스터(101)의 드레인 단자 및 트랜지스터(102)의 드레인 단자는 CMOS 인버터 회로(100)의 출력 단자 OUT로서 기능한다. 또, 트랜지스터(106)의 게이트 단자는 제어 단자 IN_S로서 기능한다.

[0031] 여기에서 도 1(A)에 도시되지 않은 고전위 전원선에는 고전위 H가 부여되고 있고, 저전위 전원선에는 예를 들면, 접지 전위(GND) 등의 저전위 L이 부여되어 있다.

[0032] 트랜지스터(101) 및 트랜지스터(102)에 이용하는 반도체 재료는 특별히 한정되지 않지만, 상기의 오프 전류가 저감된 트랜지스터(106)에 이용하는 반도체 재료와는 다른 금제대폭을 가지는 재료로 하는 것이 바람직하다. 이러한 반도체 재료로서는, 예를 들면 실리콘, 게르마늄, 실리콘 게르마늄, 또는 갈륨 비소 등을 이용할 수가 있고, 단결정 반도체를 이용하는 것이 바람직하다. CMOS 회로의 동작 속도를 향상시킨다는 관점에서는, 예를 들면, 단결정 실리콘을 이용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다.

[0033] 트랜지스터(106)는 오프 전류가 매우 낮은 트랜지스터를 이용하는 것이 바람직하다. 오프 전류가 매우 낮은 트랜지스터는 단결정 실리콘보다 밴드 갭이 넓고, 진성 캐리어 밀도가 단결정 실리콘보다 낮은 와이드 밴드 갭 반도체, 채널 형성 영역에 포함하는 것이 바람직하다. 예를 들면, 이 와이드 밴드 갭 반도체의 밴드 갭은 1. 1eV 보다 크고, 바람직하게는 2.5eV 이상 4eV 이하, 더 바람직하게는 3eV 이상 3. 8eV 이하로 하면 좋다. 이러한 와이드 밴드 갭 반도체의 일례로서 탄화규소(SiC), 질화 갈륨(GaN) 등의 화합물 반도체, In-Ga-Zn-O계 재료 등의 금속 산화물로 이루어지는 산화물 반도체 등을 적용할 수 있다. 또, 어모페스(amorphous) 실리콘이나 미결정 실리콘 등을 이용한 트랜지스터는 단결정 실리콘을 이용한 트랜지스터보다 오프 전류를 낮게 할 수도 있으므로, 어모페스 실리콘이나 미결정 실리콘 등을 트랜지스터(106)에 이용하는 구성으로 해도 좋다.

[0034] 여기에서, 단결정 실리콘의 밴드 갭은 1.1eV 정도이며, 도너나 억셉터에 의한 캐리어가 전혀 존재하지 않는 상태(진성 반도체)여도, 열여기 캐리어의 농도는 $1 \times 10^{11} \text{ cm}^{-3}$ 정도이다. 그에 대하여, 상기의 와이드 밴드 갭 반도체인 In-Ga-Zn-O계 산화물 반도체의 밴드 갭은 3.2eV 정도이며, 열여기 캐리어 농도는 $1 \times 10^{-7} \text{ cm}^{-3}$ 정도가 된다. 트랜지스터의 오프 저항(트랜지스터가 오프 상태일 때의 소스와 드레인간의 저항)은 채널 형성 영역에서의 열여기 캐리어의 농도에 반비례하므로, In-Ga-Zn-O계 산화물 반도체의 오프시의 저항율은 단결정 실리콘과 비교하여 18 자리수나 커진다.

[0035] 이러한 와이드 밴드 갭 반도체를 트랜지스터(106)에 이용함으로써, 예를 들면 실온(25°C)에서의 오프 전류(여기에서는, 단위 채널폭($1 \mu\text{m}$ 당의 갑)은 100 zA(1 zA (zeptoampere)는 $1 \times 10^{-21} \text{ A}$) 이하, 더 바람직하게는 10zA 이하가 된다.

[0036] 본 실시형태에 있어서, 오프 전류가 매우 낮은 트랜지스터(106)로서는, 산화물 반도체를 포함한 트랜지스터를 이용한다.

[0037] 또한, 도 1(A)에 도시하는 반도체 장치에 있어서 트랜지스터(106)는 n채널형 트랜지스터인 것으로 설명하지만, 적절히 p채널형 트랜지스터를 이용해도 좋고, 그 경우는 적절히 게이트 단자에 부여하는 전위를 바꾸어 이용하면 좋다.

[0038] 여기에서, 일례로서 도 2(A)에 도시하는 종래형의 CMOS 인버터 회로(10)를 고려하여 트랜지스터(11) 및 트랜지스터(12)로 이루어지는 CMOS 인버터 회로(10)에서 발생하는 관통 전류에 대하여 설명한다.

[0039] 도 2(A)에 도시하는 CMOS 인버터 회로(10)는 도 1(A)에 도시하는 CMOS 인버터 회로(100)와 같고, p채널형의 트랜지스터(11)는 트랜지스터(101)와 n채널형의 트랜지스터(12)는 트랜지스터(102)와 같은 구성으로 한다. 바꾸어 말하면, 도 2(A)에 도시하는 CMOS 인버터 회로(10)는 트랜지스터(106)가 형성되지 않은 점에서, 도 1(A)에 도시하는 반도체 장치와 다르고, 그 외의 구성은 도 1(A)에 도시하는 반도체 장치와 같다.

[0040] 도 2(B)에 트랜지스터(11) 및 트랜지스터(12)의 트랜지스터 특성의 모식도를 도시한다. 도 2(B)는 종축에 트랜지스터(11) 및 트랜지스터(12)를 흐르는 전류 I를 로그 스케일로 측정하고, 횡축에 트랜지스터(11) 또는 트랜지스터(12) 각각에서의 게이트-소스 간의 전위차 Vgs를 측정하고 있다. 또, 도 2(B)에서는 p채널형의 트랜지스터(11)

1)의 트랜지스터 특성을 점선으로 나타내고, n채널형의 트랜지스터(12)의 트랜지스터 특성을 실선으로 나타내고 있다.

[0041] 도 2(B)에 도시하는 바와 같이, 트랜지스터(11)는 전위차 V_{gs} 가 문턱 전압 V_{thp} 이하가 되면 온 상태가 되고, $-H(V)$ 근방 이하가 되면 충분히 온 상태가 된다. 또, 트랜지스터(11)는 전위차 V_{gs} 가 문턱 전압 V_{thp} 이상이 되면 오프 상태가 되고, $0V$ 근방 이상이 되면, 충분히 오프 상태가 된다. 또, 트랜지스터(12)는 전위차 V_{gs} 가 문턱 전압 V_{thn} 이하가 되면 오프 상태가 되고, $0V$ 근방 이하가 되면 충분히 오프 상태가 된다. 또, 트랜지스터(12)는 전위차 V_{gs} 가 문턱 전압 V_{thn} 이상이 되면 온 상태가 되고, $H(V)$ 근방 이상이 되면 충분히 온 상태가 된다.

[0042] 여기에서, CMOS 인버터 회로(10)에 있어서 트랜지스터(11)와 트랜지스터(12) 모두가 동시에, 온 상태 또는 오프 상태에서도 전류가 비교적 큰 상태(예를 들면 약반전 영역 등)가 되면, 고전위 H 가 부여된 단자 VH 와 저전위 L 이 부여된 단자 VL 은 단락되므로, 관통 전류가 생기게 된다.

[0043] 다음으로, 도 3 내지 도 5를 이용하여 CMOS 인버터 회로(10)에서 입력 단자 IN 으로 인가하는 전압에 의해, 관통 전류가 발생하는 양태에 대하여 설명한다.

[0044] 도 3(A)에 p채널형의 트랜지스터(11)의 $Id-V_{ds}$ 특성의 모식도를, 도 3(B)에 n채널형의 트랜지스터(12)의 $Id-V_{ds}$ 특성의 모식도를 각각 도시한다. 도 3(A) 및 도 3(B)은 종축에 트랜지스터(11) 및 트랜지스터(12)에 흐르는 전류 Id 를 취하고, 횡축에 트랜지스터(11) 또는 트랜지스터(12) 각각에서의 드레인-소스 간의 전위차 V_{ds} 를 취하고 있다.

[0045] 또, 도 3(A)에 도시하는 점선(11a)은 전위차 V_{gs} 가 $-H(V)$ 인 트랜지스터 특성을 나타내고, 점선(11b)은 전위차 V_{gs} 가 $-4H/5(V)$ 인 트랜지스터 특성을 나타내고, 점선(11c)은 전위차 V_{gs} 가 $-3H/5(V)$ 인 트랜지스터 특성을 나타내고, 점선(11d)은 전위차 V_{gs} 가 $-8H/15(V)$ 인 트랜지스터 특성을 나타내고, 점선(11e)은 전위차 V_{gs} 가 $-7H/15(V)$ 인 트랜지스터 특성을 나타내고, 점선(11f)은 전위차 V_{gs} 가 $-2H/5(V)$ 인 트랜지스터 특성을 나타내고, 점선(11g)은 전위차 V_{gs} 가 $-H/5(V)$ 인 트랜지스터 특성을 나타내고, 점선(11h)은 전위차 V_{gs} 가 $0V$ 의 트랜지스터 특성을 나타낸다.

[0046] 또, 도 3(B)에 도시하는 실선(12a)은 전위차 V_{gs} 가 $H(V)$ 인 트랜지스터 특성을 나타내고, 실선(12b)은 전위차 V_{gs} 가 $4H/5(V)$ 인 트랜지스터 특성을 나타내고, 실선(12c)은 전위차 V_{gs} 가 $3H/5(V)$ 인 트랜지스터 특성을 나타내고, 실선(12d)은 전위차 V_{gs} 가 $8H/15(V)$ 인 트랜지스터 특성을 나타내고, 실선(12e)은 전위차 V_{gs} 가 $7H/15(V)$ 의 트랜지스터 특성을 나타내고, 실선(12f)은 전위차 V_{gs} 가 $2H/5(V)$ 인 트랜지스터 특성을 나타내고, 실선(12g)은 전위차 V_{gs} 가 $H/5(V)$ 인 트랜지스터 특성을 나타내고, 실선(12h)은 전위차 V_{gs} 가 $0V$ 인 트랜지스터 특성을 나타낸다.

[0047] 여기에서, 트랜지스터(11)의 전위차 V_{gs} 및 전위차 V_{ds} 를 각각, 전위차 V_{gsp} , 전위차 V_{dsp} 로 하고, 트랜지스터(12)의 전위차 V_{gs} 및 전위차 V_{ds} 를 각각, 전위차 V_{gsn} , 전위차 V_{dsn} 으로 한다. 전위차 V_{gsp} , 전위차 V_{dsp} , 전위차 V_{gsn} 및 전위차 V_{dsn} 는 도 2(A)에 도시하는 CMOS 인버터 회로(10)의 입력 단자 IN 의 전위 V_{in} 과 출력 단자 OUT 의 전위 V_{out} 와 단자 VH 의 전위 H 를 이용하여, $V_{gsn}=V_{in}$ (1), $V_{gsp}=V_{in}-H$ (2), $V_{dsn}=V_{out}$ (3), $V_{dsp}=V_{out}-H$ (4)와 같이 나타낼 수 있다. 또한, 단자 VL 의 전위는 $0V$ 로 한다.

[0048] 식(1), 식(2)에 의해, V_{gsn} 및 V_{gsp} 는 V_{in} 으로 나타낼 수 있으므로, CMOS 인버터 회로(10)에서, 예를 들면 $V_{in}=H(V)$ 일 때, 트랜지스터(11)는 점선(11h)의 특성을 나타내고, 트랜지스터(12)는 실선(12a)의 특성을 나타낸다. 또, 식(3), 식(4)에 의해 V_{dsn} 및 V_{dsp} 는 V_{out} 로 나타낼 수가 있으므로, CMOS 인버터 회로(10)에서, 도 3(A) 및 도 3(B)의 모식도를 횡축을 V_{out} 로서 도 4와 같이 중첩하여 표시할 수 있다.

[0049] 도 4(A) 내지 도 4(H)에, $V_{in}=H(V)$, $4H/5(V)$, $3H/5(V)$, $8H/15(V)$, $7H/15(V)$, $2H/5(V)$, $H/5(V)$, $0(V)$ 의, CMOS 인버터 회로(10)에서의 트랜지스터(11) 및 트랜지스터(12)의 $Id-V_{ds}$ 특성의 모식도를 도시한다. 도 4(A) 내지 도 4(H)는 종축에 트랜지스터(11) 및 트랜지스터(12)에 흐르는 전류 Id 를 취하고, 횡축에 출력 단자의 전위 V_{out} 를 취하고 있다.

[0050] 위에서 설명한 바와 같이, $V_{in}=H(V)$ 에서는, $V_{gsp}=0V$, $V_{gsn}=H(V)$ 가 되므로, 도 4(A)에는, 트랜지스터(11) 및 트랜지스터(12)의 트랜지스터 특성으로서 점선(11h) 및 실선(12a)이 도시된다. 여기에서, CMOS 인버터 회로(10)에서, 트랜지스터(11)와 트랜지스터(12)의 전류 Id 및 전위 V_{out} 는 동일하기 때문에, 점선(11h)과 실선(12a)의 교점(13a)으로부터 $V_{in}=H(V)$ 에서의 Id 및 V_{out} 를 구할 수 있다.

- [0051] 도 4(B)에서는, $V_{in}=4H/5(V)$ 이므로, 점선(11g) 및 실선(12b)이 나타나 그 교점(13b)으로부터 $V_{in}=4H/5(V)$ 에서의 I_d 및 V_{out} 를 구할 수 있다. 이하와 마찬가지로, 도 4(C)의 교점(13c), 도 4(D)의 교점(13d), 도 4(E)의 교점(13e), 도 4(F)의 교점(13f), 도 4(G)의 교점(13g) 및 도 4(H)의 교점(13h)으로부터, 각각의 V_{in} 에 대응하는 I_d 및 V_{out} 를 구할 수 있다.
- [0052] 도 5(A)에 도 4(A) 내지 도 4(H)에 도시하는 교점(13a 내지 13h)을 플롯하고, 매끄러운 곡선으로 이은 모식도를 도시한다. 또한, 도 5(A)에 도시하는 교점(13a 내지 13h)은 각각 대응하는 V_{in} 의 값을 가지므로, 횡축을 입력 단자의 전위 V_{in} 로서 플롯하면, 도 5(B)에 도시하는 모식도와 같이 된다.
- [0053] 도 5(B)에 도시하는 모식도에 의해, CMOS 인버터 회로(10)에서 입력 단자 IN에 입력하는 전위에 대응하는 전류 I_d 를 알 수 있다. 도 5(B)로 부터, CMOS 인버터 회로(10)에 있어서, 입력 단자의 전위 V_{in} 를 0(V)과 H(V)의 사이에서 변화시킬 때, 전류 I_d 가 흐른다, 바꾸어 말하면, 단자 VH와 단자 VL이 단락되어 관통 전류가 생기는 것을 알 수 있다.
- [0054] 여기에서, 트랜지스터(11) 및 트랜지스터(12)는 모두 온 상태 또는 오프 상태에서도 전류가 비교적 큰 상태(이하, 이러한 상태를 도통 상태라고도 함)로 되어 있다. 이와 같이 트랜지스터(11)와 트랜지스터(12) 모두가 도통 상태가 되면, 고전위 H가 부여된 단자 VH와 저전위 L이 부여된 단자 VL은 단락되므로 관통 전류가 생기게 된다.
- [0055] 특히 전위 V_{in} 가 트랜지스터(12)의 문턱 전압 이상, 트랜지스터(11)의 문턱 전압에 H(V)를 더한 전압 이하일 때, 예를 들면, 전위 V_{in} 가 $H/2(V)$ 근방에서는, 트랜지스터(11), 트랜지스터(12)와 함께 흐르는 전류 I_d 가 크기 때문에, 발생하는 관통 전류도 커진다.
- [0056] 그러므로 본 실시형태에 나타내는 반도체 장치에서는, 도 1(A)에 도시하는 바와 같이 CMOS 인버터 회로(100)에 더하여 트랜지스터(106)를 형성하고, 트랜지스터(101)와 트랜지스터(102) 모두가 상기와 같은 도통 상태일 때에 트랜지스터(106)를 오프 상태로 함으로써, 관통 전류의 억제를 도모한다. 예를 들면, 전위 V_{in} 이 저전위 전원선이 가지는 저전위 L 이상, 고전위 전원선이 가지는 고전위 H 이하일 때에 트랜지스터(106)를 오프 상태로 하면 좋다. 특히 전위 V_{in} 가 저전위 L과 고전위 H의 평균값 근방을 취할 때, 트랜지스터(106)를 오프 상태로 함으로써, 관통 전류를 효과적으로 억제할 수 있다.
- [0057] 상기한 바와 같이, 트랜지스터(106)으로서 예를 들면 산화물 반도체를 이용한 트랜지스터와 같이 오프 전류가 매우 낮은 트랜지스터를 이용함으로써, 효과적으로 관통 전류를 억제할 수 있다.
- [0058] 여기에서, 도 1(A)에 도시하는 반도체 장치의 동작에 대하여 도 1(B)에 도시하는 타이밍 차트도를 이용하여 설명한다. 도 1(B)에 도시하는 타이밍 차트는 기간 T1, 과도 기간 T12, 기간 T2, 과도 기간 T23 및 기간 T3에서의, 입력 단자 IN, 출력 단자 OUT, 제어 단자 IN_S의 전위와 트랜지스터(101) 및 트랜지스터(102)의 온/오프 상태를 나타내고 있다. 여기에서, 기간 T1은 고전위 H가 입력되는 기간, 과도 기간 T12는 입력 단자 IN의 전위가 고전위 H로부터 저전위 L로 변화하는 기간, 기간 T2는 저전위 L이 입력되는 기간, 과도 기간 T23는 입력 단자 IN의 전위가 저전위 L에서 고전위 H로 변화하는 기간, 기간 T3은 고전위 H가 입력되는 기간이 된다. 또한, 타이밍 차트의 옆에 기재된 부호는, 입력 단자 IN, 출력 단자 OUT, 제어 단자 IN_S, 트랜지스터(101) 및 트랜지스터(102)에 대응하고 있다. 또, 트랜지스터(101) 및 트랜지스터(102)의 타이밍 차트는 트랜지스터가 온 상태의 기간에는 ON의 부호를, 오프 상태의 기간에는 OFF의 부호를, 온 상태와 오프 상태가 포함되는 기간에는 ON/OFF의 부호를 기재한다.
- [0059] 기간 T1에 있어서는, 입력 단자 IN 및 제어 단자 IN_S에 고전위 H를 입력하여, 트랜지스터(101)를 오프 상태, 트랜지스터(102)를 온 상태, 트랜지스터(106)를 온 상태로 한다. 이에 따라, 출력 단자 OUT로부터 저전위 L이 출력된다.
- [0060] 다음으로 과도 기간 T12에서는, 입력 단자 IN의 전위가 고전위 H로부터 저전위 L로 변화하고, 트랜지스터(101)는 오프 상태로부터 온 상태로, 트랜지스터(102)는 온 상태로부터 오프 상태로 변화한다. 이에 따라, 출력 단자 OUT의 전위도 저전위 L에서 고전위 H로 변화한다. 이 때, 제어 단자 IN_S에 저전위 L을 입력하여, 트랜지스터(106)를 오프 상태로 한다.
- [0061] 상기하는 바와 같이 과도 기간 T12에는, 트랜지스터(101) 및 트랜지스터(102)가 모두 도통 상태로 되어 있는 기간이 포함된다. 따라서, 본 실시형태에 나타내는 반도체 장치에서는, 과도 기간 T12에 있어서 트랜지스터(106)를 오프 상태로 함으로써, 관통 전류의 억제를 도모한다. 도 1(B)에 도시하는 타이밍 차트에 있어서는, 과도

기간 T12에서 트랜지스터(106)를 충분히 오프 상태로 하기 위해, 과도 기간 T12가 되기 전에 제어 단자 IN_S의 전위를 고전위 H로부터 감소시키고, 과도 기간 T12 개시시에는 제어 단자 IN_S의 전위가 저전위 L이 되도록 하고 있다. 또, 과도 기간 T12가 끝나고 나서 제어 단자 IN_S의 전위를 저전위 L로부터 증가시키고, 기간 T2가 되고 나서 제어 단자 IN_S의 전위가 고전위 H가 되도록 하고 있다. 이와 같이 하여, 입력 단자 IN의 전위가 고전위 전원선이 가지는 고전위 H에서 저전위 전원선이 가지는 저전위 L로 변화할 때에 트랜지스터(106)를 오프 상태로 할 수 있다.

[0062] 과도 기간 T12에서, 트랜지스터(106)를 오프 상태로 하는 타이밍은 상기에 한정되는 것은 아니다. 예를 들면, 입력 단자 IN의 전위가 트랜지스터(101)의 문턱 전압에 H(V)를 더한 전위 이하, 또 트랜지스터(102)의 문턱 전압 이상이 될 때 트랜지스터(106)를 오프 상태로 해도 좋다. 또, 입력 단자 IN의 전위가, 트랜지스터(101)를 약반전 영역으로 하는 전위 이하, 또 트랜지스터(102)를 약반전 영역으로 하는 전위 이상이 될 때 트랜지스터(106)를 오프 상태로 해도 좋다. 또, 입력 단자 IN의 전위가 저전위 L과 고전위 H의 평균값 근방을 취할 때, 트랜지스터(106)를 오프 상태로 해도 좋다. 이와 같이 비교적 관통 전류가 크게 되어 있을 때, 트랜지스터(106)를 오프 상태로 하는 것에 의해 관통 전류를 효과적으로 억제할 수 있다.

[0063] 기간 T2에서는, 입력 단자 IN에 저전위 L을 입력하여, 트랜지스터(101)를 온 상태, 트랜지스터(102)를 오프 상태로 한다. 이에 따라, 출력 단자 OUT로부터 고전위 H가 출력된다. 또한, 도 1(B)에 도시하는 타이밍 차트에서는, 기간 T2에서 제어 단자 IN_S에 고전위 H를 입력하여 트랜지스터(106)를 온 상태로 하고 있지만, 이것에 한정되지 않고, 기간 T2에서 트랜지스터(106)를 오프 상태로 해도 좋다. 즉, 트랜지스터(102)를 오프 상태로 하는데 맞추어 트랜지스터(106)를 오프 상태로 해도 좋다.

[0064] 과도 기간 T23에서는 입력 단자 IN의 전위가 저전위 L에서 고전위 H로 변화하고, 트랜지스터(101)는 온 상태에서 오프 상태로, 트랜지스터(102)는 오프 상태에서 온 상태로 변화한다. 이 때, 제어 단자 IN_S에 저전위 L을 입력하여, 트랜지스터(106)를 오프 상태로 한다. 이에 따라, 제 2 과도 기간 T23 동안은 저전위 전원선 L과 출력 단자 OUT가 차단되므로, 출력 단자 OUT의 전위는 고전위 H로 유지된다.

[0065] 과도 기간 T12와 마찬가지로 과도 기간 T23에는, 트랜지스터(101) 및 트랜지스터(102)가 모두 도통 상태로 되어 있는 기간이 포함된다. 따라서, 본 실시형태에 나타내는 반도체 장치에서는, 과도 기간 T23에서 트랜지스터(106)를 오프 상태로 함으로써, 관통 전류의 억제를 도모한다. 도 1(B)에 도시하는 타이밍 차트에서는 과도 기간 T23에서 트랜지스터(106)를 충분히 오프 상태로 하기 위해, 과도 기간 T23이 되기 전에 제어 단자 IN_S의 전위를 고전위 H로부터 감소시키고, 과도 기간 T23 개시시에는 제어 단자 IN_S의 전위가 저전위 L이 되도록 하고 있다. 또, 과도 기간 T23이 끝나고 나서 제어 단자 IN_S의 전위를 저전위 L로부터 증가시키고, 기간 T3이 되고 나서 제어 단자 IN_S의 전위가 고전위 H가 되도록 하고 있다. 이와 같이 하여, 입력 단자 IN의 전위가 저전위 전원선이 가지는 저전위 L에서 고전위 전원선이 가지는 고전위 H로 변화할 때에 트랜지스터(106)를 오프 상태로 할 수 있다.

[0066] 과도 기간 T23에서, 트랜지스터(106)를 오프 상태로 하는 타이밍은 상기에 한정되는 것은 아니다. 예를 들면, 입력 단자 IN의 전위가, 트랜지스터(101)의 문턱 전압에 H(V)를 더한 전위 이하, 또 트랜지스터(102)의 문턱 전압 이상이 될 때 트랜지스터(106)를 오프 상태로 해도 좋다. 또, 입력 단자 IN의 전위가, 트랜지스터(101)를 약반전 영역으로 하는 전위 이하, 또 트랜지스터(102)를 약반전 영역으로 하는 전위 이상이 될 때 트랜지스터(106)를 오프 상태로 해도 좋다. 또, 입력 단자 IN의 전위가 저전위 L과 고전위 H의 평균값 근방을 취할 때, 트랜지스터(106)를 오프 상태로 해도 좋다. 이와 같이 비교적 관통 전류가 크게 되어 있을 때, 트랜지스터(106)를 오프 상태로 하는 것에 의해 관통 전류를 효과적으로 억제할 수 있다.

[0067] 기간 T3에 있어서는, 입력 단자 IN 및 제어 단자 IN_S에 고전위 H를 입력하여, 트랜지스터(101)를 오프 상태, 트랜지스터(102)를 온 상태, 트랜지스터(106)를 온 상태로 한다. 이에 따라, 출력 단자 OUT로부터 저전위 L이 출력된다. 여기에서, 출력 단자 OUT의 전위는 트랜지스터(106)가 온 상태가 되는데 맞추어 감소하기 시작하므로, 입력 단자 IN의 전위를 고전위 H로 하고 나서 출력 단자 OUT의 전위가 저전위 L로 안정될 때까지 시간차가 생긴다.

[0068] 이상과 같이, 트랜지스터(106)를 형성하고, 트랜지스터(101) 및 트랜지스터(102)가 도통 상태일 때에, 트랜지스터(106)를 오프 상태로 함으로써, CMOS 인버터 회로(100)의 논리의 반전시에 발생하는 관통 전류를 억제할 수 있다. 이에 따라, 본 실시형태에 나타내는 반도체 장치의 동작시의 소비 전력의 저감을 도모할 수 있다.

[0069] 또, 본 발명에 관한 반도체 장치는, 도 1(A)에 도시하는 구조에 한정되는 것은 아니다. 이하에, 도 6(A) 내지

도 6(C)을 이용하여 도 1(A)에 도시하는 반도체 장치와는 다른 구조의 반도체 장치에 대하여 설명한다. 또한, 도 6(A) 내지 도 6(C)에 도시하는 반도체 장치는, 도 1(A)에 도시하는 반도체 장치와 마찬가지로, CMOS 인버터 회로로서 기능하는 것이다. 따라서, CMOS 인버터 회로(100), 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(106)에 대하여 같은 부호를 이용하는 것으로 한다.

[0070] 도 6(A)에 도시하는 반도체 장치에 있어서, 트랜지스터(106)는 소스 단자 또는 드레인 단자의 한쪽이 고전위 전원선과 전기적으로 접속되고, 소스 단자 또는 드레인 단자의 다른 한쪽이 트랜지스터(101)의 소스 단자와 전기적으로 접속된다. 또, 트랜지스터(101)는, 게이트 단자가 트랜지스터(102)의 게이트 단자와 전기적으로 접속되고, 드레인 단자가 트랜지스터(102)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(102)는 소스 단자가 저전위 전원선과 전기적으로 접속된다.

[0071] 즉, 도 6(A)에 도시하는 반도체 장치는, 트랜지스터(106)가 고전위 전원선과 트랜지스터(101) 사이에 형성되어 있다는 점에서 도 1(A)에 도시하는 반도체 장치와 다르다. 다른 구성에 대해서는, 도 1(A)에 도시하는 반도체 장치의 기재를 참작할 수 있다.

[0072] 도 6(B)에 도시하는 반도체 장치에 있어서, 트랜지스터(101)는 게이트 단자가 트랜지스터(102)의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선과 전기적으로 접속되고, 드레인 단자가 트랜지스터(106)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속된다. 또, 트랜지스터(102)는 소스 단자가 저전위 전원선과 전기적으로 접속되고, 드레인 단자가 트랜지스터(106)의 소스 단자 또는 드레인 단자의 다른 한쪽과 전기적으로 접속된다. 또한, 도 6(B)에 도시하는 반도체 장치에서는, 트랜지스터(101)의 드레인 단자와 트랜지스터(106)의 소스 단자 또는 드레인 단자의 한쪽이 출력 단자 OUT로서 기능한다.

[0073] 즉, 도 6(B)에 도시하는 반도체 장치는, 트랜지스터(106)가 트랜지스터(101)와 트랜지스터(102) 사이에 형성되어 있다는 점에서, 도 1(A)에 도시하는 반도체 장치와 다르다. 다른 구성에 대해서는, 도 1(A)에 도시하는 반도체 장치의 기재를 참작할 수 있다.

[0074] 또, 도 6(C)에 도시하는 반도체 장치는 트랜지스터(106)의 소스 단자 또는 드레인 단자의 다른 한쪽과 트랜지스터(102)의 드레인 단자가 출력 단자 OUT로서 기능한다는 점에서 도 6(B)에 도시하는 반도체 장치와 다르다. 다른 구성에 대해서는, 도 6(B)에 도시하는 반도체 장치의 기재를 참작할 수 있다.

[0075] 도 1(A) 및 도 6(A) 내지 도 6(C)을 이용하여 나타낸 것처럼, 트랜지스터(106)는, 고전위 전원선과 저전위 전원선과의 사이에서 트랜지스터(101) 및 트랜지스터(102)와 직렬이 되도록 소스 단자와 드레인 단자가 접속되면 좋다. 이와 같이, 트랜지스터(106)를 형성하고, 트랜지스터(101) 및 트랜지스터(102)가 도통 상태일 때에, 트랜지스터(106)를 오프 상태로 함으로써, CMOS 인버터 회로(100)의 논리의 반전시에 발생하는 관통 전류를 억제할 수 있다.

[0076] 또, 상기에서 CMOS 인버터 회로를 형성하는 반도체 장치에 대하여 설명해 왔지만, 본 발명에 관한 반도체 장치는 이에 한정되는 것은 아니다. 이하에, 도 7 및 도 8을 이용하여 CMOS 인버터 회로와는 다른 CMOS 회로를 이용한 반도체 장치에 대하여 설명한다.

[0077] 도 7(A) 및 도 7(B)에 NOR 회로로서 기능하는 반도체 장치의 예를 도시한다. 도 7(A)에 도시하는 반도체 장치는 p채널형의 트랜지스터(121a), p채널형의 트랜지스터(121b), n채널형의 트랜지스터(122a) 및 n채널형의 트랜지스터(122b)를 포함하는 NOR 회로(120)와, 오프 전류가 매우 낮은 트랜지스터(126a) 및 트랜지스터(126b)를 가진다. 또, 고전위 H가 부여된 고전위 전원선 VH, 및 예를 들면 접지 전위(GND) 등의 저전위 L이 부여된 저전위 전원선 VL이 형성되어 있다.

[0078] 여기에서, 트랜지스터(121a) 및 트랜지스터(121b)는 트랜지스터(101)에, 트랜지스터(122a) 및 트랜지스터(122b)는 트랜지스터(102)에, 트랜지스터(126a) 및 트랜지스터(126b)는 트랜지스터(106)에 대응하여 각각 같은 구성으로 할 수 있다.

[0079] 구체적으로 트랜지스터(121b)는 게이트 단자가 트랜지스터(122b)의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선 VH와 전기적으로 접속되고, 드레인 단자가 트랜지스터(121a)의 소스 단자와 전기적으로 접속된다. 또, 트랜지스터(121a)는 게이트 단자가 트랜지스터(122a)의 게이트 단자와 전기적으로 접속되고, 드레인 단자가 트랜지스터(122a)의 드레인 단자 및 트랜지스터(122b)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(122a)는 소스 단자가 트랜지스터(126a)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속된다. 또, 트랜지스터(122b)는 소스 단자가 트랜지스터(126b)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속된다. 또, 트랜지스터(126a)는 게이트 단자가 트랜지스터(126b)의 게이트 단자와 전기적으로 접속되고,

소스 단자 또는 드레인 단자의 다른 한쪽이 저전위 전원선 VL과 전기적으로 접속된다. 또, 트랜지스터(126b)는 소스 단자 또는 드레인 단자의 다른 한쪽이 저전위 전원선 VL과 전기적으로 접속된다.

[0080] 여기에서, 트랜지스터(121a)의 게이트 단자 및 트랜지스터(122a)의 게이트 단자는 NOR 회로(120)의 입력 단자 IN_A로서 기능한다. 또, 트랜지스터(121b)의 게이트 단자 및 트랜지스터(122b)의 게이트 단자는 NOR 회로(120)의 입력 단자 IN_B로서 기능한다. 또, 트랜지스터(121a)의 드레인 단자, 트랜지스터(122a)의 드레인 단자 및 트랜지스터(122b)의 드레인 단자는 NOR 회로(120)의 출력 단자 OUT로서 기능한다. 또, 트랜지스터(126a)의 게이트 단자 및 트랜지스터(126b)의 게이트 단자는, 제어 단자 IN_S로서 기능한다.

[0081] 이와 같이, NOR 회로(120)와 저전위 전원선 VL 사이에 트랜지스터(126a) 및 트랜지스터(126b)를 형성하는 것에 의해, 동작시의 소비 전력 저감을 도모할 수 있다. 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122a)가 도통 상태가 되었을 때에, 트랜지스터(126a)를 오프 상태로 함으로써, 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122a)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다. 또, 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122b)가 도통 상태가 되었을 때에, 트랜지스터(126b)를 오프 상태로 함으로써, 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122b)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다.

[0082] 도 7(B)에, 도 7(A)에 도시하는 구조와는 다른 구조의 NOR 회로로서 기능하는 반도체 장치의 예를 도시한다. 도 7(B)에 도시하는 반도체 장치에서는, 도 7(A)에 도시하는 반도체 장치에서 이용한 트랜지스터(126a) 및 트랜지스터(126b)에 대하여 하나의 트랜지스터(126)를 이용하고 있다.

[0083] 또, 도 7(B)에 도시하는 반도체 장치에서는, 트랜지스터(126)는 소스 단자 또는 드레인 단자의 한쪽이 고전위 전원선 VH와 전기적으로 접속되고, 소스 단자 또는 드레인 단자의 다른 한쪽이 트랜지스터(121b)의 소스 단자와 전기적으로 접속된다. 또, 트랜지스터(121b)는 게이트 단자가 트랜지스터(122b)의 게이트 단자와 전기적으로 접속되고, 드레인 단자가 트랜지스터(121a)의 소스 단자와 전기적으로 접속된다. 또, 트랜지스터(121a)는 게이트 단자가 트랜지스터(122a)의 게이트 단자와 전기적으로 접속되고, 드레인 단자가 트랜지스터(122a)의 드레인 단자 및 트랜지스터(122b)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(122a)는 소스 단자가 저전위 전원선 VL과 전기적으로 접속된다. 또, 트랜지스터(122b)는 소스 단자가 저전위 전원선 VL과 전기적으로 접속된다.

[0084] 즉, 도 7(B)에 도시하는 반도체 장치는 트랜지스터(126)가 고전위 전원선 VH와 트랜지스터(121b) 사이에 형성되어 있다는 점에서 도 7(A)에 도시하는 반도체 장치와 다르다. 다른 구성에 대해서는, 도 7(A)에 도시하는 반도체 장치의 기재를 참조할 수 있다.

[0085] 이와 같이, NOR 회로(120)와 고전위 전원선 VH 사이에 트랜지스터(126)를 형성하는 것에 의해, 동작시의 소비 전력 저감을 도모할 수 있다. 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여, 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122a)가 도통 상태가 되었을 때에, 트랜지스터(126)를 오프 상태로 하는 것에 의해, 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122a)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다. 또, 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122b)가 도통 상태가 되었을 때에, 트랜지스터(126)를 오프 상태로 하는 것에 의해, 트랜지스터(121b), 트랜지스터(121a) 및 트랜지스터(122b)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다.

[0086] 도 8(A) 및 도 8(B)에, NAND 회로로서 기능하는 반도체 장치의 예를 도시한다. 도 8(A)에 도시하는 반도체 장치는, p채널형의 트랜지스터(131a), p채널형의 트랜지스터(131b), n채널형의 트랜지스터(132a) 및 n채널형의 트랜지스터(132b)를 포함하는 NAND 회로(130)와 오프 전류가 매우 낮은 트랜지스터(136)를 가진다. 또, 고전위 H가 부여된 고전위 전원선 VH, 및 예를 들어 접지 전위(GND) 등의 저전위 L이 부여된 저전위 전원선 VL이 형성되어 있다.

[0087] 여기에서, 트랜지스터(131a) 및 트랜지스터(131b)는 트랜지스터(101)에, 트랜지스터(132a) 및 트랜지스터(132b)는 트랜지스터(102)에, 트랜지스터(136a) 및 트랜지스터(136b)는 트랜지스터(106)에 대응하여, 각각 같은 구성으로 할 수 있다.

[0088] 구체적으로 트랜지스터(131a)는 게이트 단자가 트랜지스터(132a)의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선 VH와 전기적으로 접속되고, 드레인 단자가 트랜지스터(132a)의 드레인 단자 및 트랜지스

터(131b)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(131b)는 게이트 단자가 트랜지스터(132b)의 게이트 단자와 전기적으로 접속되고, 소스 단자가 고전위 전원선 VH와 전기적으로 접속된다. 또, 트랜지스터(132a)는 소스 단자가 트랜지스터(132b)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(132b)는 소스 단자가 트랜지스터(136)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속된다. 또, 트랜지스터(136)는 소스 단자 또는 드레인 단자의 한쪽이 저전위 전원선 VL과 전기적으로 접속된다.

[0089] 여기에서 트랜지스터(131a)의 게이트 단자 및 트랜지스터(132a)의 게이트 단자는 NAND 회로(130)의 입력 단자 IN_A로서 기능한다. 또, 트랜지스터(131b)의 게이트 단자 및 트랜지스터(132b)의 게이트 단자는 NAND 회로(130)의 입력 단자 IN_B로서 기능한다. 또, 트랜지스터(131a)의 드레인 단자, 트랜지스터(131b)의 드레인 단자 및 트랜지스터(132a)의 드레인 단자는 NAND 회로(130)의 출력 단자 OUT로서 기능한다. 또, 트랜지스터(136)의 게이트 단자는 제어 단자 IN_S로서 기능한다.

[0090] 이와 같이, NAND 회로(130)와 저전위 전원선 VL 사이에 트랜지스터(136)를 형성하는 것에 의해, 동작시의 소비 전력 저감을 도모할 수 있다. 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여, 트랜지스터(131a), 트랜지스터(132a) 및 트랜지스터(132b)가 도통 상태가 되었을 때에, 트랜지스터(136)를 오프 상태로 하는 것에 의해, 트랜지스터(131a), 트랜지스터(132a) 및 트랜지스터(132b)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다. 또, 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여 트랜지스터(131b), 트랜지스터(132a) 및 트랜지스터(132b)가 도통 상태가 되었을 때에, 트랜지스터(136)를 오프 상태로 하는 것에 의해, 트랜지스터(131b), 트랜지스터(132a) 및 트랜지스터(132b)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다.

[0091] 도 8(B)에, 도 8(A)에 도시하는 구조와는 다른 구조의 NAND 회로로서 기능하는 반도체 장치의 예를 도시한다. 도 8(B)에 도시하는 반도체 장치에서는, 도 8(A)에 도시하는 반도체 장치에서 이용한 트랜지스터(136)에 대하여 2개의 트랜지스터(136a) 및 트랜지스터(136b)를 이용하고 있다.

[0092] 또, 도 8(B)에 도시하는 반도체 장치에서는, 트랜지스터(136a)는 게이트 단자가 트랜지스터(136b)의 게이트 단자와 전기적으로 접속되고, 소스 단자 또는 드레인 단자의 한쪽이 고전위 전원선 VH와 전기적으로 접속되고, 소스 단자 또는 드레인 단자의 다른 한쪽이 트랜지스터(131a)의 소스 단자와 전기적으로 접속된다. 또, 트랜지스터(136b)는 소스 단자 또는 드레인 단자의 한쪽이 고전위 전원선 VH와 전기적으로 접속되고, 소스 단자 또는 드레인 단자의 다른 한쪽이 트랜지스터(131b)의 소스 단자와 전기적으로 접속된다. 또, 트랜지스터(131a)는 게이트 단자가 트랜지스터(132a)의 게이트 단자와 전기적으로 접속되고, 드레인 단자가 트랜지스터(132a)의 드레인 단자 및 트랜지스터(131b)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(131b)는 게이트 단자가 트랜지스터(132b)의 게이트 단자와 전기적으로 접속된다. 또, 트랜지스터(132a)는 소스 단자가 트랜지스터(132b)의 드레인 단자와 전기적으로 접속된다. 또, 트랜지스터(132b)는 소스 단자가 저전위 전원선 VL과 전기적으로 접속된다.

[0093] 즉, 도 8(B)에 도시하는 반도체 장치는, 트랜지스터(136a) 및 트랜지스터(136b)가 고전위 전원선 VH와 트랜지스터(131a) 및 트랜지스터(131b) 사이에 형성되어 있다는 점에서 도 8(A)에 도시하는 반도체 장치와 다르다. 다른 구성에 대해서는, 도 8(A)에 도시하는 반도체 장치의 기재를 참작할 수 있다.

[0094] 이와 같이, NAND 회로(130)와 고전위 전원선 VH 사이에 트랜지스터(136a) 및 트랜지스터(136b)를 형성하는 것에 의해, 동작시의 소비 전력 저감을 도모할 수 있다. 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여, 트랜지스터(131a), 트랜지스터(132a) 및 트랜지스터(132b)가 도통 상태가 되었을 때에, 트랜지스터(136a)를 오프 상태로 하는 것에 의해, 트랜지스터(131a), 트랜지스터(132a) 및 트랜지스터(132b)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다. 또, 입력 단자 IN_A 또는 입력 단자 IN_B에 입력되는 전위가 반전하여, 트랜지스터(131b), 트랜지스터(132a) 및 트랜지스터(132b)가 도통 상태가 되었을 때에, 트랜지스터(136b)를 오프 상태로 하는 것에 의해, 트랜지스터(131b), 트랜지스터(132a) 및 트랜지스터(132b)를 통하여 관통 전류가 발생하는 것을 억제할 수 있다.

[0095] 또, 상기에 나타낸 바와 같이, 인버터 회로, NOR 회로 및 NAND 회로에 있어서, 관통 전류를 억제할 수가 있으므로, 플립 플롭, 분주 회로, 링 오실레이터 등 여러가지 논리 회로에 있어서, 관통 전류의 발생을 억제할 수 있다.

[0096] 도 9(A)에 플립 플롭의 예로서 D 플립 플롭을 도시한다. 도 9(A)에 도시하는 D 플립 플롭(140)은 단자 D에 입력 신호가 입력되고, 단자 CLK에 클록 신호가 입력된다. 또, 단자 Q로부터 제 1 출력 신호가 출력되고, 단자

Qb로부터 제 2 출력 신호가 출력된다.

[0097] 도 9(B)에 D 플립 플롭(140)의 구체적인 회로 구성의 일례를 도시한다. D 플립 플롭(140)은 NAND 회로(141) 내지 NAND 회로(144)를 포함한다. NAND 회로(141)는 제 1 입력 단자가 D 플립 플롭(140)의 단자 D로서 기능하고, 제 2 입력 단자가 NAND 회로(142)의 제 2 입력 단자와 전기적으로 접속되고, 출력 단자가 NAND 회로(143)의 제 1 입력 단자 및 NAND 회로(142)의 제 1 입력 단자와 전기적으로 접속된다. NAND 회로(142)는 제 2 입력 단자가 D 플립 플롭(140)의 단자 CLK로서 기능하고, 출력 단자가 NAND 회로(144)의 제 2 입력 단자와 전기적으로 접속된다. NAND 회로(143)는 제 2 입력 단자가 NAND 회로(144)의 출력 단자와 전기적으로 접속되고, 출력 단자가 D 플립 플롭(140)의 단자 Q로서 기능한다. NAND 회로(144)는, 제 1 입력 단자가 NAND 회로(143)의 출력 단자와 전기적으로 접속되고, 출력 단자가 D 플립 플롭(140)의 단자 Qb로서 기능한다.

[0098] 여기에서, NAND 회로(141) 내지 NAND 회로(144)로서, 도 8(A) 또는 도 8(B)에 도시하는 NAND 회로로서 기능하는 반도체 장치 등을 이용함으로써, NAND 회로(141) 내지 NAND 회로(144)에서 관통 전류의 발생을 억제할 수 있다. 이에 따라, D 플립 플롭(140)에서 관통 전류의 발생을 억제하여, 동작시의 저소비 전력화를 도모할 수 있다. 또한, D 플립 플롭(140)에 포함되는 NAND 회로는, 적어도 일부가 관통 전류를 억제할 수 있는 구성으로 되어 있으면 좋다.

[0099] 또한, 본 실시형태에 있어서는, 플립 플롭으로서 D 플립 플롭을 형성하는 예를 나타냈지만, 이것에 한정되지 않고, RS 플립 플롭, JK 플립 플롭, T 플립 플롭 등 여러가지 플립 플롭에서 본 실시형태에 나타내는 구성을 이용하는 것에 의해, 관통 전류의 억제를 도모할 수 있다.

[0100] 또, 도 9(C)에 본 실시형태에 나타내는構성을 이용하여 형성되는 분주 회로의 일례를 도시한다. 도 9(C)에 도시하는 분주 회로는 D 플립 플롭(140a) 내지 D 플립 플롭(140c)을 가진다. D 플립 플롭(140a) 내지 D 플립 플롭(140c)은 도 9(A)에 도시하는 D 플립 플롭(140)과 같은 구성으로 한다. D 플립 플롭(140a)은 단자 CLK가 분주 회로의 입력 단자로서 기능하고, 단자 Qb가 단자 D와 전기적으로 접속되어 있고, 단자 Q가 D 플립 플롭(140b)의 단자 CLK와 전기적으로 접속되어 있다. D 플립 플롭(140b)은 단자 Qb가 단자 D와 전기적으로 접속되어 있고, 단자 Q가 D 플립 플롭(140c)의 단자 CLK와 전기적으로 접속되어 있다. D 플립 플롭(140c)은 단자 Qb가 단자 D와 전기적으로 접속되어 있고, 단자 Q가 분주 회로의 출력 단자로서 기능한다.

[0101] 여기에서, D 플립 플롭(140a) 내지 D 플립 플롭(140c)으로서 상기의 관통 전류가 억제된 D 플립 플롭이 이용되고 있으므로, D 플립 플롭(140a) 내지 D 플립 플롭(140c)에서 관통 전류의 발생을 억제할 수 있다. 이것에 의해, 분주 회로에 있어서, 관통 전류의 발생을 억제하여 동작시의 저소비 전력화를 도모할 수 있다. 또한, 도 9(C)에 도시하는 분주 회로에서는 3개의 D 플립 플롭을 이용하고 있지만, 이것에 한정되지 않고, 출력하고자 하는 클록 신호의 주파수에 맞추어 D 플립 플롭의 개수를 적절히 설정하면 좋다.

[0102] 또, 도 9(D)에 본 실시형태에 나타내는構성을 이용하여 형성되는 링 오실레이터의 일례를 도시한다. 도 9(D)에 도시하는 링 오실레이터는 인버터(151) 내지 인버터(155)를 가진다. 인버터(151)의 출력 단자는 인버터(152)의 입력 단자와 전기적으로 접속되고, 인버터(152)의 출력 단자는 인버터(153)의 입력 단자와 전기적으로 접속되고, 인버터(153)의 출력 단자는 인버터(154)의 입력 단자와 전기적으로 접속되고, 인버터(154)의 출력 단자는 인버터(155)의 입력 단자와 전기적으로 접속되고, 인버터(155)의 출력 단자는 인버터(151)의 입력 단자와 전기적으로 접속된다.

[0103] 여기에서, 인버터(151) 내지 인버터(155)로서, 도 1(A) 또는 도 6(A) 내지 도 6(C)에 도시하는 CMOS 인버터 회로로서 기능하는 반도체 장치 등을 이용함으로써, 인버터(151) 내지 인버터(155)에서, 관통 전류의 발생을 억제할 수 있다. 이에 따라, 링 오실레이터에 있어서, 관통 전류의 발생을 억제하여, 동작시의 저소비 전력화를 도모할 수 있다. 또한, 도 9(D)에 도시하는 링 오실레이터에서는 5개의 인버터를 이용하고 있지만, 이것에 한정되지 않고, 출력하고자 하는 클록 신호의 주파수에 맞추어 인버터의 개수를 홀수로 하여 적절히 설정하면 좋다.

[0104] 또, 본 실시형태에 나타내는 관통 전류를 억제한 CMOS 회로의 구성은, 종래 관통 전류가 큰 CMOS 회로에 대신하여 이용하면 효과적이다. 이러한 구성에 대하여, 도 10에 나타내는 수정 발진 회로를 예로 들어 설명한다.

[0105] 도 10에 나타내는 수정 발진 회로는 공진부(160)와 증폭부(170)와 제어 회로(180)와 CMOS 인버터 회로(182)와 CMOS 인버터 회로(184)를 가진다. 공진부(160)는, 수정진동자(162)와 용량 소자(164)와 용량 소자(166)와 저항 소자(168)를 가진다. 증폭부(170)는 CMOS 인버터 회로(172)와 트랜지스터(176)와 저항 소자(178)를 가진다.

[0106] 여기에서, CMOS 인버터 회로(172), CMOS 인버터 회로(182) 및 CMOS 인버터 회로(184)는 도 1(A)에 도시하는 CMOS 인버터 회로(100)와 같은 구성이며, p채널형 트랜지스터의 소스 단자는 각각 고전위 전원선 Vdd에 전기적

으로 접속되어 있다. 또, CMOS 인버터 회로(172)에 전기적으로 접속된 트랜지스터(176)는, 도 1(A)에 도시하는 트랜지스터(106)으로 같은 구성이며, CMOS 인버터 회로(172)의 n채널형 트랜지스터의 소스 단자는 트랜지스터(176)를 통하여 접지되어 있다. 또, CMOS 인버터 회로(182) 및 CMOS 인버터 회로(184)의 n채널형 트랜지스터의 소스 단자도 접지 되어 있다.

[0107] 공진부(160)에서, 수정진동자(162)는 한쪽의 단자가 CMOS 인버터 회로(172)의 입력 단자, 저항 소자(178)의 한쪽의 단자 및 용량 소자(164)의 한쪽의 단자와 전기적으로 접속되고, 다른 한쪽의 단자가 용량 소자(166)의 한쪽의 단자 및 저항 소자(168)의 한쪽의 단자와 전기적으로 접속된다. 여기에서, 용량 소자(164) 및 용량 소자(166)의 다른 한쪽 단자는 각각 접지되어 있다.

[0108] 증폭부(170)에서, CMOS 인버터 회로(172)의 출력 단자는 CMOS 인버터 회로(182)의 입력 단자, 저항 소자(178)의 다른 한쪽의 단자 및 저항 소자(168)의 다른 한쪽의 단자와 전기적으로 접속되어 있다.

[0109] CMOS 인버터 회로(182)의 출력 단자는 CMOS 인버터 회로(184)의 입력 단자에 전기적으로 접속되고, CMOS 인버터 회로(184)의 출력 단자는 수정 발진 회로의 출력 단자로서 기능한다. 또, CMOS 인버터 회로(184)의 출력 단자는 제어 회로(180)에 전기적으로 접속되고, 제어 회로(180)를 통하여 트랜지스터(176)의 게이트 단자에 전기적으로 접속된다.

[0110] 증폭부(170)의 CMOS 인버터 회로(172)와 트랜지스터(176)는 도 1(A)에 도시하는 반도체 장치의 CMOS 인버터 회로(100)와 트랜지스터(106)에 대응한다. 도 1(A)에서, 제어 단자 IN_S에 입력되는 신호는 CMOS 인버터 회로(184)의 출력 단자의 전위로부터 제어 회로(180)에 의해 생성된다.

[0111] 종래의 수정 발진 회로의 소비 전력에 있어서, 증폭부에 이용되는 CMOS 인버터 회로의 관통 전류가 지배적이었다. 이에 대하여 증폭부(170)에 트랜지스터(176)를 형성하고, 도 1(B)에서 도시한 바와 같이, CMOS 인버터 회로(172)의 p채널형 트랜지스터와 n채널형 트랜지스터가 모두 도통할 때에, 트랜지스터(176)를 오프 상태로 하는 것에 의해, 증폭부(170)에서의 관통 전류를 억제할 수 있다. 증폭부(170)의 관통 전류를 억제함으로써, 수정 발진 회로의 동작시의 소비 전력을 큰폭으로 저감할 수 있다. 또한 이 수정 발진 회로를 마이크로 컴퓨터 등에 형성하는 것에 의해, 전력 절약화가 측정되는 마이크로 컴퓨터를 제공할 수 있다.

[0112] 이 때, 제어 회로(180)로부터 트랜지스터(176)의 제어를 행하는 것은, 수정 발진 회로의 출력이 안정되고 나서 행하는 것이 좋다.

[0113] 또한, 도 10에서는, 수정 발진 회로를 예로 들었지만, 본 실시형태에 나타내는 구성은 이것에 한정되는 것은 아니고, 여러가지 반도체 장치에 이용할 수 있다.

[0114] 이상과 같이 반도체 장치에 있어서, CMOS 회로에 이용되는 고전위 전원선과 저전위 전원선과의 사이에서 p채널형 트랜지스터 및 n채널형 트랜지스터가 직렬이 되도록 산화물 반도체를 이용한 트랜지스터와 같은 오프 전류가 낮은 트랜지스터를 형성하고, p채널형 트랜지스터 및 n채널형 트랜지스터가 도통 상태일 때에 이 오프 전류가 낮은 트랜지스터를 오프 상태로 한다. 이에 따라, 반도체 장치에 형성된 CMOS 회로에 발생하는 관통 전류를 억제하여, 동작시의 소비 전력의 저감을 도모할 수 있다.

[0115] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 본 실시형태에 나타내는 구성, 방법들을 조합하여 이용할 수도 있고, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수도 있다.

[0116] (실시형태 2)

[0117] 본 실시형태에서는, 앞의 실시형태에 나타내는 반도체 장치의 제작 방법의 일례에 대하여, 도 11 내지 도 14를 이용하여 설명한다. 예로서 도 1(A)에 도시하는 반도체 장치의 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(106)의 제작 방법에 대하여 설명한다.

[0118] 또한, 앞의 실시형태에 나타내는 실리콘 등을 이용하여 형성되는 트랜지스터는 트랜지스터(101) 또는 트랜지스터(102)와 같은 재료 및 같은 방법으로 형성할 수 있다. 또, 앞의 실시형태에 나타내는 산화물 반도체 등을 이용하여 형성되는 트랜지스터는 트랜지스터(106)와 같은 재료 및 같은 방법으로 형성할 수 있다. 따라서 같은 방법을 이용하여 앞의 실시형태의 도 6에 나타낸 CMOS 인버터 회로, 도 7에 나타낸 NOR 회로, 도 8에 나타낸 NAND 회로 등, 각종의 논리 회로도 같은 방법을 이용하여 제작할 수 있다.

[0119] 우선, 도 11(A)에 도시하는 바와 같이, n형의 반도체 기판(201)에 소자 분리 영역(203)을 형성한 후, n형의 반도체 기판(201)의 일부에 p웰 영역(205)을 형성한다.

- [0120] n형의 반도체 기판(201)으로서는, n형의 도전형을 가지는 단결정 실리콘 기판(실리콘 웨이퍼), 화합물 반도체 기판(SiC 기판, GaN 기판 등)을 이용할 수 있다.
- [0121] 또, n형의 반도체 기판(201) 대신에, SOI(Silicon On Insulator) 기판으로서 경면 연마 웨이퍼에 산소 이온을 주입한 후, 고온 가열하는 것에 의해, 표면으로부터 일정한 깊이에 산화층을 형성시킴과 동시에, 표면층에 발생한 결함을 소멸시켜 만들어진 소위 SIMOX(Separation by IMplanted OXygen) 기판이나, 수소 이온 주입에 의해 형성된 미소 보이드의 열처리에 의한 성장을 이용하여 반도체 기판을 벽개하는 스마트 컷법이나, ELTRAN법 (Epitaxial Layer Transfer : 캐논사(Canon Inc.)의 등록상표) 등을 이용하여 형성한 SOI 기판을 이용해도 좋다.
- [0122] 소자 분리 영역(203)은 LOCOS(Local Oxidation of Silicon)법 또는 STI(Shallow Trench Isolation)법 등을 이용하여 형성한다.
- [0123] p웰 영역(205)은 붕소 등의 p형을 부여하는 불순물 원소가 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 정도의 농도로 첨가되어 있다. p웰 영역(205)은 반도체 기판(201)의 일부에 마스크를 형성한 후, 반도체 기판(201)의 일부에 붕소 등의 p형을 부여하는 불순물 원소를 첨가하여 형성된다.
- [0124] 또한, 여기에서는, n형의 반도체 기판을 이용하고 있지만, p형의 반도체 기판을 이용하여 p형의 반도체 기판에 n형을 부여하는 인, 비소 등의 불순물 원소가 첨가된 n웰 영역을 형성해도 좋다.
- [0125] 다음으로, 반도체 기판(201) 위에 게이트 절연막(207), 게이트 전극(209a) 및 게이트 전극(209b)을 형성한다. 여기에서, 게이트 전극(209a)은 p웰 영역(205) 위에 형성되고, 게이트 전극(209b)은 p웰 영역(205)이 형성되어 있지 않은 영역 위에 형성된다.
- [0126] 게이트 절연막(207)으로서 열처리를 행하여 반도체 기판(201)의 표면을 산화한 산화 실리콘막을 형성한다. 또는, 열산화법에 의해 산화 실리콘막을 형성한 후에, 질화 처리를 행함으로써 산화 실리콘막의 표면을 질화시키는 것에 의해, 산화 실리콘막과, 산소와 질소를 가지는 실리콘막(산화 질화 실리콘막)의 적층 구조로 형성한다. 또는, 두께 5~50nm의 산화 실리콘, 산화 질화 실리콘, 고유전율 물질(high-k 재료라고도 함)인 탄탈 산화물, 산화 하프늄, 산화 하프늄 실리케이트, 산화 지르코늄, 산화 알루미늄, 산화 티탄 등의 금속 산화물, 또는 산화 란탄 등의 희토류 산화물 등을 CVD법, 스퍼터링법 등을 이용하여 형성한다.
- [0127] 게이트 전극(209a) 및 게이트 전극(209b)은, 탄탈, 텅스텐, 티탄, 몰리브덴, 크롬, 니오브 등으로부터 선택된 금속, 또는 이러한 금속을 주성분으로 하는 합금 재료 또는 화합물 재료를 이용하는 것이 바람직하다. 또, 인 등의 불순물을 첨가한 다결정 실리콘을 이용할 수 있다. 또, 금속 질화물막과 상기의 금속막의 적층 구조로 게이트 전극(209a) 및 게이트 전극(209b)을 형성해도 좋다. 금속 질화물로서는 질화 텅스텐, 질화 몰리브덴, 질화 티탄을 이용할 수 있다. 금속 질화물막을 형성하는 것에 의해, 금속막의 밀착성을 향상시킬 수가 있고, 박리를 방지할 수 있다.
- [0128] 게이트 전극(209a) 및 게이트 전극(209b)은 도전막을 스퍼터링법, CVD법 등에 의해 형성한 후, 이 도전막의 일부를 선택적으로 에칭하여 형성된다.
- [0129] 여기에서는, 열처리를 실시하여, 반도체 기판(201) 위의 표면을 산화한 산화 실리콘막을 형성하고, 이 산화 실리콘막 위에 질화 탄탈막 및 텅스텐막이 적층된 도전막을 스퍼터링법에 의해 형성한 후, 도전막의 일부를 선택적으로 에칭하고, 게이트 전극(209a) 및 게이트 전극(209b)을 형성한다.
- [0130] 다음으로, 도 11(B)에 도시하는 바와 같이, 반도체 기판(201)에 p형을 부여하는 불순물 원소를 첨가하여 p형의 불순물 영역(213a) 및 p형의 불순물 영역(213b)을 형성한다. 또, p웰 영역(205)에 n형을 부여하는 불순물 원소를 첨가하여, n형의 불순물 영역(211a) 및 n형의 불순물 영역(211b)을 형성한다. 이에 따라, 게이트 전극(209a)을 끼워 넣도록 얇은 접합 깊이의 불순물 영역(211a) 및 불순물 영역(211b)이 형성되고, 게이트 전극(209b)을 끼워 넣도록 얇은 접합 깊이의 불순물 영역(213a) 및 불순물 영역(213b)이 형성된다. 여기에서, p형을 부여하는 불순물 원소로서는, 붕소(B)나 알루미늄(Al) 등을 이용하면 좋고, n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 이용하면 좋다. n형을 부여하는 불순물 원소 및 p형을 부여하는 불순물 원소는 이온 도핑법, 이온 주입법 등을 적절히 이용하여 첨가하면 좋다. 또, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높게 하는 것이 바람직하다.
- [0131] 다음으로, 게이트 절연막(207), 게이트 전극(209a) 및 게이트 전극(209b) 등을 덮도록 절연막을 성막하고, 이 절연막에 이방성의 높은 에칭 처리를 실시하여 자기 정합적으로 사이드 월 절연막(216) 및 사이드 월 절연막

(218)을 형성한다. 또, 동시에 게이트 절연막(207)을 에칭하고, 게이트 절연막(207a) 및 게이트 절연막(207b)도 형성한다. 사이드 월 절연막(216) 및 사이드 월 절연막(218)에 이용하는 절연막은 게이트 절연막(207)과 같은 절연막을 이용하면 좋다. 이 에칭에는, 드라이 에칭을 이용하는 것이 적합하지만, 웨트 에칭을 이용해도 좋다. 에칭 가스나 에칭액에 대해서는 에칭되는 재료에 따라 적절히 선택할 수 있다.

[0132] 이에 따라, 게이트 전극(209a)의 측면에 접하여 사이드 월 절연막(216)이 형성되고, 게이트 전극(209b)의 측면에 접하여 사이드 월 절연막(218)이 형성된다. 또, 게이트 전극(209a) 및 사이드 월 절연막(216)과 중첩하여 게이트 절연막(207a)이 형성되고, 게이트 전극(209b) 및 사이드 월 절연막(218)과 중첩하여 게이트 절연막(207b)이 형성된다.

[0133] 또한, 고집적화를 실현하기 위하여 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드 월 절연층을 가지지 않는 구성으로 할 수도 있다.

[0134] 다음으로, 도 11(C)에 도시하는 바와 같이 불순물 영역(213a) 및 불순물 영역(213b)의 사이드 월 절연막(218)과 중첩하지 않는 영역에 p형을 부여하는 불순물 원소를 첨가하여 불순물 농도가 높은 p형의 불순물 영역(214a) 및 p형의 불순물 영역(214b)을 형성한다. 또, p웰 영역(205)의 불순물 영역(211a) 및 불순물 영역(211b)의 사이드 월 절연막(216)과 중첩하지 않는 영역에 n형을 부여하는 불순물 원소를 첨가하여 n형의 불순물 영역(212a) 및 n형의 불순물 영역(212b)을 형성한다. 이 처리는 상기 불순물 영역(211a), 불순물 영역(211b), 불순물 영역(213a) 및 불순물 영역(213b)과 같은 방법을 이용하여 행할 수 있다. 또, 이 불순물 영역(212a), 불순물 영역(212b), 불순물 영역(214a) 및 불순물 영역(214b)을 형성하기 전에, 보호막으로서 기능하는 절연막을 불순물 영역(211a), 불순물 영역(211b), 불순물 영역(213a) 및 불순물 영역(213b) 위에 형성해도 좋다.

[0135] 다음으로, 도 11(D)에 도시하는 바와 같이, 반도체 기판(201), 소자 분리 영역(203), 게이트 절연막(207a), 게이트 절연막(207b) 및 게이트 전극(209a) 및 게이트 전극(209b) 위에, 스퍼터링법, CVD법 등에 의해, 절연막(215) 및 절연막(217)을 형성한다.

[0136] 절연막(215) 및 절연막(217)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 이용하면 좋고, 적층 또는 단층으로 형성한다. 또한, 절연막(215)을 CVD법에 의해 형성함으로써, 절연막(215)의 수소 함유량이 높아진다. 이러한 절연막(215)을 이용하여 가열 처리를 행하는 것에 의해, 반도체 기판을 수소화하여, 수소에 의해 댕글링 본드를 종단시키고, 이 반도체 기판 중의 결함을 저감할 수 있다.

[0137] 또, 절연막(217)으로서 BPSG(Boron Phosphorus Silicate Glass) 등의 무기 재료, 또는, 폴리이미드, 아크릴 등의 유기 재료를 이용하여 형성함으로써, 절연막(217)의 평탄성을 높일 수가 있다.

[0138] 절연막(215) 또는 절연막(217)을 형성한 후, 상기 불순물 영역에 첨가된 불순물 원소를 활성화하기 위한 열처리를 행한다.

[0139] 이상의 공정에 의해, 도 11(D)에 도시하는 바와 같이, n채널형의 트랜지스터(101) 및 p채널형의 트랜지스터(102)를 제작할 수 있다. 여기에서, 트랜지스터(101) 및 트랜지스터(102)는 단결정 실리콘 등의 산화물 반도체와는 다른 반도체를 이용하여 형성되므로, 충분한 고속 동작이 가능해진다.

[0140] 다음으로, 절연막(215) 및 절연막(217)의 일부를 선택적으로 에칭하고, 개구부를 형성한다. 다음으로, 개구부에 컨택트 플러그(219a) 내지 컨택트 플러그(219d)를 형성한다. 대표적으로는, 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP(Chemical Mechanical Polishing) 법이나 에칭 등에 의해 평탄화 처리를 행하여 도전막의 불필요한 부분을 제거하고, 컨택트 플러그(219a) 내지 컨택트 플러그(219d)를 형성한다.

[0141] 컨택트 플러그(219a) 내지 컨택트 플러그(219d)가 되는 도전막은, WF₆ 가스와 SiH₄ 가스로부터 CVD법으로 텅스텐 실리사이드를 형성하여 개구부에 매립함으로써 형성된다.

[0142] 다음으로, 절연막(217) 및 컨택트 플러그(219a) 내지 컨택트 플러그(219d) 위에, 스퍼터링법, CVD법 등에 의해 절연막을 형성한 후, 이 절연막의 일부를 선택적으로 에칭하고, 홈부를 가지는 절연막(221)을 형성한다. 다음으로, 도 12(A)에 도시하는 바와 같이, 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP법이나 에칭 등에 의해 평탄화 처리를 실시하여 이 도전막의 불필요한 부분을 제거하고 배선(223a) 내지 배선(223c)을 형성한다.

[0143] 여기에서, 배선(223a)은, 도 1(A)에 도시하는 트랜지스터(101)의 소스 단자에 대응하여 고전위 전원선과 전기적으로 접속된다. 또, 배선(223c)은 도 1(A)에 도시하는 트랜지스터(102)의 소스 단자에 대응하여 도 1(A)에 도

시하는 트랜지스터(106)의 소스 단자 또는 드레인 단자의 한쪽과 전기적으로 접속된다. 또, 배선(223b)은 도1(A)에 도시하는 트랜지스터(101)의 드레인 단자, 및 트랜지스터(102)의 드레인 단자에 대응하여 도 1(A)에 도시하는 출력 단자 OUT로서 기능한다. 또한, 여기서 도시하지는 않았지만, 게이트 전극(209a)과 게이트 전극(209b)은 컨택트 플러그(219a) 내지 컨택트 플러그(219d), 및 배선(223a) 내지 배선(223c)과 같은 층에 형성된 도전막 등에 의해 전기적으로 접속되고, 도 1(A)에 도시하는 입력 단자 IN으로서 기능한다.

[0144] 절연막(221)은, 절연막(215)과 같은 재료를 이용하여 형성할 수 있다.

[0145] 배선(223a) 내지 배선(223c)으로서 알루미늄, 티탄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐으로 이루어지는 단체(單體) 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 이용한다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 텅스텐막 위에 티탄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티탄막과 그 티탄막 위에 중첩하여 알루미늄막을 적층하고, 그 위에 티탄막을 더 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함한 투명 도전 재료를 이용해도 좋다.

[0146] 다음으로, 절연막(221), 배선(223a) 및 배선(223b) 위에 스퍼터링법, CVD법 등에 의해 절연막(220)을 형성하고, 이 절연막(220) 위에, 스퍼터링법, CVD법 등에 의해 절연막을 형성한 후, 이 절연막의 일부를 선택적으로 에칭하고, 홈부를 가지는 절연막(222)을 형성한다. 다음으로, 도 12(B)에 도시하는 바와 같이 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP법이나 에칭 등에 의해 평탄화 처리를 실시하여 이 도전막의 불필요한 부분을 제거하고 전극(224)을 형성한다.

[0147] 여기에서, 절연막(220) 및 절연막(222)은, 절연막(215)과 같은 재료를 이용하여 형성할 수 있다. 다만, 절연막(220)은 절연막(222)의 에칭에 대해서 선택성을 가지는 재료로 하는 것이 바람직하다.

[0148] 여기에서, 전극(224)은 후술하는 트랜지스터(106)의 백 게이트 전극으로서 기능하는 전극이다. 이러한 전극(224)을 형성함으로써, 트랜지스터(106)의 문턱 전압의 제어를 행할 수 있다. 전극(224)은 전기적으로 절연하고 있는 플로팅 상태여도 좋고, 전위가 다른 소자로부터 부여되고 있는 상태여도 좋다. 트랜지스터(106)의 문턱 전압의 제어에 따라 적절히 설정할 수 있다. 또한, 전극(224)의 재료로서는, 후술하는 게이트 전극(233)과 같은 재료를 이용할 수 있다.

[0149] 또한, 본 실시형태에서는, 전극(224)을 배선(223a) 및 배선(223b) 위에 형성하는 구성으로 하고 있지만, 이에 한정되지 않고, 예를 들면, 전극(224)을 배선(223a) 및 배선(223b)과 같은 도전층에서 형성하는 구성으로 해도 좋다.

[0150] 평탄화된 절연막(222), 전극(224)을 이용함으로써, 후에 형성하는 산화물 반도체막을 가지는 트랜지스터에서의 전기 특성의 편차를 저감할 수 있다. 또, 산화물 반도체막을 가지는 트랜지스터를 수율 높게 형성할 수 있다.

[0151] 다음으로, 가열 처리 또는 플라즈마 처리에 의해, 절연막(221), 배선(223a), 배선(223b), 배선(223c), 절연막(220), 절연막(222) 및 전극(224)에 포함되는 수소를 이탈시키는 것이 바람직하다. 이 결과, 후의 가열 처리에서, 후에 형성되는 절연막 및 산화물 반도체막 중에 수소가 확산하는 것을 막을 수 있다. 또한, 가열 처리는 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서, 100°C 이상 기판의 변형점 미만에서 행한다. 또, 플라즈마 처리는 희가스, 산소, 질소 또는 산화 질소(아산화질소, 일산화질소, 이산화질소 등)를 이용한다.

[0152] 다음으로, 절연막(222) 및 전극(224) 위에, 스퍼터링법, CVD법 등에 의해, 절연막(225)을 형성한다. 절연막(225)으로서는, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄을 단층 또는 적층하여 형성한다. 또, 절연막(225)으로서 가열에 의해 산소의 일부가 이탈하는 산화 절연막을 이용하여 형성하는 것이 바람직하다. 가열에 의해 산소의 일부가 이탈하는 산화 절연막으로서는, 화학양론비를 만족시키는 산소보다 많은 산소를 포함한 산화 절연막을 이용한다. 가열에 의해 산소의 일부가 이탈하는 산화 절연막은 가열에 의해 산소가 이탈하기 때문에, 후의 공정에서 행하는 가열에 의해 산화물 반도체막에 산소를 확산시킬 수가 있다.

[0153] 또, 절연막(225)을 적층 구조로 하는 경우, 하측의 절연막을 하층으로부터 확산되는 불순물의 혼입을 막는 배리어막으로서 기능하는 절연막으로 하는 것이 바람직하다. 특히 반도체 기판(201)으로서 단결정 실리콘 기판, SOI 기판, 또는 실리콘 등의 반도체 소자가 형성된 기판 등을 이용하는 경우, 기판에 포함되는 수소 등이 확산하여 후에 형성되는 산화물 반도체막에 혼입하는 것을 막을 수 있다. 이와 같은 절연막으로서는, 예를 들면, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 성막한 질화 실리콘막, 질화 산화 실리콘막, 또는 산화 알루미-

늄막 등을 이용할 수 있다.

[0154] 또, 절연막(225)은 CMP 처리 등을 실시하여 평탄화를 도모하는 것이 바람직하다. 절연막(225)의 표면의 평균면 거칠기(Ra)는 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다.

[0155] 또한, 본 명세서 등에 있어 평균면 거칠기(Ra)란, JISB0601 : 2001(ISO4287 : 1997)에 의해 정의되어 있는 산술 평균 거칠기를 곡면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이며, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현된다.

[0156] 평균면 거칠기(Ra)는 지정면을 $Z=F(X, Y)$ 로 나타낼 때, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현되어 다음의 식으로 나타내어진다.

수학식 1

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dX dY$$

[0157]

[0158] 여기에서, 지정면이라는 것은 거칠기 계측의 대상이 되는 면이며, 좌표($X_1, Y_1, F(X_1, Y_1)$), ($X_1, Y_2, F(X_1, Y_2)$), ($X_2, Y_1, F(X_2, Y_1)$), ($X_2, Y_2, F(X_2, Y_2)$)로 나타내어지는 4점으로 둘러싸이는 사각형의 영역으로 하고, 지정면을 XY 평면에 투영한 장방형의 면적을 S_0 , 기준면의 높이(지정면의 평균의 높이)를 Z_0 로 한다. 평균면 거칠기(Ra)는 원자간력 현미경(AFM : Atomic Force Microscope)으로 평가할 수 있다.

[0159] 상기 CMP 처리는, 1회 행해도 좋고, 복수회 행해도 좋다. 복수회로 나누어 CMP 처리를 행하는 경우는, 높은 연마 레이트의 일차 연마를 행한 후, 낮은 연마 레이트의 마무리 연마를 행하는 것이 바람직하다. 이와 같이 연마 레이트가 다른 연마를 조합하는 것에 의해, 절연막(225)의 표면의 평탄성을 더 향상시킬 수 있다.

[0160] 또, 절연막(225)을 평탄화시키는 처리로서는, 플라즈마 처리를 이용할 수도 있다. 플라즈마 처리는 전공의 체임버에 불활성 가스, 예를 들면 아르곤 가스 등의 희가스를 도입하여, 피처리면을 음극으로 하는 전계를 가하여 행한다. 그 원리로서는 플라즈마 드라이 에칭법과 동등하지만, 불활성 가스를 이용하여 행한다. 즉, 이 플라즈마 처리는 피처리면에 불활성 가스의 이온을 조사하여 스퍼터링 효과에 의해 표면의 미세한 요철을 평탄화하는 처리이다. 이것으로부터, 이 플라즈마 처리를 「엑스퍼터링 처리」라고 부를 수도 있다.

[0161] 이 플라즈마 처리시, 플라즈마 중에는 전자와 아르곤의 양이온이 존재하고, 음극 방향으로 아르곤의 양이온이 가속된다. 가속된 아르곤의 양이온은 피처리면을 스퍼터링한다. 이 때, 이 피처리면의 볼록부부터 우선적으로 스퍼터링된다. 피처리면부터 스퍼터링된 입자는, 피처리면의 다른 장소에 부착된다. 이 때, 이 피처리면의 오목부에 우선적으로 부착된다. 이와 같이 볼록부를 깎아서 오목부를 매립함으로써 피처리면의 평탄성이 향상된다. 또한, 플라즈마 처리와 CMP 처리와 병용하는 것에 의해 절연막(225)의 평탄화를 더 도모할 수 있다.

[0162] 또한, 이 플라즈마 처리에 의해 절연막(225) 표면에 부착된 산소, 수분, 유기물 등의 불순물을 스퍼터링의 효과로 제거할 수도 있다.

[0163] 또한, 산화물 반도체의 성막을 행하기 전에, 성막실의 가열 및 배기를 행하여, 성막실 내의 수소, 물, 수산기, 수소화물 등의 불순물을 제거해 두는 것이 바람직하다. 특히 성막실의 내벽에 흡착하여 존재하는 이러한 불순물을 제거하는 것이 중요하다. 여기에서, 가열 처리는, 예를 들면, 100°C 이상 450°C 이하로 실시하면 좋다. 또, 처리실의 배기는 드라이 펌프 등의 러프 진공 펌프와 스퍼터링 이온 펌프, 터보 분자 펌프 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합하여 행하면 좋다. 터보 분자 펌프는 큰 사이즈의 분자의 배기가 우수한 한편, 수소나 물의 배기 능력이 낮다. 또한, 물의 배기 능력이 높은 크라이오 펌프 또는 수소의 배기 능력이 높은 스퍼터링 이온 펌프를 조합하는 것이 효과가 있다. 또, 이 때 불활성 가스를 도입하면서 불순물의 제거를 행하면 배기하는 것만으로는 이탈하기 어려운 물 등의 이탈 속도를 더욱 크게 할 수 있다. 이러한 처리를 실시하여 산화물 반도체의 성막전에 성막실의 불순물을 제거함으로써, 산화물 반도체로의 수소, 물, 수산기, 수소화물 등의 혼입을 저감할 수 있다.

[0164] 또, 산화물 반도체막을 스퍼터링 장치로 성막하기 전에, 스퍼터링 장치에 더미 기관을 반입하고, 더미 기관 위에 산화물 반도체막을 성막하여, 타겟 표면, 또는 방착판에 부착된 수소, 수분을 없애는 공정을 실시해도 좋다.

- [0165] 다음으로, 절연막(225) 위에 스퍼터링법, 도포법, 인쇄법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 이용하여 산화물 반도체막(227)을 형성한다(도 12(C) 참조). 여기에서는, 산화물 반도체막(227)으로서 스퍼터링법에 의해, 1nm이상 50nm이하, 바람직하게는 3nm 이상 20nm 이하의 두께로 산화물 반도체막을 형성한다. 산화물 반도체막(227)의 두께를 상기 두께로 함으로써, 트랜지스터의 미세화에 의해 발생할 우려가 있는 단채널 효과를 억제할 수 있다.
- [0166] 산화물 반도체막(227)에 이용하는 산화물 반도체로서는, 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또, 이 산화물 반도체를 이용한 트랜지스터의 전기 특성의 편차를 줄이기 위한 스태빌라이저(stabilizer)로서 이들에 더하여, 갈륨(Ga)을 가지는 것이 바람직하다. 또, 스태빌라이저로서 주석(Sn)을 가지는 것이 바람직하다. 또, 스태빌라이저로서 하프늄(Hf)을 가지는 것이 바람직하다.
- [0167] 또, 다른 스태빌라이저로서 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틀뮴(Tm), 이테르븀(Yb), 루테늄(Lu) 중 어느 한종 또는 복수종을 가져도 좋다.
- [0168] 예를 들면, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기), In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Sn-Hf-Zn계 산화물을 이용할 수 있다. 또, 상기 산화물 반도체에 산화 실리콘을 포함해도 좋다. 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 주성분으로서 가지는 산화물이라는 의미이며, In와 Ga와 Zn의 비율은 묻지 않는다. 또, In와 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다. 이 때, 상기 산화물 반도체에 있어서는, 화학양론비에 대하여, 산소를 과잉으로 하면 바람직하다. 산소를 과잉으로 함으로써, 산화물 반도체막의 산소 결손에 기인하는 캐리어의 생성을 억제할 수 있다.
- [0169] 또, 산화물 반도체로서 $\text{InMn}_3(\text{ZnO})_m$ ($m > 0$ 이며, m 은 정수가 아님)로 표기되는 재료를 이용해도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또, 산화물 반도체로서 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 이며, n 은 정수)로 표기되는 재료를 이용해도 좋다.
- [0170] 또한, 산화물 반도체막(227)에서 알칼리 금속 또는 알칼리토류 금속의 농도는, $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 더 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하인 것이 바람직하다. 알칼리 금속 및 알칼리토류 금속은 산화물 반도체와 결합하면 캐리어가 생성되고, 트랜지스터의 오프 전류의 상승의 원인이 되기 때문이다.
- [0171] 또, 산화물 반도체막(227)에는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하의 질소가 포함되어도 좋다.
- [0172] 또한, 산화물 반도체막(227)에 이용하는 것이 가능한 산화물 반도체는 실리콘 반도체보다 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 와이드 밴드 갭 반도체로 한다. 예를 들면, 이 와이드 밴드 갭 반도체의 밴드 갭은 2.5eV 이상 4eV 이하, 바람직하게는 3eV 이상 3.8eV 이하로 하면 좋다. 이와 같이 에너지 갭이 넓은 산화물 반도체를 이용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0173] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 크게 구별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.
- [0174] 비정질 산화물 반도체막은 막 중에서의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소(微小) 영역에 있어서도 결정부를 가지지 않고, 막 전체가 완전한 비정질 구조의 산화물 반도체막이 전형적이다.
- [0175] 미결정 산화물 반도체막은 예를 들면, 1nm 이상 10nm 미만의 크기의 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 그 때문에, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징이 있다.

- [0176] CAAC-OS막은 복수의 결정부를 가지는 산화물 반도체막 중 하나이며, 대부분의 결정부는 한 변이 100nm 미만의 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만 또는 3nm 미만의 입방체 내에 들어가는 크기인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결합 준위 밀도가 낮다는 특징이 있다. 이하, CAAC-OS막에 대하여 상세한 설명을 행한다.
- [0177] CAAC-OS막을 투과형 전자현미경(TEM : Transmission Electron Microscope)으로 관찰하면, 결정부들의 명확한 경계, 즉 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 따라서, CAAC-OS막은 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0178] CAAC-OS막을 시료면과 대략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열하고 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행으로 배열한다.
- [0179] 한편, CAAC-OS막을 시료면과 대략 수직인 방향으로부터 TEM으로 관찰(평면 TEM 관찰)하면, 결정부에서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부 간에서 금속 원자의 배열에 규칙성은 볼 수 없다.
- [0180] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.
- [0181] CAAC-OS막에 대하여 X선 회절(XRD : X-Ray Diffraction) 장치를 이용하여 구조 해석을 행하면 예를 들면 InGaZnO₄의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석으로는, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되므로, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.
- [0182] 한편, CAAC-OS막에 대하여, c축에 대략 수직인 방향으로부터 X선을 입사 시키는 in-plane법에 의한 해석으로는, 2θ가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막이면, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(Φ축)으로서 시료를 회전시키면서 분석(Φ스캔)을 행하면, (110)면과 등가인 결정면에 귀속되는 피크 6개가 관찰된다. 이에 대하여, CAAC-OS막의 경우는, 2θ를 56° 근방에 고정하여 Φ스캔한 경우에도, 명료한 피크가 나타나지 않는다.
- [0183] 이상으로부터, CAAC-OS막에서는 다른 결정부간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 가지고, 또 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상기의 단면 TEM 관찰로 확인된 층상으로 배열한 금속 원자의 각층은 결정의 ab면에 평행한 면이다.
- [0184] 또한, 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 실시했을 때에 형성된다. 상기한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들면 CAAC-OS막의 형상을 예칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행이 되지 않는 경우도 있다.
- [0185] 또, CAAC-OS막중의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 경우가 있다. 또, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화하여, 부분적으로 결정화도가 다른 영역이 형성되는 경우도 있다.
- [0186] 또한, InGaZnO₄의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석으로는, 2θ가 31° 근방의 피크 외에, 2θ가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ가 36° 근방의 피크는 CAAC-OS막 중의 일부에 c축 배향성을 가지지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은 2θ가 31° 근방에 피크를 나타내고, 2θ가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.
- [0187] CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 이 트랜지스터는 신뢰성이 높다.
- [0188] 또한, 산화물 반도체막은 예를 들면, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 가지는 적층막이어도 좋다.
- [0189] 또, 결정성을 가지는 산화물 반도체에서는 벌크내 결함을 더 저감할 수 있고, 표면의 평탄성을 높이면 어모페스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산

화물 반도체를 형성하는 것이 바람직하고, 위에서 설명한 바와 같이, 절연막(225)의 표면의 평균면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 하고, 그 위에 산화물 반도체막(227)을 형성하는 것이 바람직하다.

[0190] 여기에서는 산화물 반도체막(227)을 스퍼터링법에 의해 형성한다. 타겟으로서는, 상기 산화물에 대응한 것을 이용할 수 있다.

[0191] 산화물 반도체로서 In-Ga-Zn-O계의 재료를 이용하는 경우, 타겟은 상기의 산화물 반도체막(227)의 재료 및 그 조성에 맞추어 적절히 설정하면 좋다. 예를 들면, In : Ga : Zn=1 : 1 : 1, In : Ga : Zn=1 : 3 : 2, In : Ga : Zn=3 : 1 : 2, 또는 In : Ga : Zn=2 : 1 : 3의 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 타겟으로서 이용하면 좋다. 단, 타겟은 이러한 재료 및 조성으로 한정되는 것은 아니다.

[0192] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성의 것을 이용하면 좋다. 또, 필요로 하는 반도체 특성을 얻기 위하여 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다. 또, 조성으로 대표되는 이러한 조건이, 서로 다른 산화물 반도체막을 적층하는 구성으로 해도 좋고, 채널 형성 영역과 소스 영역 및 드레인 영역에 적절히 형성하는 구성으로 해도 좋다.

[0193] 예를 들면, 산화물 반도체막(227)을 제 1 산화물 반도체막, 제 2 산화물 반도체막 및 제 3 산화물 반도체막의 적층으로서 각각을 다른 조성으로 해도 좋다. 예를 들면, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막이 동일 성분을 포함한 재료를 이용하는 것이 바람직하다. 동일 성분을 포함한 재료를 이용하는 경우, 제 1 산화물 반도체막의 결정층을 종(種)으로서 제 1 산화물 반도체막위에 제 2 산화물 반도체막을 형성할 수 있기 때문에 제 2 산화물 반도체막의 결정 성장이 행하기 쉬워진다. 또한, 제 3 산화물 반도체막에 대해서도 마찬가지로 할 수 있다. 또, 동일 성분을 포함한 재료인 경우에는 밀착성 등의 계면물성이나 전기적 특성도 양호하다.

[0194] 또, 제 1 산화물 반도체막, 제 2 산화물 반도체막 및 제 3 산화물 반도체막의 구성 원소를 동일하게 하고, 조성을 다르게 해도 좋다. 예를 들면, 제 1 산화물 반도체막 및 제 3 산화물 반도체막의 원자수비를 In : Ga : Zn=1 : 1 : 1으로 하고, 제 2 산화물 반도체막의 원자수비를 In : Ga : Zn=3 : 1 : 2로 해도 좋다. 또, 제 1 산화물 반도체막 및 제 3 산화물 반도체막의 원자수비를 In : Ga : Zn=1 : 3 : 2로 하고, 제 2 산화물 반도체막의 원자수비를 In : Ga : Zn=1 : 1 : 1로 해도 좋다.

[0195] 또한, 스퍼터링 가스는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대해서 산소의 가스비를 높이는 것이 바람직하다. 또, 스퍼터링 가스는 산화물 반도체막으로의 수소, 물, 수산기, 수소화물 등의 혼입을 막기 위해, 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 이용한 분위기로 하는 것이 바람직하다.

[0196] 스퍼터링법에 있어서 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.

[0197] 또한, 산화물 반도체막을 성막하는 처리실은 리크 레이트를 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$ 이하로 하는 것이 바람직하고, 그 것에 의해 스퍼터링법으로 성막할 때, 막 중으로의 불순물의 혼입을 저감할 수 있다. 이와 같이, 산화물 반도체막의 성막 공정에서, 더 바람직하게는 산화 절연막의 성막 공정에서, 처리실의 압력, 처리실의 리크 레이트 등에서, 불순물의 혼입을 최대한 억제하는 것에 의해, 산화물 반도체막에 포함되는 수소를 포함한 불순물의 혼입을 저감할 수 있다. 또, 산화 절연막으로부터 산화물 반도체막으로의 수소 등 불순물의 확산을 저감할 수 있다.

[0198] 또, CAAC-OS막을 성막하기 위하여 이하의 조건을 적용하는 것이 바람직하다.

[0199] 성막시의 불순물 농도를 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소 및 질소 등)을 저감하면 좋다. 또, 성막 가스 중의 불순물을 저감하면 좋다. 구체적으로는, 노점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 이용한다.

[0200] 또, 성막시의 기판 가열 온도를 높임으로써, 기판 부착 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로서 성막한다. 성막시의 기판 가열 온도를 높임으로써, 평판 모양의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나고, 평평한 면이 기판에 부착된다.

- [0201] 또, 성막 가스 중의 산소 비율을 높여 전력을 최적화함으로써 성막시의 플라즈마 테미지를 경감하면 바람직하다. 성막 가스 중의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.
- [0202] 스퍼터링용 타겟의 일례로서 In-Ga-Zn-O 화합물 타겟에 대하여 이하에 나타낸다.
- [0203] InO_x 분말, GaO_y 분말 및 ZnO_z 분말을 소정의 비율로 혼합하여 가압 처리 후, 1000°C 이상 1500°C 이하의 온도로 가열 처리를 함으로써, 다결정인 In-Ga-Zn-O 화합물 타겟으로 한다. 또한, X, Y 및 Z는 임의의 정수이다. 여기에서, 소정의 비율은 예를 들면, InO_x 분말, GaO_y 분말 및 ZnO_z 분말이, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2의 mol수비이다. 또한, 분말의 종류, 및 그 혼합하는 비율은, 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.
- [0204] 산화물 반도체막(227) 형성 후, 산화물 반도체막(227)에 대하여 열처리를 행하여도 좋다. 열처리를 행하는 것에 의해 산화물 반도체막(227) 중에 포함되는 수소 원자를 포함한 물질을 더욱 더 제거하여 산화물 반도체막(227)의 구조를 정돈해에너지 캡 중의 결함 준위를 저감할 수 있다. 이 열처리는 불활성 가스 분위기하에서 실시하고, 열처리의 온도는 300°C 이상 700°C 이하, 바람직하게는 450°C 이상 600°C 이하, 또, 기관이 변형점을 가지는 경우는 기관의 변형점 미만으로 한다. 불활성 가스 분위기로서는, 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99. 9999%) 이상, 바람직하게는 7N(99. 99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1 ppm 이하)로 한다.
- [0205] 이 열처리는 예를 들면, 저항 발열체 등을 이용한 전기로(爐)에 반도체 기관(201)을 도입하여 질소 분위기하, 450°C, 1시간의 조건으로 행할 수 있다.
- [0206] 또, 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해 피처리물을 가열하는 장치를 이용해도 좋다. 예를 들면, LRTA(Lamp Rapid Thermal Anneal) 장치, GRTA(Gas Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다. 또한, 가열 처리 장치로서 GRTA 장치를 이용하는 경우에는, 그 열처리 시간이 짧기 때문에 650°C~700°C의 고온으로 가열한 불활성 가스 중에서 기관을 가열해도 좋다.
- [0207] 또, 상기 열처리로 산화물 반도체막(227)을 가열한 후, 같은 노(爐)에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 공기(CRDS(캐비티 링 다운 레이저 분광법) 방식의 노점 온도계를 이용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10ppb 이하의 공기)를 도입하는 것이 바람직하다. 특히 이러한 가스에는, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또, 같은 노에 도입하는 산소 가스 또는 N_2O 가스의 순도를 6N 이상 바람직하게는 7N 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다. 산소 가스 또는 N_2O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정으로 저감한 산화물 반도체를 구성하는 주성분 재료의 하나의 산소를 공급할 수 있다.
- [0208] 또한, 상기의 열처리에는 수소나 물 등을 제거하는 효과가 있기 때문에 이 열처리를 탈수화 또는 탈수소화 등이라고 부를 수도 있다. 이 열처리는 예를 들면, 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연막의 형성 후 등의 타이밍에서 행하는 것도 가능하다. 또, 이러한 탈수화 또는 탈수소화의 열처리는 1회에 한정하지 않고 복수회 행해도 좋다.
- [0209] 다음으로, 도 13(A)에 도시하는 바와 같이, 산화물 반도체막(227)의 일부를 선택적으로 예칭하여 전극(224)과 중첩하도록 산화물 반도체막(229)을 형성한다.
- [0210] 다음으로, 도 13(B)에 도시하는 바와 같이, 산화물 반도체막(229) 위에 접하여 도전막을 성막하고, 이 도전막의 일부를 선택적으로 예칭하고, 산화물 반도체막(229) 위에 접하여 한쌍의 전극(241a), 전극(241b)을 형성한다.
- [0211] 한쌍의 전극(241a), 전극(241b)은 배선(223a) 및 배선(223b)과 같은 재료를 적절히 이용하여 형성할 수 있다. 또한, 한쌍의 전극(241a), 전극(241b)은 배선으로서 기능시켜도 좋다.
- [0212] 한쌍의 전극(241a), 전극(241b)은 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 이 도전막의 일부를

선택적으로 에칭하고, 한쌍의 전극(241a), 전극(241b)을 형성한다. 또, 한쌍의 전극(241a), 전극(241b)은 인쇄법 또는 잉크젯법을 이용하여 형성된다.

[0213] 다음으로, 산화물 반도체막(229), 전극(241a) 및 전극(241b) 위에, 스퍼터링법, CVD법 등에 의해 게이트 절연막(231)을 형성한다. 그리고, 도 13(C)에 도시하는 바와 같이, 게이트 절연막(231) 위에 산화물 반도체막(229)과 중첩하여 게이트 전극(233)을 형성한다.

[0214] 게이트 절연막(231)은 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn-O계 금속 산화물막 등을 이용하면 좋고, 적층 또는 단층으로 형성한다. 또, 게이트 절연막(231)은 절연막(225)에 도시하는 바와 같은 가열에 의해 산소가 이탈하는 산화 절연막을 이용해도 좋다. 게이트 절연막(231)에 가열에 의해 산소가 이탈하는 막을 이용함으로써, 후의 가열 처리에 의해 산화물 반도체막(229)에 발생하는 산소 결손을 수복할 수 있고, 트랜지스터의 전기 특성의 열화를 억제할 수 있다.

[0215] 또, μ 파(예를 들면 주파수 2.45GHz)를 이용한 고밀도 플라즈마 CVD는 치밀하여 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로, 후에 게이트 절연막으로서 이용되는 게이트 절연막(231)의 형성에 이용하는 것이 바람직하다. 고순도화 된 산화물 반도체와 고품질 게이트 절연막이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다.

[0216] 또, 게이트 절연막(231)으로서 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용함으로써 게이트 절연막의 두께를 얇게 해도 게이트 리크를 저감할 수 있다.

[0217] 게이트 절연막(231)의 두께는 1nm 이상 300nm 이하, 더 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 10nm 이상 30nm 이하로 하면 좋다.

[0218] 게이트 전극(233)은 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텉스텐으로부터 선택된 금속 원소, 또는 상기한 금속 원소를 성분으로 하는 합금이나, 상기한 금속 원소를 조합한 합금 등을 이용하여 형성할 수 있다. 또, 망간, 지르코늄의 어느 하나 또는 복수로부터 선택된 금속 원소를 이용해도 좋다. 또, 게이트 전극(233)은 단층 구조로도, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 질화 티탄막 위에 티탄막을 적층하는 2층 구조, 질화 티탄막 위에 텉스텐막을 적층하는 2층 구조, 질화 탄탈막 위에 텉스텐막을 적층하는 2층 구조, 티탄막과 그 티탄막 위에 알루미늄막을 적층하고, 그 위에 티탄막을 더 형성하는 3층 구조 등이 있다. 또, 알루미늄에 티탄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소의 막, 또는 복수 조합한 합금막, 또는 질화막을 이용해도 좋다.

[0219] 또, 게이트 전극(233)은 인듐 주석 산화물, 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 적용할 수도 있다. 또, 상기 투광성을 가지는 도전성 재료와, 상기 금속 원소의 적층 구조로 할 수도 있다.

[0220] 게이트 전극(233)은 인쇄법 또는 잉크젯법에 의해 형성된다. 혹은, 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 이 도전막의 일부를 선택적으로 에칭하여 형성된다.

[0221] 또한, 게이트 전극(233)과 게이트 절연막(231) 사이에 게이트 절연막(231)에 접하는 재료층으로서 질소를 포함한 In-Ga-Zn-O막이나, 질소를 포함한 In-Sn-O막이나, 질소를 포함한 In-Ga-O막이나, 질소를 포함한 In-Zn-O막이나, 질소를 포함한 Sn-O막이나, 질소를 포함한 In-O막이나, 금속 질화막(InN, ZnN 등)을 형성하는 것이 바람직하다. 이러한 막은 5eV, 바람직하게는 5.5eV 이상의 일 함수를 가지고, 트랜지스터의 문턱 전압을 플러스로 할 수 있고, 소위 노멀리-오프(normally-off)의 스위칭 소자를 실현할 수 있다. 예를 들면, 질소를 포함한 In-Ga-Zn-O막을 이용하는 경우, 적어도 산화물 반도체막(229)보다 높은 질소 농도, 구체적으로는 7 원자% 이상의 질소를 포함한 In-Ga-Zn-O막을 이용한다.

[0222] 또한, 게이트 절연막(231)의 성막 후에, 불활성 가스 분위기하, 또는 산소 분위기하에서 열처리를 행해도 좋다. 열처리의 온도는 200°C 이상 450°C 이하로 하는 것이 바람직하고, 250°C 이상 350°C 이하로 하는 것이 더 바람직하다. 이러한 열처리를 행하는 것에 의해, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또, 산화물 반도체막(229)과 접하는 게이트 절연막(231) 또는 절연막(225)이 산소를 포함한 경우, 산화물 반도체막(229)에

산소를 공급하고, 이 산화물 반도체막(229)의 산소 결손을 보충할 수도 있다. 이와 같이, 상기의 열처리에는 산소를 공급하는 효과가 있기 때문에 이 열처리를 가산화(가산소화) 등이라고 부를 수도 있다.

[0223] 또한, 본 실시형태에서는, 게이트 절연막(231)의 형성 후에 가산화의 열처리를 실시하고 있지만, 가산화의 열처리의 타이밍은 이것으로 한정되지 않고, 게이트 절연막(231)의 형성 후에 적절히 행하면 좋다.

[0224] 위에서 설명한 바와 같이, 탈수화 또는 탈수소화의 열처리와 가산화의 열처리를 적용하여, 산화물 반도체막(229) 중의 불순물을 저감하고, 산소 결손을 보충함으로써, 산화물 반도체막(229)을 그 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화할 수 있다.

[0225] 다음으로, 도 14(A)에 도시하는 바와 같이, 스퍼터링법, CVD법, 도포법, 인쇄법 등에 의해, 절연막(243) 및 절연막(245)을 형성한다.

[0226] 절연막(243), 절연막(245)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 이용하면 좋고, 적층 또는 단층으로 형성한다. 또한, 절연막(245)으로서 외부로의 산소의 확산을 막는 절연막을 이용함으로써, 절연막(243)으로부터 이탈하는 산소를 산화물 반도체막에 공급할 수 있다. 외부로의 산소의 확산을 막는 절연막의 대표예로서는, 산화 알루미늄, 산화 질화 알루미늄 등이 있다. 또, 절연막(245)으로서 외부로부터의 수소의 확산을 막는 절연막을 이용함으로써, 외부로부터 산화물 반도체막으로의 수소의 확산을 저감할 수 있고, 산화물 반도체막의 결손을 저감할 수 있다. 외부로부터의 수소의 확산을 막는 절연막의 대표예로서는, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등이 있다. 또, 절연막(243)을 가열에 의해 산소의 일부가 이탈하는 산화 절연막, 외부로의 산소의 확산을 막는 절연막과 산화 절연막과의 3층 구조로 함으로써, 효율적으로 산화물 반도체막으로 산소를 확산함과 동시에, 외부로의 산소의 이탈을 억제하는 것이 가능하고, 온도 및 습도가 높은 상태에서도, 트랜지스터의 특성의 변동을 저감할 수 있다.

[0227] 이상의 공정에 의해, 도 14(A)에 도시하는 바와 같이, 산화물 반도체막을 가지는 트랜지스터(106)를 제작할 수 있다.

[0228] 위에서 설명한 바와 같이, 산화물 반도체막(229)은 수소 등의 불순물이 충분히 제거되고, 충분한 산소가 공급되어 산소가 과포화 상태가 됨으로써, 고순도화된 것인 것이 바람직하다. 구체적으로는, 산화물 반도체막(229)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다. 또한, 상기의 산화물 반도체막(229) 중의 수소 농도는 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)으로 측정되는 것이다. 이와 같이, 수소 농도가 충분히 저감되고 고순도화되어 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결함 준위가 저감된 산화물 반도체막(229)을 트랜지스터(106)에 이용함으로써, 예를 들면, 실온(25°C)에서의 오프 전류(여기에서는, 단위 채널폭($1 \mu\text{m}$) 당의 값)은 100zA (1zA (zeptoampere)는 $1 \times 10^{-21} \text{ A}$) 이하, 더 바람직하게는 10zA 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체막(229)을 이용함으로써, 매우 우수한 오프 전류 특성의 트랜지스터(106)를 얻을 수 있다.

[0229] 또한, 본 실시형태로 트랜지스터(106)를 탑 게이트 구조로 했지만, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 보텀 게이트 구조로 해도 좋다.

[0230] 다음으로, 절연막(221), 절연막(225), 절연막(243), 절연막(245)의 각각 일부를 선택적으로 에칭하고, 개구부를 형성하여, 배선(223a), 전극(241a) 및 전극(241b)의 각각 일부를 노출한다. 다음으로, 개구부에 도전막을 성막한 후, 이 도전막의 일부를 선택적으로 에칭하고, 전극(241b)에 접하여 배선(249)을, 전극(241a)에 접하여 배선(250)을 형성한다. 배선(249) 및 배선(250)은 컨택트 플러그(219a) 및 컨택트 플러그(219b)에 나타내는 재료를 적절히 이용할 수 있다.

[0231] 여기에서, 배선(250)은 도 1(A)에 도시하는 트랜지스터(106)의 소스 단자 또는 드레인 단자의 한쪽에 대응하고, 트랜지스터(102)의 소스 단자에 대응하는 배선(223c)과 전기적으로 접속된다. 또, 배선(249)은 도 1(A)에 도시하는 트랜지스터(106)의 소스 단자 또는 드레인 단자의 다른 한쪽에 대응하고, 저전위 전원선과 전기적으로 접속된다. 또, 트랜지스터(106)의 게이트 전극(233)은 도 1(A)에 도시하는 제어 단자 IN_S로서 기능한다.

[0232] 이상의 공정에 의해, 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(106)를 가지는 반도체 장치를 제작할 수 있다.

- [0233] 또, 트랜지스터(106)의 적어도 일부와 트랜지스터(101) 및 트랜지스터(102)가 적어도 일부가 중첩하여 형성되는 것이 바람직하다. 이러한 평면 레이아웃을 채용함으로써, 산화물 반도체와 같은 오프 전류가 낮은 반도체를 이용한 트랜지스터를 형성하는 것에 의한 CPU의 소비 전력의 증대를 저감할 수 있다.
- [0234] 이상과 같이 하여, CMOS 회로가 형성된 반도체 기판 위에, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들면, 와이드 밴드 갭 반도체인 산화물 반도체 재료를 이용하여 트랜지스터(106)를 형성할 수 있다. 트랜지스터(101), 트랜지스터(102) 및 트랜지스터(106)를 형성하는 것에 의해, CMOS 인버터 회로(100)의 논리의 반전시에 발생하는 관통 전류를 억제할 수 있다. 이에 따라, 본 실시형태에 나타내는 반도체 장치의 동작시의 소비 전력의 저감을 도모할 수 있다.
- [0235] 이상 본 실시형태에 나타내는 구성, 방법 등은 본 실시형태에 나타내는 구성, 방법들을 조합하여 이용할 수도 있고, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수도 있다.
- [0236] (실시형태 3)
- [0237] 본 명세서에 개시하는 반도체 장치는 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 텔레비전, 모니터 등의 표시 장치, 조명 장치, 데스크탑형 혹은 노트형의 퍼스널 컴퓨터, 워드 프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 기억된 정지 화면 또는 동영상을 재생하는 화상 재생 장치, 휴대용 CD player, 라디오, 테이프 레코더, 헤드폰 스테레오, 스테레오, 무선 전화기 세트, 트랜시버, 휴대 무선 기, 휴대전화, 자동차 전화, 휴대형 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자 렌지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어 컨디셔너 등의 공기 조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 연기 감지기, 방사선 측정기, 투석 장치 등의 의료기기 등을 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로보트, 전력 저장 시스템 등의 산업 기기도 있다. 또, 석유를 이용한 엔진이나, 비수계(非水系) 2차 전지로부터의 전력을 이용하여 전동기로 추진하는 이동체 등도 전기 기기의 범주에 포함되는 것으로 한다. 상기 이동체로서 예를 들면, 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 차(HEV), 플러그 인 하이브리드 차(PHEV), 이러한 타이어 차바퀴를 무한 궤도로 바꾼 장궤 차량, 전동 어시스트 자전거를 포함한 원동기 부착 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공위성, 우주 탐사기나 혹성 탐사기, 우주선을 들 수 있다. 이러한 전자 기기의 구체적인 예를 도 15에 도시한다.
- [0238] 도 15(A)에서, 실내기(3300) 및 실외기(3304)를 가지는 에어 컨디셔너는, 상기 실시형태에 기재한 반도체 장치를 CPU에 이용한 전기 기기의 일례이다. 구체적으로, 실내기(3300)는 하우징(3301), 송풍구(3302), CPU(3303) 등을 가진다. 도 15(A)에서, CPU(3303)가 실내기(3300)에 형성되어 있는 경우를 예시하고 있지만, CPU(3303)는 실외기(3304)에 설치되어 있어도 좋다. 또는, 실내기(3300)와 실외기(3304) 모두에 CPU(3303)가 설치되어 있어도 좋다. 상기 실시형태에 나타내는 반도체 장치를 이용한 CPU는 동작시의 소비 전력을 줄일 수 있기 때문에, 에어 컨디셔너의 소비 전력을 저감할 수 있다.
- [0239] 도 15(A)에서, 전기 냉동 냉장고(3310)는 산화물 반도체를 이용한 CPU를 구비한 전기 기기의 일례이다. 구체적으로, 전기 냉동 냉장고(3310)는 하우징(3311), 냉장실용 문(3312), 냉동실용 문(3313), 야채실용 문(3314), CPU(3315) 등을 가진다. 도 15(A)에서는, CPU(3315)가 하우징(3311)의 내부에 형성되어 있다. 앞의 실시형태에 나타내는 반도체 장치를 이용한 CPU를, 전기 냉동 냉장고(3310)의 CPU(3315)에 이용하는 것에 의해 전기 냉동 냉장고(3310)의 소비 전력을 저감할 수 있다.
- [0240] 도 15(A)에서, 영상 표시장치(3320)는 산화물 반도체를 이용한 CPU를 구비한 전기 기기의 일례이다. 구체적으로, 영상 표시 장치(3320)는 하우징(3321), 표시부(3322), CPU(3323) 등을 가진다. 도 15(A)에서는 CPU(3323)가 하우징(3321)의 내부에 형성되어 있다. 앞의 실시형태에 나타내는 반도체 장치를 이용한 CPU를 영상 표시 장치(3320)의 CPU(3323)에 이용하는 것에 의해, 영상 표시 장치(3320)의 소비 전력을 저감할 수 있다.
- [0241] 도 15(B)에서, 전기 기기의 일례인 전기 자동차의 예를 도시한다. 전기 자동차(3330)에는 2차 전지(3331)가 탑재되어 있다. 2차 전지(3331)의 전력은, 제어 회로(3332)에 의해 출력이 조정되어, 구동 장치(3333)에 공급된다. 제어 회로(3332)는, 도시하지 않은 ROM, RAM, CPU 등을 가지는 처리 장치(3334)에 의해 제어된다. 앞의 실시형태에 나타내는 반도체 장치를 이용한 CPU를 전기 자동차(3330)의 CPU에 이용하는 것에 의해, 전기 자동차의 동작시의 소비 전력을 저감할 수 있다.

[0242]

또한, 구동 장치(3333)는, 직류 전동기 또는 교류 전동기 단체, 또는 전동기와 내연 기관을 조합하여 구성된다. 처리 장치(3334)는 전기 자동차(3330)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행시의 정보(오르막이나 내리막길 등의 정보, 구동륜에 걸리는 부하 정보 등)의 입력 정보에 기초하여, 제어 회로(3332)에 제어 신호를 출력한다. 제어 회로(3332)는 처리 장치(3334)의 제어 신호에 의해, 2차 전지(3331)로부터 공급되는 전기 에너지를 조정하고, 구동장치(3333)의 출력을 제어한다. 교류 전동기를 탑재하고 있는 경우는, 도시하지 않았지만, 직류를 교류로 변환하는 인버터도 내장된다.

[0243]

본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0244]

10 : CMOS 인버터 회로

11 : 트랜지스터

11a : 점선

11b : 점선

11c : 점선

11d : 점선

11e : 점선

11f : 점선

11g : 점선

11h : 점선

12 : 트랜지스터

12a : 실선

12b : 실선

12c : 실선

12d : 실선

12e : 실선

12f : 실선

12g : 실선

12h : 실선

13a : 교점

13b : 교점

13c : 교점

13d : 교점

13e : 교점

13f : 교점

13g : 교점

13h : 교점

100 : CMOS 인버터 회로

101 : 트랜지스터

102 : 트랜지스터

106 : 트랜지스터

120 : NOR 회로

121a : 트랜지스터

121b : 트랜지스터

122a : 트랜지스터

122b : 트랜지스터

126 : 트랜지스터

126a : 트랜지스터

126b : 트랜지스터

130 : NAND 회로

131a : 트랜지스터

131b : 트랜지스터

132a : 트랜지스터

132b : 트랜지스터

136 : 트랜지스터

136a : 트랜지스터

136b : 트랜지스터

140 : D 플립 플롭

140a : D 플립 플롭

140b : D 플립 플롭

140c : D 플립 플롭

141 : NAND 회로

142 : NAND 회로

143 : NAND 회로

144 : NAND 회로

151 : 인버터

152 : 인버터

153 : 인버터

154 : 인버터	155 : 인버터
160 : 공진부	162 : 수정진동자
164 : 용량 소자	166 : 용량 소자
168 : 저항 소자	170 : 증폭부
172 : CMOS 인버터 회로	176 : 트랜지스터
178 : 저항 소자	180 : 제어 회로
182 : CMOS 인버터 회로	184 : CMOS 인버터 회로
201 : 반도체 기판	203 : 소자 분리 영역
205 : p웰 영역	207 : 게이트 절연막
207a : 게이트 절연막	207b : 게이트 절연막
209a : 게이트 전극	209b : 게이트 전극
211a : 불순물 영역	211b : 불순물 영역
212a : 불순물 영역	212b : 불순물 영역
213a : 불순물 영역	213b : 불순물 영역
214a : 불순물 영역	214b : 불순물 영역
215 : 절연막	216 : 사이드 월 절연막
217 : 절연막	218 : 사이드 월 절연막
219a : 컨택트 플러그	219b : 컨택트 플러그
219c : 컨택트 플러그	219d : 컨택트 플러그
220 : 절연막	221 : 절연막
222 : 절연막	223a : 배선
223b : 배선	223c : 배선
224 : 전극	225 : 절연막
227 : 산화물 반도체막	229 : 산화물 반도체막
231 : 게이트 절연막	233 : 게이트 전극
241a : 전극	241b : 전극
243 : 절연막	245 : 절연막
249 : 배선	250 : 배선
3300 : 실내기	3301 : 하우징
3302 : 송풍구	3303 : CPU
3304 : 실외기	3310 : 전기 냉동 냉장고
3311 : 하우징	3312 : 냉장실용 문
3313 : 냉동실용 문	3314 : 야채실용 문
3315 : CPU	3320 : 영상 표시장치
3321 : 하우징	3322 : 표시부
3323 : CPU	3330 : 전기 자동차

3331 : 2차 전지

3332 : 제어 회로

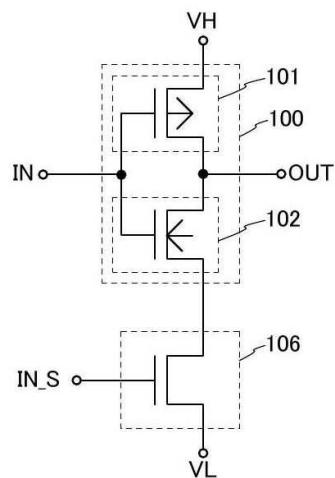
3333 : 구동 장치

3334 : 처리 장치

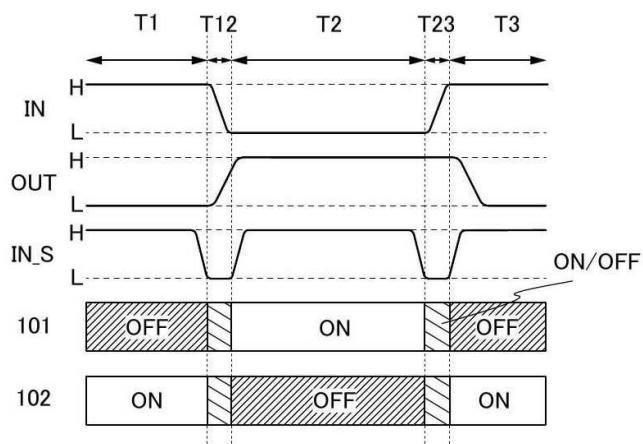
도면

도면1

(A)

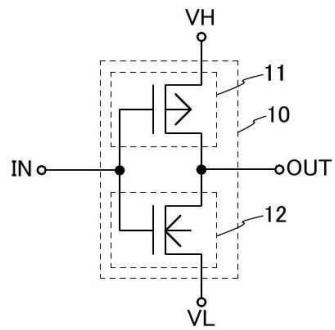


(B)

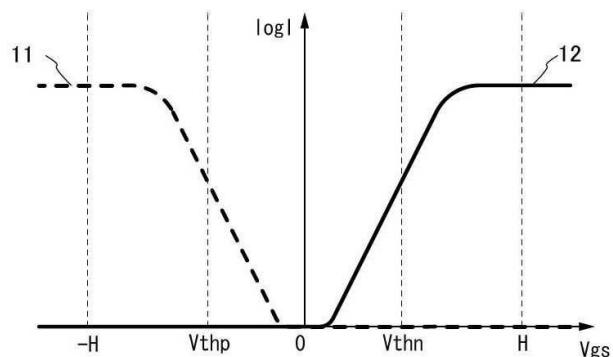


도면2

(A)

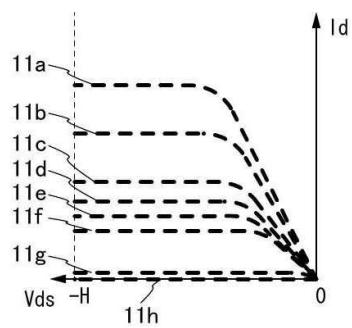


(B)

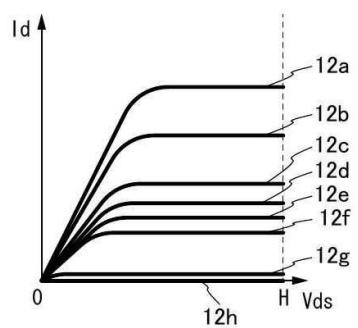


도면3

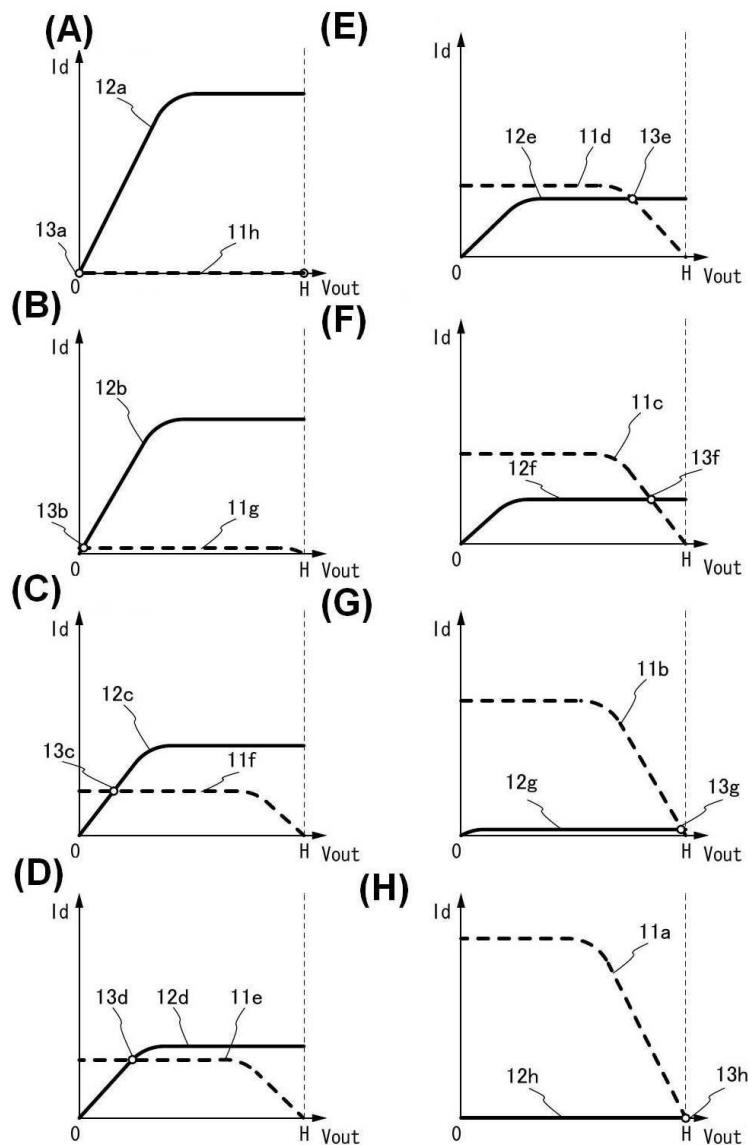
(A)



(B)

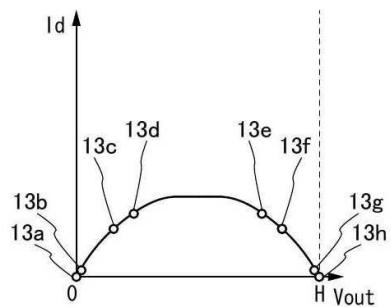


도면4

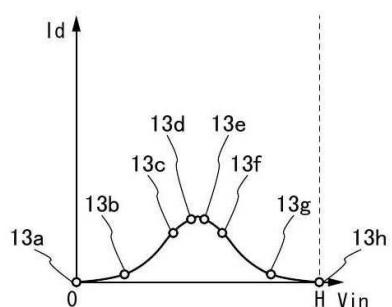


도면5

(A)

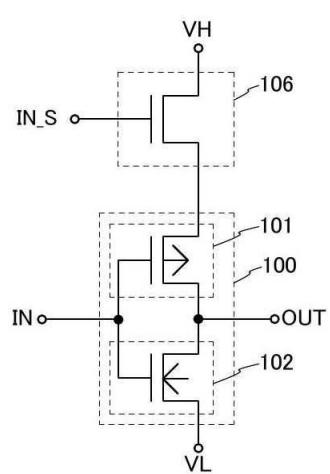


(B)

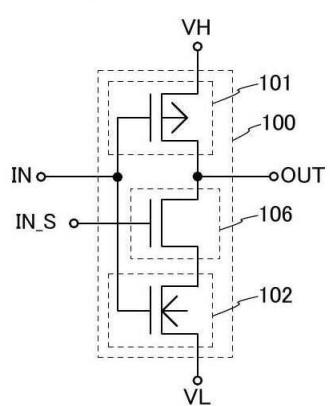


도면6

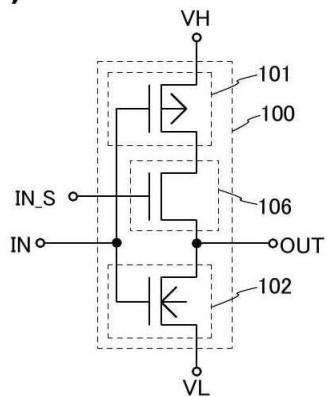
(A)



(B)

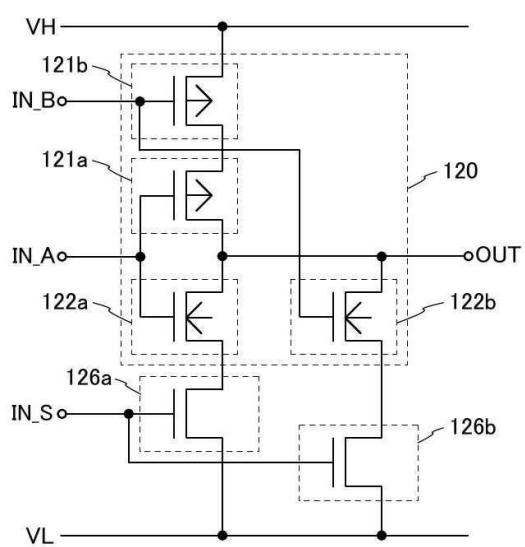


(C)

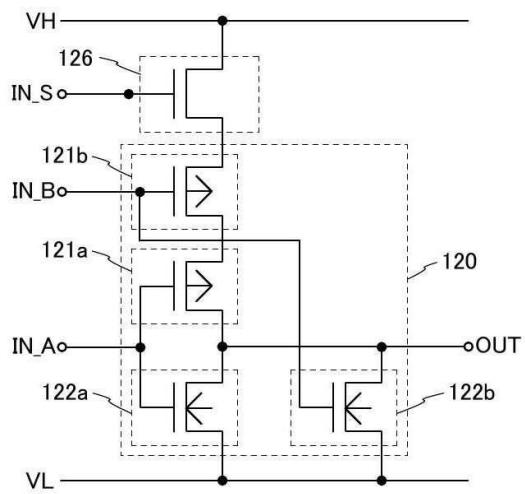


도면7

(A)

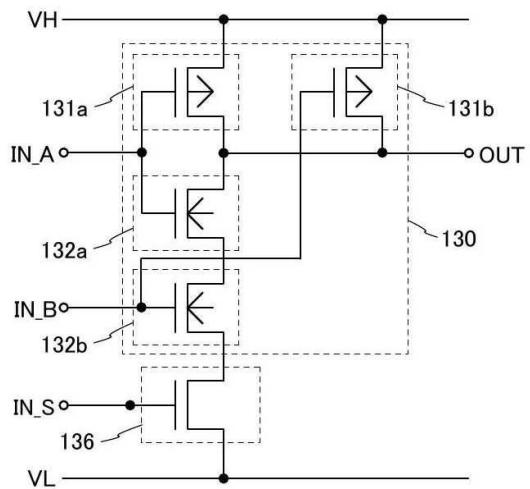


(B)

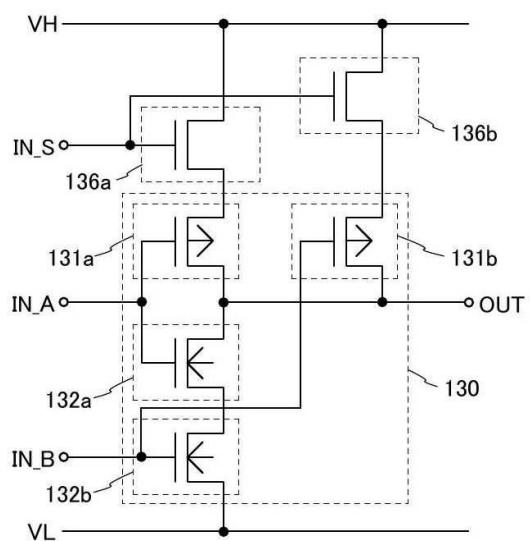


도면8

(A)

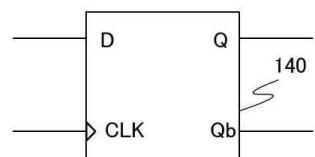


(B)

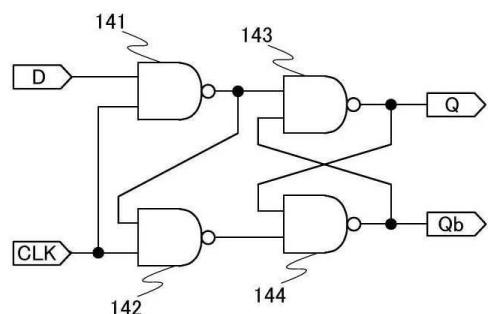


도면9

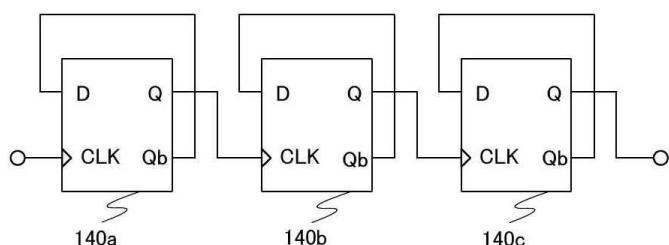
(A)



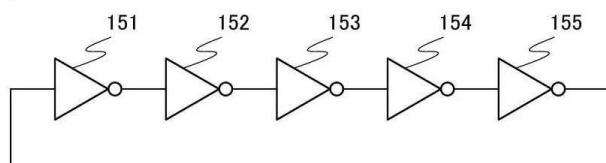
(B)



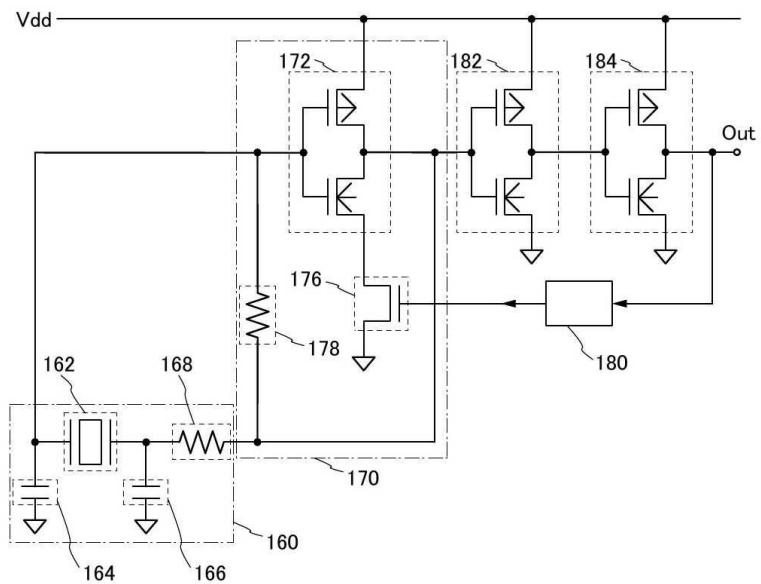
(C)



(D)

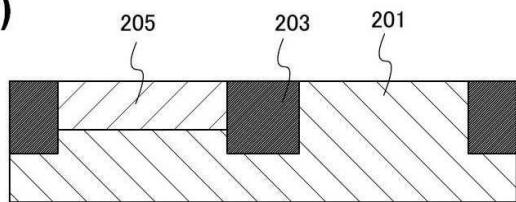


도면10

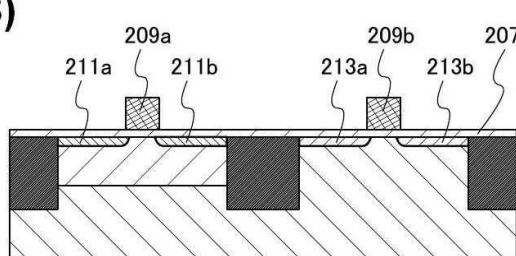


도면11

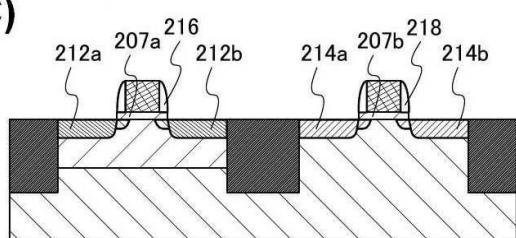
(A)



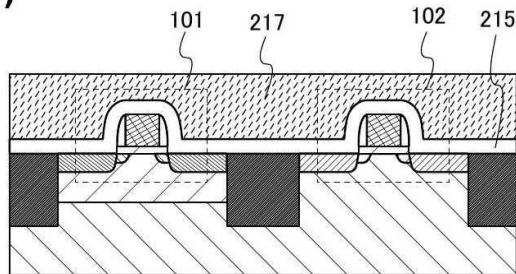
(B)



(C)

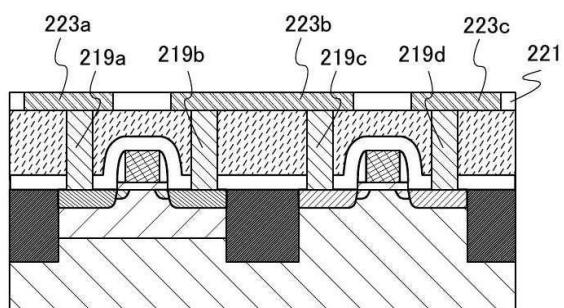


(D)

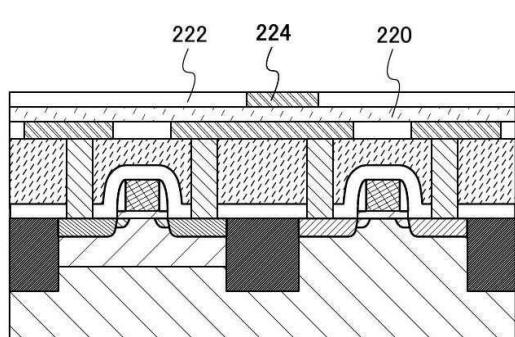


도면12

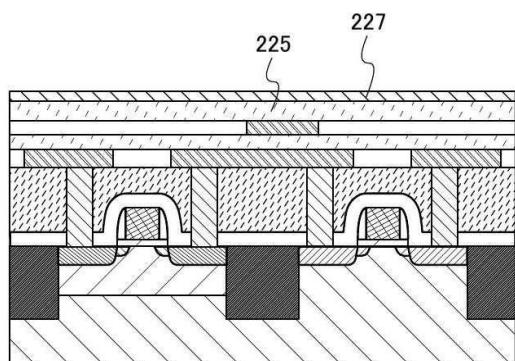
(A)



(B)

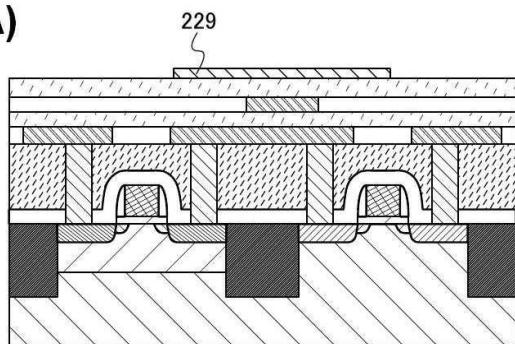


(C)

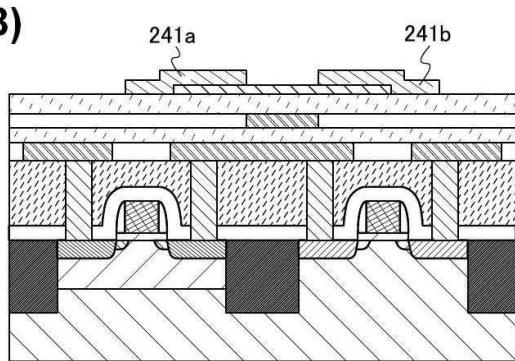


도면13

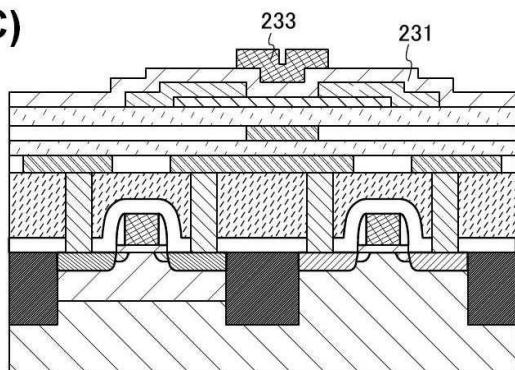
(A)



(B)

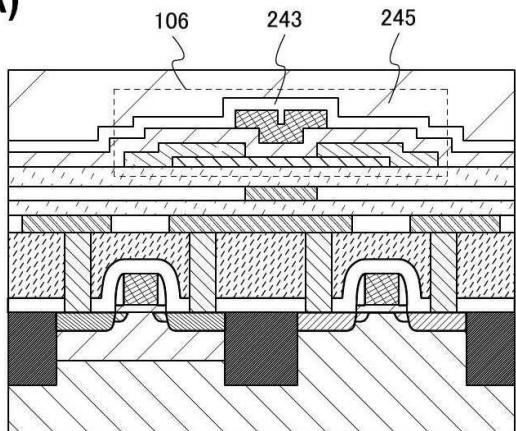


(C)

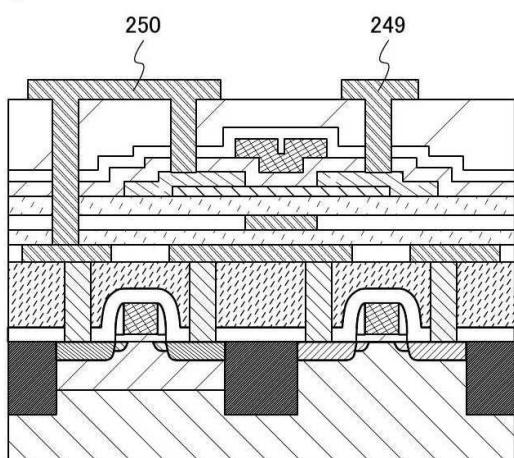


도면14

(A)

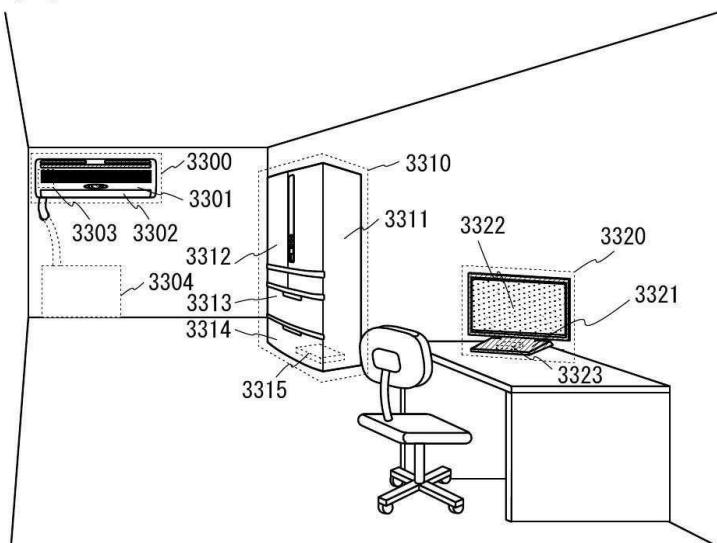


(B)



도면15

(A)



(B)

