

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成31年1月31日(2019.1.31)

【公表番号】特表2018-503328(P2018-503328A)
 【公表日】平成30年2月1日(2018.2.1)
 【年通号数】公開・登録公報2018-004
 【出願番号】特願2017-550470(P2017-550470)
 【国際特許分類】

H 0 4 L 9/10 (2006.01)

G 0 6 F 21/73 (2013.01)

【 F I 】

H 0 4 L 9/00 6 2 1 Z

G 0 6 F 21/73

【手続補正書】

【提出日】平成30年12月14日(2018.12.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法であって、

複数のインタバルの各ローンチ・キャプチャ・インタバルのパス遅延値を測定するステップと、

ランダムに選択した2つのパス遅延値間の差分値を計算するステップと、

前記差分値が正であるときに前記差分値を「0」ビットとして定め、前記差分値が負であるときに「1」ビットとして定めるステップと、

前記差分値がマージン閾値よりも大きいときに「0」ビットまたは「1」ビットを指定するステップと、

前記定めるステップに基づいて、一群のビットストリングを生成するステップであって、各ビットストリングが2つ以上の供給電圧レギュレータにおいて生成される、ステップと、

前記2つ以上の供給電圧レギュレータにおいて生成された各ビットストリングの1つ以上のビット位置において不一致を確認することによって、前記一群のビットストリングにおけるビットを排除するステップと、

応答ビットストリングを生成するステップと、
 を含む、方法。

【請求項2】

請求項1記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法において、前記指定するステップが、更に、

温度・電圧条件に基づいて前記マージン閾値を導出するステップと、

前記差分値が前記マージン閾値よりも小さいときに前記差分値を「無効」と分類し、前記差分値が前記マージン閾値よりも大きいときに「有効」と分類するステップと、
 を含む、方法。

【請求項3】

請求項1記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低

減する信頼性向上方法であって、更に、

ジャンプ・マージン・パラメータを定めるステップと、

前記パス遅延値または前記差分値のいずれかが前記ジャンプ・マージン・パラメータよりも小さいときに、前記パス遅延値および前記差分値を無視するステップと、を含む、方法。

【請求項 4】

請求項 1 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法において、各供給電圧レギュレータが、0.95 V、1.00 V、1.05 V の電圧で動作する、方法。

【請求項 5】

請求項 1 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法であって、更に、温度および電圧の変動を補償するために、一組の差分値から平均および範囲を計算するステップを含む、方法。

【請求項 6】

請求項 1 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法であって、更に、前記パス長バイアスを除去するために、モジュラスを前記差分値に適用するステップを含む、方法。

【請求項 7】

請求項 1 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法であって、更に、ビット反転を混入させる確率が最も高い前記差分値を特定するステップを含む、方法。

【請求項 8】

請求項 7 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法において、ビット反転を混入させる最も高い確率が、「0」ビットと「1」ビットとの間の境界において発生する、方法。

【請求項 9】

集積回路によるビットストリング生成のための登録方法であって、

(a) 物理的クローン不能関数について複数のローンチ・キャプチャ・インタバル・パス・タイミング値を測定するステップと、

(b) 前記物理的クローン不能関数の 2 つのパス・タイミング値をランダムに選択するステップと、

(c) 前記 2 つのパス・タイミング値間の差分値を計算するステップと、

(d) 前記差分値が正であるときに「0」ビットを指定し、前記差分値が負であるときに「1」ビットを指定するステップであって、更に、

温度 - 電圧条件に基づいてマージン閾値を定めるステップと、

前記差分値がマージン閾値よりも大きいときに「0」ビットまたは「1」ビットを指定するステップと、を含む、ステップと、

(e) 2 つ以上のビットストリングを得るために、2 つ以上の供給電圧レギュレータにおいて前記ステップ (a) ~ (d) を実行するステップと、

(f) 前記 2 つ以上のビットストリング間のビットにおいて不一致を確認するステップと、

(g) ビット反転の数を減らして応答ビットストリングを生成するために、前記不一致のビットストリングを除去するステップと、

を含む、方法。

【請求項 10】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法において、前記定めるステップが、更に、

前記差分値が前記マージン閾値よりも小さいときに前記差分値を「無効」と分類し、前記差分値が前記マージン閾値よりも大きいときに「有効」と分類するステップと、

を含む、方法。

【請求項 1 1】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法であって、更に、
ジャンプ・マージン・パラメータを定めるステップと、
前記パス・タイミング値または前記差分値が前記ジャンプ・マージン・パラメータよりも小さいとき、あらゆるパス・タイミング値および差分値を無視するステップと、
を含む、方法。

【請求項 1 2】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法において、各供給電圧レギュレータが、0.95V、1.00V、1.05Vの電圧で動作する、方法。

【請求項 1 3】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法であって、更に、チップ間ハミング距離を計算するステップを含む、方法。

【請求項 1 4】

請求項 1 3 記載の集積回路によるビットストリング生成のための登録方法において、前記計算するステップが、更に、2つの集積回路によって生成されたビットストリングにおいて異なるビットの数を数えるステップを含む、方法。

【請求項 1 5】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法であって、更に、チップ内ハミング距離を計算するステップを含む、方法。

【請求項 1 6】

請求項 1 5 記載の集積回路によるビットストリング生成のための登録方法において、前記計算するステップが、更に、2つのTVコーナーにおいて生成された前記ビットストリングにおいて異なるビットの数を数えるステップを含み、各TVコーナーが異なる集積回路からのものである、方法。

【請求項 1 7】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法であって、更に、温度および電圧の変動を補償するために、一組の差分値から平均および範囲を計算するステップを含む、方法。

【請求項 1 8】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法であって、更に、前記パス長バイアスを除去するために前記差分値にモジュラスを適用するステップを含む、方法。

【請求項 1 9】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法であって、更に、ビット反転を混入させる確率が最も高い前記差分値を特定するステップを含む、方法。

【請求項 2 0】

請求項 1 9 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する登録方法において、ビット反転を混入させる最も高い確率が、「0」ビットと「1」ビットとの間の境界において発生する、方法。

【請求項 2 1】

請求項 1 記載の物理的クローン不可関数ビットストリング生成中にビット反転の数を低減する信頼性向上方法において、当該方法が、機能ユニットのグリッチのない実装を使用する、方法。

【請求項 2 2】

請求項 9 記載の集積回路によるビットストリング生成のための登録方法において、当該方法が、機能ユニットのグリッチのない実装を使用する、方法。