

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月25日(25.08.2022)



(10) 国際公開番号

WO 2022/176986 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 21/363 (2006.01)
G09F 9/30 (2006.01) H01L 27/32 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/316 (2006.01) H01L 51/50 (2006.01)
H01L 21/336 (2006.01) H05B 33/10 (2006.01)

(72) 発明者: 細野 秀雄(HOSONO Hideo); 〒2268503 神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内 Kanagawa (JP). 金正煥(KIM Junghwan); 〒2268503 神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内 Kanagawa (JP). 雲見日出也(KUMOMI Hideya); 〒2268503 神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/006733

(22) 国際出願日: 2022年2月18日(18.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-026653 2021年2月22日(22.02.2021) JP
特願 2021-174071 2021年10月25日(25.10.2021) JP

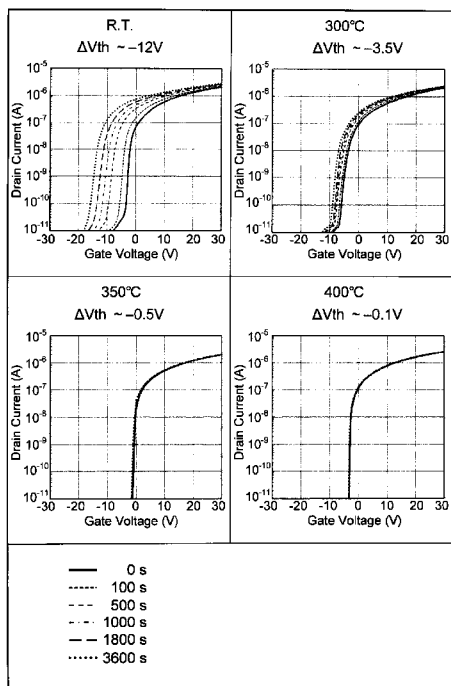
(74) 代理人: 特許業務法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: THIN FILM TRANSISTOR, DISPLAY DEVICE, ELECTRONIC DEVICE AND METHOD FOR PRODUCING THIN FILM TRANSISTOR

(54) 発明の名称: 薄膜トランジスタ、表示装置、電子機器および薄膜トランジスタの製造方法



(57) Abstract: A thin film transistor according to one embodiment of the present invention is formed on a substrate and comprises: a channel which is formed of at least a part of a metal oxide semiconductor layer that contains at least indium (In); a gate electrode; a gate insulating layer which is arranged between the channel and the gate electrode; and a source electrode and a drain electrode, which are connected to the metal oxide semiconductor layer. For example, a threshold shift due to voltage stress is effectively suppressed by setting the average concentration of carbon atoms in a region from the surface to the depth of 5 nm of the channel to $1.5 \times 10^{21} \text{ cm}^{-3}$ or less.

(57) 要約: 一実施形態における薄膜トランジスタは、基板上に形成された薄膜トランジスタであって、少なくともインジウム (In) 含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む。例えば、前記チャネルの表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下であることによって、電圧ストレスによる閾値シフトを効果的に抑制することができる。

WO 2022/176986 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て：

- 一 不利にならない開示又は新規性喪失の例外に関する申立て（規則4.17(v)）

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：

薄膜トランジスタ、表示装置、電子機器および薄膜トランジスタの製造方法

技術分野

[0001] 本発明は、金属酸化物半導体を用いた薄膜トランジスタに関する。

背景技術

[0002] InGaZnO （以下、 IGZO という）に例示される金属酸化物半導体を用いた薄膜トランジスタが、ディスプレイの画素を駆動するための素子として利用されている。 In と Ga の組成比が1:1の IGZO を用いた薄膜トランジスタは、 $10\text{ cm}^2/\text{Vs}$ 程度の移動度を有する。この移動度は、アモルファスシリコンを用いた薄膜トランジスタの移動度に比べると高いが、低温ポリシリコンを用いた薄膜トランジスタの移動度に比べると低い。

[0003] 近年、4K、8Kに代表されるディスプレイの高画素化・大型化により、アモルファスシリコンよりも移動度が高く、低温ポリシリコンよりも大面積での均一性に優れた薄膜トランジスタを製造することができる IGZO の採用が進んでいる。例えば、 IGZO の移動度を向上させるために、 In と Ga の組成比を1:1よりも In リッチとした IGZO を用いた薄膜トランジスタが開発されている。また、次世代ディスプレイ用に、 IGZO より高い移動度を実現する金属酸化物半導体を用いた薄膜トランジスタの開発も進められている。その一つである InSnZnO （以下、 ITZO ）を用いた薄膜トランジスタは $50\text{ cm}^2/\text{Vs}$ 程度の移動度の実現可能である。そのため、高移動度が必要な回路に使われていた薄膜トランジスタを、低温ポリシリコンから ITZO に置き換えることができる。一方、 ITZO を用いたn型薄膜トランジスタは、NBTS（Negative Bias Temperature Stress）による閾値電圧（以下、単に閾値という場合がある。ストレス付与前の閾値を V_{th} として示し、ストレス付与後の閾値

から付与前の閾値を引いたシフト量を ΔV_{th} として示す。なお、NBISおよびPBT Sの場合も閾値は同様に使用される。)のマイナスシフトが生じるという問題を有している。n型薄膜トランジスタにおいて、連続した負バイアス電圧の印加により閾値がマイナスシフトするということは、負バイアス電圧の印加により当初オフ状態に制御したはずのトランジスタが時間の経過により勝手にオン状態になることを意味するので、マイナスシフト量は十分に抑制する必要がある。

[0004] 例えば、非特許文献1は、この問題を解決する方法として、薄膜トランジスタの特性を悪くするC=O及びC-O結合などによる欠陥に対して、ITZOのバックチャネル側へのN₂Oプラズマ処理を適切な時間で行うことを開示している。

先行技術文献

非特許文献

[0005] 非特許文献1: W. -H, Tseng et. al., Solid-State Electronics 103 (2015), 173-177

発明の概要

発明が解決しようとする課題

[0006] 非特許文献1のFig. 6によれば、ITZO薄膜トランジスタでは、N₂Oプラズマ処理の時間が長くなるにつれて、NBTSによる閾値のマイナスシフトが減少するが、該処理時間が最適値を越えると該マイナスシフトが増加する、と理解できる。すなわち、非特許文献1記載のプロセスにしたがって、閾値のマイナスシフトを抑制するためには、ITZOのバックチャネルの表面状態を把握してそれに応じてN₂Oプラズマ処理の時間を精密に制御する必要があると考えられる。N₂Oプラズマ処理の後にパッシベーション層をPECVD (Plasma Enhanced Chemical Vapor Deposition) 法で形成するときにも、N₂Oのプラズマに曝されることで、その時間の制御がさらに難しくなっている。その結果として

、このような制御を要することが製造上のばらつきを生じる原因にもなり得る。したがって、 N_2O プラズマ処理とは別の方法によって閾値のマイナスシフトを抑制することが求められている。

[0007] 本発明の目的の一つは、Inを含む金属酸化物半導体層を用いた薄膜トランジスタにおいて生じる電圧ストレスによる閾値シフトを、効果的に抑制することにある。また、本発明の目的の一つは、ITZOを用いた薄膜トランジスタにおいて生じるNBTISによる閾値シフトを、効果的に抑制することにある。

課題を解決するための手段

[0008] 一実施形態における薄膜トランジスタは、基板上に形成された薄膜トランジスタであって、少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む。前記チャネルの表面から深さ5nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下である。平均濃度は、 $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0009] 一実施形態における薄膜トランジスタは基板上に形成された薄膜トランジスタであって、少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む。前記チャネルの表面から深さ5nmまでの範囲における炭素原子の最大濃度が19at%以下である。最大濃度が8at%以下であってもよい。

[0010] 前記ゲート電極は、前記基板と前記チャネルとの間に配置されてもよい。

[0011] 前記ソース電極および前記ドレイン電極は、耐酸化性を有する導電性材料を含んでもよい。

[0012] 前記チャネルは、前記基板と前記ゲート電極との間に配置されてもよい。

- [0013] 前記金属酸化物半導体層のうち、前記ソース電極と接続された表面および前記ドレイン電極と接続された表面は、前記チャンネルの表面よりも炭素原子の濃度が高くてもよい。
- [0014] 前記ソース電極および前記ドレイン電極に対する前記ゲート電極の電圧が $V_{th} - 20V$ になるように制御し、温度を $60^{\circ}C$ とし、暗状態で 3600 秒維持した場合に、閾値のシフト量が $0.5V$ 以下であってもよい。
- [0015] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。
- [0016] 前記チャンネルを覆う絶縁性を有するパッシベーション層をさらに含んでもよい。前記パッシベーション層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層であってもよい。
- [0017] 一実施形態における薄膜トランジスタは基板上に形成された薄膜トランジスタであって、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、絶縁性を有し、前記チャンネルを覆うパッシベーション層と、を含む。前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい。
- [0018] 前記パッシベーション層の電子親和力は $2.0eV$ 以上 $4.0eV$ 以下の範囲内であってもよい。該パッシベーション層のイオン化ポテンシャルは $6.0eV$ 以上 $8.5eV$ 以下の範囲内であってもよい。
- [0019] 前記パッシベーション層は、アモルファスを含んでもよい。
- [0020] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。
- [0021] 一実施形態における表示装置は、複数の画素回路を含み、前記複数の画素回路は、それぞれ、上記記載の薄膜トランジスタを含む。
- [0022] 複数の発光素子を含んでもよい。前記複数の画素回路は、前記複数の発光素子による発光をそれぞれ制御してもよい。

- [0023] 一実施形態における電子機器は、上記記載の表示装置と、前記表示装置を制御する制御装置と、を含む。
- [0024] 一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、前記チャネルが露出した状態において酸素を含む雰囲気中で350℃以上に加熱し、前記加熱の後かつ炭素原子を含む層が前記チャネルの露出した部分に接触する前に前記チャネルを覆う絶縁層を形成することを含む。
- [0025] 一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、前記チャネルが露出した状態において酸素を含む雰囲気中で紫外光を照射し、前記照射の後かつ炭素原子を含む層が前記チャネルの露出した部分に接触する前に前記チャネルを覆う絶縁層を形成することを含む。
- [0026] 一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、前記チャネルが露出した状態において酸素雰囲気下のDCスパッタリングにより前記チャネルを覆う絶縁層を形成することを含む。
- [0027] 前記DCスパッタリングにおいて用いられるターゲットは、導電性を有する金属酸化物であってもよい。
- [0028] 前記金属酸化物半導体層は、PVD法により形成されてもよい。

- [0029] 前記絶縁層が形成される前に前記チャンネルの露出していた部分の表面から深さ5 nmまでの範囲における炭素原子の平均濃度が、前記絶縁層が形成された後において $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。この平均濃度が、前記絶縁層が形成された後において $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。
- [0030] 前記絶縁層が形成される前に前記チャンネルの露出していた部分の表面から深さ5 nmまでの範囲における炭素原子の最大濃度が、前記絶縁層が形成された後において19 at %以下であってもよい。この最大濃度が、前記絶縁層が形成された後において8 at %以下であってもよい。
- [0031] 前記ゲート電極は、前記基板と前記チャンネルとの間に配置されてもよい。前記ソース電極および前記ドレイン電極が形成された後に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離してもよい。
- [0032] 前記チャンネルは、前記基板と前記ゲート電極との間に配置されてもよい。前記炭素原子から保護する絶縁層は、前記ゲート絶縁層であってもよい。前記ソース電極および前記ドレイン電極が形成される前に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離してもよい。
- [0033] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。
- [0034] 前記絶縁層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層であってもよい。
- [0035] 一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、絶縁性を有し前記チャンネルを覆うパッシベーション層と、を含む薄膜トランジスタを基板上に形成することを含む。前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい。

[0036] 前記パッシベーション層の電子親和力は、 2.0 eV 以上 4.0 eV 以下の範囲内であってもよい。該パッシベーション層のイオン化ポテンシャルは 6.0 eV 以上 8.5 eV 以下の範囲内であってもよい。

[0037] 前記パッシベーション層は、アモルファスを含んでもよい、

[0038] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。

発明の効果

[0039] 本発明によれば、Inを含む金属酸化物半導体層を用いた薄膜トランジスタにおいて生じる電圧ストレスによる閾値シフトを、効果的に抑制することができる。また、本発明によれば、ITZOを用いた薄膜トランジスタにおいて生じるNBTIによる閾値シフトを、効果的に抑制することができる。

図面の簡単な説明

[0040] [図1]一実施形態における表示装置を示す図である。

[図2]一実施形態における画素の断面構造を模式的に示す図である。

[図3]一実施形態における表示装置の製造方法を説明するための図である。

[図4]一実施形態における表示装置の製造方法を説明するための図である。

[図5]一実施形態における表示装置の製造方法を説明するための図である。

[図6]一実施形態における薄膜トランジスタを示す図である。

[図7]一実施形態における表示装置の製造方法を説明するための図である。

[図8]一実施形態における表示装置の製造方法を説明するための図である。

[図9]閾値シフト測定用の薄膜トランジスタを示す図である。

[図10]測定用の薄膜トランジスタの製造方法を説明するための図である。

[図11]測定用の薄膜トランジスタの製造方法を説明するための図である。

[図12]測定用の薄膜トランジスタの製造方法を説明するための図である。

[図13]フォトリソ形成前およびフォトリソ形成・除去後のTDS測定結果を示す図である。

[図14]フォトリソ形成前およびフォトリソ形成・除去後のHAX-PEP測定結果 (C1s) を示す図である。

[図15] フォトレジスト形成前およびフォトレジスト形成・除去後のHAX-PE S測定結果 (0.1 s) を示す図である。

[図16] 加熱温度の違いによるTDS測定結果を示す図である。

[図17] After PRサンプルおよび加熱処理後のサンプルに対するオージェ電子分光の測定結果を示す図である。

[図18] NBT Sによる閾値シフトの測定結果を示す図である。

[図19] NBSによる閾値シフトの測定結果を示す図である。

[図20] フォトレジスト形成・除去後およびUVオゾン処理後のTDS測定結果を示す図である。

[図21] UVオゾン処理後のNBT SおよびPBT Sによる閾値シフトの測定結果を示す図である。

[図22] 一実施形態におけるESL型薄膜トランジスタを示す図である。

[図23] 一実施形態におけるトップゲート型薄膜トランジスタを示す図である。

[図24] 一実施形態における電子機器を示す図である。

[図25] 一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。

[図26] 一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。

[図27] 一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。

[図28] 温度変化による閾値シフトの測定結果を示す図である。

[図29] NBSによる閾値シフトの測定結果を示す図である。

[図30] 光照射前後の電子濃度の測定結果を示す図である。

[図31] 吸収係数の測定結果を示す図である。

[図32] NBSによる閾値シフトの時間による変化の測定結果とモデル式を示す図である。

[図33] NBT SおよびPBT Sによる閾値シフトの測定結果を示す図である。

。

[図34] N B T S および P B T S による閾値シフトの測定結果を示す図 である

。

[図35] N B I S による閾値シフトの測定結果を示す図である。

[図36] 一実施形態におけるパッシベーション層を用いたトップゲート型薄膜トランジスタを示す図である。

[図37] 一実施形態におけるパッシベーション層を用いたトップゲート型薄膜トランジスタを示す図である。

[図38] UV オゾン処理有無における N B S による閾値シフトの測定結果 (I T G O) を示す図である。

[図39] UV オゾン処理有無における N B S による閾値シフトの測定結果 (I Z O) を示す図である。

発明を実施するための形態

[0041] 以下、本発明の一実施形態について、図面を参照しながら詳細に説明する。以下に示す実施形態は一例であって、本発明はこれらの実施形態に限定して解釈されるものではない。本実施形態で参照する図面において、同一部分または同様な機能を有する部分には同一の符号または類似の符号（数字の後に A、B など付しただけの符号）を付し、その繰り返しの説明は省略する場合がある。図面は、説明を明確にするために、寸法比率が実際の比率とは異なったり、構成の一部が図面から省略されたりして、模式的に説明される場合がある。

[0042] 第 1 の構成に対する第 2 の構成の位置関係を示す際に、「上に」および「下に」という表現は、第 1 の構成物の直上または直下に位置する場合に限らず、特に明示しない限り、さらに他の構成が介在する場合も含む。

[0043] [概要]

一実施形態における表示装置は、この例では O L E D (O r g a n i c L i g h t E m i t t i n g D i o d e) を用いた有機 E L (E l e c t r o L u m i n e s c e n c e) ディスプレイである。有機 E L ディス

プレイは、互いに異なる色の光を放出する複数のOLEDを用いることによってカラー表示を実現してもよいし、白色光を放出するOLEDおよびカラーフィルタを用いてカラー表示を実現してもよい。表示装置は、さらにタッチセンサの機能を有していてもよい。タッチセンサは、例えば、自己容量方式または相互容量方式により表示面への指およびスタイラス等の接触を検出する。

[0044] 表示装置は、ITZOを用いた薄膜トランジスタを含む。表示装置の駆動方式によれば、薄膜トランジスタがオフ状態に制御されている時間が長い。そのため、NBTsによる閾値のマイナスシフトが生じやすい薄膜トランジスタを用いることは望ましくない。以下に詳述するように、ITZOを用いた薄膜トランジスタによれば、発明者らによって得られた知見に基づく方法により、NBTsによる閾値のマイナスシフトを抑制することが実現された。

[0045] まず、表示装置の構成について説明し、表示装置に含まれる薄膜トランジスタの構成およびNBTsによる閾値のマイナスシフトの抑制を実現するための構成については、その後に述べる。

[0046] [表示装置の構成]

図1は、一実施形態における表示装置を示す図である。表示装置1000は、第1基板1と第2基板2とが貼り合わせ材によって貼り合わされた構造を有する。第1基板1は、表示領域D1および駆動回路GDを含む。第1基板1には、ドライバIC(Integrated Circuit)チップCDが実装されている。ドライバICチップCDは、第1基板1に接続されるFPC(Flexible Printed Circuits)に実装されてもよい。図1では、FPCは省略されている。第2基板2は、第1基板1に形成された素子を保護する。第2基板2に代えて、第1基板1に形成された素子を覆うカバー層が配置されてもよい。

[0047] 表示領域D1には、複数の走査信号線GL、複数のデータ信号線SLおよび複数の画素PXが配置されている。複数の画素PXは例えばマトリクス状

に配置されている。走査信号線GLとデータ信号線SLとは互いに交差して配置されている。走査信号線GLとデータ信号線SLとが交差する部分には画素PXが配置されている。図1は、1つの画素PXに対して1つの走査信号線GLおよび1つのデータ信号線SLを配置した例を示しているが、さらに別の信号線が配置されていてもよい。

[0048] 駆動回路GDは、表示領域D1に隣接して配置され、走査信号線GLに接続されている。ドライバICチップCDは、データ信号線SLおよび駆動回路GDに接続されている。ドライバICチップCDは、外部からの制御信号に基づいて、データ信号線SLに供給する信号を制御し、さらに、駆動回路GDを制御することで走査信号線GLに供給する信号を制御する。駆動回路GDは、この例では薄膜トランジスタ100（図2参照）を用いたシフトレジスタなどの回路を含む。薄膜トランジスタ100は、n型トランジスタであるため、駆動回路GDに含まれる回路構成を実現するためにブートストラップ回路を用いてもよい。

[0049] 画素PXは、OLEDである発光素子、および発光素子による発光を制御するための画素回路を含む。画素回路は、薄膜トランジスタ100およびキャパシタ等の素子を含む。この例では、1つの画素PXに含まれる画素回路には、複数の薄膜トランジスタ100が用いられる。発光素子から放射された光は、この例では、発光素子が形成された第1基板1とは逆方向に進み、第2基板2を通してユーザに視認される。すなわち、表示装置1000は、トップエミッション方式を採用している。表示装置1000は、ボトムエミッション方式を採用してもよい。

[0050] 図2は、一実施形態における画素の断面構造を模式的に示す図である。第1基板1は、第1支持基板10、下地絶縁層110、薄膜トランジスタ100、層間絶縁層200、画素電極300、バンク層400、発光層500、対向電極600および封止層900を含む。第2基板2は、封止層900を覆うように配置されている。上述したように、1つの画素回路において複数の薄膜トランジスタ100が用いられているが、図2においては、画素電極

300に接続された1つの薄膜トランジスタ100が示され、他の薄膜トランジスタ100の図示は省略されている。

[0051] 第1支持基板10および第2基板2は、ガラス基板である。第1支持基板10および第2基板2の一方または双方が、有機樹脂基板等の可撓性を有する基板であってもよい。

[0052] 下地絶縁層110は、第1支持基板10上に配置され、内部への水分およびガスの侵入を抑制する。下地絶縁層110は、例えば、酸化シリコンまたは窒化シリコンなどの絶縁膜を含む。下地絶縁層110は、複数種類の絶縁膜を積層した構成を含んでもよい。

[0053] 薄膜トランジスタ100は、上述したようにITZOを半導体層として含み、下地絶縁層110上に配置されている。薄膜トランジスタ100は、この例では、BCE (Back Channel Etch) 型の薄膜トランジスタである。薄膜トランジスタ100の詳細の構成については後述する。

[0054] 層間絶縁層200は、薄膜トランジスタ100を覆っている。層間絶縁層200は、例えば、酸化シリコンまたは窒化シリコン等の無機絶縁膜を含む。層間絶縁層200は、複数種類の絶縁膜を積層した構成を含んでもよい。この例では、層間絶縁層200のうち酸化シリコン膜が薄膜トランジスタ100と接している。層間絶縁層200は、無機絶縁膜上にさらに平坦化絶縁膜を含んでもよい。平坦化絶縁膜は、例えばアクリル、ポリイミドまたはエポキシ等の有機絶縁膜であってもよい。層間絶縁層200が複数の絶縁膜を積層した構成を含む場合には、複数の絶縁膜の間に配線等の導電膜が配置されてもよい。

[0055] 画素電極300は、層間絶縁層200に形成されたコンタクトホールを介して薄膜トランジスタ100のドレイン電極172 (図6参照) に接続されている。画素電極300は、発光層500の陰極として機能する導電膜を含む。画素電極300は、1種類の導電膜または複数種類の導電膜の積層構造を含む。画素回路の構成によっては、画素電極300は、発光層500の陽極として機能してもよい。この場合には画素電極300は、薄膜トランジス

タ100のソース電極171に接続される。上述したように、表示装置1000はトップエミッション方式を採用しているため、画素電極300は光透過性を有していなくてもよい。表示装置1000がボトムエミッション方式を採用している場合には、画素電極は光透過性を有する。

[0056] バンク層400は、画素電極300の端部を覆い、画素電極300の一部を露出する開口部を含む。バンク層400は、例えば、アクリル、ポリイミドまたはエポキシ等の有機絶縁膜を含む。

[0057] 発光層500は、画素電極300およびバンク層400の一部を覆うように配置されている。発光層500は、複数種類の有機材料を積層した構造を有する。発光層500は、電流が供給されることにより発光する。発光層500を構成する複数の有機材料のうち少なくとも1つを変更することにより、発光色を互いに異ならせることができる。

[0058] 対向電極600は、発光層500を覆う。対向電極600は、発光層500の陽極として機能する導電膜を含む。対向電極600は、1種類の導電膜または複数種類の導電膜の積層構造を含む。上述したように、画素回路の構成によっては、対向電極600は、発光層500の陰極として機能してもよい。上述したように、表示装置1000はトップエミッション方式を採用しているため、対向電極600は光透過性を有する。画素電極300、発光層500および対向電極600によって、各画素PXにおける発光素子が形成される。

[0059] 封止層900は、表示領域D1の全体を覆い、発光層500への水分およびガスの侵入を抑制する絶縁層である。封止層900は、例えば、対向電極600上に配置された窒化シリコン膜、および窒化シリコン膜上の平坦化絶縁膜を積層した構成を含み、光透過性を有する。平坦化絶縁膜は、例えば、アクリル、ポリイミドまたはエポキシ等の有機絶縁膜であってもよい。封止層900は、窒化シリコン膜と第2基板2とに挟まれて配置され、第1基板1と第2基板2とを貼り合わせるための部材として機能してもよい。

[0060] [表示装置の製造方法]

続いて、表示装置1000の製造方法について説明する。

[0061] 図3から図5、図7および図8は、一実施形態における表示装置1000の製造方法を説明するための図である。特に、図3から図5においては、表示装置1000のうち薄膜トランジスタ100の製造方法について説明する。まず、第1支持基板10を準備し、第1支持基板10上に下地絶縁層110を形成する。下地絶縁層110は、例えば、CVD (Chemical Vapor Deposition) 法またはPVD (Physical Vapor Deposition) 法によって形成される。CVD法には、例えばPECVD法が含まれる。PVD法には、スパッタリング法が含まれる。以下の説明においても同様である。

[0062] ゲート電極120は、下地絶縁層110上にPVD法によって形成された導電性材料の膜を所望のパターンに形成することによって得られる。所望のパターンは、例えば、フォトリソグラフィによるフォトレジストを用いたエッチングプロセスまたはリフトオフプロセスによって形成される。ゲート電極120は、印刷方式、インクジェット方式等によってパターン化された状態で形成されてもよい。ゲート電極120が形成されるときに、走査信号線GLおよびデータ信号線SLの少なくとも一方を同時に形成してもよい。導電性材料は、例えば、モリブデン、タンタル、タングステン、金、銅、クロム、アルミニウム等の金属、または、これらの少なくとも1つを含む金属化合物である。ゲート電極120は、複数種類の導電性材料を積層した構成を含んでもよい。この例では、ゲート電極120は、第1支持基板10側から順に、モリブデンおよび銅が積層された構成を含む。

[0063] ゲート絶縁層130は、CVD法またはPVD法によって、ゲート電極120および下地絶縁層110を覆うように形成される。ゲート絶縁層130の厚さは、様々に取り得るが、例えば、20nm以上200nm以下であり、好ましくは、50nm以上150nm以下である。ゲート絶縁層130が形成された後の構成が、図3に対応する。ゲート絶縁層130は、無機絶縁性材料によって形成される。無機絶縁性材料は、例えば、窒化シリコン、酸

化シリコン、酸化窒化シリコン、酸化アルミニウムまたは酸化ハフニウム等である。ゲート絶縁層130は、複数種類の無機絶縁性材料を積層した構成を含んでもよい。この例では、ゲート絶縁層130は、ゲート電極120側から順に、窒化シリコン膜および酸化シリコン膜が積層された構成を含む。

[0064] 続いて、CVD法またはPVD法によってゲート絶縁層130上にITZO膜を形成する。この例では、アルゴンおよび酸素を含むガスを用いたスパッタリング法によりITZOを形成する。ITZO膜は、この例では、アモルファスであるが、微結晶が含まれていてもよい。In、Sn、ZnおよびO以外の要素を含んでもよい。チャンネルCH（図6参照）の表面から5nmの範囲において、Snが10at%以上となる部分を含んでもよく、13at%以上となる部分を含んでもよい。チャンネルCHの表面から5nmの範囲において、Snの原子パーセントがZnの原子パーセントよりも大きい部分を含んでもよい。ITZO膜の厚さは、様々に取り得るが、例えば、10nm以上200nm以下であり、好ましくは、20nm以上100nm以下である。半導体層150は、ITZO膜を所望のパターンに形成することによって得られる。所望のパターンは、例えば、フォトリソグラフィによるフォトレジストを用いたエッチングプロセスまたはリフトオフプロセスによって形成される。ITZO膜上にフォトレジストPRを形成して、エッチングプロセスによって島状の半導体層150を形成した後の構成が、図4に対応する。図4に示す例では、フォトレジストPRを除去する前の状態である。

[0065] フォトリソグラフィが用いられるときには、半導体層150の上面150aは、フォトレジストPRに接触する。詳細は後述するが、ITZO膜である半導体層150は、フォトレジストPRが接触すると、フォトレジストPRに含まれる有機化合物の炭素原子「C」が接触面（上面150a）に結合する。フォトレジストPRを除去するためのエッチング液（以下、剥離液という）に曝されたとしても、上面150aに結合した炭素原子は除去されない。

[0066] この炭素原子は、「C-O」および「C=O」（以下、炭素残留成分とい

う)として残留している。ITZOは、 SnO_x (酸化錫)を有するために、「C-O」および「C=O」が吸着しやすい表面を有するといわれている。 In_2O_x (酸化インジウム)、 ZnO_x (酸化亜鉛)についても、影響は少ないものの SnO_x (酸化錫)と同様の傾向を有するといわれている。この炭素残留成分は、ITZOに欠陥を導入する。ITZOでは、炭素残留成分により電子が供給されて電子濃度が増加すること、およびNBTsによってその欠陥にホールがトラップされることが、閾値がマイナスにシフトする要因と考えられる。

[0067] 半導体層150がリフトオフプロセスで形成される場合には、半導体層150の上面150aにはフォトレジストPRが接触しないが、リフトオフのためフォトレジストPRを除去するときに剥離液に曝されることで、剥離液に含まれる有機化合物および溶解したフォトレジストPRの成分の影響により、同様に上面150aに炭素残留成分が生じる可能性がある。

[0068] ソース電極171およびドレイン電極172は、PVD法によって半導体層150上およびゲート絶縁層130上に形成された導電性材料の膜を所望のパターンに形成することによって得られる。所望のパターンは、例えば、フォトリソグラフィによるフォトレジストを用いたエッチングプロセスまたはリフトオフプロセスによって形成される。ソース電極171およびドレイン電極172が形成されるときに、走査信号線GLおよびデータ信号線SLの少なくとも一方を同時に形成してもよい。導電性材料は、例えば、モリブデン、タンタル、タングステン、金、銅、クロム、アルミニウム等の金属、または、これらの少なくとも1つを含む金属化合物である。

[0069] ソース電極171およびドレイン電極172は、耐酸化性を有する導電性材料であることが好ましい。ソース電極171およびドレイン電極172は、複数種類の導電性材料を積層した構成を含んでもよい。この場合には、少なくとも上面に露出した導電性材料が耐酸化性を有することが好ましい。この例では、ソース電極171およびドレイン電極172は、半導体層150側から順に、モリブデンおよび銅が積層された構成を含む。

- [0070] 導電性材料上にフォトレジストPRを形成したエッチングプロセスによって、ソース電極171およびドレイン電極172を形成した後の構成が、図5に対応する。図5に示す例では、フォトレジストPRを除去する前の状態である。この状態においては、半導体層150のバックチャネル側表面150bは、フォトレジストPRに接触していないが、フォトレジストPRを除去するとき、フォトレジストPRを除去するための剥離液に曝されることで、同様にバックチャネル側表面150bに炭素残留成分が生じる可能性がある。
- [0071] ソース電極171およびドレイン電極172を形成するときのエッチング液によっては、同様にバックチャネル側表面150bに炭素残留成分が生じる可能性がある。例えば、燐酸、硝酸および酢酸を混合したPANエッチング液では、酢酸により炭素残留成分が生じる要因となり得る。少なくとも、バックチャネル側表面150bは、図4に示す状態において既にフォトレジストPRに接触している。そのため、バックチャネル側表面150bには、そのまま炭素残留成分が存在し続けている可能性がある。
- [0072] ソース電極171およびドレイン電極172がリフトオフプロセスで形成される場合には、バックチャネル側表面150bにフォトレジストPRが形成されることになるため、バックチャネル側表面150bに炭素残留成分が生じる。
- [0073] 図6は、一実施形態における薄膜トランジスタを示す図である。図6は、図5においてフォトレジストPRを除去した後の薄膜トランジスタ100に対応する。半導体層150のうち、ソース電極171とドレイン電極172との間の領域がチャンネルCHである。図6においては、チャンネル幅方向（図6における奥行き方向）についてのチャンネルCHの範囲が示されていないが、チャンネルCHは、一般的に定義されるように、薄膜トランジスタ100を基板に垂直な方向に沿って見た場合において、半導体層150とゲート電極120とが重畳する領域のうち、ソース電極171とドレイン電極172とに挟まれた領域を含む。

- [0074] N B T Sによる閾値のマイナスシフトを抑制するためには、チャンネルC Hの表面における炭素残留成分を少なくすることが重要であることが、発明者らの知見によって得られた。すなわち、チャンネルC Hの表面のうちゲート電極1 2 0側の表面（以下、ゲート側表面1 5 0 gという）、および反対側の表面（バックチャンネル側表面1 5 0 b）において、炭素残留成分を少なくすることが好ましい。
- [0075] 一方、上述したように、チャンネルC Hの表面が露出されている状態では、様々な製造プロセスによって、炭素残留成分が増加する可能性がある。一時的に炭素残留成分が低減されても意味がなく、チャンネルC Hの表面が露出しない状態になったとき、すなわちチャンネルC Hの表面が他の層で覆われた状態になったときに、チャンネルC Hの表面の炭素残留成分が低減されていることに意味がある。また、チャンネルC Hの表面が露出しない状態になった後は、チャンネルC Hの表面から炭素残留成分を除去することは困難である。
- [0076] ソース表面1 5 0 sおよびドレイン表面1 5 0 dは、チャンネルC Hとして機能する部分ではないから、炭素残留成分が減少しなくてもよい。ソース表面1 5 0 sは、半導体層1 5 0の表面のうち、ソース電極1 7 1と接している部分に対応する。ドレイン表面1 5 0 dは、半導体層1 5 0の表面のうち、ドレイン電極1 7 2と接している部分に対応する。
- [0077] この例では、図6に示すようにバックチャンネル側表面1 5 0 bの一部（ソース表面1 5 0 sとドレイン表面1 5 0 dとの間の領域）が露出した状態で、UVオゾン処理および加熱処理の少なくとも一方を実行する。UVオゾン処理は、酸素を含む雰囲気において紫外光を照射する。紫外光照射によって得られたオゾン、より詳細にはオゾンから発生した活性酸素によって、バックチャンネル側表面1 5 0 bの露出部分における炭素残留成分が分解され、その表面から炭素原子が脱離する。加熱処理は、酸素を含む雰囲気において3 5 0℃以上、より好ましくは3 7 0℃以上に加熱する。酸素を含む雰囲気での加熱処理によって、バックチャンネル側表面1 5 0 bの露出部分における炭素残留成分が分解され、その表面から炭素原子が脱離する。

- [0078] 上述した酸素を含む雰囲気は、大気雰囲気を含み、および大気よりも酸素濃度が高い雰囲気を含む。酸素を含む雰囲気は、酸素が含まれていれば、大気よりも酸素濃度が低い雰囲気を除くものではない。
- [0079] 炭素原子が脱離した結果としてバックチャネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下に減少するように、UVオゾン処理の条件または加熱処理の条件が設定される。バックチャネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の平均濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下に減少することが好ましい。
- [0080] 炭素原子が脱離した結果、オージェ電子分光法で測定した場合に、バックチャネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の最大濃度が19at%以下に減少するように、UVオゾン処理の条件または加熱処理の条件が設定されてもよい。バックチャネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の最大濃度が8at%以下に減少することが好ましい。UVオゾン処理の条件は、例えば、紫外光の強度、照射時間、酸素濃度、基板温度等である。加熱処理の条件は、例えば、加熱温度、加熱時間、酸素濃度等である。
- [0081] バックチャネル側表面150bの露出部分以外、すなわち、ソース表面150sはソース電極171に覆われ、ドレイン表面150dはドレイン電極172に覆われている。そのため、ソース表面150sおよびドレイン表面150dは、UVオゾン処理または加熱処理を行っても炭素残留成分がほとんど脱離せず、バックチャネル側表面150bの露出部分よりも、炭素原子の濃度が高い。ただし、ソース表面150sとドレイン表面150dとは薄膜トランジスタ100のチャネルとして機能する部分ではないため、炭素残留成分が存在してもほとんど影響しない。
- [0082] ゲート側表面150gについては、炭素残留成分が生じる要因が存在しない。仮に、ゲート絶縁層130上にITZO膜を形成するまでに、ゲート絶縁層130上に炭素残留成分が存在する状況になっていたとしても、PVD

法により I T Z O 膜を形成するときの処理（酸素を含むスパッタ）によって、炭素残留成分が減少する。その結果、炭素原子が脱離して、上述した濃度範囲に収まる。なお、ゲート絶縁層、または半導体層は通常気相法で作製されるが、気相法にかえて溶液法で作製した場合は、ゲート側表面 150 g についても炭素残留成分が生じる要因がある。

[0083] 炭素残留成分を減少させる処理の後に、薄膜トランジスタ 100 を覆うように層間絶縁層 200 が形成される。薄膜トランジスタ 100、特にバックチャネル側表面 150 b の露出部分と接触する部分は、再び炭素残留成分が生じないように、炭素成分をほとんど含まない無機絶縁性材料によって炭素原子から保護される。すなわち、チャネル C H の表面から炭素原子が脱離した後、チャネル C H の表面に炭素原子を含む層が再び形成される前に、チャネル C H を保護する絶縁層が形成される。

[0084] この例では、層間絶縁層 200 は、薄膜トランジスタ 100 側から順に、酸化シリコン膜、窒化シリコン膜および有機樹脂膜が積層された構造を含む。無機絶縁性材料の膜は、CVD法またはPVD法によって形成される。無機絶縁性材料の膜を形成するときには、炭素原子の導入が必要な成膜方式は採用されない。例えば、ALD (Atomic Layer Deposition) 法によって酸化アルミニウムを形成することは、炭素を含むトリメチルアルミニウム (TMA) を用いることから、好ましくない。ただし、このような酸化アルミニウムであっても、チャネル C H の表面に接触しない無機絶縁性材料として用いることはできる。堆積温度の設定等により、最終的にチャネル C H の表面に生じる炭素残留成分を少なくすることができれば、ALD法により無機絶縁性材料をチャネル C H の表面に接触する無機絶縁性材料として用いてもよい。有機樹脂膜は、溶液塗布方式または印刷方式によって形成される。層間絶縁層 200 には、ドレイン電極 172 に通じるコンタクトホールが形成される。

[0085] 画素電極 300 は、層間絶縁層 200 上に形成され、コンタクトホールを介してドレイン電極 172 に接続される。画素電極 300 は、例えば、P V

D法によって形成される。画素電極300を形成した後の構成が、図7に対応する。図8に示すように、画素電極300の端部上および層間絶縁層200上にバンク層400を形成し、さらに発光層500および対向電極600を形成する。封止層900を形成し、第2基板2で第1基板1を覆うことにより、図2に示す表示装置1000が製造される。

[0086] 上述した薄膜トランジスタ100によれば、チャンネルCHの表面に吸着された炭素残留成分を低減する処理により炭素原子が該チャンネルCH表面から脱離し、かつ炭素原子を含む材料が該チャンネルCH表面に接触する前に該チャンネルCH表面を覆う絶縁層を形成しているため、NBTsによる閾値のマイナスシフトが抑制される。

[0087] [実験例]

続いて、炭素残留成分の低減により、NBTsによる閾値のマイナスシフトを抑制することができたことを示す実験結果を説明する。上述したように、発明者らは、チャンネルCH表面において炭素残留成分を低減することにより、NBTsにおける閾値のマイナスシフトを抑制できることを見出した。その検証をするために、閾値シフト測定用の薄膜トランジスタを作製した。

[0088] 図9は、閾値シフト測定用の薄膜トランジスタを示す図である。閾値シフト測定用の薄膜トランジスタは、ゲート電極125、ゲート電極125上のゲート絶縁層135、ゲート絶縁層135上の半導体層155、半導体層155に接続されたソース電極176およびドレイン電極177を含む。ソース電極176およびドレイン電極177は、チャンネルCHを挟んで配置されている。チャンネルCHの表面のうちゲート電極125側の表面はゲート側表面155gであり、その反対側の表面はバックチャンネル側表面155bである。半導体層155のうちソース電極176と接する部分がソース表面155sである。半導体層155のうちドレイン電極177と接する部分がドレイン表面155dである。この例では、バックチャンネル側表面155bは、チャンネルCH表面の露出部分と、ソース表面155sとドレイン表面155dからなる。

[0089] ゲート電極125は、導電性を有するP型シリコン基板である。ゲート絶縁層135は、シリコン基板の表面に形成された熱酸化膜であり、150nmの厚さを有する。半導体層155は、ITZOであり、20nmの厚さを有する。O（酸素）を除く組成比In（インジウム）：Sn（錫）：Zn（亜鉛）は、20：40：40（at%）である。この組成比は、仕込み値（nominal）であり、シングルターゲットを用いた場合には、このターゲットの組成比に対応する。実際に形成された半導体層155の組成比は後述するオージェ電子分光測定結果として示されている。実際の半導体層155（上述した半導体層150も同様）においては、チャネルCHの表面から5nmの範囲において、Snが10at%以上となる部分を含んでもよく、13at%以上となる部分を含んでもよい。チャネルCHの表面から5nmの範囲において、Snの原子パーセントがZnの原子パーセントよりも大きい部分を含んでもよい。Snの濃度が高い場合には炭素残留成分が生じやすいが、以下のように炭素残留成分を低減することができるため大きな問題とはならない。この薄膜トランジスタのチャネルCHの長さ（チャネル長）は30 μ mであり、チャネル幅は60 μ mである。微細化の観点から、チャネル長は、100 μ m以下であることが好ましく、30 μ m以下であることがより好ましく、10 μ m以下であることがさらに好ましく、3 μ m以下であることがさらに好ましい。続いて、閾値シフト測定用の薄膜トランジスタの製造方法について説明する。

[0090] 図10から図12は、測定用の薄膜トランジスタの製造方法を説明するための図である。ゲート絶縁層135（熱酸化膜）が形成されたゲート電極（P型シリコン基板）125を準備し、図10に示すように、フォトレジストPRを形成し、さらにITZO膜155fを形成する。図11に示すように、リフトオフプロセスによりフォトレジストPRを除去すると、不要な部分のITZO膜155fがフォトレジストPRとともに除去されて、半導体層155が形成される。パターンが形成される前のフォトレジストPRがゲート絶縁層135の表面に接触するが、ゲート絶縁層135には炭素残留成分

は存在しない。わずかに炭素残留成分が存在したとしても、PVD法によりITZO膜155fを形成するときの酸素を含む雰囲気でのスパッタにより、その炭素残留成分が脱離する。

[0091] 図12に示すように、フォトレジストPRを形成し、さらに金膜175fを形成する。フォトレジストPRが形成されるときに、半導体層155の上面155a全体にフォトレジストPRが接触する。図12に示すように、パターン形成後においてもフォトレジストPRが、バックチャネル側表面155bに接触したまま残る。リフトオフプロセスによりフォトレジストPRを除去すると、図9に示すようにソース電極176およびドレイン電極177が形成される。このとき、バックチャネル側表面155bの露出部分、ソース表面155sおよびドレイン表面155dには、炭素残留成分が存在している。上述したように、加熱処理またはUVオゾン処理により、バックチャネル側表面155bの露出部分における炭素残留成分が低減される。

[0092] [炭素残留成分]

基板上にITZO膜を形成し、フォトレジストを形成する前のサンプル（以下、BeforePRサンプルという）と、ITZO膜上にフォトレジストを形成した後にフォトレジストを除去したサンプル（以下、AfterPRサンプルという）とを準備して、TDS（Thermal Desorption Spectrometry）測定およびHAX-PES（Hard X-ray Photoelectron Spectroscopy）測定を実施した。

[0093] 図13は、フォトレジスト形成前およびフォトレジスト形成・除去後のTDS測定結果を示す図である。図13によれば、BeforePRサンプルはCOが検出されていない。一方、AfterPRサンプルは350℃付近でCOが脱離することが確認される。すなわち、フォトレジストを形成すると、フォトレジストを剥離液等で除去したとしても、COが炭素残留成分としてITZO膜の表面に存在することが確認される。

[0094] 図14および図15は、フォトレジスト形成前およびフォトレジスト形成

・除去後のHAX-PES測定結果を示す図である。図14の結果(C1s)および図15の結果(O1s)によれば、「C-O」および「C=O」に関するピークが、Before PRサンプルでは検出されなかったが、After PRサンプルにおいて検出されている。この小さなピークが炭素に由来するものである。すなわち、After PRサンプルでは炭素残留成分が存在することが確認されている。

[0095] [加熱処理が炭素残留成分に与える影響]

After PRサンプルに対する加熱処理が、炭素残留成分の脱離に与える影響を確認した。

[0096] 図16は、加熱温度の違いによるTDS測定結果を示す図である。After PRサンプルに対して、加熱処理をしない(R.T.)サンプル、300°C1時間で加熱処理したサンプル、350°C1時間で加熱処理したサンプル、および400°C1時間で加熱処理をしたサンプルを準備した。それぞれのAfter PRサンプルに対するTDS測定結果によれば、加熱処理の温度が高くなるほど、脱離するCOの量が減少した。すなわち、加熱温度が高くなるほど、炭素残留成分が減少することが確認された。

[0097] 具体的には、COの脱離量は、加熱処理をしない(R.T.) After PRサンプルの場合は $1.0 \times 10^{15} \text{ cm}^{-2}$ であり、300°C1時間で加熱処理したAfter PRサンプルの場合は $0.5 \times 10^{15} \text{ cm}^{-2}$ であり、350°C1時間で加熱処理したAfter PRサンプルの場合は $1.5 \times 10^{14} \text{ cm}^{-2}$ であり、および400°C1時間で加熱処理をしたAfter PRサンプルの場合は検出下限($1.0 \times 10^{14} \text{ cm}^{-2}$)以下であった。

[0098] 図17は、After PRサンプルおよび加熱処理後のサンプルに対するオージェ電子分光の測定結果を示す図である。横軸は、ITZOの表面をArイオンビームでエッチング(スパッタ)した時間(Sputter Time)に対応する。この例では、ITZOのエッチングレートは、 2.5 nm/min である。エッチングとオージェ電子分光測定とを繰り返しながら、深さ方向の組成比(Atomic Concentration)を得た

。 A f t e r P R サンプルに対して加熱処理をしていない場合には、 I T Z O 膜の表面から 2 n m ないしは 3 n m までの深さにおいて、炭素原子が検出されている。特に、最表面において 5 0 a t % の炭素原子が検出されている。一方、 A f t e r P R サンプルに対して 4 0 0 ° C の加熱処理をした場合には、最表面において 8 a t % の炭素原子が検出されているものの、 I T Z O 膜の表面から 1 n m 未満の深さにおいて、検出下限以下の炭素原子になっている。

[0099] T D S 測定の結果とオージェ電子分光測定の結果とを考慮すると、加熱処理をしない (R . T .) A f t e r P R サンプルの場合は、 $1.0 \times 10^{15} \text{ cm}^{-2}$ の C O 脱離量であり、最表面において 5 0 a t % の炭素原子が測定された。この場合には、以下に説明する関係に基づいて、 I T Z O 膜の表面から深さ 5 n m までの範囲における炭素原子の平均濃度が $1.0 \times 10^{22} \text{ cm}^{-3}$ 程度であり、少なくとも $1.5 \times 10^{21} \text{ cm}^{-3}$ より多いということはいえる。

[0100] 4 0 0 ° C 1 時間で加熱処理をした A f t e r P R サンプルの場合は、検出下限 ($1.0 \times 10^{14} \text{ cm}^{-2}$) 以下の C O 脱離量であり、最表面において 8 a t % の炭素原子が測定された。この場合には、 I T Z O 膜の表面から深さ 5 n m までの範囲における炭素原子の平均濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ であるといえることができる。

[0101] 3 5 0 ° C 1 時間で加熱処理した A f t e r P R サンプルの場合は、 $1.5 \times 10^{14} \text{ cm}^{-2}$ の C O 脱離量である。 T D S 測定結果を考慮すると、処理後サンプルに対して 3 5 0 ° C の加熱処理をした場合には、最表面における炭素原子の最大濃度が 1 9 a t % であることが推測される。この場合には、 I T Z O 膜の表面から深さ 5 n m までの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ であるといえることができる。

[0102] T D S 測定の結果とオージェ電子分光測定の結果と炭素原子濃度との関係について説明する。 I T Z O は、分子量、膜密度を考慮すると、単位体積 (1 立方センチメートル) 当たりの原子数が概ね $8.0 \times 10^{22} \text{ cm}^{-3}$ である

。オージェ電子分光測定の結果によれば、ITZO膜の表面から深さ5nm（スパッタ時間2分）の範囲に含まれるIn、Sn、Zn、Oの総量に対するCの総量を、以下、炭素相対濃度という。炭素相対濃度は、100%として表面から5nmまでの範囲で積分した値（100×5）に対する、Cの原子パーセントを表面から5nmまでの範囲で積分した値、として得られる。

[0103] 加熱処理をしないAfterPRサンプルの結果によれば、炭素相対濃度は、概ね12.5%である。炭素相対濃度に、上述した単位体積当たりの原子数を乗じることで、単位体積当たりの炭素原子数が得られる。この単位体積当たりの炭素原子数は、表面から5nmまでの範囲における平均濃度に対応し、以下、炭素原子濃度という。

[0104] 加熱処理をしないAfterPRサンプルは、炭素原子濃度が $1.0 \times 10^{22} \text{ cm}^{-3}$ 程度として演算される。一方、400°C1時間で加熱処理をしたAfterPRサンプルは、演算された炭素原子濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ である。ここで、TDS測定結果によれば、350°C1時間で加熱処理をしたAfterPRサンプルは、加熱処理をしないAfterPRサンプルに対して、0.15倍のCO脱離量である。したがって、350°C1時間で加熱処理したAfterPRサンプルは、炭素原子濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ であると想定される。

[0105] 加熱処理をしないAfterPRサンプルおよび400°C1時間で加熱処理をしたAfterPRサンプルのオージェ電子分光測定の炭素原子のプロファイルと、上記の炭素原子濃度とを考慮すると、350°C1時間で加熱処理をしたAfterPRサンプルは、その炭素原子濃度から、最表面において最大となる炭素原子の濃度が19at%であることが推測される。

[0106] 上述した薄膜トランジスタ100における半導体層150におけるチャンネルCHの表面の位置としては、以下のように定義されればよい。バックチャンネル側表面150bであれば、隣接する層間絶縁層200の無機絶縁膜から半導体層150（チャンネルCH）に向けて上述のようにオージェ電子分光により測定した場合、In、SnおよびZnが検出された位置を表面とする。

一方、ゲート側表面150gであれば、隣接するゲート絶縁層130から半導体層150（チャンネルCH）に向けて上述のようにオージェ電子分光により測定した場合、 I_n 、 S_n および Z_n が検出された位置を表面とする。

[0107] [NBTSへの影響]

閾値測定用の薄膜トランジスタにおいて、図9に示すようにソース電極176およびドレイン電極177を形成した後に、加熱処理をしない（R.T.）薄膜トランジスタ、300℃1時間で加熱処理した薄膜トランジスタ、350℃1時間で加熱処理した薄膜トランジスタ、および400℃1時間で加熱処理をした薄膜トランジスタを準備した。これらの測定用薄膜トランジスタに対して、NBTSを実施した。NBTSは、ソース電極およびドレイン電極に対するゲート電極の電圧が「 $V_{th} - 20V$ 」になるように制御し、温度を60℃とし、暗状態で維持する条件を用いた。NBTSを印加した状態を維持する時間は、最大3600秒である。

[0108] 図18は、NBTSによる閾値シフトの測定結果を示す図である。図18に示す I_d (Drain Current) - V_g (Gate Voltage) 特性は、ソース電極176に対するドレイン電極177の電圧が「0.1V」になるように制御した状態で、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図18は、各加熱処理条件に対応して、閾値シフトのNBTS時間依存性を示した。図18に示すように、NBTS前に対する閾値のシフトは、加熱処理をしない場合は「-12V」、300℃加熱処理の場合は「-3.5V」、350℃加熱処理の場合は「-0.5V」、400℃加熱処理の場合は「-0.1V」であった。この結果から、炭素残留成分の存在が少ないほど、マイナスシフト量が小さくなることが確認された。350℃加熱処理の場合の閾値シフト量に抑えられれば、実用上は十分な信頼性が得られる。

[0109] [NBISへの影響]

閾値測定用の薄膜トランジスタにおいて、図9に示すようにソース電極176およびドレイン電極177を形成した後に、加熱処理をしない（R.T.

.) 薄膜トランジスタ、および400℃1時間で加熱処理をした薄膜トランジスタを準備した。これらの測定用薄膜トランジスタに対して、NBIS (Negative Bias Illumination Stress) を実施した。NBISは、ソース電極およびドレイン電極に対するゲート電極の電圧が「 $V_{th} - 20V$ 」になるように制御し、4000luxの光照射下で維持する条件を用いた。NBISを印加した状態を維持する時間は、最大3600秒である。

[0110] 図19は、NBISによる閾値シフトの測定結果を示す図である。図19に示す $I_d - V_g$ 特性は、ソース電極に対するドレイン電極の電圧が「0.1V」になるように制御した状態で、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図19は、各加熱処理条件に対応して、閾値シフトのNBIS時間依存性を示した。図19に示すように、閾値のシフト量は、加熱処理をしない場合は「-12.5V」、400℃加熱処理の場合は「-6.5V」であった。この結果から、光照射下においても、炭素残留成分の存在が少ないほど、マイナスシフト量が小さくなることが確認された。

[0111] NBISによる「-6.5V」の閾値シフト量を有する薄膜トランジスタを表示装置に用いる場合であってこのシフト量が問題となる場合には、薄膜トランジスタの近傍においてチャンネルCHへ光侵入経路を妨げるように遮光層を設けてもよい。遮光層による光侵入が妨げられることで、閾値のマイナスシフトをさらに抑制することができるため、薄膜トランジスタの信頼性を向上することができる。

[0112] 一実施形態における表示装置においては遮光層が含まれていないが、薄膜トランジスタ100の上層または下層において、チャンネルCHへの光侵入を妨げるように遮光層が配置されてもよい。炭素残留成分が低減されることで光照射下においても閾値シフト量が少なくなる。したがって、信頼性を確保するために必要な閾値シフト量を実現するために、遮光すべき光の量も少なくすることができる。その結果、炭素残留成分を低減することで薄膜トラン

ジスタ100の周辺に配置される遮光層を小さくし、または省略することができる。

[0113] [UVオゾン処理が炭素残留成分に与える影響]

After PRサンプルに対するUVオゾン処理が、炭素残留成分の脱離に与える影響を確認した。

[0114] 図20は、フォトレジスト形成・除去後およびUVオゾン処理後のTDS測定結果を示す図である。Before PRサンプルとAfter PRサンプルとの関係については、上述した関係と同様である。After PRサンプルに対して室温でUVオゾン処理(UV Ozone Treatment)をしたサンプルにおいても、Before PRサンプルと同等のTDS測定結果が得られた。すなわち、UVオゾン処理によりITZO膜の表面から炭素残留成分が減少し、フォトレジストを形成する前の状態と同等にできることが確認された。

[0115] UVオゾン処理によれば室温でも実現できるため、図6に示す薄膜トランジスタ100が形成されるまでに耐熱性の低い材料が含まれていたとしても、炭素残留成分を除去することができる。図示していないが、例えば、薄膜トランジスタ100と第1支持基板10との間にカラーフィルタなどの有機絶縁膜が存在する場合には、加熱処理ではなくUVオゾン処理により炭素残留成分を低減することが有用である。

[0116] [NBTsへの影響]

閾値測定用の薄膜トランジスタにおいて、図9に示すようにソース電極176およびドレイン電極177を形成した後に、UVオゾン処理をした薄膜トランジスタを準備した。これらの測定用薄膜トランジスタに対して、NBTsを実施した。NBTsの条件は、図18に示した測定結果を得たときの条件と同じであり、ソース電極およびドレイン電極に対するゲート電極の電圧が「V_{th}-20V」になるように制御し、温度を60℃とし、暗状態で維持する条件を用いた。ソース電極176およびドレイン電極177に対するゲート電極の電圧を「V_{th}+20V」に制御し、温度を60℃とし、暗

状態で維持したPBT S (P o s i t i v e B i a s T e m p e r a t u r e S t r e s s) についても実施した。

[0117] 図21は、UVオゾン処理後のNBTSおよびPBT Sによる閾値シフトの測定結果を示す図である。図21に示す $I_d - V_g$ 特性は、ソース電極176に対するドレイン電極177の電圧を「0.1V」に制御して、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図21に示すように、UVオゾン処理においても、NBTSによる閾値のシフト量は充分小さく抑えられている。

[0118] PBT Sによる閾値のシフト量も、NBTSと同様に充分小さく抑えられている。上記説明では省略したが、PBT Sについては、A f t e r P R サンプルに対して炭素残留成分の低減処理（UVオゾン処理または加熱処理）をしなくても、閾値のシフト量は小さく抑えられているため、参考までに提示した。

[0119] <変形例>

本開示は上述した実施形態に限定されるものではなく、他の様々な変形例が含まれる。例えば、上述した実施形態は本開示を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。以下、一部の変形例について説明する。

[0120] [他の構造を有する薄膜トランジスタ]

表示装置1000に用いられる薄膜トランジスタは、上述した一実施形態における薄膜トランジスタ100に限られず、様々な構造の薄膜トランジスタを採用することができる。以下、ITZOを用いた薄膜トランジスタにおいて、代表的な構造として2つの例を説明する。

[0121] 薄膜トランジスタ100はBCE型の薄膜トランジスタであるが、ESL (E t c h S t o p L a y e r) 型の薄膜トランジスタが表示装置1000に適用されてもよい。

[0122] 図22は、一実施形態におけるESL型薄膜トランジスタを示す図である。図22では、ESL型の薄膜トランジスタ100Aが示されている。薄膜トランジスタ100Aは、薄膜トランジスタ100に対して、エッチストップ層150eが追加された構造を有する。エッチストップ層150eは、ソース電極171およびドレイン電極172を形成するときのエッチングストップパとなる層であり、例えば、CVD法またはPVD法により形成された酸化シリコンである。ソース電極171およびドレイン電極172を形成するときには、バックチャネル側表面150bの露出部分はエッチストップ層150eに既に覆われている。したがって、ESL型の薄膜トランジスタ100Aの場合には、半導体層150が形成された後、このエッチストップ層150eとなる酸化シリコン膜が形成される前に、炭素残留成分を脱離するための処理（加熱処理またはUVオゾン処理）が行われる。すなわちエッチストップ層150eがチャネルを覆う絶縁層として機能する。

[0123] ESL型の薄膜トランジスタ100Aでは、エッチストップ層150eの存在によってソース電極171およびドレイン電極172が半導体層150と接触する位置が、BCE型の薄膜トランジスタ100とは異なる。そのため、図22に示すように薄膜トランジスタ100AのチャネルCHの領域は、薄膜トランジスタ100のチャネルCHとは異なる。

[0124] 薄膜トランジスタ100はボトムゲート型薄膜トランジスタであるが、トップゲート型薄膜トランジスタが表示装置1000に適用されてもよい。

[0125] 図23は、一実施形態におけるトップゲート型薄膜トランジスタを示す図である。ボトムゲート型薄膜トランジスタ100は、ゲート電極120が第1支持基板10と半導体層150との間に配置されている。一方、図23に示すように、トップゲート型薄膜トランジスタ100Bは、半導体層150Bが第1支持基板10とゲート電極120Bとの間に配置されている。したがって、ITZO膜を加工するときのフォトリソ(PR)が接触する面は、ボトムゲート型薄膜トランジスタ100の場合にバックチャネル側表面150bであったが、トップゲート型薄膜トランジスタ100Bの場合にはゲ-

ト側表面 150 B g になる。したがって、トップゲート型薄膜トランジスタ 100 B では、半導体層 150 B が形成された後、ゲート絶縁層 130 が形成される前に、炭素残留成分を脱離するための処理（加熱処理または UV オゾン処理）が行われる。なお、バックチャネル側表面 150 B b は炭素残留成分が存在せず、炭素残留成分がわずかに存在したとしても、上述したように I T Z O 膜を形成するときに脱離する。

[0126] トップゲート型薄膜トランジスタ 100 B では、半導体層 150 B のうちゲート電極 120 B の直下の部分がチャネル C H に対応する。チャネル C H に対してソース電極 171 B 側にはソース領域 151 B が形成され、チャネル C H に対してドレイン電極 172 B 側にはドレイン領域 152 B が形成される。例えば、ソース領域 151 B およびドレイン領域 152 B は、例えば、ゲート電極 120 B をマスクとしてセルフアライメントで水素等が半導体層 150 B に供給されることで、低抵抗化した領域である。

[0127] 以上のとおり、どのような構造を有する薄膜トランジスタが表示装置 1000 に採用されたとしても、チャネル C H が露出した状態において炭素残留成分を脱離する処理（加熱処理または UV オゾン処理）を行えばよい。そして、脱離する処理の後かつ炭素原子を含む層（例えば、フォトレジスト、有機絶縁層等）がチャネル C H 上に形成される前に、チャネル C H を炭素原子から保護する絶縁層（例えば、酸化シリコン等の無機絶縁性材料）を形成すればよい。

[0128] I T Z O 以外の半導体材料を用いた薄膜トランジスタが、薄膜トランジスタ 100 と併用されてもよい。I T Z O 以外の半導体材料は、例えば、他の金属酸化物半導体（例えば I G Z O）であってもよいし、アモルファスシリコン、ポリシリコンなどのシリコンを用いた半導体であってもよい。

[0129] [電子機器への適用]

上述した表示装置 1000 は、スマートフォン、ラップトップコンピュータ、テレビ等の様々な電子機器のディスプレイとして適用されてもよい。表示装置 1000 は、画素回路によって発光が制御される発光層を含む有機 E

Lディスプレイに限らない。例えば、表示装置1000は、発光層がLED (Light Emitting Diode) であるマイクロLEDディスプレイであってもよいし、画素回路によって光学特性が制御される光学素子を含むディスプレイ、例えば、光学素子として液晶を含む液晶ディスプレイであってもよい。

[0130] 図24は、一実施形態における電子機器を示す図である。図24に示す電子機器2000は、スマートフォンであり、筐体1500に収容された表示装置1000、制御装置1600および記憶装置1700を含む。記憶装置1700は、例えば、不揮発性メモリである。制御装置1600は、CPU (Central Processing Unit) 等を含み、記憶装置1700に記憶されたプログラムを実行することによって、表示装置1000を制御して、表示装置1000に表示される映像を制御する。

[0131] 上述した薄膜トランジスタは、表示装置1000を構成する素子に適用される場合に限らず、制御装置1600および記憶装置1700等を構成する素子に適用されてもよい。すなわち、薄膜トランジスタ100が用いられた電子機器は、表示装置1000を備えていない構成も含む。電子機器の一例は、記憶装置、論理回路およびその周辺回路装置、無線信号処理装置、入力装置、撮像装置、ニューロモルフィックコンピューティング装置等、表示装置以外の電子装置を含む。このような電子機器には、ITZOを用いた薄膜トランジスタと併用して、ITZO以外の半導体材料を用いた薄膜トランジスタがさらに用いられてもよい。

[0132] [ZSOパッシベーション層]

薄膜トランジスタ100において、チャンネルCHにおけるバックチャンネル側表面150bを所定の膜により形成されるパッシベーション層で覆ってチャンネルを覆う絶縁層としてもよい。該パッシベーション層は、酸素雰囲気下のDCスパッタリング法で形成できる酸化物薄膜が好ましく、例えば、アモルファスZSO (ZnSiO) 膜により形成される。パッシベーション層は、密着性の観点から、少なくとも一部にアモルファスを含むことが好ましい

が、一部に微結晶等の結晶構造が含まれてもよい。パッシベーション層の厚さは、様々に取り得るが、例えば、2 nm以上200 nm以下であり、好ましくは、3 nm以上50 nm以下である。この例では、パッシベーション層の厚さは、5 nmである。パッシベーション層は、図23に示すトップゲート型薄膜トランジスタ100Bに適用することもできる。この場合には、図36に示すように、下地絶縁層110とバックチャネル側表面150Bbとの間にパッシベーション層160Fが形成されてもよいし、図37に示すように、ゲート絶縁層130とゲート側表面150Bgとの間にパッシベーション層160Gが形成されてもよい。パッシベーション層160Fおよびパッシベーション層160Gは、少なくともチャネルCH領域に存在していることが好ましい。言い換えると、パッシベーション層160Fおよびパッシベーション層160Gは、チャネルCH以外の領域には存在しなくてもよく、少なくともチャネルCHを覆っていればよい。

[0133] ZSO膜は、ZnOおよびSiO₂を含むターゲットを用いた酸素雰囲気下のDCスパッタリングにより形成される。パッシベーション層としてのZSO膜は、絶縁性を有する。ZSOは、SiO₂に対するZnOの割合が多くなることで、絶縁性を有する状態から、導電性を有する状態に変化する。ZSOのターゲットは、導電性を有する組成比で形成されているため、DCスパッタリングによる形成が可能である。半導体層150の表面が還元されることを抑制するため、ZSOのターゲットは、Znが金属として含まれるのではなく金属酸化物として含まれることが好ましい。一方、スパッタリングの条件を制御することにより、絶縁性を有するZSO膜のパッシベーション層が形成される。ZSO膜は、DCスパッタリング以外のPVD法で形成されてもよいし、最終的にチャネルCHの表面に生じる炭素残留成分を少なくすることができれば、CVD法またはALD法で形成されてもよい。

[0134] このパッシベーション層は、Znおよびシリコン(Si)を含む金属酸化物層であるZSO膜に限られず、例えば、Zn、SiおよびSnを含む金属酸化物層であるZSTO膜であってもよい。この場合には、それぞれZnO

、 SnO_2 を含むターゲット、または ZnO 、 SiO_2 、 SnO_2 を含むターゲットを用いた酸素雰囲気下のDCスパッタリングにより形成されればよい。

[0135] ZSO膜の場合、 $\text{Zn} / (\text{Zn} + \text{Si})$ の比は、モル比で0.30以上0.95以下の範囲が好ましく、0.40以上0.85以下の範囲であることがより好ましい。ZSTO膜の場合、 $\text{Sn} / (\text{Zn} + \text{Sn} + \text{Si})$ の比は、モル比で0.15以上0.95以下の範囲が好ましい。また、 $\text{Si} / (\text{Zn} + \text{Sn} + \text{Si})$ の比は、モル比で0.07以上0.30以下の範囲が好ましい。これらのモル比は、膜としての値である。

[0136] パッシベーション層は、ZSO膜またはZSTO膜に対して、さらにチタン(Ti)、ガリウム(Ga)、ニオブ(Nb)、アルミニウム(Al)およびInの少なくとも一つが含まれていてもよい。この場合においても、これらの元素は金属酸化物としてターゲットに含まれていることが好ましい。

[0137] パッシベーション層の電子親和力は、半導体層150(この例ではITZO膜)の電子親和力よりも小さいことが好ましい。さらにパッシベーション層の電子親和力が2.0eV以上4.0eV以下の範囲内であって、パッシベーション層のイオン化ポテンシャルが6.0eV以上8.5eV以下の範囲内であることが好ましい。より好ましい電子親和力は2.2eV以上3.5eV以下であり、さらに好ましくは2.5eV以上3.0eV以下である。より好ましいイオン化ポテンシャルは6.0eV以上7.5eV以下、さらに好ましくは6.0eV以上7.0eV以下である。半導体層よりも電子親和力が小さいパッシベーション層を設けることにより、外部から半導体層への電子の注入を防ぐ効果を有する。また、半導体層よりもイオン化ポテンシャルが大きいパッシベーション層を設けることにより、外部から半導体層への正孔の注入を防ぐ効果を有する。これらにより、NBSやPBSによる閾値シフトを抑制することができる。

[0138] パッシベーション層の電子親和力は、ターゲットにおける組成比を変化させることで調整することができる。例えば、ZSO膜であれば、ターゲットにおける ZnO と SiO_2 との割合によって、所望の電子親和力を実現するこ

とができる。電子親和力及びイオン化ポテンシャルは、量子化学理論計算（電子親和力＝中性分子のエネルギーとアニオンのエネルギー差、イオン化ポテンシャル＝カチオンと中性分子のエネルギー差）、または光電子分光法等の公知の測定方法により求めることができる。具体的には、紫外光電子分光法を用いてイオン化ポテンシャルを評価し、分光光度計を用いてバンドギャップを評価し、電子親和力を該イオン化ポテンシャルと該バンドギャップの差から算出する。

[0139] 図25から図27は、一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。図25から図27のそれぞれにおいては、ZSO膜のパッシベーション層が薄膜トランジスタ100に適用される場合の例を示す。図25に示す薄膜トランジスタ100Cでは、上述したエッチストップ層150eに相当する位置にパッシベーション層160が形成される。すなわち、半導体層150が形成された後にZSO膜が形成され、ZSO膜が所望のパターンに形成されることによって、バックチャネル側表面150b上にパッシベーション層160が形成される。パッシベーション層160の一部は、ソース電極171およびドレイン電極172に覆われている。

[0140] 図26に示す薄膜トランジスタ100Dでは、ソース電極171およびドレイン電極172が形成された後にZSO膜が形成され、ZSO膜が所望のパターンに形成されることによって、バックチャネル側表面150bの露出部分上にパッシベーション層160Dが形成される。薄膜トランジスタ100Cにおけるパッシベーション層160と同様に、パッシベーション層160Dはバックチャネル側表面150bの露出部分を覆う。一方、薄膜トランジスタ100Cにおけるパッシベーション層160とは異なり、パッシベーション層160Dはソース電極171およびドレイン電極172の一部も覆っている。

[0141] 図27に示す薄膜トランジスタ100Eは、図25に示す薄膜トランジスタ100Cにおいて、パッシベーション層160上に上述したエッチストップ

層150 e Eが形成されている例である。パッシベーション層160とエッチストップ層150 e Eとは同じパターンとして形成されてもよい。パッシベーション層160の厚さを調整することによって、図25に示す薄膜トランジスタ100Cにおいて、パッシベーション層160がエッチストップ層150 eとしての機能を有するようにしてもよい。

[0142] このように、ZSO膜を用いたパッシベーション層が、60℃または光照射条件下での負のゲート電圧印加による閾値のシフトをより抑えることが発明者らの知見によって得られた。このパッシベーション層により、ITZOの表面準位を低減し、ITZOと外部とにおいて電荷の移動を抑制するためと考えられる。以下、閾値のシフトを抑えることができた結果について説明する。閾値シフト測定用の薄膜トランジスタは、図9に示す閾値シフト測定用の薄膜トランジスタに対応する。したがって、ZSO膜を用いたパッシベーション層が形成されている薄膜トランジスタは、図9に示す薄膜トランジスタのバックチャネル側表面155 b上に形成されていることになる。ここでは、図9に示す薄膜トランジスタが形成され、400℃の加熱処理がされた後に、さらにZSO膜を用いたパッシベーション層を形成している。

[0143] 図28は、温度変化による閾値シフトの測定結果を示す図である。図28に示す $I_d - V_g$ 特性は、ソース電極に対するドレイン電極の電圧が「0.1 V」になるように制御した状態で、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図28は、ZSO膜のパッシベーション層を用いない場合 (w/o a-ZSO) と、ZSO膜のパッシベーション層を用いる場合 (w a-ZSO) とにおいて、室温 (R. T.) および60℃における $I_d - V_g$ 特性を示している。

[0144] ZSO膜のパッシベーション層を用いない場合、60℃での閾値は、室温での閾値よりもマイナスにシフトする。一方、ZSO膜のパッシベーション層を用いる場合、室温でも60℃でも閾値はほとんどシフトしない。このように、ZSO膜のパッシベーション層によって、閾値の温度依存性が抑えられる。

- [0145] 図29は、NBISによる閾値シフトの測定結果を示す図である。図29は、上述した図19に対応するNBISの測定結果であり、ZSO膜のパッシベーション層を用いない場合の結果は、図19における400℃加熱処理の場合に相当する。一方、ZSO膜のパッシベーション層を用いる場合、閾値はほとんどシフトしない。このように、ZSO膜のパッシベーション層によって、NBISによる閾値のマイナスシフトがさらに抑えられる。
- [0146] 図30は、光照射前後の電子濃度の測定結果を示す図である。図30は、ガラス基板上にITZO膜を形成しZSO膜を形成していないサンプル（w/o a-ZSO）と、さらにITZO膜上に5nmのZSO膜を形成したサンプル（w/a-ZSO）とについて、ホール測定によりITZO膜の電子濃度を測定した結果を示している。電子濃度は、光照射前（時間軸における「AS」に対応）および光照射後に測定され、光照射後は時間変化（時間軸の「0」は照射直後に対応）についても測定された。光照射前と光照射後との間において、ITZO膜に対してガラス基板とは反対側（ITZO膜が露出した面またはZSO膜が露出した面）からソーラーシミュレータによって得られた光を照射した。光を照射した時間は10分間である。
- [0147] 図30に示すように、ZSO膜を形成していないサンプルにおいては、光の照射によって、ITZO膜の電子濃度が $2 \times 10^{17} \text{ cm}^{-3}$ から $2 \times 10^{18} \text{ cm}^{-3}$ に増加し、6時間経過してもほとんど変化していない。一方、ZSO膜を形成したサンプルにおいては、光の照射によって、ITZO膜の電子濃度が $1 \times 10^{17} \text{ cm}^{-3}$ からわずかに上昇するが、6時間経過後にはほぼ元の濃度に戻っている。この現象は、ZSO膜のパッシベーション層を用いる場合にNBISによる閾値のマイナスシフトがほとんど生じない要因の一つである、と推測される。
- [0148] 図31は、吸収係数の測定結果を示す図である。図31は、図30と同じサンプルに対して紫外可視近赤外分光法により吸収係数を測定した結果である。図31に示すように、ZSO膜の有無にかかわらず、吸収係数はほとんど同じである。この測定結果は、ZSO膜が非常に薄く5nmであること、

およびZSO膜が広いバンドギャップを有することに起因する。したがって、図30に示す結果は、ITZO膜へ照射された光がZSO膜により阻害されたことが主たる理由ではない、ということを示している。

[0149] DCスパッタリングによるZSO膜の形成により、ITZO膜の表面およびZSO膜とITZO膜との界面における不純物を抑制する効果、および各プロセスによって受けるダメージを抑制する効果を生じる。その結果として、ZSO膜のパッシベーション層により得られる特性改善効果が得られることが推測される。酸素雰囲気下のDCスパッタリングによれば、上述した炭素残留成分を低減する効果も有する。したがって、炭素残留成分を低減するための加熱処理およびUVオゾン処理を省略したり、加熱処理およびUVオゾン処理を簡易的な処理（低温化、低照度化または処理時間短縮）に置き換えたりすることも期待される。

[0150] 図32は、NBS (Negative Bias Stress) による閾値シフトの時間による変化の測定結果とモデル式を示す図である。NBSは、ソース電極およびドレイン電極に対するゲート電極の電圧が「 $V_{th} - 20V$ 」になるように制御して維持する条件を用いた。NBSを印加した状態を維持する時間は、上述した炭素残留成分の低減する処理を行わずZSO膜のパッシベーション層も用いないサンプル (unstable sample) では最大3600秒であり（下図）、炭素残留成分の低減する処理を行いさらにZSO膜のパッシベーション層が形成されたサンプル (stable sample) では最大86400秒である（上図）。

[0151] 図32には、NBSによる閾値シフトを拡張指数関数 (Stretched Exponential Function) を用いてフィッティングした場合の各パラメータが示されている。 $V_{th}(0)$ は初期の閾値電圧である。 τ は時定数であり、 β はエネルギーバリアパラメータである。炭素残留成分の除去およびZSO膜のパッシベーション層の形成がされているか否かによって、 τ と β とが大きく異なっている。 β はエネルギーバリアの分布を反映するため、電荷伝達のメカニズムが異なると β が異なると考えられて

いる。ZnOを用いたガスセンサでは導入されるガス種によって β が大きく異なることも知られている。高移動度で安定した In_2O_3 のTFETでは、フェルミレベルの違いによって β が異なる可能性も示されている。さらに、図32に示すように、 $\Delta V_{th}(t \rightarrow \infty)$ が、2つのサンプル間で二桁も異なることが確認された。

[0152] [異なる組成のITZOについて]

上述した一実施形態では、ターゲットの組成比 $\text{In} : \text{Sn} : \text{Zn}$ が、20 : 40 : 40 (at%)であったが、この組成比でなくてもよい。この組成比が40 : 40 : 20 (at%)である場合のサンプルについて、NBTS、PBTS、NBISによる閾値シフトの測定結果を説明する。

[0153] 図33および図34は、NBTSおよびPBTSによる閾値シフトの測定結果を示す図である。図33は、ターゲットの組成比 $\text{In} : \text{Sn} : \text{Zn}$ が、20 : 40 : 40 (at%)である場合における測定結果である。図34は、ターゲットの組成比 $\text{In} : \text{Sn} : \text{Zn}$ が、40 : 40 : 20 (at%)である場合における測定結果である。図33および図34の測定に用いられたサンプルは、いずれも炭素残留成分を低減する処理が行われ、ZSO膜のパッシベーション層が形成されている。いずれのターゲットの組成比においても、閾値のシフトがほとんど生じていない。また、図33に示す測定結果は、炭素残留成分を低減する処理が行われZSO膜のパッシベーション層が形成されていない場合の測定結果(図21)と比べても、概ね同様の結果が得られている。すなわち、ZSO膜の存在によってNBTSおよびPBTSに対する悪影響は確認されていない。

[0154] 図35は、NBISによる閾値シフトの測定結果を示す図である。図35では、NBISにおける測定結果を、ターゲットの組成比が異なる2つのITZOにより比較している。ターゲットの組成比 $\text{In} : \text{Sn} : \text{Zn}$ が40 : 40 : 20 (at%)のサンプル($\text{In}_{0.4}\text{Sn}_{0.4}\text{Zn}_{0.2}\text{O}_x$)の電界効果移動度は、 $70 \text{ cm}^2/\text{Vs}$ である。ターゲットの組成比 $\text{In} : \text{Sn} : \text{Zn}$ が20 : 40 : 40 (at%)のサンプル($\text{In}_{0.2}\text{Sn}_{0.4}\text{Zn}_{0.4}\text{O}_x$)の電

界効果移動度は、 $50 \text{ cm}^2/\text{Vs}$ である。

[0155] ターゲットの組成比が $\text{In}_{0.4}\text{Sn}_{0.4}\text{Zn}_{0.2}\text{O}_x$ である場合の方が、 $\text{In}_{0.2}\text{Sn}_{0.4}\text{Zn}_{0.4}\text{O}_x$ である場合よりも、移動度が高いため閾値のマイナスシフトがわずかに大きいものの、大きな違いがない。このように、特定の組成比以外のITZOであっても、同様の方法により様々な電圧ストレスにおける閾値シフトの抑制効果を得ることができる。少なくとも移動度が $70 \text{ cm}^2/\text{Vs}$ 以下となるITZOによれば、電圧ストレスにおける閾値シフトの十分な抑制効果が確認されている。

[0156] 十分な抑制効果を有する閾値のシフト量は、例えば、 3 V 以下であることが好ましく、 1 V 以下であることがより好ましい。このような抑制効果を得られれば、より高い移動度を有するITZOを薄膜トランジスタに用いることもできる。

[0157] [ITZO以外の金属酸化物半導体を用いた薄膜トランジスタ]

上記に詳述した半導体層にITZO膜を用いた薄膜トランジスタにおいて確認された電圧ストレスによる閾値シフトを、炭素残留成分の低減処理によって低減できることは、ITZO以外にも、ITGO (In-Sn-Ga 酸化物)、IZO (In-Zn 酸化物)でも確認されている。したがって、前述した炭素残留成分を低減することの効果に関する知見は、Inを含む金属酸化物半導体をチャネルとする薄膜トランジスタ一般に適用できるものである。パッシベーション層に関する知見についても、半導体層よりも電子親和力が小さく、イオン化ポテンシャルが大きいパッシベーション層を用いれば、Inを含む金属酸化物半導体をチャネルとする薄膜トランジスタ一般に適用できるものといえる。このように、高い電界効果移動度を有する金属酸化物半導体を用いた薄膜トランジスタに特に好適に適用できる。高い電界効果移動度とは、好ましくは $20 \text{ cm}^2/\text{Vs}$ 以上、特に好ましくは $40 \text{ cm}^2/\text{Vs}$ 以上である。

[0158] ITGO膜またはIZO膜を半導体層に用いた場合におけるNBSによる閾値シフトについて、UVオゾン処理による効果を説明する。

[0159] 図38および図39は、UVオゾン処理有無におけるNBSによる閾値シフトの測定結果を示す図である。図38は、ITGO膜を半導体層に用いた場合（ターゲットの組成比In:Sn:Gaが、40:20:40(at%)）である場合）における測定結果である。図39は、IZO膜を半導体層に用いた場合（ターゲットの組成比In:Znが、50:50(at%)）である場合）における測定結果である。

[0160] 閾値測定用の薄膜トランジスタにおいて、サンプルの構造および測定条件は、図21に示す測定結果を得たときと同様である。図38および図39に示すように、ITGO膜またはIZO膜を半導体層に用いた場合においても、NBSによる閾値のシフト量は充分小さく抑えられている。

[0161] 以上に示す薄膜トランジスタは、以下に示す特徴を有する構成であってもよい。

[0162] 基板上に形成された薄膜トランジスタであって、
少なくともインジウム(In)、錫(Sn)および亜鉛(Zn)を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、
ゲート電極と、
前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、
前記チャネルを覆う絶縁層と
を含み、
前記チャネルの長さが100μm以下であり、
NBTS、PBTSおよびNBISにおけるそれぞれの閾値のシフト量が、3V以下である、薄膜トランジスタ。

NBTS：暗状態、温度「60℃」、ソース電極およびドレイン電極に対するゲート電極の電圧「 $V_{th} - 20V$ 」、ストレス印加時間「3600秒」

PBTS：暗状態、温度「60℃」、ソース電極およびドレイン電極に対するゲート電極の電圧「 $V_{th} + 20V$ 」、ストレス印加時間「3600秒」

NBIS：光照射条件「15000Lux」、ソース電極およびドレイン電

極に対するゲート電極の電圧「 $V_{th} - 20V$ 」、ストレス印加時間「3600秒」

閾値電圧測定：ソース電極に対するドレイン電極の電圧「0.1V」

- [0163] 前記チャンネルは I_n と S_n と Z_n の合計に対する S_n の割合が30 (at%) 以上であってもよい。前記チャンネルは I_n と S_n と Z_n の合計に対する S_n の割合が40 (at%) 以上であってもよい。
- [0164] 前記チャンネルは電界効果移動度が $40\text{ cm}^2/\text{Vs}$ 以上であってもよい。前記チャンネルは $60\text{ cm}^2/\text{Vs}$ 以上であってもよい。
- [0165] 前記絶縁層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層であってもよい。
- [0166] 前記チャンネルの長さは $50\text{ }\mu\text{m}$ 以下であってもよい。前記チャンネルの長さは $20\text{ }\mu\text{m}$ 以下であってもよい。
- [0167] NBTsにおける閾値のシフト量が1V以下であってもよい。
- [0168] PBTsにおける閾値のシフト量が1V以下であってもよい。
- [0169] NBSにおける閾値のシフト量が1V以下であってもよい。

符号の説明

- [0170] 1…第1基板、2…第2基板、10…第1支持基板、100, 100A, 100B, 100C, 100D, 100E…薄膜トランジスタ、110…下地絶縁層、120, 120B, 125…ゲート電極、130, 135…ゲート絶縁層、150, 150B, 155…半導体層、150a…上面、150b, 150Bb, 155b…バックチャンネル側表面、150d…ドレイン表面、150e, 150eE…エッチストップ層、151B…ソース領域、152B…ドレイン領域、155f…ITZO膜、150g, 150Bg, 155g…ゲート側表面、150s…ソース表面、160, 160D…パッシベーション層、171, 171B, 176…ソース電極、172, 172B, 177…ドレイン電極、175f…金膜、200…層間絶縁層、300…画素電極、400…バンク層、500…発光層、600…対向電極、900…封止層、1000…表示装置、1500…筐体、1600…制御装置、17

00…記憶装置、2000…電子機器

請求の範囲

- [請求項1] 基板上に形成された薄膜トランジスタであって、
少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、
ゲート電極と、
前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、
、
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、
を含み、
前記チャネルの表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下である、薄膜トランジスタ。
- [請求項2] 前記チャネルの表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下である、請求項1に記載の薄膜トランジスタ。
- [請求項3] 基板上に形成された薄膜トランジスタであって、
少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、
ゲート電極と、
前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、
、
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、
を含み、
前記チャネルの表面から深さ5 nmまでの範囲における炭素原子の最大濃度が19 at %以下である、薄膜トランジスタ。
- [請求項4] 前記チャネルの表面から深さ5 nmまでの範囲における炭素原子の最大濃度が8 at %以下である、請求項3に記載の薄膜トランジスタ

- 。
- [請求項5] 前記ゲート電極は、前記基板と前記チャンネルとの間に配置される、請求項1から請求項4のいずれかに記載の薄膜トランジスタ。
- [請求項6] 前記ソース電極および前記ドレイン電極は、耐酸化性を有する導電性材料を含む、請求項5に記載の薄膜トランジスタ。
- [請求項7] 前記チャンネルは、前記基板と前記ゲート電極との間に配置される、請求項1から請求項4のいずれかに記載の薄膜トランジスタ。
- [請求項8] 前記金属酸化物半導体層のうち、前記ソース電極と接続された表面および前記ドレイン電極と接続された表面は、前記チャンネルの表面よりも炭素原子の濃度が高い、請求項1から請求項7のいずれかに記載の薄膜トランジスタ。
- [請求項9] 前記ソース電極および前記ドレイン電極に対する前記ゲート電極の電圧が $V_{th} - 20V$ になるように制御し、温度を $60^{\circ}C$ とし、暗状態で 3600 秒維持した場合に、閾値のシフト量が $0.5V$ 以下である、請求項1から請求項8のいずれかに記載の薄膜トランジスタ。
- [請求項10] 前記金属酸化物半導体層は、錫（Sn）および亜鉛（Zn）をさらに含む、請求項1から請求項9のいずれかに記載の薄膜トランジスタ。
- 。
- [請求項11] 絶縁性を有し前記チャンネルを覆うパッシベーション層をさらに含み、
- 前記パッシベーション層は、亜鉛（Zn）およびシリコン（Si）を含む金属酸化物層である、請求項1から請求項9のいずれかに記載の薄膜トランジスタ。
- [請求項12] 前記金属酸化物半導体層は、錫（Sn）および亜鉛（Zn）をさらに含む、請求項11に記載の薄膜トランジスタ。
- [請求項13] 基板上に形成された薄膜トランジスタであって、
- 少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、

ゲート電極と、
前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、
、
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、
絶縁性を有し、前記チャネルを覆うパッシベーション層と、
を含み、
前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい、薄膜トランジスタ。

[請求項14] 前記パッシベーション層の電子親和力は 2.0 eV 以上 4.0 eV 以下の範囲内であり、該パッシベーション層のイオン化ポテンシャルは 6.0 eV 以上 8.5 eV 以下の範囲内である、請求項13に記載の薄膜トランジスタ。

[請求項15] 前記パッシベーション層は、アモルファスを含む、請求項13または請求項14に記載の薄膜トランジスタ。

[請求項16] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含む、請求項13から請求項15のいずれかに記載の薄膜トランジスタ。

[請求項17] 複数の画素回路を含み、
前記複数の画素回路のそれぞれは、請求項1から請求項16のいずれかに記載の薄膜トランジスタを含む、表示装置。

[請求項18] 複数の発光素子を含み、
前記複数の画素回路は、前記複数の発光素子による発光をそれぞれ制御する、請求項17に記載の表示装置。

[請求項19] 請求項17または請求項18に記載の表示装置と、
前記表示装置を制御する制御装置と、
を含む電子機器。

[請求項20] 少なくともインジウム (In) を含む金属酸化物半導体層の少なく

とも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、

前記チャネルが露出した状態において酸素を含む雰囲気中で350℃以上に加熱し、

前記加熱の後かつ炭素原子を含む層が前記チャネルの露出した部分に接触する前に前記チャネルを覆う絶縁層を形成することを含み、

薄膜トランジスタの製造方法。

[請求項21]

少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、

前記チャネルが露出した状態において酸素を含む雰囲気中で紫外光を照射し、

前記照射の後かつ炭素原子を含む層が前記チャネルの露出した部分に接触する前に前記チャネルを覆う絶縁層を形成することを含み、

薄膜トランジスタの製造方法。

[請求項22]

少なくともインジウム（In）を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、

前記チャネルが露出した状態において酸素雰囲気下のDCスパッタリングにより前記チャネルを覆う絶縁層を形成することを含み、

薄膜トランジスタの製造方法。

[請求項23]

前記DCスパッタリングにおいて用いられるターゲットは、導電性

を有する金属酸化物である、請求項 22 に記載の薄膜トランジスタの製造方法。

[請求項24] 前記金属酸化物半導体層は、PVD法により形成される、請求項 20 から請求項 23 のいずれかに記載の薄膜トランジスタの製造方法。

[請求項25] 前記絶縁層が形成される前に前記チャネルの露出していた部分の表面から深さ 5 nm までの範囲における炭素原子の平均濃度が、前記絶縁層が形成された後において $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下である、請求項 20 から請求項 24 のいずれかに記載の薄膜トランジスタの製造方法。

[請求項26] 前記絶縁層が形成される前に前記チャネルの露出していた部分の表面から深さ 5 nm までの範囲における炭素原子の平均濃度が、前記絶縁層が形成された後において $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下である、請求項 20 から請求項 24 のいずれかに記載の薄膜トランジスタの製造方法。

[請求項27] 前記絶縁層が形成される前に前記チャネルの露出していた部分の表面から深さ 5 nm までの範囲における炭素原子の最大濃度が、前記絶縁層が形成された後において 19 at % 以下である、請求項 20 から請求項 26 のいずれかに記載の薄膜トランジスタの製造方法。

[請求項28] 前記絶縁層が形成される前に前記チャネルの露出していた部分の表面から深さ 5 nm までの範囲における炭素原子の最大濃度が、前記絶縁層が形成された後において 8 at % 以下である、請求項 20 から請求項 26 のいずれかに記載の薄膜トランジスタの製造方法。

[請求項29] 前記ゲート電極は、前記基板と前記チャネルとの間に配置され、前記ソース電極および前記ドレイン電極が形成された後に、前記チャネルの表面に存在する炭素原子の少なくとも一部を脱離する、請求項 20 から請求項 28 のいずれかに記載の薄膜トランジスタの製造方法。

[請求項30] 前記チャネルは、前記基板と前記ゲート電極との間に配置され、

前記炭素原子から保護する絶縁層は、前記ゲート絶縁層であり、
前記ソース電極および前記ドレイン電極が形成される前に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離する、請求項20から請求項28のいずれかに記載の薄膜トランジスタの製造方法。

[請求項31] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含む、請求項20から請求項30のいずれかに記載の薄膜トランジスタの製造方法。

[請求項32] 前記絶縁層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層である、請求項20から請求項30のいずれかに記載の薄膜トランジスタの製造方法。

[請求項33] 前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含む、請求項32に記載の薄膜トランジスタの製造方法。

[請求項34] 少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、絶縁性を有し前記チャンネルを覆うパッシベーション層と、を含む薄膜トランジスタを基板上に形成することを含み、

前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい、

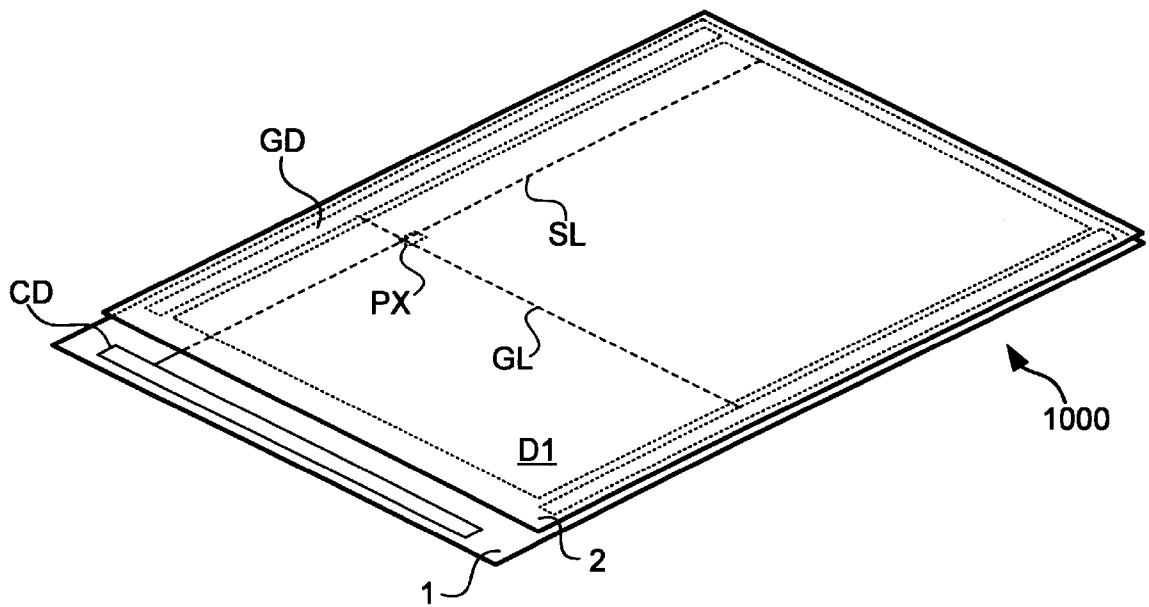
薄膜トランジスタの製造方法。

[請求項35] 前記パッシベーション層の電子親和力は2.0 eV以上4.0 eV以下の範囲内であり、該パッシベーション層のイオン化ポテンシャルは6.0 eV以上8.5 eV以下の範囲内である、請求項34に記載の薄膜トランジスタの製造方法。

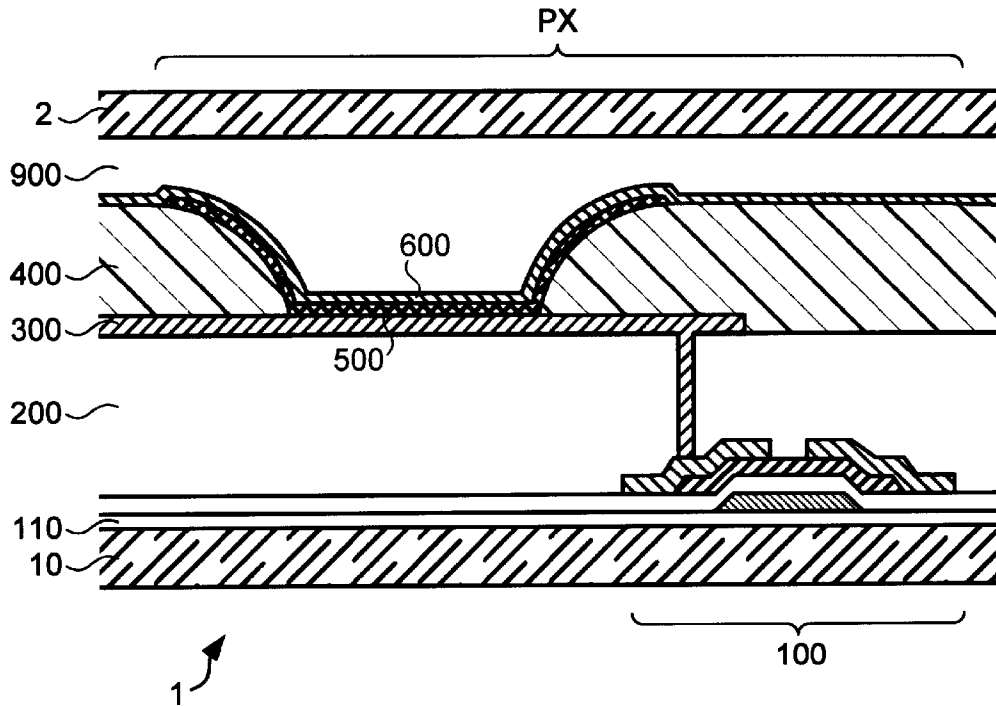
[請求項36] 前記パッシベーション層は、アモルファスを含む、請求項34または請求項35に記載の薄膜トランジスタの製造方法。

[請求項37] 前記金属酸化物半導体層は、錫（Sn）および亜鉛（Zn）をさらに含む、請求項34から請求項36のいずれかに記載の薄膜トランジスタの製造方法。

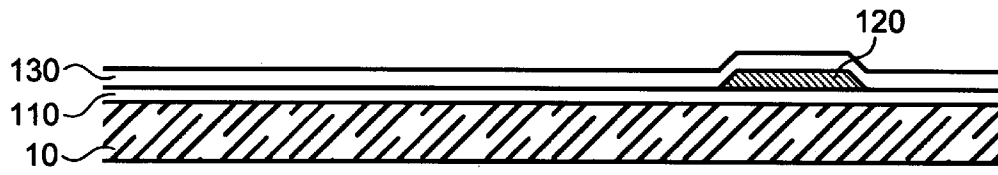
[図1]



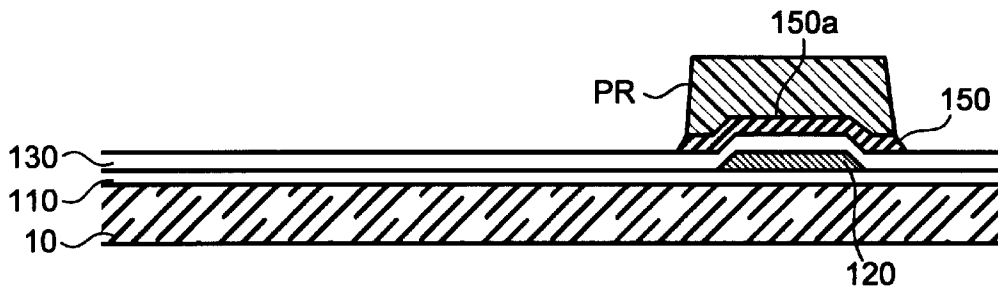
[図2]



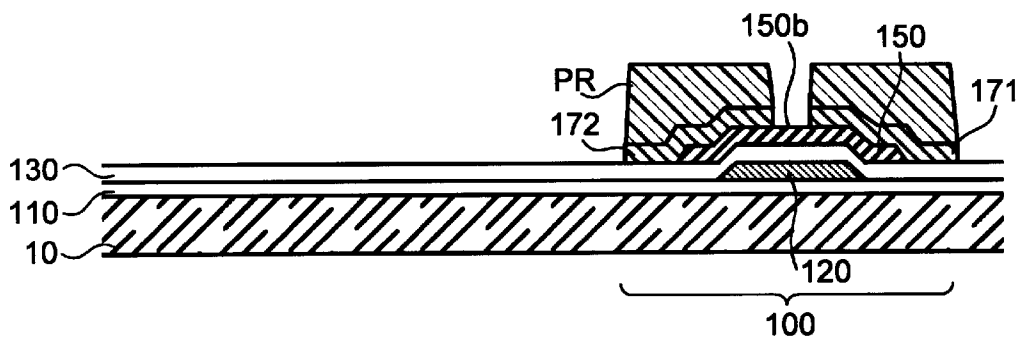
[図3]



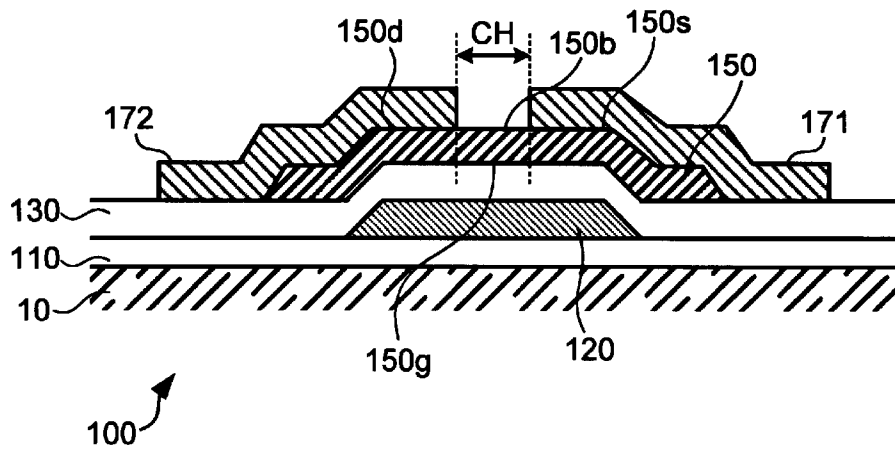
[図4]



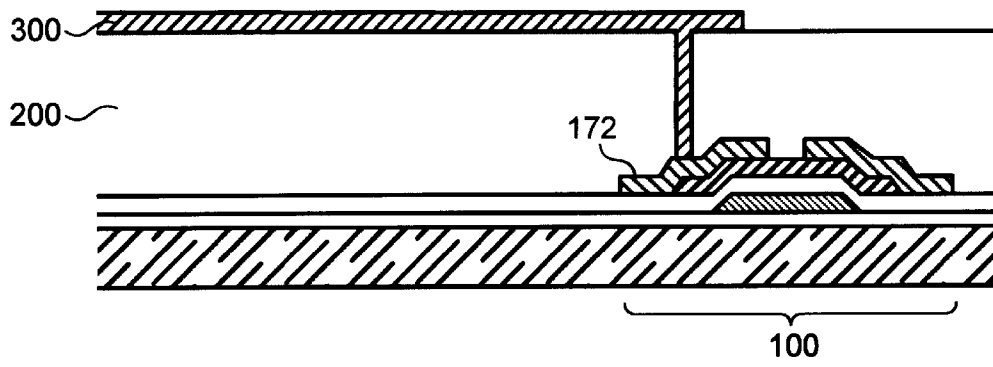
[図5]



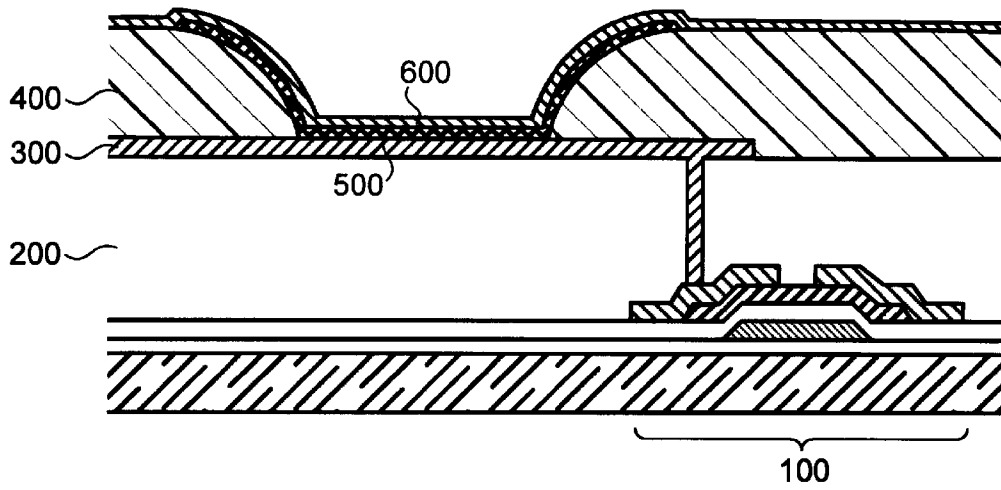
[図6]



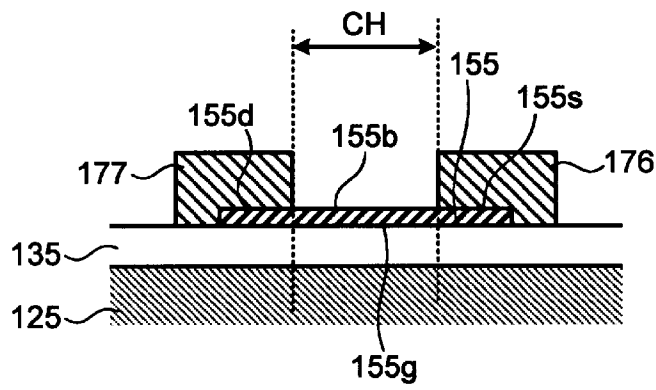
[図7]



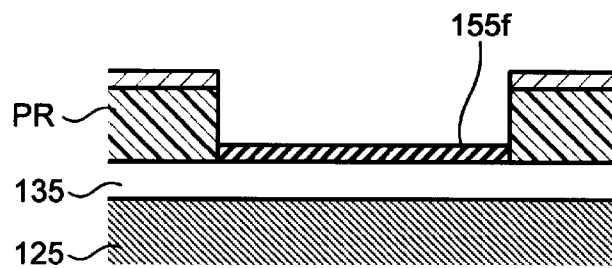
[図8]



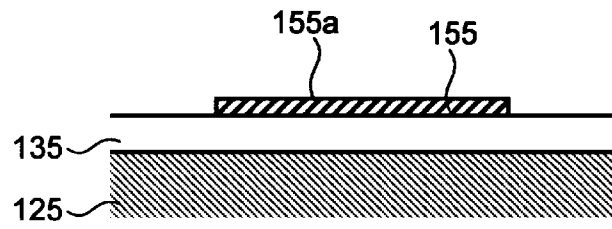
[図9]



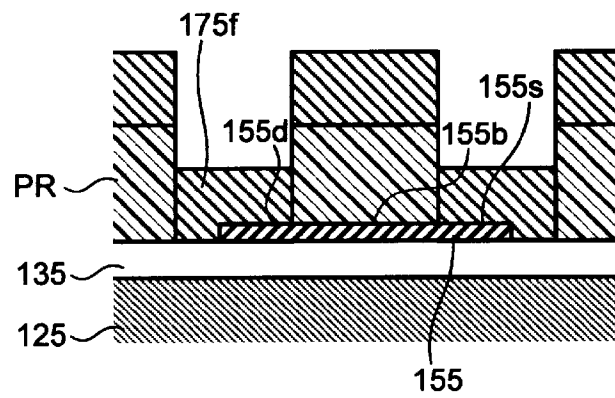
[図10]



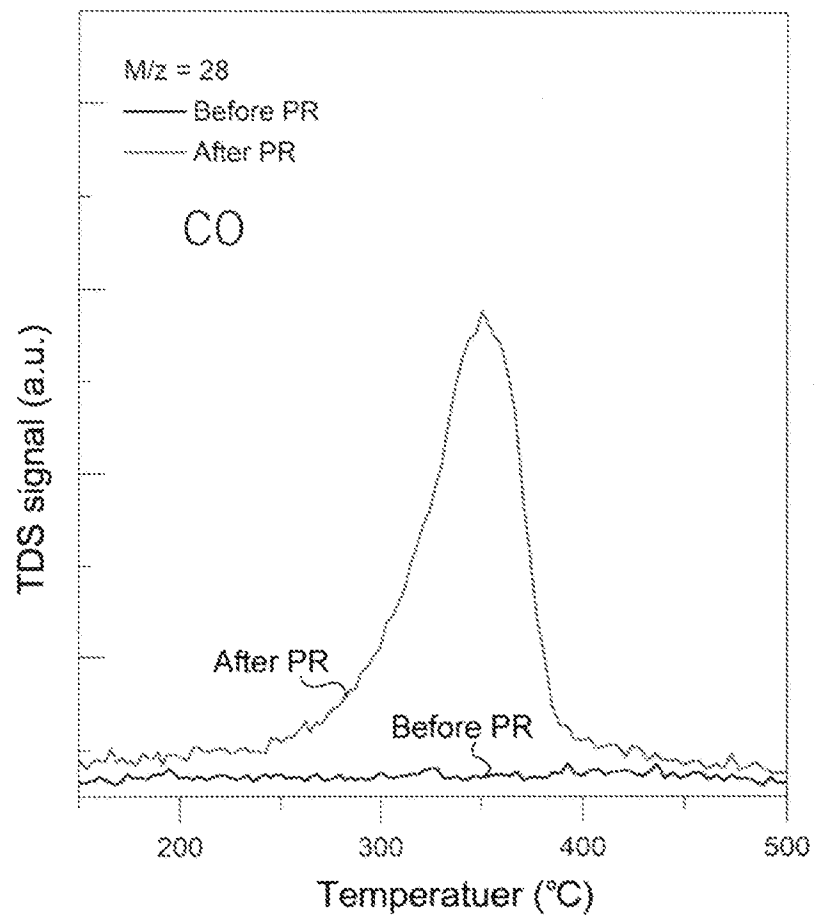
[図11]



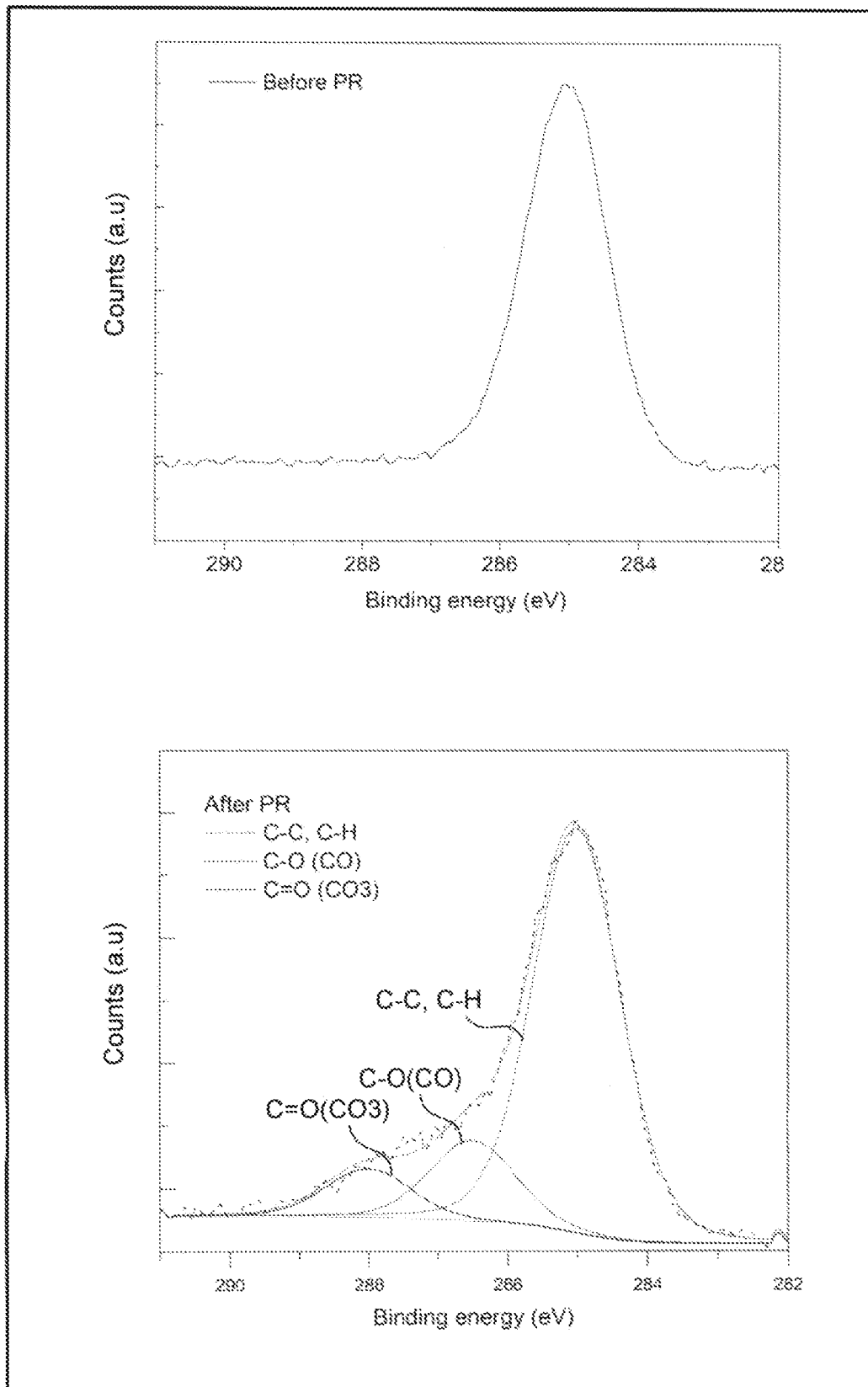
[図12]



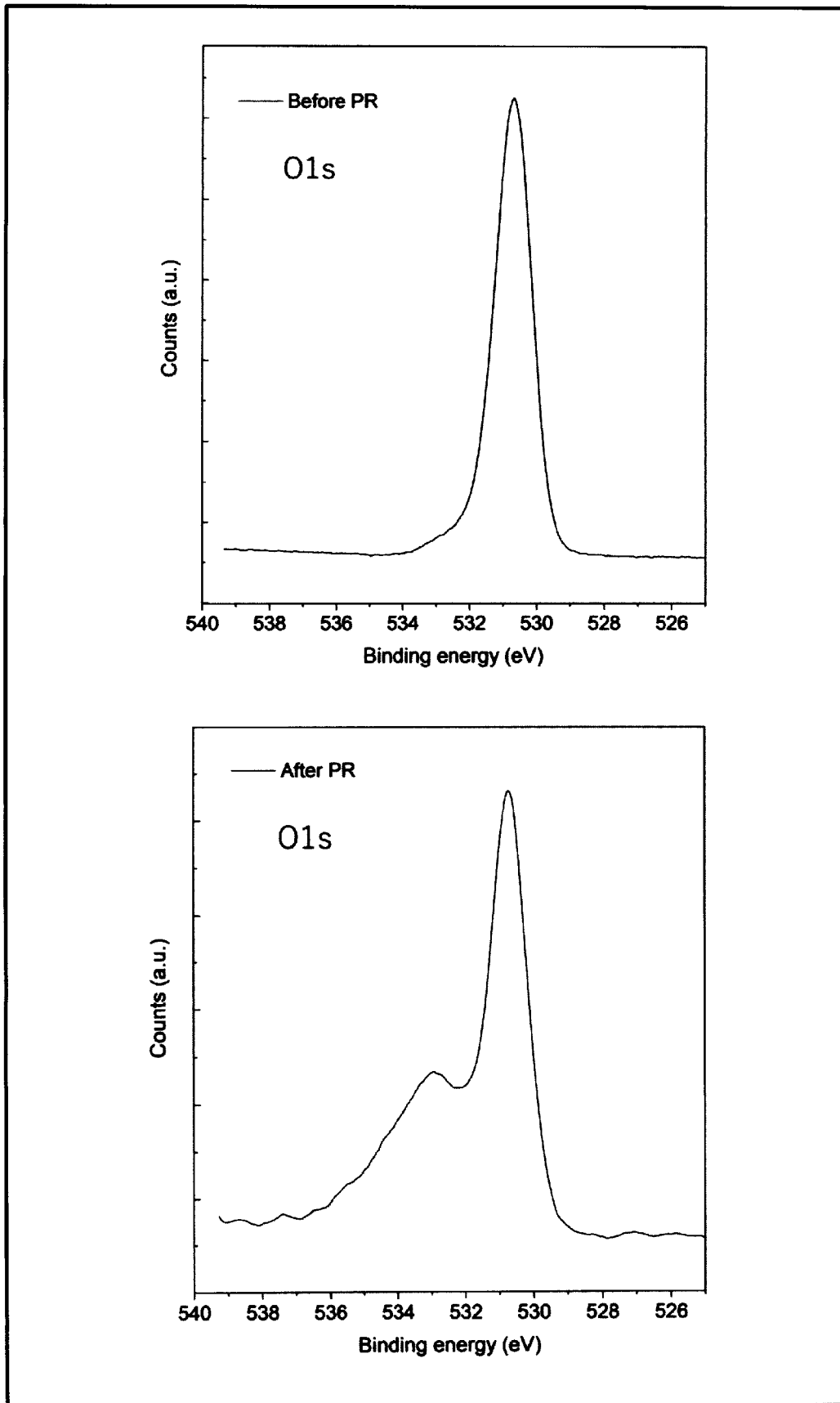
[図13]



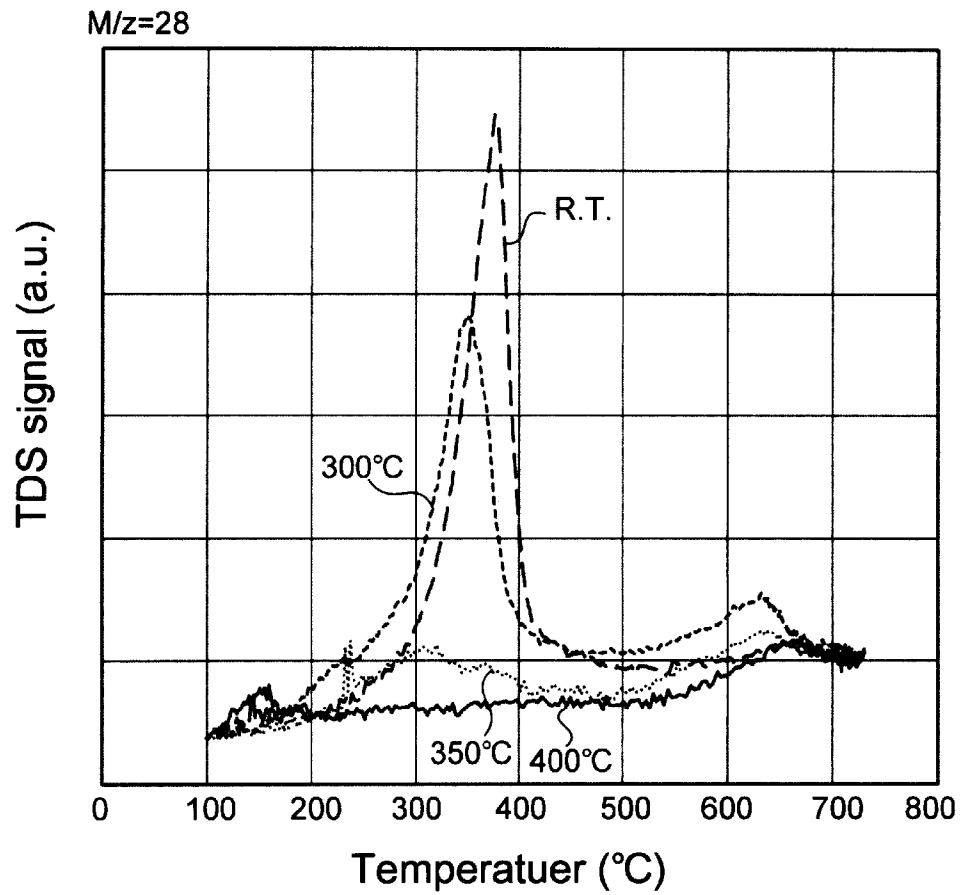
[圖14]



[図15]



[図16]



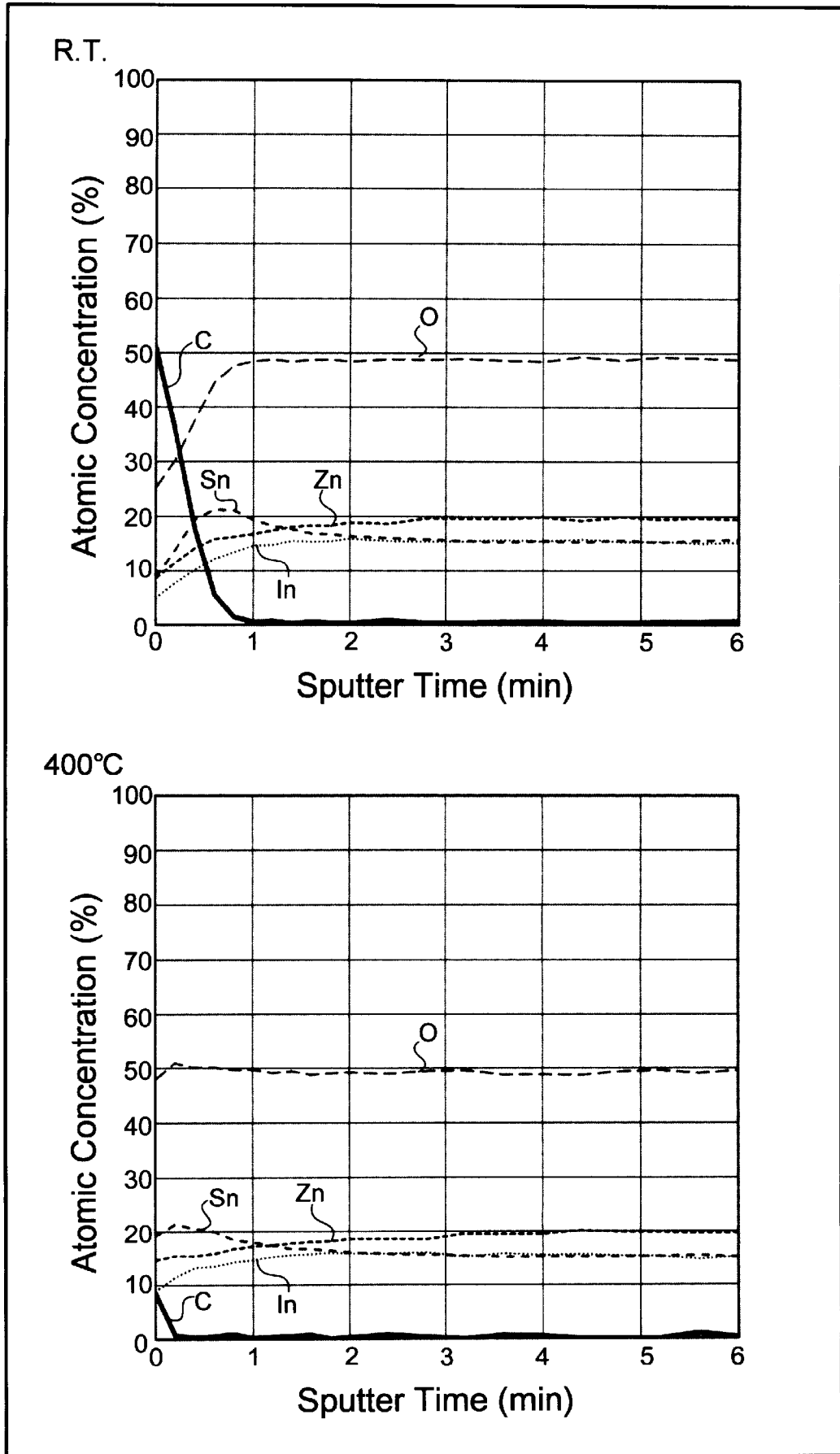
R.T. : $\sim 1.0E15/cm^2$

300°C: $\sim 0.5E15/cm^2$

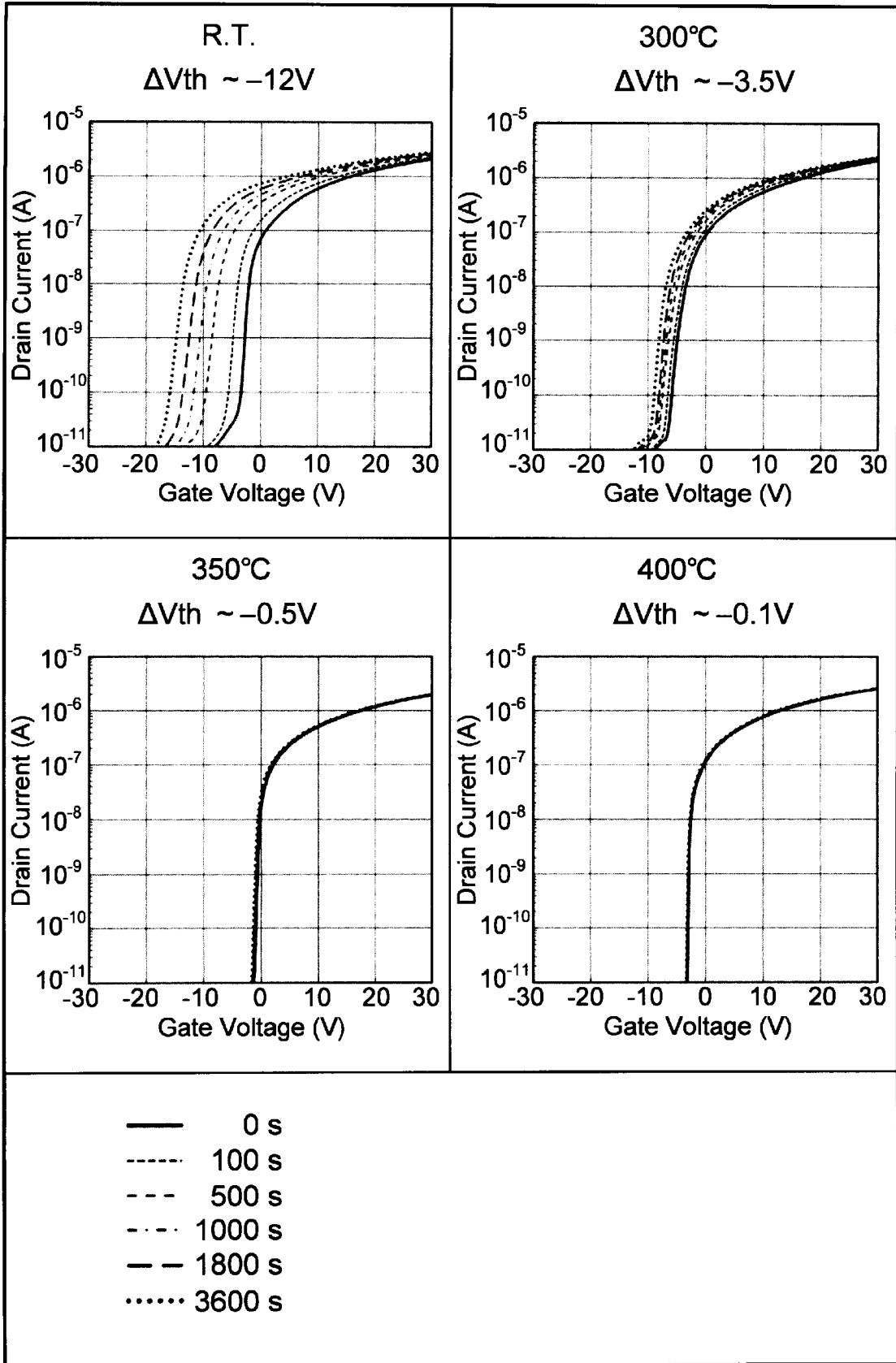
350°C: $\sim 1.5E14/cm^2$

400°C: Under detection limit

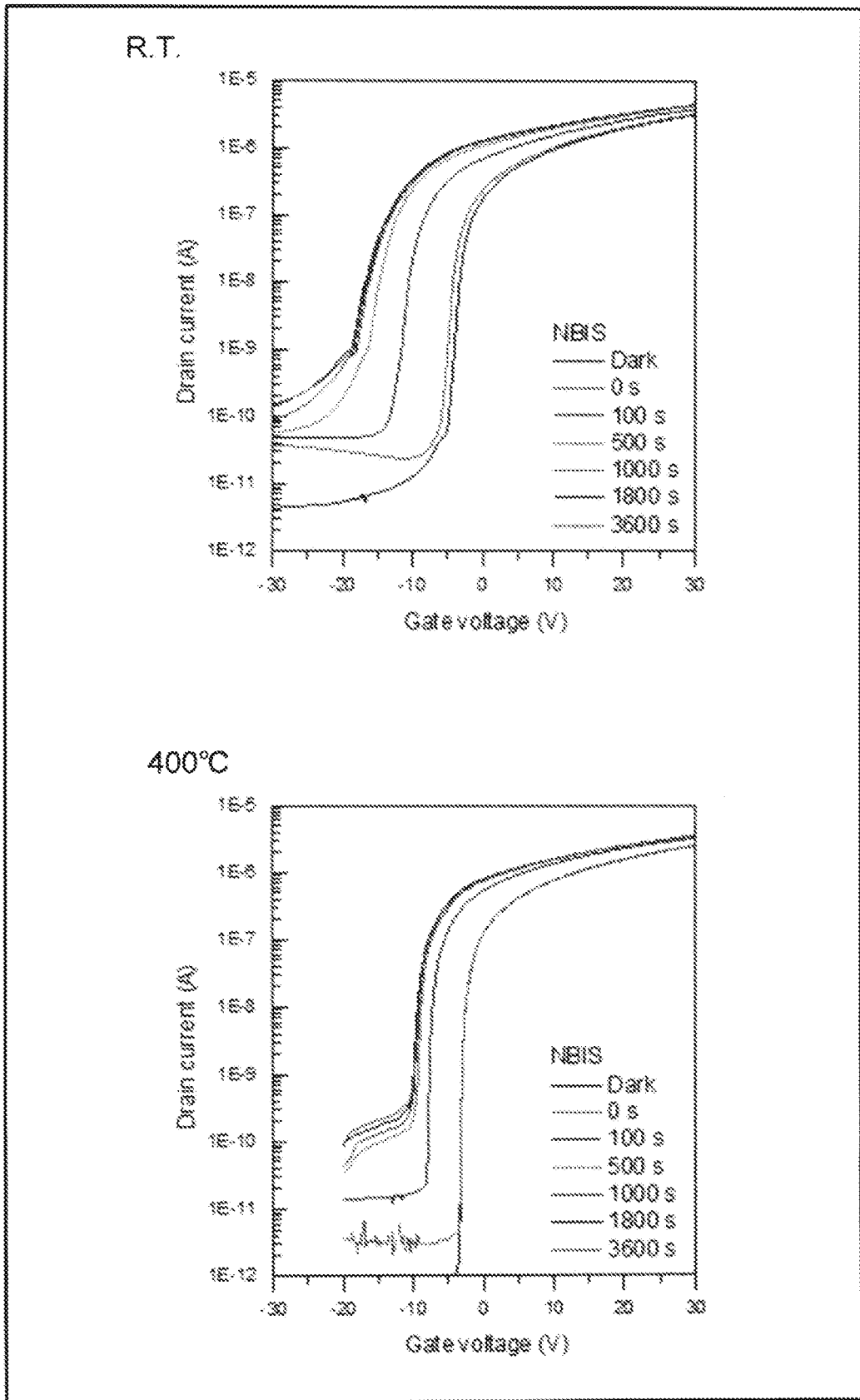
[圖17]



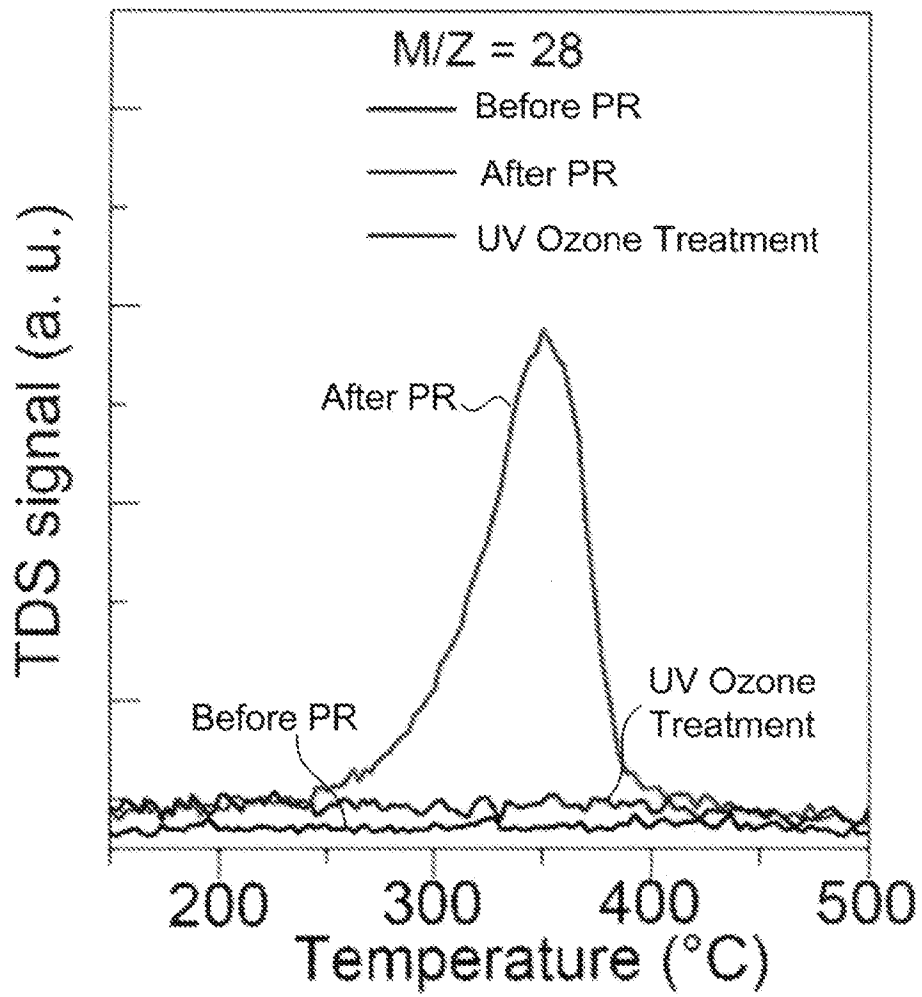
[圖18]



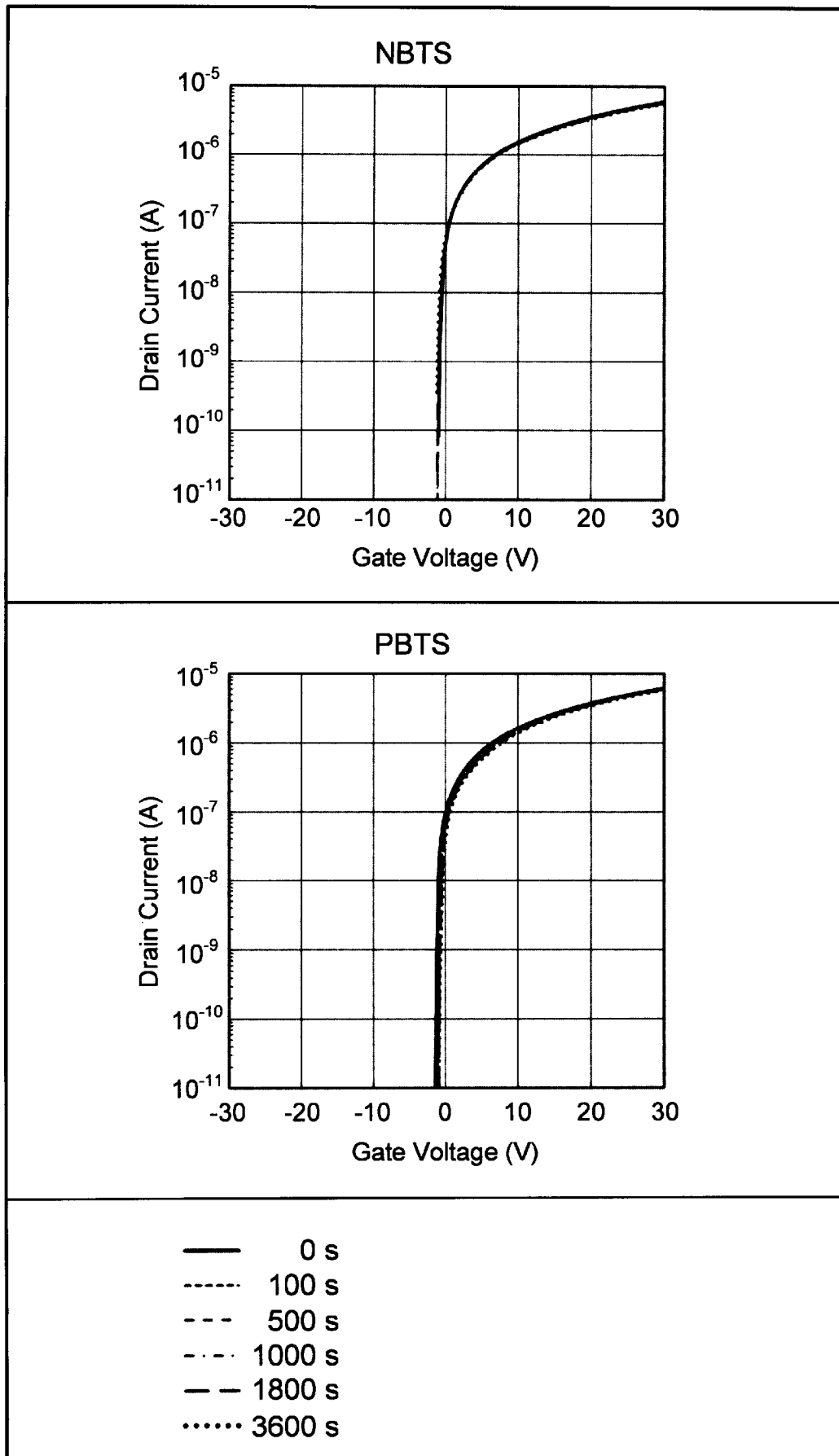
[圖19]



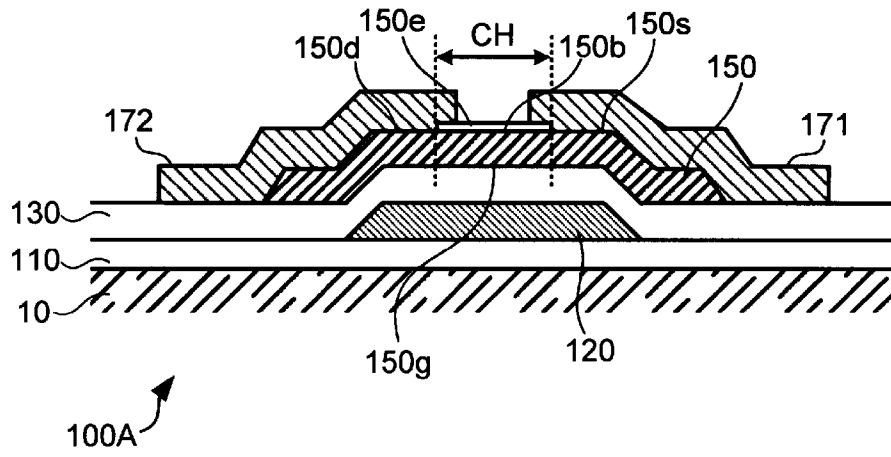
[図20]



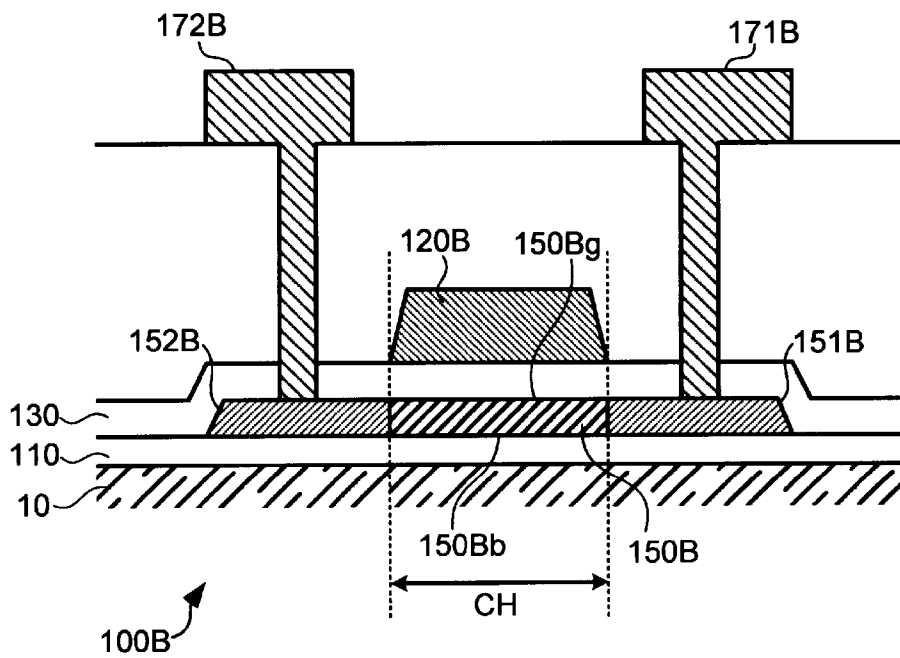
[図21]



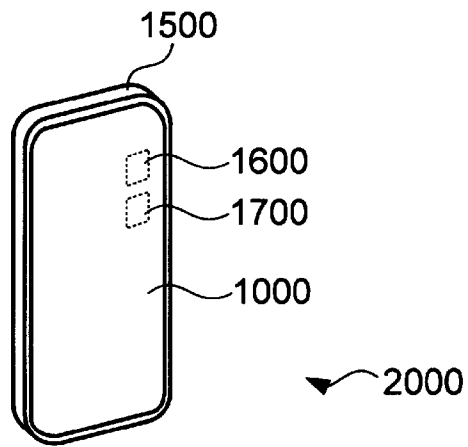
[図22]



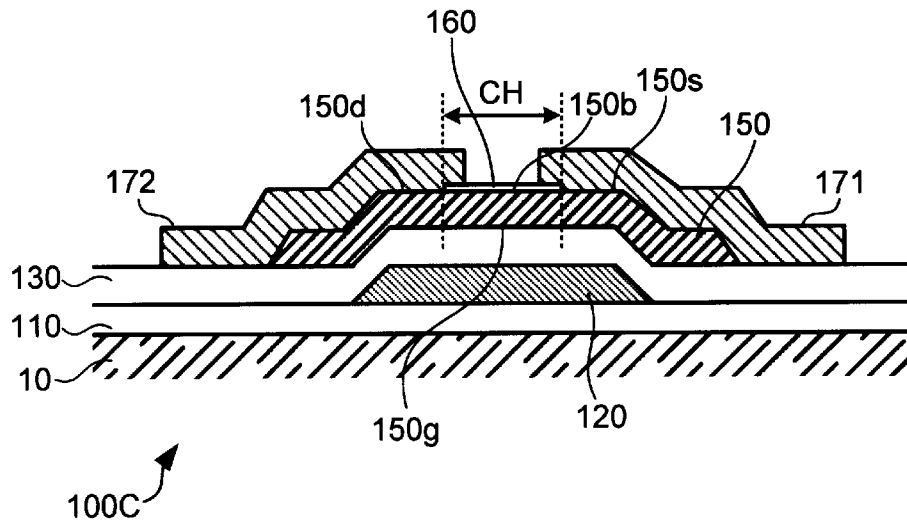
[図23]



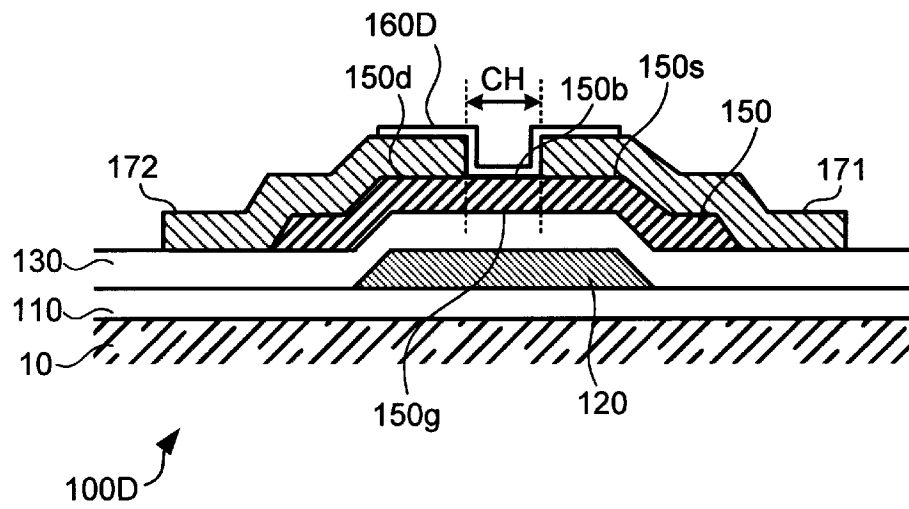
[図24]



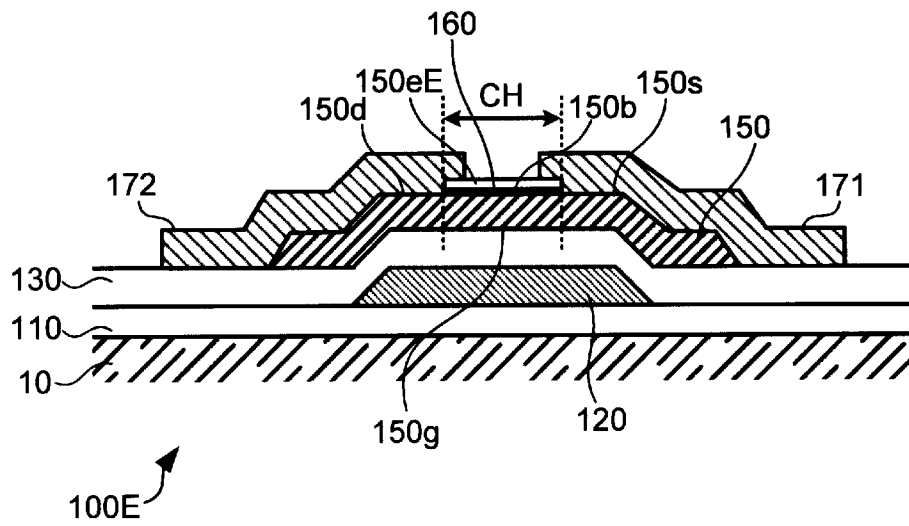
[図25]



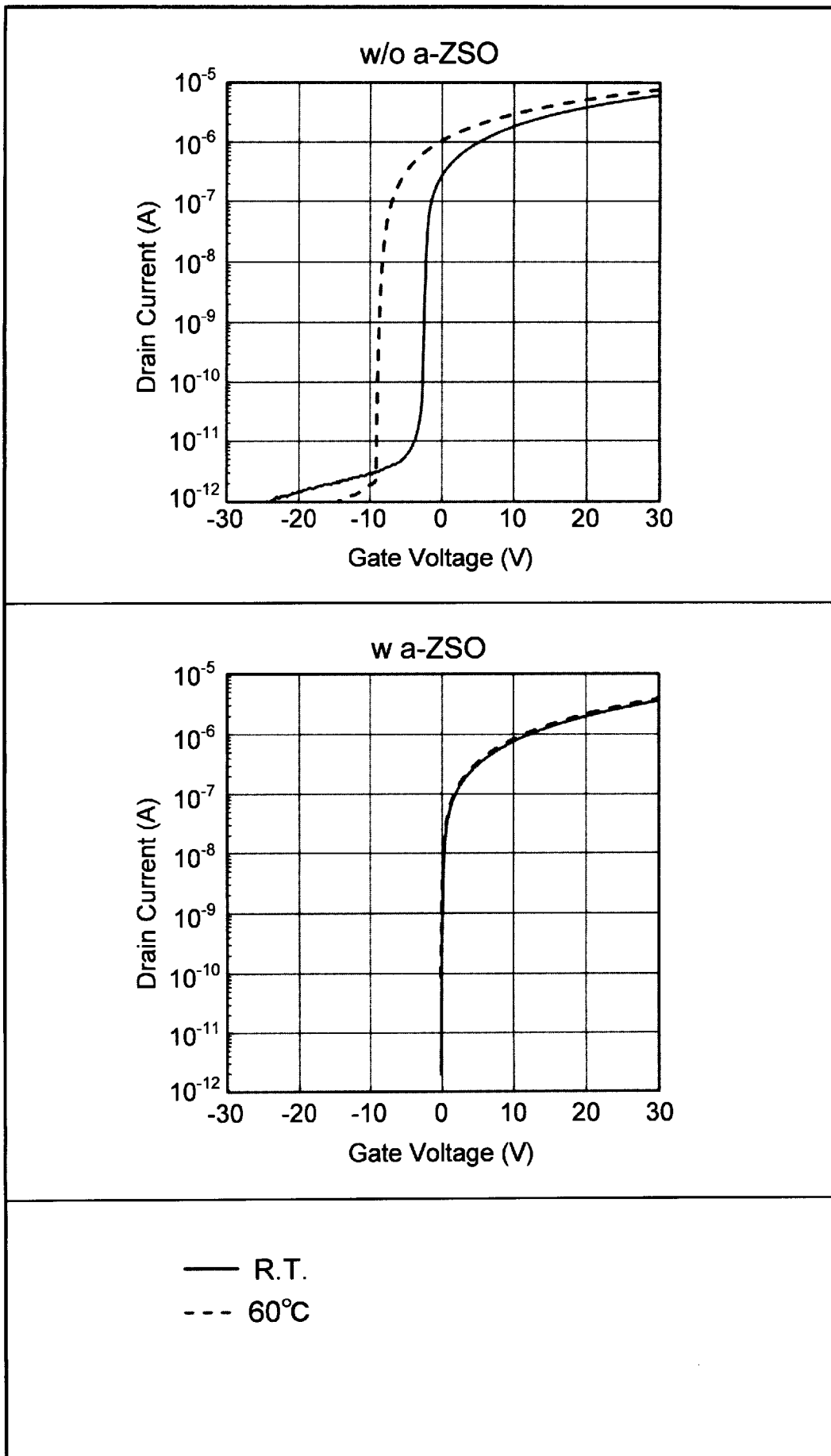
[図26]



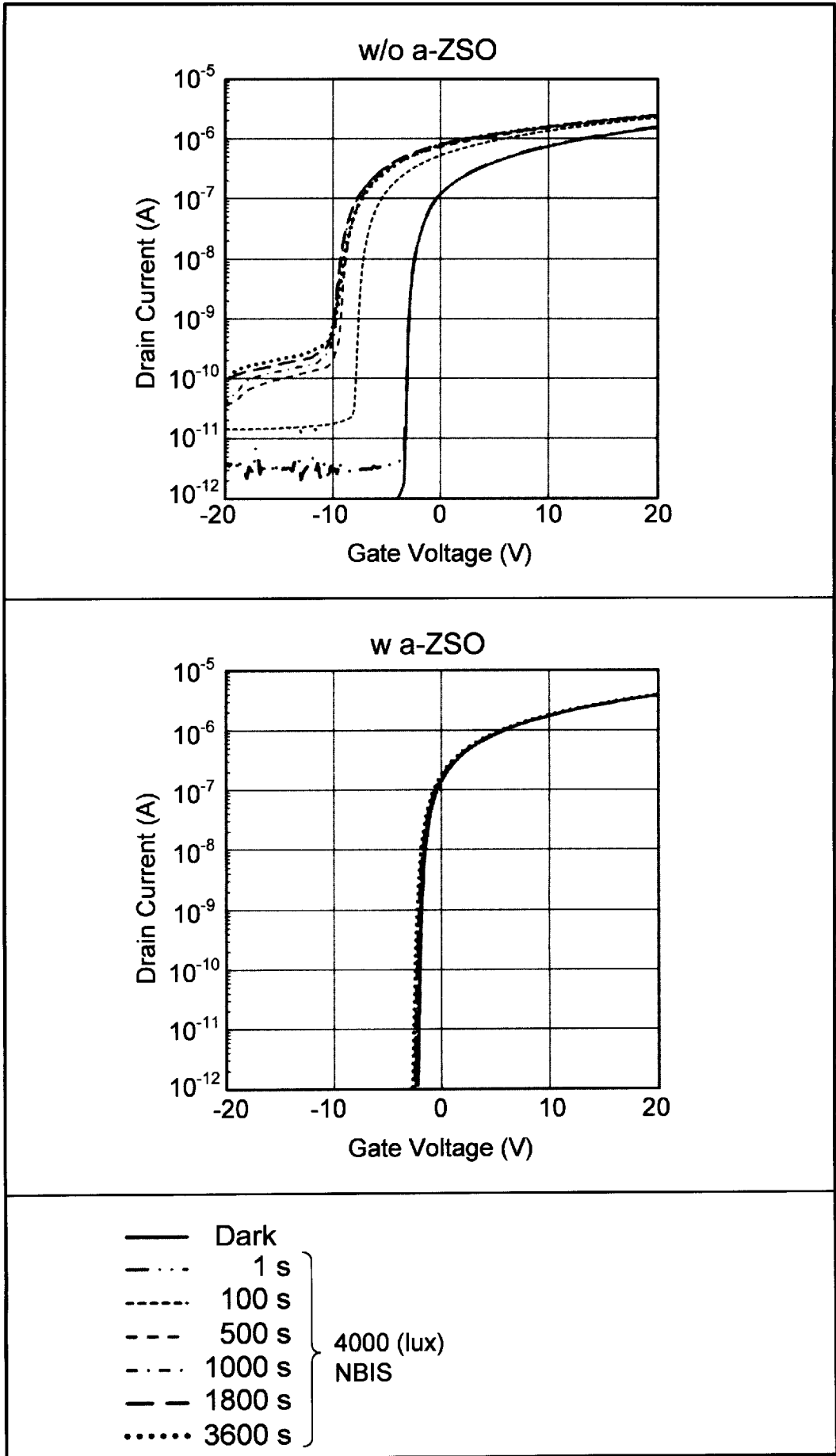
[図27]



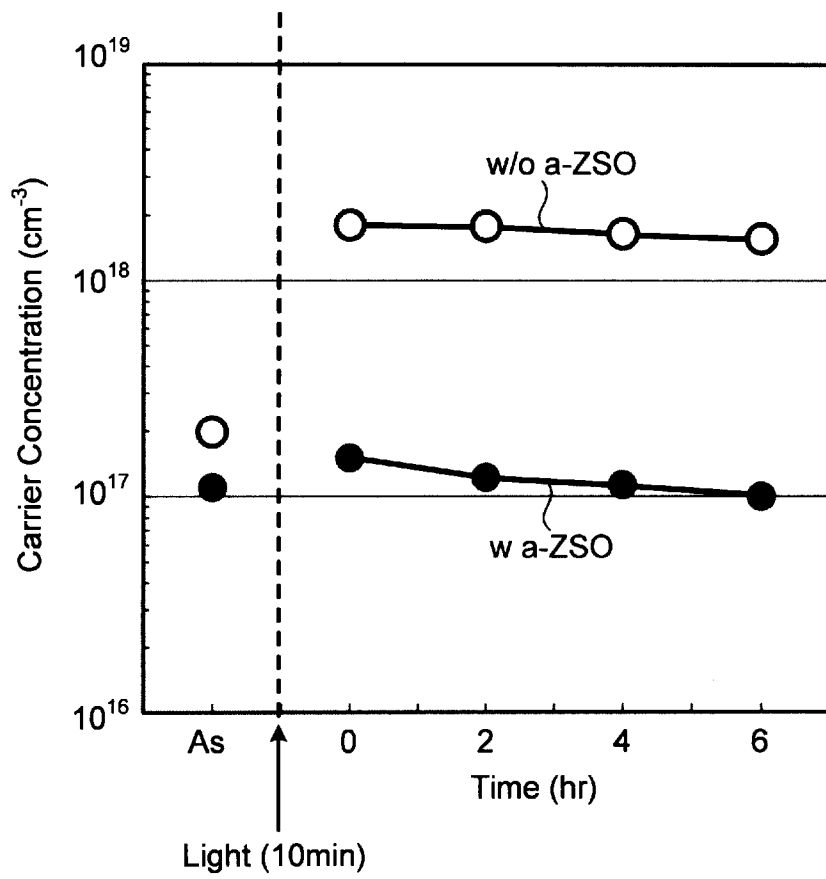
[圖28]



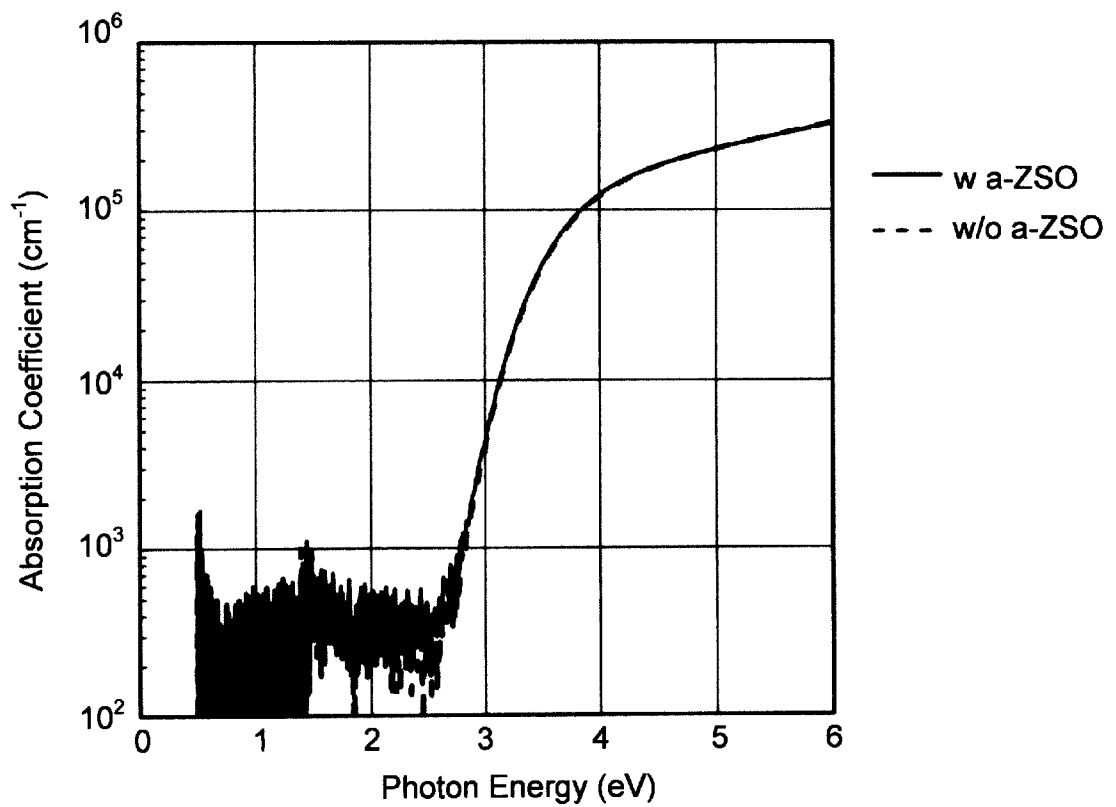
[圖29]



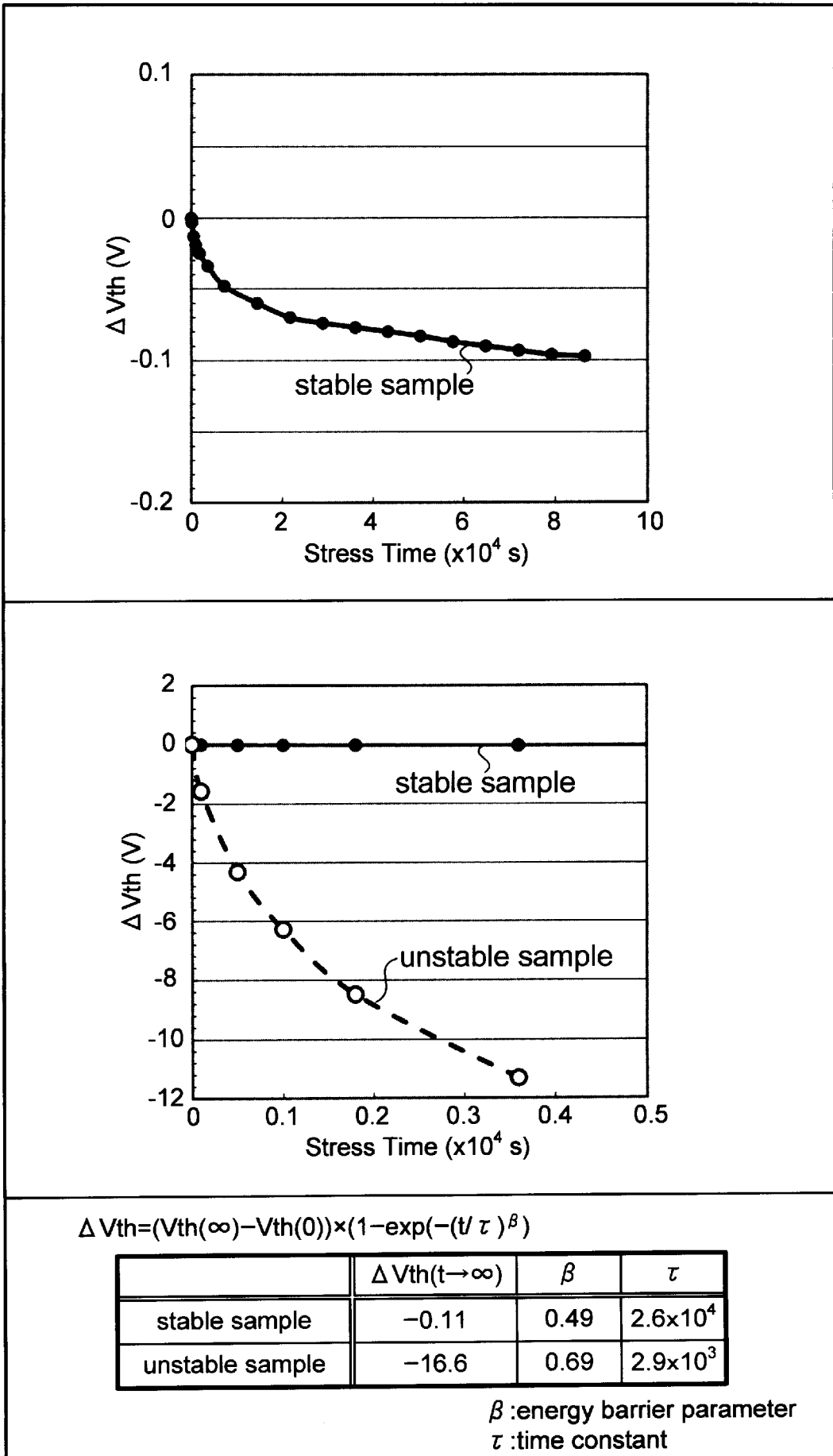
[図30]



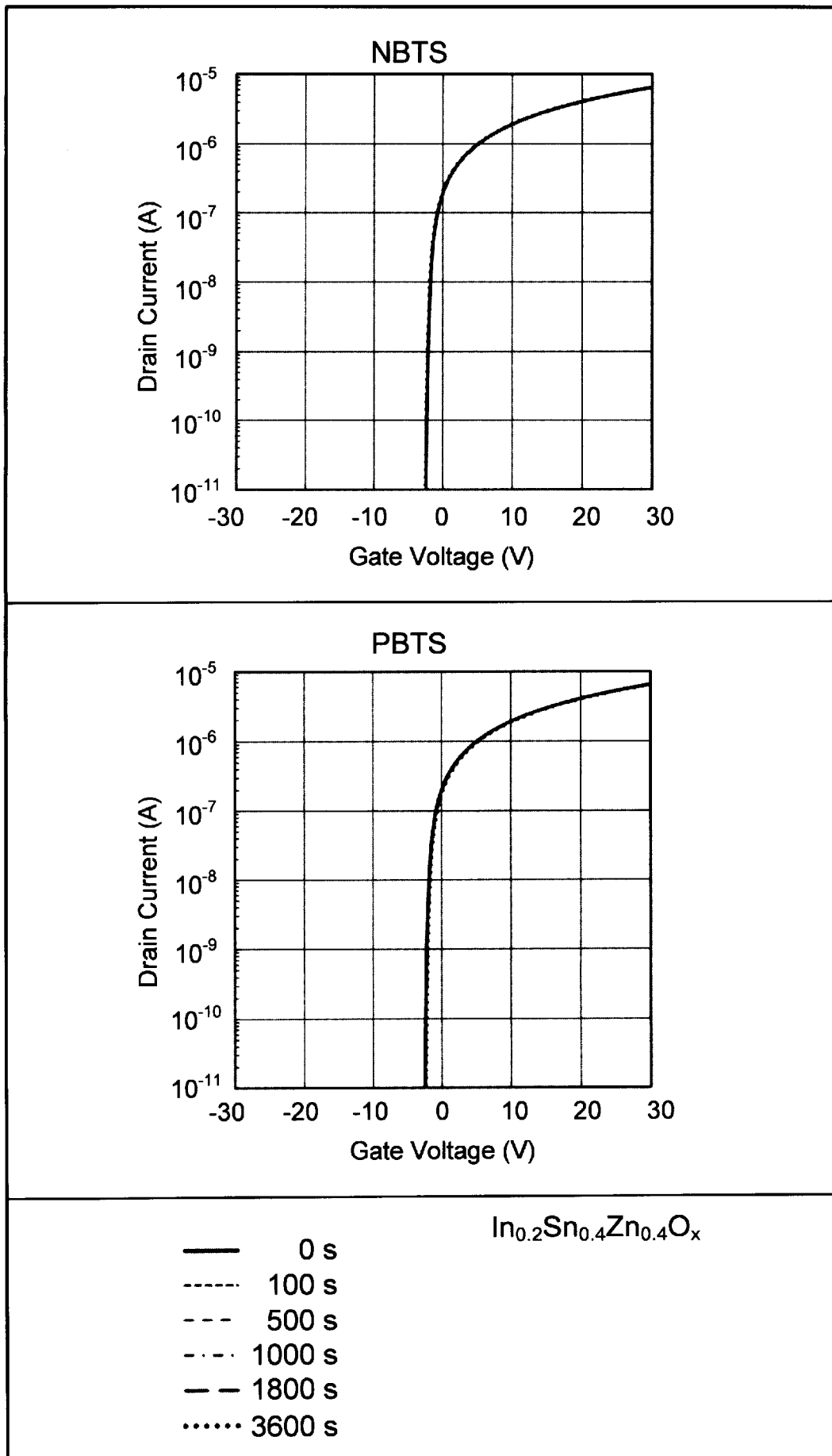
[図31]



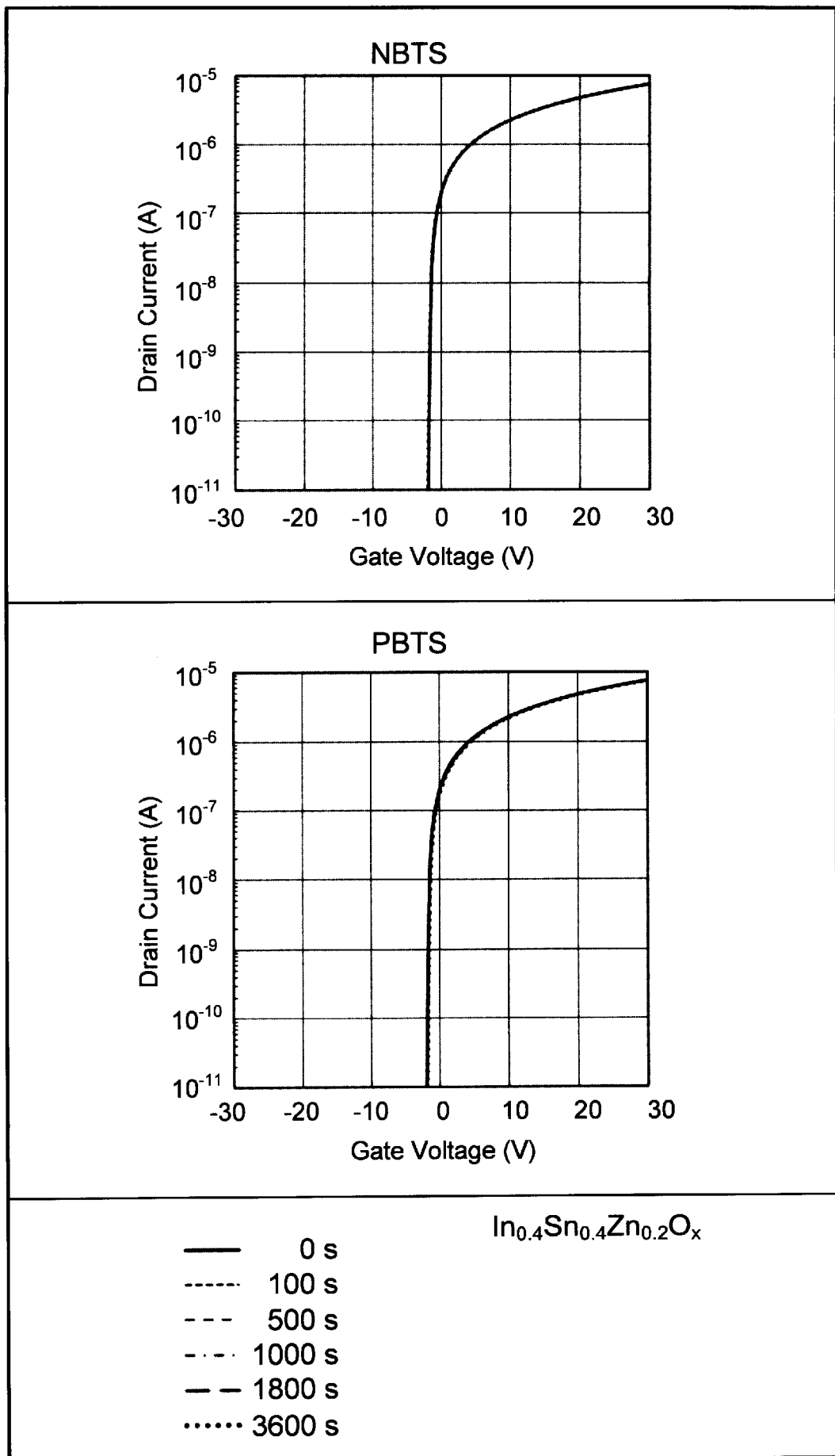
[図32]



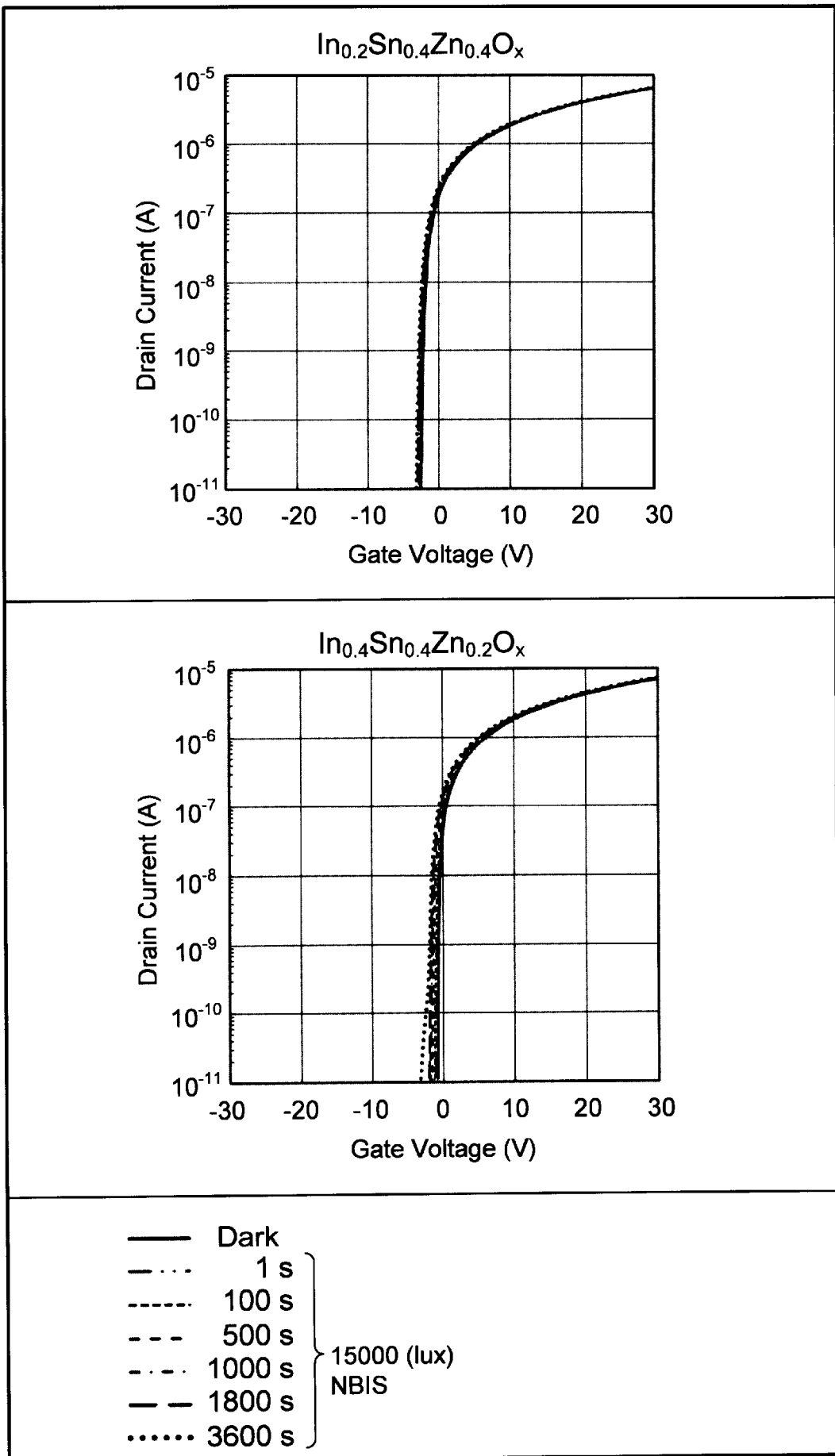
[図33]



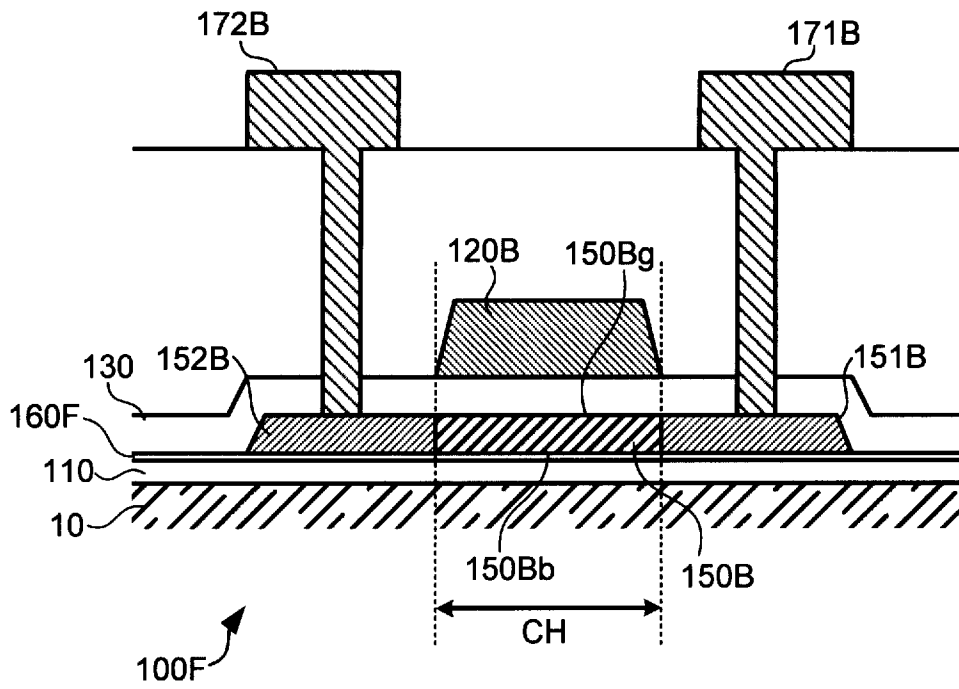
[図34]



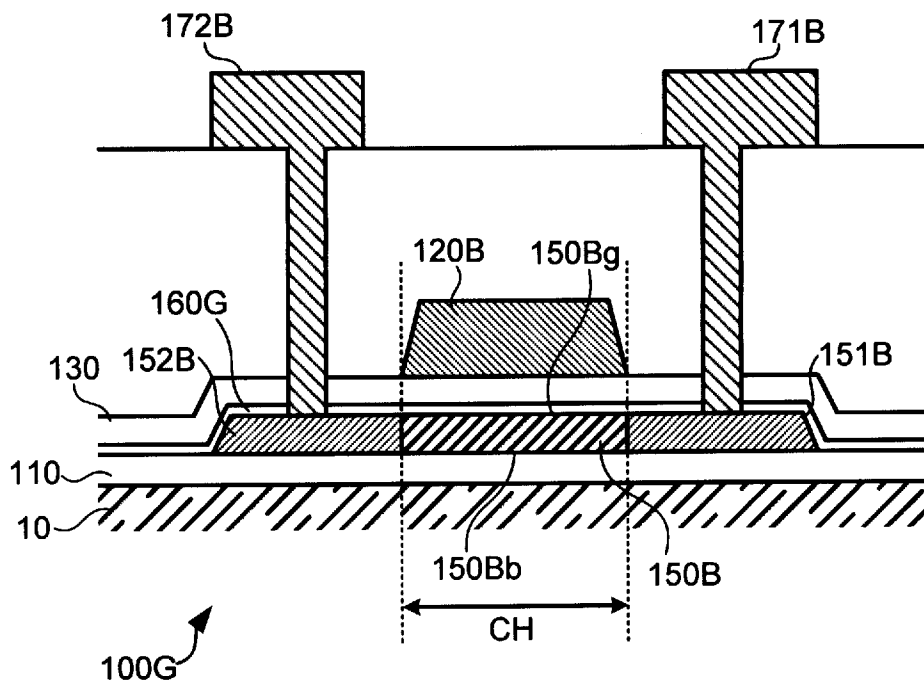
[図35]



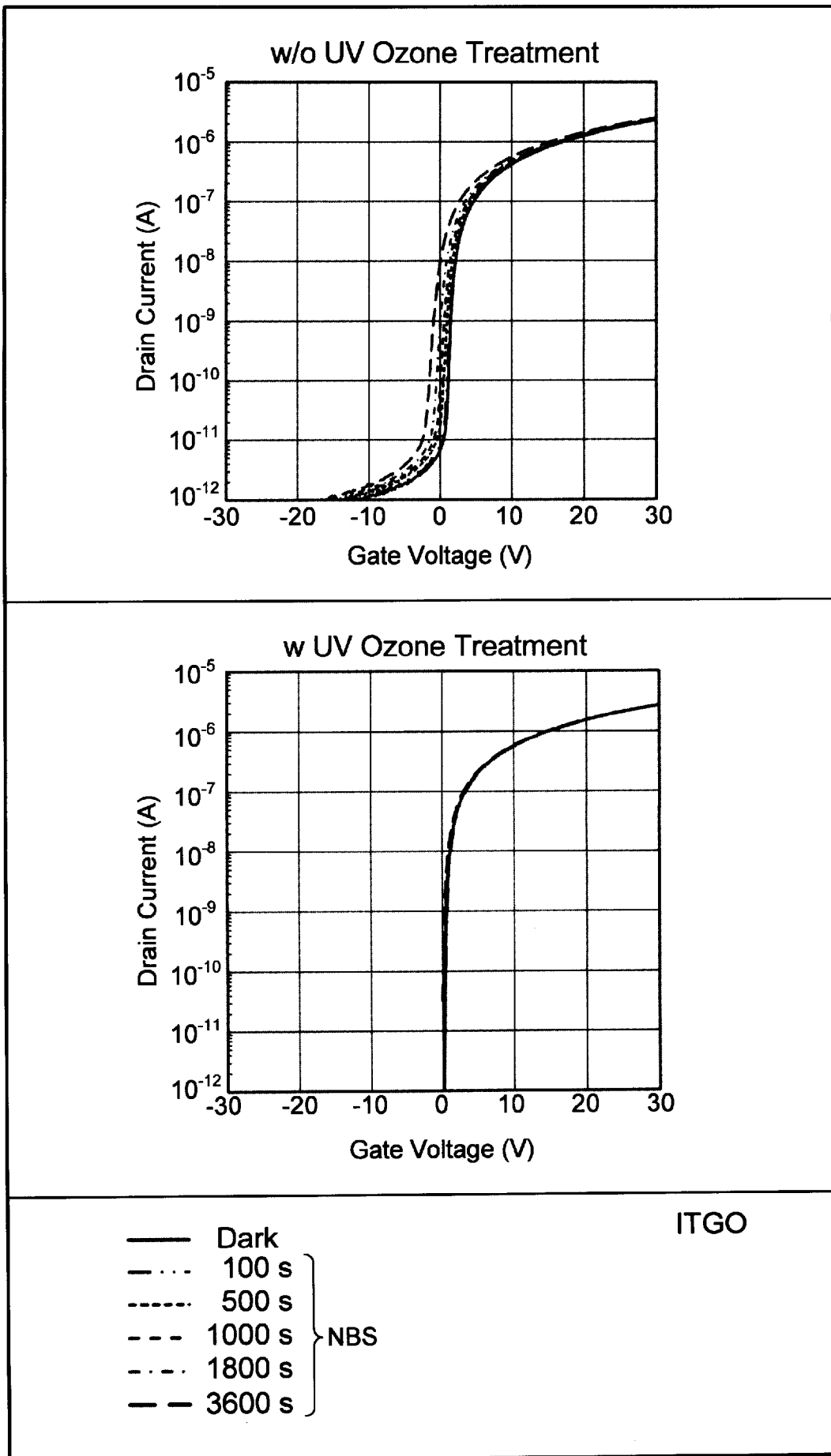
[図36]



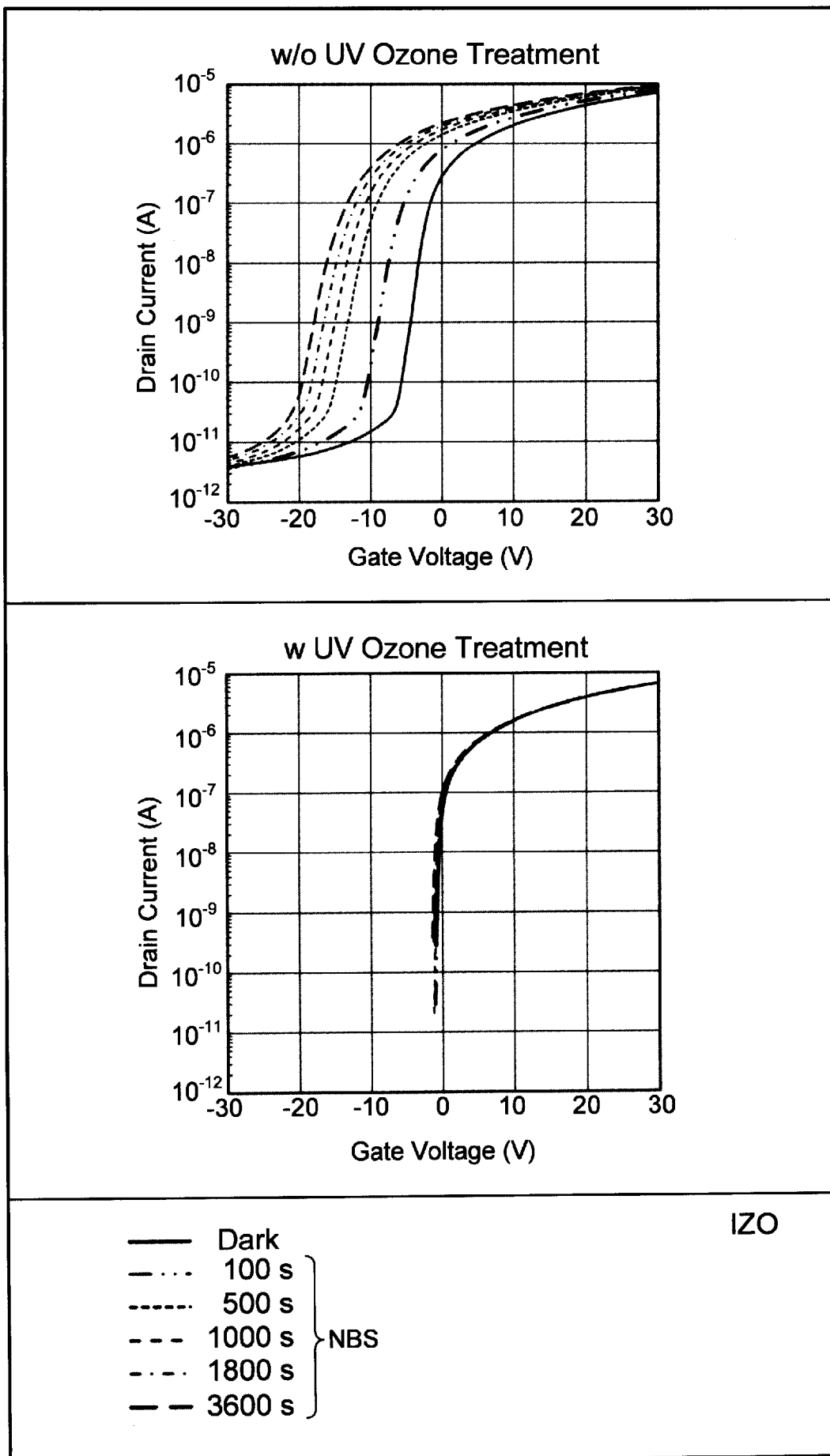
[図37]



[圖38]



[圖39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006733

A. CLASSIFICATION OF SUBJECT MATTER		
<p>H01L 29/786(2006.01)i; G09F 9/30(2006.01)i; H01L 21/28(2006.01)i; H01L 21/316(2006.01)i; H01L 21/336(2006.01)i; H01L 21/363(2006.01)i; H01L 27/32(2006.01)i; H01L 29/417(2006.01)i; H01L 51/50(2006.01)i; H05B 33/10(2006.01)i</p> <p>FI: H01L29/78 618F; H01L29/78 618B; H01L29/78 618A; H05B33/14 A; H01L27/32; H05B33/10; G09F9/30 365; H01L29/78 627F; H01L29/78 618Z; H01L29/78 619A; H01L21/28 301B; H01L29/50 M; H01L21/316 Y; H01L21/363; H01L29/78 616V</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L29/786; G09F9/30; H01L21/28; H01L21/316; H01L21/336; H01L21/363; H01L27/32; H01L29/417; H01L51/50; H05B33/10		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
<p>Published examined utility model applications of Japan 1922-1996</p> <p>Published unexamined utility model applications of Japan 1971-2022</p> <p>Registered utility model specifications of Japan 1996-2022</p> <p>Published registered utility model applications of Japan 1994-2022</p>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-225602 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 28 December 2016 (2016-12-28)	1-21, 34-37
Y	paragraphs [0055]-[0195], [0391]-[0478], [0484]-[0488], fig. 1-18, 43-49, 51	
Y	paragraphs [0055]-[0195], [0391]-[0478], [0484]-[0488], fig. 1-18, 43-49, 51	22-33
X	JP 2012-222176 A (DAINIPPON PRINTING CO., LTD.) 12 November 2012 (2012-11-12)	22-24, 29, 31
Y	paragraphs [0052], [0056], [0069]-[0073], [0085]-[0090], fig. 1, 4	
Y	paragraphs [0052], [0056], [0069]-[0073], [0085]-[0090], fig. 1, 4	22-33
A	paragraphs [0052], [0056], [0069]-[0073], [0085]-[0090], fig. 1, 4	1-21, 34-37
A	JP 2014-158018 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 28 August 2014 (2014-08-28)	1-37
	entire text, all drawings	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
15 April 2022		26 April 2022
Name and mailing address of the ISA/JP		Authorized officer
Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		
		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006733

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-258423 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 11 November 2010 (2010-11-11) entire text, all drawings	1-37
A	JP 2010-251735 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 04 November 2010 (2010-11-04) entire text, all drawings	1-37

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006733

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-225602	A	28 December 2016	US 2016/0276487 A1 paragraphs [0109]-[0248], [0446]-[0533], [0539]-[0543], fig. 1A-18C, 43A-49C, 51	
JP	2012-222176	A	12 November 2012	(Family: none)	
JP	2014-158018	A	28 August 2014	US 2014/0203276 A1	
JP	2010-258423	A	11 November 2010	US 2010/0244031 A1 CN 101859798 A KR 10-2010-0109395 A TW 201104864 A	
JP	2010-251735	A	04 November 2010	US 2010/0244029 A1 KR 10-2010-0108291 A TW 201108416 A KR 10-2013-0086199 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/786(2006.01)i; G09F 9/30(2006.01)i; H01L 21/28(2006.01)i; H01L 21/316(2006.01)i; H01L 21/336(2006.01)i; H01L 21/363(2006.01)i; H01L 27/32(2006.01)i; H01L 29/417(2006.01)i; H01L 51/50(2006.01)i; H05B 33/10(2006.01)i FI: H01L29/78 618F; H01L29/78 618B; H01L29/78 618A; H05B33/14 A; H01L27/32; H05B33/10; G09F9/30 365; H01L29/78 627F; H01L29/78 618Z; H01L29/78 619A; H01L21/28 301B; H01L29/50 M; H01L21/316 Y; H01L21/363; H01L29/78 616V</p>																										
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/786; G09F9/30; H01L21/28; H01L21/316; H01L21/336; H01L21/363; H01L27/32; H01L29/417; H01L51/50; H05B33/10</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2022年																									
日本国実用新案登録公報	1996 - 2022年																									
日本国登録実用新案公報	1994 - 2022年																									
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2016-225602 A (株式会社半導体エネルギー研究所) 28.12.2016 (2016 - 12 - 28) 段落[0055]- [0195], [0391]-[0478], [0484]-[0488], 図1-18, 43-49, 51</td> <td>1-21, 34-37</td> </tr> <tr> <td>Y</td> <td>段落[0055]- [0195], [0391]-[0478], [0484]-[0488], 図1-18, 43-49, 51</td> <td>22-33</td> </tr> <tr> <td>X</td> <td>JP 2012-222176 A (大日本印刷株式会社) 12.11.2012 (2012 - 11 - 12) 段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4</td> <td>22-24, 29, 31</td> </tr> <tr> <td>Y</td> <td>段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4</td> <td>22-33</td> </tr> <tr> <td>A</td> <td>段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4</td> <td>1-21, 34-37</td> </tr> <tr> <td>A</td> <td>JP 2014-158018 A (株式会社半導体エネルギー研究所) 28.08.2014 (2014 - 08 - 28) 全文, 全図</td> <td>1-37</td> </tr> <tr> <td>A</td> <td>JP 2010-258423 A (株式会社半導体エネルギー研究所) 11.11.2010 (2010 - 11 - 11) 全文, 全図</td> <td>1-37</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2016-225602 A (株式会社半導体エネルギー研究所) 28.12.2016 (2016 - 12 - 28) 段落[0055]- [0195], [0391]-[0478], [0484]-[0488], 図1-18, 43-49, 51	1-21, 34-37	Y	段落[0055]- [0195], [0391]-[0478], [0484]-[0488], 図1-18, 43-49, 51	22-33	X	JP 2012-222176 A (大日本印刷株式会社) 12.11.2012 (2012 - 11 - 12) 段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4	22-24, 29, 31	Y	段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4	22-33	A	段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4	1-21, 34-37	A	JP 2014-158018 A (株式会社半導体エネルギー研究所) 28.08.2014 (2014 - 08 - 28) 全文, 全図	1-37	A	JP 2010-258423 A (株式会社半導体エネルギー研究所) 11.11.2010 (2010 - 11 - 11) 全文, 全図	1-37
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	JP 2016-225602 A (株式会社半導体エネルギー研究所) 28.12.2016 (2016 - 12 - 28) 段落[0055]- [0195], [0391]-[0478], [0484]-[0488], 図1-18, 43-49, 51	1-21, 34-37																								
Y	段落[0055]- [0195], [0391]-[0478], [0484]-[0488], 図1-18, 43-49, 51	22-33																								
X	JP 2012-222176 A (大日本印刷株式会社) 12.11.2012 (2012 - 11 - 12) 段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4	22-24, 29, 31																								
Y	段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4	22-33																								
A	段落[0052], [0056], [0069]-[0073], [0085]-[0090], 図1, 4	1-21, 34-37																								
A	JP 2014-158018 A (株式会社半導体エネルギー研究所) 28.08.2014 (2014 - 08 - 28) 全文, 全図	1-37																								
A	JP 2010-258423 A (株式会社半導体エネルギー研究所) 11.11.2010 (2010 - 11 - 11) 全文, 全図	1-37																								
<p>国際調査を完了した日</p> <p>15.04.2022</p>	<p>国際調査報告の発送日</p> <p>26.04.2022</p>																									
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>市川 武宜 5F 4056</p> <p>電話番号 03-3581-1101 内線 3514</p>																									

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-251735 A (株式会社半導体エネルギー研究所) 04.11.2010 (2010 - 11 - 04) 全文, 全図	1-37

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/006733

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-225602 A	28.12.2016	US 2016/0276487 A1 段落[0109]- [0248], [0446]-[0533], [0539]- [0543], 図1A-18C, 43A-49C, 51	
JP 2012-222176 A	12.11.2012	(ファミリーなし)	
JP 2014-158018 A	28.08.2014	US 2014/0203276 A1	
JP 2010-258423 A	11.11.2010	US 2010/0244031 A1 CN 101859798 A KR 10-2010-0109395 A TW 201104864 A	
JP 2010-251735 A	04.11.2010	US 2010/0244029 A1 KR 10-2010-0108291 A TW 201108416 A KR 10-2013-0086199 A	