



(12)发明专利

(10)授权公告号 CN 104838449 B

(45)授权公告日 2018.06.15

(21)申请号 201380064152.1

(22)申请日 2013.11.19

(65)同一申请的已公布的文献号

申请公布号 CN 104838449 A

(43)申请公布日 2015.08.12

(30)优先权数据

61/734,706 2012.12.07 US

(85)PCT国际申请进入国家阶段日

2015.06.08

(86)PCT国际申请的申请数据

PCT/US2013/070712 2013.11.19

(87)PCT国际申请的公布数据

W02014/088798 EN 2014.06.12

(73)专利权人 3M创新有限公司

地址 美国明尼苏达州

(72)发明人 M·H·弗雷 B·A·哈布勒

T·赫特勒

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 陈长会 马慧

(51)Int.Cl.

H01B 5/00(2006.01)

(56)对比文件

CN 102043531 A, 2011.05.04, 权利要求7, 说明书第4段, 第37段, 图1, 图7, 图14.

US 2011/0050631 A1, 2011.03.03, 全文.

CN 102043531 A, 2011.05.04, 权利要求7, 说明书第4段, 第37段, 图1, 图7, 图14.

CN 102598891 A, 2012.07.18, 说明书的第14段, 第70段, 第113段, 第122段, 第126段, 图26.

KR 10-2012-0130938 A, 2012.12.04, 全文.

CN 102598891 A, 2012.07.18, 说明书的第14段, 第70段, 第113段, 第122段, 第126段, 图26.

审查员 焦思佳

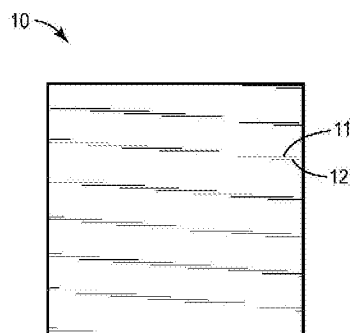
权利要求书1页 说明书22页 附图7页

(54)发明名称

导电制品

(57)摘要

本发明提供了一种制品,所述制品包括具有第一主表面的基板;位于所述基板的所述第一主表面上的电导体图案,所述电导体图案包括分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对。任选地,所述制品还包括第一导电层。本文所述制品的实施例可用于例如显示器、触摸传感器、照明元件、光伏电池、电致变色窗和显示器、以及电致发光灯和显示器。



1. 一种导电制品,包括:

具有第一主表面的基板;

位于所述基板的所述第一主表面上的电导体图案,所述电导体图案包括:

分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对,所述多个分离对中每个对中的所述第一导电金属迹线和所述第二导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少5倍,并且其中每平方厘米存在至少50条所述导电金属迹线,其中重叠指两个相邻且分离的第一导电金属迹线 and 第二导电金属迹线中的部分,所述部分在整个重叠长度上彼此近似平行或彼此保持近似恒定分离。

2. 根据权利要求1所述的导电制品,其中所述多个分离对内相邻对中的相邻导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少5倍。

3. 根据权利要求1所述的导电制品,其中所述电导体图案的开口面积分数大于80%。

4. 根据权利要求1所述的导电制品,其中一对中的每条导电金属迹线彼此分离最多至5微米;所述导电金属迹线的宽度不大于15微米;并且所述导电金属迹线的长度为至少50微米。

5. 根据权利要求1所述的导电制品,其中所述多个分离对中每个对中的所述第一导电金属迹线 and 所述第二导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少10倍。

6. 根据权利要求1所述的导电制品,其中所述基板是透明的。

7. 根据权利要求1所述的导电制品,其中所述第一导电金属迹线 and 所述第二导电金属迹线为分支的,其包含至少一个顶点,至少两个直线形或非直线形的细长导电导体元件在此处会聚。

8. 根据权利要求1所述的导电制品,还包括导电层,所述导电层具有大致相对的第一主表面 and 第二主表面,其中所述导电层的主表面与所述第一导电金属迹线 and 第二导电金属迹线的多个分离对中的至少一部分接触。

9. 根据权利要求8所述的导电制品,其中所述导电层是透明的并包括以下中的至少一种:金属氧化物、金属纳米线、导电聚合物、碳纳米管或石墨烯。

10. 根据权利要求8或9所述的导电制品,其中所述导电层是图案化的并包括第一分离区域 and 第二分离区域。

导电制品

背景技术

[0001] 导电且透明的材料和部件可以作为电极用于例如液晶显示器、光伏电池、触摸显示器传感器、光电探测器、电致变色窗、无机电致发光灯、有机发光二极管(OLED)灯和显示器。这些设备的效率或性能取决于,例如,电传输特性(通过电薄层电阻 R_s 定量描述,以欧姆每平方米为单位进行测量)和光学特性(主要通过透光率 $\%T$ 定量描述,以百分比为单位进行测量)。对于大多数设备,当透明电极的电薄层电阻减少,或透光率增加时,其效率或性能会增强。低电薄层电阻和高透光率是矛盾的材料属性,从而不得不在设备设计、性能和效率方面进行折中。个别材料(如氧化铟锡)或导电聚合物(如PEDOT-PSS)提供其固有的有限幅电平并在电薄层电阻和透光率之间进行折中。因此,有必要在本领域中改进现有的透明导电材料和部件,以相比于标准材料减小电薄层电阻或增大透光率。

发明内容

[0002] 在一个方面,本发明公开了一种制品,其包括:

[0003] 具有第一主表面的基板;

[0004] 位于基板的第一主表面上的电导体图案,所述电导体图案包括:

[0005] 分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对(参见例如图1-图5),每个对中的第一导电金属迹线 and 第二导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少5倍(在一些实施例中,至少10、25、50或100倍;或者在5到1,000、10到500、15到250,或者甚至50到200倍的范围内),并且其中每平方厘米存在至少50条(在一些实施例中,至少75、100、150、200、250、500、1,000、5,000、10,000、25,000、50,000、75,000、100,000,或者甚至至少150,000条;在一些实施例中,在100到150,000、500到150,000、1,000到150,000、5,000到150,000、10,000到150,000,或者甚至25,000到150,000条的范围内)导电金属迹线。

[0006] 任选地,本文所述制品还包括第一导电层,该导电层具有大致相对的第一主表面和第二主表面,其中第一导电层的主表面与第一导电金属迹线 and 第二导电金属迹线的多个对中的至少一部分接触(在一些实施例中,与大致平行于基板的第一主表面的第一导电金属迹线 and 第二导电金属迹线的多个对中的至少1%、2%、3%、4%、5%、10%、15%、20%、25%、30%、35%、40%、45%、50%、55%、60%、65%、70%、75%、80%、85%、90%、95%、99%或者甚至100%接触)。任选地,所述导电层是图案化的并且包括第一分离区域和第二分离区域(在一些实施例中,还包括额外的(例如第三)分离区域),并且任选地进一步包括与第一区域电连接的第一地址迹线以及第二区域电连接的第二地址迹线(并且在一些实施例中,如果存在额外区域的话,任选地还包括与该额外区域电连接的额外地址迹线)。

[0007] 在另一方面,本发明描述了制备本文所述制品的方法,该方法包括:

[0008] 提供具有第一主表面的基板;并

[0009] 将分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对沉积到基板的第一主表面上,以提供该制品。

- [0010] 在另一方面,本发明描述了制备本文所述制品的方法:
- [0011] 提供具有第一主表面的基板;
- [0012] 在基板的第一主表面上提供金属层;并
- [0013] 蚀刻金属层以位于基板的第一主表面上提供分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对,以提供该制品。
- [0014] 在另一方面,本发明描述了制备本文所述的制品的方法,该方法包括:
- [0015] 提供具有第一主表面的基板;
- [0016] 将导电层沉积到第一主表面上;
- [0017] 将分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对沉积到该导电层上,以提供该制品。
- [0018] 在另一方面,本发明描述了制备本文所述的制品的方法,该方法包括:
- [0019] 提供具有第一主表面的基板;
- [0020] 将导电层沉积到第一主表面上;
- [0021] 将金属层沉积到导电层上,以提供该制品;以及
- [0022] 蚀刻金属层以位于基板的第一主表面上提供分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对,以提供该制品。
- [0023] 本文所述制品的实施例可用于例如显示器、触摸传感器、照明元件(例如,发光二极管(例如,有机发光二极管))、光伏电池、电致变色窗和显示器、以及电致发光灯和显示器。
- [0024] 本文所述制品及其制造过程的实施例所提供的优点包括,不需要能够同时实现大范围特征尺寸的单图案化工艺(即,经由同一工艺不但能形成微观的(例如,亚微米)网孔迹线,还能形成宏观的(例如,毫米)焊接区),对于使用可得益于微观网孔迹线的透明导体进行的每次设备设计迭代不需要昂贵的高分辨率定制工具,并且不需要将任何后续的图案化工艺与金属微图案配准。

附图说明

- [0025] 图1-4为本文所述制品的示例性导电金属迹线的示意图;
- [0026] 图2A、图5A、图5B为本文所述制品的示例性导电金属迹线对的示意图;
- [0027] 图6-11为本文所述制品的示例图;并且
- [0028] 图12示出包括本文所述示例性制品的触摸屏部件的组合。

具体实施方式

- [0029] 示例性基板包括玻璃和聚合物膜(例如,选自聚(对苯二甲酸乙二醇酯)(PET)、环烯烃聚合物(COP)、聚(萘二甲酸乙二醇酯)(PEN)、聚碳酸酯(PC)、三乙酸纤维素(TAC)和环状聚烯烃共聚物的聚合物膜)。在一些实施例中,基板是透明的(即,透过至少50%的可见光(在一些实施例中为至少75%、80%、85%、90%,或者甚至至少95%))。在一些实施例中,在不要求透明度的情况下,基板是不透明的(即,透过小于5%的可见光(在一些实施例中,小于4%、3%、2%、1%、0.5%,或者甚至小于0.1%))。
- [0030] 通常,电导体图案的开口面积分数大于80%、90%、95%、96%、97%、98%、99%,

或者甚至至少99.5%；在一些实施例中，在80%到99.75%、90%到99.75%、90%到99.5%、95%到99.75%，或者甚至95%到99.5%的范围内，但在这些典型值以外的值也是可用的。

[0031] 示例性电导体图案如图1-4中所示。参见图1，电导体图案10具有分离的第一非分支导电金属迹线11和第二非分支导电金属迹线12的多个分离对，每个对中的第一导电金属迹线11和第二导电金属迹线12相对于彼此重叠的长度为它们的分离距离的至少5倍。术语导电描述了一种例如迹线或层形式的材料，其具有至少10西门子每厘米的有效本体导电率。例如，导电聚合物是已知的具有例如至少1,000西门子每厘米的本体导电率。氧化锡锡组合物可以具有例如10,000西门子每厘米的本体导电率。纯银具有 6.3×10^5 西门子每厘米的本体导电率。有效本体导电率中的术语有效是指允许复合材料在本发明导电材料范围内的可能性，复合材料具有多个相的可能性，所述相具有不同的局部本体导电率。术语重叠指两个相邻且分离的导电金属迹线的如本文所述构成一对或者各自为分离但相邻的迹线对中的成员的部分，导电迹线在基板平面内彼此分离（物理学上及电学上），所述部分在整个重叠距离（长度）彼此近似平行或彼此保持近似恒定分离。“分离”指除了例如通过导电层电连接时以外彼此不是物理或电接触的迹线。术语重叠并非指物理或电接触，也不是指在基板平面中的一致位置。导电金属迹线具有长度、宽度和厚度。电导体图案10具有开口面积分数（即，导电金属迹线位于其上的表面的表面积中未被导电金属迹线所覆盖的表面积）。

[0032] 参见图2和图2A，电导体图案20具有分离的第一分支导电金属迹线21和第二分支导电金属迹线22的多个分离对，每个对中的第一导电金属迹线21和第二导电金属迹线22的相对于彼此的重叠长度 OL_2 为它们的分离距离 D_2 的至少5倍。导电金属迹线具有长度 L_2 、宽度和厚度。电导体图案20具有开口面积分数和间距 P_2 。

[0033] 参见图3，电导体图案30具有分离的第一分支导电金属迹线31和第二分支导电金属迹线32的多个分离对，每个对中的第一导电金属迹线31和第二导电金属迹线32相对于彼此的重叠长度为它们的分离距离的至少5倍。导电金属迹线具有长度、宽度和厚度。电导体图案30具有开口面积分数。

[0034] 参见图4，电导体图案40具有分离的第一分支导电金属迹线41和第二分支导电金属迹线42的多个分离对，每个对中的第一导电金属迹线41和第二导电金属迹线42相对于彼此的重叠长度为它们的分离距离的至少5倍。导电金属迹线具有长度、宽度和厚度。电导体图案40具有开口面积分数。

[0035] 在一些实施例中，第一导电金属迹线和第二导电金属迹线为直线形（参见例如图1-3）、非直线形（参见例如图4）或包括这两者。在一些实施例中，第一导电金属迹线和第二导电金属迹线是分支的（即，21、22、31、32、41、42；参见例如图2-4），非分支的（即，11、12；参见例如图1），或者包括这两者。分支的导电迹线是包括至少一个顶点（此处也称为节点）的导电迹线，至少两个直线形或非直线形（例如弧形）的细长导电导体元件在此处会聚（连接）。在顶点处，可在元件之间限定角度。某些分支的导电迹线具有三个在顶点处会聚的元件。某些分支的导电迹线具有四个在顶点处会聚的元件。某些分支的导电迹线具有四个以上在顶点处会聚的元件。分支迹线的长度为可以从迹线的一个细长的导电导体元件末端，通过至少一个顶点，到达该迹线的另一个细长的导电导体元件末端限定的最长路径的长度，例如图2A中的 L_2 所示例。在一些实施例中，第一导电金属迹线和第二导电金属迹线的多个对通常会形成重复图案（即，平行线的一般形式、正方形网格或斜交正方形网格的一般形

式、六边形网的一般形式;参见例如图1-3)。在一些实施例中,第一导电金属迹线和第二导电金属迹线的多个对通常会形成重复的一系列线(即,平行线的一般形式;参见例如图1)。在一些实施例中,第一导电金属迹线和第二导电金属迹线的多个对通常会形成二维网。短语“通常会形成二维网”指导电金属迹线的布置,其中连续的路径网(具有开孔结构的网孔形式)将通过电连接迹线对中的导电金属迹线和电连接相邻对中的相邻导电金属迹线来形成,所述相邻对中的相邻导电金属迹线具有本文所述的重叠和分离关系。在一些实施例中,第一导电金属迹线和第二导电金属迹线的多个对通常会形成网格(即,正方形网格或斜交正方形网格的一般形式;参见例如图2)。在一些实施例中,第一导电金属迹线和第二导电金属迹线的多个对通常会形成重复的六边形图案(参见例如图3)。包括通常为正方形网格、斜交正方形网格或重复六边形图案形式的第一导电金属迹线和第二导电金属迹线的的多个对这些实施例是通常为二维网形式的多个迹线对的例子。在一些实施例中,第一导电金属迹线和第二导电金属迹线通常为伪随机二维网的形式(即,伪随机二维网的一般形式;参见例如图4)。伪随机是指导电迹线的布置,所述布置缺乏平移对称性,但是可以通过确定的制造工艺(例如光刻或印刷)得到,例如包括计算设计工艺,所述工艺包括利用随机算法产生图案几何形状。在一些实施例中,第一导电金属迹线和第二导电金属迹线对中的至少一部分相对于彼此锥形互补(参见例如图5A),优选针对分支迹线,并优选迹线朝较窄宽度处向下渐缩,而与分支迹线的顶点(或节点)的距离增加。参见图5A,示例性的第一导电金属迹线51和第二导电金属迹线52的对各自相对于彼此锥形互补,并且具有节点 N_{5A1} 、 N_{5A2} 。

[0036] 参见图5B,示例性的第一导电金属迹线和第二导电金属迹线的对分别分成段51A, 51B, 51C和53A, 53B, 53C,其具有节点 N_{5B1} 、 N_{5B2} 、间距 P_{5B} 、段间的间隙(段长为 SL_{5B}) GS_{5B} ,以及重叠长度 OL_{5B} 。

[0037] 通常,存在至少1,000(在一些实施例中,至少10,000、100,000、1,000,000,或者甚至至少10,000,000)对导电金属迹线,但在这些典型值以外的值也是可用的。

[0038] 通常,多对中相邻对中的相邻导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少5倍(在一些实施例中,在5到1,000、10到500、15到250,或者甚至50到200倍的范围内)。

[0039] 优选地,每平方厘米存在至少50条(在一些实施例中,至少75、100、150、200、250、500、1,000、5,000、10,000、25,000、50,000、75,000、100,000,或者甚至至少150,000条;在一些实施例中,在100到150,000、500到150,000、1,000到150,000、5,000到150,000、10,000到150,000,或者甚至25,000到150,000条的范围内)导电金属迹线。在一些实施例中,每平方厘米存在不到50条导电金属迹线,例如每平方厘米在2到50、5到50、5到40,或者10到30条导电金属迹线的范围内。

[0040] 通常,各对中的所有导电金属迹线相对于相邻对中的导电迹线的重叠长度为它们的分离距离的至少5倍(在一些实施例中,在5到1,000、10到500、15到250,或者甚至50到200倍的范围内)。

[0041] 通常,导电金属迹线的电薄层电阻(即,导电金属迹线厚度除以体积电阻率(Z-轴方向,垂直于基板平面))不大于5欧姆/平方(在一些实施例中,不大于2、1、0.5、0.4、0.3、0.2、0.1、0.05、0.025、0.01、0.05,或者甚至不大于0.01欧姆/平方;在一些实施例中,在0.01欧姆/平方到5欧姆/平方、0.05欧姆/平方到2.5欧姆/平方、0.1欧姆/平方到1欧姆/平

方,或者甚至0.2欧姆/平方到0.5欧姆/平方的范围内),但在这些典型值以外的值也是可用的。

[0042] 在一些实施例中,导电金属迹线被暗化(即,导电迹线的可见光反射率低于金属和绝缘体(例如空气)间的平滑界面所特有的反射率)。导电金属迹线的暗化可以通过例如其表面的受控反应(例如银迹线的硫化反应、银或铜迹线的等离子体氧化反应)来实现。。导电金属迹线的暗化也可以通过例如在合适的纳米结构化基板表面上制造或沉积导电金属迹线来实现,例如,如在于2012年8月9日公布的PCT公布No.WO2012/106417中所述,该专利的公开内容以引用方式并入本文。在透明导体的一些应用中,例如,用于触摸屏传感器,希望透明导体能够反射最小比例的入射光。就触摸屏传感器而言,透明电导体例如构成透明电导体的至少一部分的导电金属迹线的低反射率使基础信息显示器和触摸传感器间的视觉干扰特别在强环境光照条件下(例如阳光下)最小化。没有暗化的导电金属迹线可能具有大于80%的可见光反射率。暗化的导电金属迹线则具有小于50%(在一些实施例中,小于40%、30%、25%、20%、15%、10%、5%、4%、3%、2%,或者甚至小于1%)的可见光反射率。

[0043] 示例性的导电金属迹线包括以下中的至少一种:银、金、钯、铝、镍、钼、钨、铬、铜、锡或镍。

[0044] 通常,导电金属迹线的宽度不大于25微米(在一些实施例中,不大于15、10、5、4、3、2,或者甚至不大于1微米;在一些实施例中,在0.1微米到25微米、0.25微米到10微米、0.5微米到5微米,或者甚至0.75微米到25微米的范围内),但在这些典型值以外的值也是可用的。

[0045] 通常,导电金属迹线的长度为至少5微米(在一些实施例中,至少10、25、50、75、100、250、500、1,000、5,000、10,000、25,000,或者甚至至少50,000微米;在一些实施例中,在100微米到500微米的范围内;在一些实施例中,在10微米到10毫米、25微米到1微米,或者甚至50微米到500微米的范围内),但在这些典型值以外的值也是可用的。

[0046] 通常,第一导电金属迹线和第二导电金属迹线的厚度在10纳米到20微米的范围内(在一些实施例中,在20纳米到5微米、30纳米到1微米、40纳米到500纳米,或者甚至50纳米到400纳米的范围内),但在这些典型值以外的值也是可用的。

[0047] 通常,存在至少1,000(在一些实施例中,至少5,000、10,000、25,000、50,000、75,000、100,000、500,000、1,000,000、5,000,000,或者甚至至少10,000,000)对导电金属迹线,但在这些典型值以外的值也是可用的。

[0048] 通常,一对中的导电金属迹线的重叠长度为至少5微米(在一些实施例中,至少10、25、50、100、250、500、1,000、10,000、25,000,或者甚至至少50,000微米);在一些实施例中,在5微米到9毫米、10微米到1毫米、25微米到500微米、250微米到500微米,或者甚至30微米到300微米的范围内),但在这些典型值以外的值也是可用的。

[0049] 通常,相邻对中的相邻导电金属迹线的重叠长度为至少5微米(在一些实施例中,至少10、25、50、100、250、500、1,000、10,000、25,000,或者甚至至少50,000微米;在一些实施例中,在5微米到9毫米、10微米到1毫米、25微米到500微米、250微米到500微米,或者甚至30微米到300微米的范围内),但在这些典型值以外的值也是可用的。

[0050] 通常,一对中的每条导电金属迹线彼此分离最多至100微米(在一些实施例中,最多至75、50、25、15、10、5、4、3、2、1、0.75、0.5,或者甚至最多至0.25微米;在一些实施例中,在0到100微米、0.5微米到50微米、0.5微米到25微米、0.5微米到15微米、0.5微米到10微米、

0.5微米到5微米、0.75微米到3微米,或者甚至1微米到2微米的范围内),但在这些典型值以外的值也是可用的。

[0051] 通常,相邻对中的相邻导电金属迹线彼此分离最多至100微米(在一些实施例中,最多至75、50、25、15、10、5、4、3、2、1、0.75、0.5,或者甚至最多至0.25微米;在一些实施例中,在大于0到100微米、0.5微米到50微米、0.5微米到25微米、0.5微米到15微米、0.5微米到10微米、0.5微米到5微米、0.75微米到3微米,或者甚至1微米到2微米的范围内)。

[0052] 参见图6,示出了本文所述的示例性制品20,其中增加了导电层63以与第一导电金属迹线21和第二导电金属迹线22的多个对接触。图6A示出了图6中的制品60的横截面,该制品具有基板59、第一导电金属迹线21和第二导电金属迹线22的多个对,以及导电层63。

[0053] 图7示出了另选制品70的横截面,其具有就基板69的布置、第一导电金属迹线71和第二导电金属迹线72的多个对,以及导电层73而言不同的构造。

[0054] 图8示出了具有基板79的示例性制品80,该基板包括区域85和区域86,区域85包括第一导电金属迹线21和第二导电金属迹线22的多个对的图案(例如,如图1-4中任一者所示的图案)(图8中未示出),而导电层(图8中未示出)例如透明导电材料层位于导电金属迹线上,区域86包括导电金属迹线但不包括导电层。图8为遵循以下工序的一般化制品:首先为优化的第一工序,用于对分离的第一导电金属迹线和第二导电金属迹线的多个分离对进行图案化;其次为优化的第二工序,用于对导电层进行图案化,例如印刷透明导电材料层;这将是用于制造高性能触摸屏传感器的一系列简便步骤。

[0055] 图9示出了具有基板89的示例性制品90,该基板具有第一导电金属迹线91和第二导电金属迹线92的多个对的图案88,其中分离的导电层区域95,96位于导电金属迹线21,22上。

[0056] 在一些实施例中,导电层是透明的(即,可透过至少50%的可见光(在一些实施例中,至少75%、80%、85%、90%,或者甚至至少95%))。在一些实施例中,在不要求透明度的情况下,导电层是不透明的(即,透过小于5%的可见光(在一些实施例中,小于4%、3%、2%、1%、0.5%,或者甚至小于0.1%))。

[0057] 其中导电层透明的实施例在例如液晶显示器、光伏电池、触摸显示器传感器、光电探测器、电致变色窗、无机电致发光灯、有机发光二极管(OLED)灯和显示器中用作电极部件。除了需要改进的透明电极的(即,其中不透明度是可接受的)应用,本文所公开的制品和方法例如在印刷电路板(PCB)、印刷线路板(PWB)、柔性印刷电路(FPC)的制造过程中可为有利的。在不要求透明度的实施例中,所述导电层含有以下中的至少一种:铜、银、铝、金、镍、钨或钼。

[0058] 示例性的导电层包含以下中的至少一种:金属氧化物(例如,氧化铟锡)、导电聚合物(例如,聚(3,4-亚乙二氧基噻吩)-聚(苯乙烯磺酸))、金属纳米线、碳纳米管、石墨烯或金属。

[0059] 通常,导电层具有不大于10,000欧姆/平方的电薄层电阻(在一些实施例中,不大于5,000、1,000、750、500、400、300、200、100、50、25,或者甚至不大于10欧姆/平方);在一些实施例中,在10欧姆/平方到10,000欧姆/平方、100欧姆/平方到10,000欧姆/平方、250欧姆/平方到2,500欧姆/平方,或者甚至在500欧姆/平方到2,000欧姆/平方的范围内),但在这些典型值以外的值也是可用的。

[0060] 在一些实施例中,导电层的厚度在5纳米到10微米的范围内(在一些实施例中,在10纳米到1微米的范围内,在20纳米到500纳米的范围内,或者甚至在30纳米到250纳米的范围内),但在这些典型值以外的值也是可用的。

[0061] 在一些实施例中,所述导电层是图案化的并且包括第一分离区域和第二分离区域(以及任选地额外的(例如第三)分离区域),并且任选地进一步包括与第一区域电连接的第一地址迹线以及与第二区域电连接的第二地址迹线(并且进一步地,如果存在第三区域的话,任选地还包括与该第三区域电连接的第三地址迹线)。

[0062] 例如,图10示出了示例性制品100,该制品包括区域104和区域105,区域104具有位于基板99上的导电金属迹线(例如,如图1-4中任一者所示的图案)(图10中未示出),区域105具有位于导电金属迹线上的导电层,所述导电金属迹线继而位于基板99上。制品100还包括通过地址迹线(例如107)与例如104和105所示的区域电连接的接触焊盘(例如106)。

[0063] 另外,例如图10A示出了示例性制品100A,该制品包括区域104A和区域105A,区域104A具有位于基板99A上的导电金属迹线(例如,如图1-4中任一者所示的图案)(图10A中未示出),区域105A具有位于导电金属迹线上的导电层,所述导电金属迹线继而位于基板99A上。制品100A还包括通过地址迹线(例如107A)与例如104A和105A所示的区域电连接的接触焊盘(例如106A)。

[0064] 在一些实施例中,本文所述的制品为辊形式。因此,所述基板为片材形式,其足够薄以卷绕到芯上。聚合物基板或玻璃基板可以是足够薄的。这样的基板可以通过加工设备从输入辊和芯运送至收卷辊和芯轴。以这样的方式加工基板在本文中称为辊到辊。根据本文所述的方法和制品,适用于辊到辊加工的基板的厚度通常在5微米到500微米的范围内(在一些实施例中,在10微米至250微米或者甚至在25微米到125微米的范围内)。本文的示例性辊到辊加工方法包括:在基板上涂覆导电层,直接印刷导电金属迹线,直接印刷图案化导电层,蚀刻。

[0065] 在一些实施例中,还包括衬片。衬片是弱(可拆卸地)粘结(例如,通过静电吸引来实现)的聚合物膜,可将该聚合物膜施加至本文所述的基板一面或两面。衬片可用于保护导电金属导体迹线或导电层,特别是在加工步骤中,例如,如上文所述的辊到辊工序。

[0066] 用于提供导电金属迹线的技术是本领域已知的,包括微接触印刷(在薄膜金属上进行SAM印刷,随后进行化学蚀刻)、光刻法(在金属层上用光致抗蚀剂进行光图案化,随后进行化学蚀刻)、直接印刷(例如,通过凹版印刷、柔性版印刷、丝网印刷、胶版印刷和喷墨印刷)。

[0067] 用于提供导电金属迹线的技术是本领域已知的,并且包括那些产生嵌入到基板中通道的导电金属迹线的技术,例如,如美国专利8,179,381(Frey等人)中所述。这样的技术可以包括通过微复制、压印或纳米压印光刻,并结合蚀刻、金属的物理气相沉积、以及在其上镀覆金属来形成结构化基板。

[0068] 经蚀刻以提供导电金属迹线的金属层可以通过例如,物理气相沉积(例如,溅射、蒸镀)、化学镀或电解电镀来进行沉积。用于选择特定金属的标准包括所得导电金属迹线所需电薄层电阻。在一些实施例中,可能有利的是减小导电金属迹线的反射率。用于减少导电金属迹线反射率的技术是本领域已知的,如上所述的暗化。

[0069] 示例性导电层包含导电氧化物(例如氧化铟锡、氧化铟锌、氟化氧化锡)、碳纳米管

涂层、金属纳米线涂层(例如银、铜和镍)、石墨烯和导电聚合物(例如PEDOT-PSS)。用于提供导电层的技术是本领域已知的,包括辊涂、槽模涂布、溅射、蒸镀、柔性版印刷、丝网印刷、凹版印刷、胶版印刷和喷墨印刷,这些技术可适用于含所述层的特定材料。针对导电层选择特定材料的标准包括所得导电层的所需电薄层电阻。

[0070] 用于制造接触焊盘和与之相连的电接头(地址迹线)的示例性材料包括分散在有机粘结剂(印刷油墨)中的金属粒子。这种材料的例子包括分散在环氧聚合物中的银粒子。其他可用的导电材料包括含纳米粒子材料或纳米粒子衍生材料(例如,印刷油墨)。后一种材料的例子包括含纳米级银粒子的油墨。用于接触焊盘和与之相连的电接头(地址迹线)的其他可用的导电材料包括(例如,通过光刻和蚀刻)图案化的薄膜金属(例如溅射的薄膜金属)。在采用印刷来图案化地址迹线的情况下,可用的印刷方法包括柔性版印刷、凹版印刷、丝网印刷和喷墨印刷。

[0071] 本文所述制品的各个部件的几何形状可以根据特定应用的需要来进行修改。例如,尽管导电层区域在图10、图10A、图12中以布置为近似正交线性阵列的直线形式示出,但这些区域也可以是弯曲的,并且被布置成使得不形成重复阵列。

[0072] 图11和图12示出本文所述制品在触摸屏应用中的示例性用途。触摸屏部件的组件110包括本文所述的示例性制品100,100A,光学透明粘合剂111,113以及盖板115。光学透明粘合剂用于固定传感器层,从而确保其均匀的视觉外观,高透光率(通过避免材料与空气交界)以及稳定的位置(考虑到一致的静电条件,作为准确触摸位置检测的必要起始点)。

[0073] 通过本文所述制品的至少一些实施例所观察到的一个优点是,相对低的电薄层电阻图案可由相对高的电薄层电阻材料提供,其中后者可以具有相对低的导电金属迹线图案可见度,这是因为它们通常对基板的光学性能影响较小。例如,一种以商品名“CLEVIOS”(聚(3,4-亚乙二氧基噻吩)-聚(苯乙烯磺酸),也称为PEDOT-PSS)销售的在聚(对苯二甲酸乙二醇酯)上形成的传统导电聚合物,已于2012年2月6-9日,在亚利桑那州凤凰城(Phoenix, Arizona)举办的2012年FLEX柔性电子制品和显示器会展(2012FLEX Flexible Electronics and Displays Conference and Exhibition)上,由德国勒沃库森的贺利氏导电聚合物事业部(Clevios)(Heraeus KG Conductive Polymers Division(Clevios), (Leverkusen, Germany))的代表Ron Lubianez提出,该导电聚合物在350欧姆/平方时表现出91.7%的透光率(与PET基膜本身相同)。本文所述制品的示例性实施例可以在可见度属性为350欧姆/平方导体,而电薄层电阻小于100欧姆/平方的情况下产生。

[0074] 与例如微接触印刷触摸传感器相比,本文所述的方法和/或制品所具有的优点包括:成本相对低的压印图案、获得特定设计压印图案的较短采集时间,以及相对低的电薄层电阻和低的透明导体图案可见度。通常,所选的与用于传统的印刷导电聚合物、碳纳米管、纳米线触摸传感器的那些相当的本文所述方法和/或制品的所需特性包括成本相对低的压印图案、获得特定设计压印图案的相对短的采集时间;以及低的电薄层电阻和低的导电迹线图案可见度。

[0075] 本文所述制品的实施例可用于例如显示器、触摸传感器、照明元件(例如,发光二极管(例如,有机发光二极管))、光伏电池、电致变色窗和显示器、以及电致发光灯和显示器。

[0076] 示例性实施例

[0077] 1.一种制品,包括:

[0078] 具有第一主表面的基板;

[0079] 位于基板的第一主表面上的电导体图案,所述电导体图案包括:

[0080] 分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对,所述多对中每个对中的第一导电金属迹线 and 第二导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少5倍(在一些实施例中,至少10、25、50或100倍;或者在5到1,000、10到500、15到250,或者甚至50到200倍的范围内),并且其中每平方厘米存在至少50条(在一些实施例中,至少75、100、150、200、250、500、1,000、5,000、10,000、25,000、50,000、75,000、100,000,或者甚至至少150,000条;在一些实施例中,在100到150,000、500到150,000、1,000到150,000、5,000到150,000、10,000

[0081] 到150,000,或者甚至25,000到150,000条的范围内)导电

[0082] 金属迹线。

[0083] 2. 示例性实施例1所述的制品,其中多对中相邻对中的相邻导电金属迹线相对于彼此重叠的长度为它们的分离距离的至少5倍(在一些实施例中,在5到1,000、10到500、15到250,或者甚至50到200倍的范围内)。

[0084] 3. 示例性实施例1所述的制品,其中电导体图案的开口面积分数大于80%、90%、95%、96%、97%、98%、99%,或者甚至至少99.5%;在一些实施例中,在80%到99.75%、90%到99.75%、90%到99.5%、95%到99.75%,或者甚至95%到99.5%的范围内。

[0085] 4. 前述示例性实施例中任一项所述的制品,其中一对中的每条导电金属迹线彼此分离最多至100微米(在一些实施例中,最多至75、50、25、15、10、5、4、3、2、1、0.75、0.5微米,或者甚至最多至0.25微米;在一些实施例中,在大于0到100微米、0.5微米到50微米、0.5微米到25微米、0.5微米到15微米、0.5微米到10微米、0.5微米到5微米、0.75微米到3微米,或者甚至1微米到2微米的范围内)。

[0086] 5. 前述示例性实施例中任一项所述的制品,其中导电金属迹线的宽度不大于25微米(在一些实施例中,不大于15、10、5、4、4、2微米,或者甚至不大于1微米;在一些实施例中,在0.1微米到25微米、0.25微米到10微米、0.5微米到5微米,或者甚至在0.75微米到25微米的范围内)。

[0087] 6. 前述示例性实施例中任一项所述的制品,其中存在至少1,000(在一些实施例中,至少5,000、10,000、25,000、50,000、75,000、100,000、500,000、1,000,000、5,000,000,或者甚至至少10,000,000)对导电金属迹线。

[0088] 7. 前述示例性实施例中任一项所述的制品,其中导电金属迹线的长度为至少5微米(在一些实施例中,至少10、25、50、75、100、250、500、1,000、5,000、10,000、25,000微米,或者甚至至少50,000微米;在一些实施例中,在100微米到500微米的范围内)。

[0089] 8. 前述示例性实施例中任一项所述的制品,其中一对中的导电金属迹线的重叠长度为至少5微米(在一些实施例中,至少10、25、50、100、250、500、1,000、10,000、25,000、50,000微米;在一些实施例中,在5微米到9毫米、10微米到1毫米、250微米到500微米、25微米到500微米,或者甚至30微米到300微米的范围内)。

[0090] 9. 前述示例性实施例中任一项所述的制品,导电金属迹线的电薄层电阻不大于5欧姆/平方(在一些实施例中,不大于2、1、0.5、0.4、0.3、0.2、0.1、0.05、0.025、0.01、0.05,

或者甚至不大于0.01欧姆/平方)。

[0091] 10. 前述示例性实施例中任一项所述的制品,其中导电金属迹线是暗化的。

[0092] 11. 前述示例性实施例中任一项所述的制品,其中导电金属迹线包含以下中的至少一种:银、金、钯、铝、镍、钼、钨、铬、铜、锡或镍。

[0093] 12. 前述示例性实施例中任一项所述的制品,其中基板是透明的。

[0094] 13. 前述示例性实施例中任一项所述的制品,其中基板为玻璃。

[0095] 14. 前述示例性实施例中任一项所述的制品,其中基板为聚合物膜。

[0096] 15. 示例性实施例14所述的制品,其中聚合物膜选自聚(对苯二甲酸乙二醇酯)、环烯烃聚合物、聚(萘二甲酸乙二醇酯)、聚碳酸酯、三乙酸纤维素和环状聚烯烃共聚物。

[0097] 16. 前述示例性实施例中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线为直线形。

[0098] 17. 示例性实施例1至15中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线为非直线形。

[0099] 18. 前述示例性实施例中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线为分支的。

[0100] 19. 示例性实施例1至17中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线为非分支的。

[0101] 20. 前述示例性实施例中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线的多个对通常会形成重复图案。

[0102] 21. 前述示例性实施例中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线的多个对通常会形成重复的一系列线。

[0103] 22. 示例性实施例1至20中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线的多个对通常会形成网格。

[0104] 23. 示例性实施例1至20中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线的多个对通常会形成重复的六边形图案。

[0105] 24. 示例性实施例1至20中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线的多个对通常会形成伪随机二维网。

[0106] 25. 前述示例性实施例中任一项所述的制品,其中第一导电金属迹线和第二导电金属迹线的厚度在10纳米到20微米的范围内(在一些实施例中,在20纳米到5微米、30纳米到1微米、40纳米到500纳米的范围内,或者甚至在50纳米到400纳米的范围内)。

[0107] 26. 前述示例性实施例中任一项所述的制品,其中对于第一导电金属迹线和第二导电金属迹线对中的至少一部分来说,导电金属迹线相对于彼此锥形互补。

[0108] 27. 前述示例性实施例中任一项所述的制品还包括导电层,该导电层具有大致相对的第一主表面和第二主表面,其中导电层的主表面与第一导电金属迹线和第二导电金属迹线的多个对中的至少一部分接触(在一些实施例中,与大致平行于基板的第一主表面的第一导电金属迹线和第二导电金属迹线的多个对中的至少1%、2%、3%、4%、5%、10%、15%、20%、25%、30%、35%、40%、45%、50%、55%、60%、65%、70%、75%、80%、85%、90%、95%、99%,或者甚至100%接触)。

[0109] 28. 示例性实施例27所述的制品,其中导电层被设置在基板和第一导电金属迹线

和第二导电金属迹线的多个对之间。

[0110] 29. 示例性实施例27所述的制品, 其中第一导电金属迹线和第二导电金属迹线的多个对被设置在基板和导电层之间。

[0111] 30. 示例性实施例27至29中任一项所述的制品, 其中导电层是透明的。

[0112] 31. 示例性实施例30所述的制品, 其中导电层包括以下中的至少一种: 金属氧化物(例如, 氧化铟锡)、导电聚合物(例如, 聚(3,4-亚乙二氧基噻吩)-聚(苯乙烯磺酸))、金属纳米线、碳纳米管、石墨烯或金属。

[0113] 32. 示例性实施例27至31中任一项所述的制品, 其中导电层的电薄层电阻不大于10,000欧姆/平方(在一些实施例中, 不大于5,000、1,000、750、500、400、300、200、100、50、25, 或者甚至不大于10欧姆/平方)。

[0114] 33. 示例性实施例27至32中任一项所述的制品, 其中导电层的厚度在5纳米到10微米的范围内(在一些实施例中, 在10纳米到1微米的范围内, 在20纳米到500纳米的范围内, 或者在30纳米到250纳米的范围内)。

[0115] 34. 示例性实施例27至33中任一项所述的制品, 其中导电层是图案化的并且包括第一分离区域和第二分离区域。

[0116] 35. 示例性实施例34所述的制品, 还包括与第一区域和第二区域分开的第三区域。

[0117] 36. 示例性实施例35所述的制品, 还包括与第一区域电连接的第一地址迹线, 以及与第二区域电连接的第二地址迹线。

[0118] 37. 示例性实施例36所述的制品, 还包括与第三区域电连接的第三地址迹线。

[0119] 38. 示例性实施例34所述的制品, 还包括与第一区域电连接的第一地址迹线, 以及与第二区域电连接的第二地址迹线。

[0120] 39. 一种包括前述示例性实施例中任一项所述制品的显示器。

[0121] 40. 一种包括示例性实施例1至38中任一项所述制品的触摸传感器。

[0122] 41. 一种包括示例性实施例1至38中任一项所述制品的照明元件。

[0123] 42. 示例性实施例41所述的照明元件, 其中该照明元件包括发光二极管。

[0124] 43. 示例性实施例41或42所述的照明元件, 其中该照明元件包括有机发光二极管。

[0125] 44. 示例性实施例27至29中任一项所述的制品, 其中导电层是不透明的。

[0126] 45. 示例性实施例44所述的制品, 其中导电层含有以下中的至少一种: 铜、银、铝、金、镍、钨或钼。

[0127] 46. 示例性实施例1至38、44或45中任一项所述的制品为辊形式。

[0128] 47. 示例性实施例1至38或44至46中任一项所述的制品, 还包括可拆卸衬片。

[0129] 48. 一种制备示例性实施例1至26中任一项所述制品的方法, 该方法包括:

[0130] 提供具有第一主表面的基板; 并

[0131] 将分离的第一导电金属迹线和第二导电金属迹线的多个分离对沉积到基板的第一主表面上, 以提供该制品。

[0132] 49. 示例性实施例48所述的方法, 其中沉积分离的第一导电金属迹线和第二导电金属迹线的多个分离对通过直接印刷来进行。

[0133] 50. 示例性实施例48或49所述的方法, 还包括将导电层沉积到多条第一导电金属迹线和第二导电金属迹线上。

- [0134] 51. 示例性实施例50所述的方法,其中导电层是透明的。
- [0135] 52. 示例性实施例50或51所述的方法,其中沉积导电层通过直接印刷来进行。
- [0136] 53. 示例性实施例48至52中任一项所述的方法,其中制品为辊形式。
- [0137] 54. 一种制备示例性实施例1至26中任一项所述制品的方法,该方法包括:
- [0138] 提供具有第一主表面的基板;
- [0139] 在基板的第一主表面上提供金属层;以及
- [0140] 蚀刻金属层以位于基板的第一主表面上提供分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对,以提供该制品。
- [0141] 55. 示例性实施例54所述的方法,还包括将导电层沉积到多条第一导电金属迹线 and 第二导电金属迹线上。
- [0142] 56. 示例性实施例55所述的方法,其中沉积导电层通过直接印刷来进行。
- [0143] 57. 示例性实施例54或55所述的方法,其中导电层是透明的。
- [0144] 58. 示例性实施例54至57中任一项所述的方法,其中制品为辊形式。
- [0145] 59. 一种制备示例性实施例28所述制品的方法,该方法包括:
- [0146] 提供具有第一主表面的基板;
- [0147] 将第一导电层沉积到第一主表面上;
- [0148] 将分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对沉积到该导电层上,以提供该制品。
- [0149] 60. 示例性实施例59所述的方法,其中第一导电层是透明的。
- [0150] 61. 示例性实施例59或60所述的方法,其中沉积第一导电层通过直接印刷来进行。
- [0151] 62. 示例性实施例59至61中任一项所述的方法,还包括将第二导电层沉积到多条第一导电金属迹线 and 第二导电金属迹线上。
- [0152] 63. 示例性实施例62所述的方法,其中沉积第二导电层通过直接印刷来进行。
- [0153] 64. 示例性实施例62或63所述的方法,其中第二导电层是透明的。
- [0154] 65. 示例性实施例59至63中任一项所述的方法,其中制品为辊形式。
- [0155] 66. 一种制备示例性实施例28所述制品的方法,该方法包括:
- [0156] 提供具有第一主表面的基板;
- [0157] 将导电层沉积到第一主表面上;
- [0158] 将金属层沉积到导电层上,以提供该制品;和
- [0159] 蚀刻金属层以位于基板的第一主表面上提供分离的第一导电金属迹线 and 第二导电金属迹线的多个分离对,以提供该制品。
- [0160] 67. 示例性实施例66所述的方法,其中导电层是透明的。
- [0161] 68. 示例性实施例66或67所述的方法,其中沉积导电层通过直接印刷来进行。
- [0162] 69. 示例性实施例66至68中任一项所述的方法,其中沉积金属层通过直接印刷来进行。
- [0163] 70. 示例性实施例66至69中任一项所述的方法,其中制品为辊形式。
- [0164] 本发明的优点和实施例进一步通过以下实例说明,但这些实例中提及的特定材料及其数量以及其他条件和细节不应被视为不当地限制本发明。除非另外指明,所有份数和百分比均按重量计。

[0165] 实例

[0166] 下文所述的所有实例均基于对初级电导体迹线不同几何形状的预期电气性能的理论计算。混合透明导体的电薄层电阻(例如,对于第一区域,根据图2、图2A、图6和图6A)是通过模拟混合电导体单元格上的电阻来估计的,所述混合电导体可以通过在两个维度上复制单元格来产生。混合导体是指初级电导体(分离的第一导电金属迹线和第二导电金属迹线的多个分离对)和次级电导体(导电层)的组合。分析包括两个步骤:(1)确定初级电导体(金属迹线)的第一电薄层电阻,所述初级电导体与次级电导体(例如,透明电导体)的位于紧密间隔的平行初级导电迹线之间的部分结合(参见图2A);以及(2)首先利用步骤1中的输出,并考虑到“步骤1电薄层导体”应该与位于紧密间隔且平行的初级导电迹线之间位置以外的次级电导体的剩余部分平行存在,从而计算出“总”电薄层电阻($1/R_{S-总}=1/R_{S-步骤1}+1/R_{S-次级}$)。为简单起见,分析通常认为初级导电分支迹线为大致正方形网格布置,如图2所示。在这种情况下,可以将节点(或顶点)之间的电阻看作步骤1电薄层导体(与次级电导体的位于紧密间隔的导电迹线之间的部分结合的紧密间隔且平行的初级导电迹线)的电薄层电阻。

[0167] 为了建立高可信度的模拟结果,上述第一步通过两种不同的方法进行。在第一种方法(使用以商品名“LTSPICE IV”购自加利福尼亚州米尔皮塔斯的凌力尔特公司(Linear Technology Corporation, Milpitas, CA)的软件)中,使用集成电路通用模拟程序(“SPICE”)根据每个示例性设计来计算透明导电材料的薄层电阻。使用以商品名“MATLAB”购自马萨诸塞州内蒂克的迈斯沃克公司(MathWorks, Inc., Natick, MA)的软件生成向SPICE软件的输入,其中每种材料设计均由电阻元件的等效电路表示。向MATLAB程序的输入包括单元格尺寸、重叠长度、迹线宽度、迹线间距、导体电阻和透明电导体电阻。输出是代表电学结构的基于文本的SPICE文件。电子部件的颗粒度经1微米的网孔电力破碎。所得的电路利用SPICE软件运行,并采用理论DC(直流)电源。利用SPICE软件模拟所得的理论最大电流用于确定结构的电薄层电阻(欧姆/平方)。在第二种方法(本文指“有限元分析”)中,使用带有AC/DC模块的有限元建模软件(以商品名“COMSOL MULTIPHYSICS”购自马萨诸塞州伯灵顿的COMSOL公司(COMSOL Inc., Burlington, MA))。使用“COMSOL MULTIPHYSICS”软件生成理论模型,所述模型包括金属迹线(初级导体,通常如相关附图水平方向所示),以及导电金属迹线间的透明(次级)电导体。给定两种材料的几何形状和电薄层电阻,在两个初级电导体端部之间施加理论电压差(即,相关图2A、图5A、图5B中的节点 N_1 、 N_2 、 N_{5A1} 、 N_{5A2} 、 N_{5B1} 、 N_{5B2}),并计算出电流密度。对于每种示例性情况,用所施加电压除以电流密度的积分(即,电流)得到有效电薄层电阻($R_{S-步骤1}$)。对于本文提出的理论结果,紧密间隔且平行的初级导电迹线之外的次级电导体并未包含在模型内,但其作用却可以利用上述计算来得到($R_{S-总}$)。然而,对于两个实例,这种次级电导体包括在使用“COMSOL”软件的模拟中,从而理论证明简单的并联电阻器公式是一种很好的近似。虽然不想受到理论的限制,但据信结果的微小差异是由于初级导电迹线末端处的额外边缘电流所产生的。

[0168] 计算实例1-7

[0169] 计算混合透明导体的理论有效电薄层电阻(“有效 R_s ”)。这些理论实例中的混合透明电导体可以被视为针对图6和图6A中所述制品存在的电导体。如上所述,这些计算中采用了如图2、图2A、图6和图6A所示的分支导电迹线的近似正方形布置。相邻导电迹线平行段之

间的间距在0.1到10微米间变化。电导体设计的其他参数连同计算结果在下表1中给出。

[0170] 表1

[0171]

迹线间距研究								
实例编号	1	2	3	4	5	6	7	
初级导体迹线宽度 (微米)	1	1	1	1	1	1	1	
迹线间距 (微米)	0.1	1	2	3	4	5	10	
单元格尺寸/节点分 离 (微米)	300	300	300	300	300	300	300	
重叠长度 (微米)	290	290	290	290	290	290	290	
次级 (透明) 导体 R_s (欧姆/平方)	1000	1000	1000	1000	1000	1000	1000	
迹线 R_s (欧姆/平方)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	
迹线微图案开口面 积分数	98.72 %	98.72 %	98.72 %	98.72 %	98.72 %	98.72 %	98.72 %	
计算的电阻 (欧姆) =	SPICE 模拟	62.1	70.4	75.8	80.0	83.3	87.0	102.1
有效 R_s (欧 姆/平方)	有限元 分析	62.2	70.4	75.3	79.2	82.6	85.8	100.5

[0172] 对于溅射银而言,初级导体的理论电薄层电阻 (0.4欧姆/平方) 与大约105纳米 (有效体积电阻率为4.25微欧-厘米) 的物理厚度一致。次级导体可以是具有指定电薄层电阻的任何透明导体 (例如,ITO、碳纳米管涂层、金属 (例如,银) 纳米线涂层、导电聚合物 (例如, PEDOT-PSS) 或石墨烯)。上述电导体可被沉积到,例如PET膜 (例如,以商品名“ST580”得自弗吉尼亚州切斯特的杜邦帝人薄膜公司 (DuPont Teijin Films, Chester, VA)) 的主表面上。此外,这种膜可例如,采用如图10-12所示的图案化的触摸传感器元件的形式。

[0173] 相对于具有如图10-12所示设计的触摸传感器,由于在非导电区域中的紧密间隔的导电迹线段之间可能发生耦合,相邻透明导电棒之间可能存在电容耦合关系。相邻电导体之间的电容耦合 (串扰) 可能对触摸屏功能不利。为了研究这种电容耦合,使用SPICE软件来运行进一步模拟,但这次进行了修改以便在导体平行段之间使用电容。在MATLAB软件中使用共面带状线 (CPS) 方程来测定结构的理论电容,所述电容继而在SPICE软件模型中沿迹线对分布。利用1安培的交流电源来模拟电路。用1安培驱动允许将所得电压看作所得阻抗

(数值)。从100kHz到1MHz进行理论交流电分析,以显示所得阻抗。因为电容导致大部分最终阻抗的产生,所以决定将电容视为一个部件,而不是使用SPICE软件对其进行分配。最后,将本文所报告的结构理论串扰与已上市ITO基投射式电容触摸传感器的串扰相比较,以估计出此类串扰可能使投射式电容触摸传感器新结构的功能无效的可能性。该比较所产生的理论结果显示采用本发明方法的传感器设计的电容耦合。如表2所报告(下文),本文所报告的新设计方法显示出类似于现有设计的串扰。

[0174] 表2

[0175]	设计	层	电容(F)
	现有技术设计	驱动层	3.82E-14
	现有技术设计	接收层	6.01E-15
	本发明报告的设计	最坏情况的层	1.26E-14
	本发明报告的设计	接收层	9.48E-16

[0176] 计算实例8-12

[0177] 计算本文所述的示例性混合透明导体的理论有效电薄层电阻(“有效Rs”)。这些理论实例中的混合透明电导体可以被视为在图6和图6A中所述制品中示出的电导体。如上所述,这些计算中采用了如图2、图2A、图6和图6A所示的分支导电迹线的近似正方形布置。点对点分离距离或间距(本文中也称为“单元格尺寸”)以及导电迹线宽度发生了变化。电导体设计的其他参数连同计算结果在表3(下文)中给出。

[0178] 表3

[0179]

单元格尺寸与迹线宽度的研究						
实例编号		8	9	10	11	12
初级导体迹线宽度 (微米)		1	1	1	2	3
迹线间距 (微米)		1	1	1	1	1
单元格尺寸/节点分离(微米)		100	200	400	300	300
重叠长度 (微米)		90	190	390	290	290
次级 (透明) 导体 R_s (欧姆/平方)		1000	1000	1000	1000	1000
迹线 R_s (欧姆/平方)		0.4	0.4	0.4	0.4	0.4
迹线微图案开口面积分数		96.44%	98.11%	99.03%	97.44%	96.17%
计算的电阻(欧姆) = 有效 R_s (欧姆/平方)	SPICE 模拟	37.0	53.2	87.7	39.3	28.0
	有限元分析	36.6	52.9	87.3	39.2	28.0

[0180] 对于溅射银而言,初级导体的电薄层电阻 (0.4欧姆/平方) 与大约105纳米 (有效体积电阻率为4.25微欧-厘米) 的物理厚度一致。次级电导体可以是具有指定电薄层电阻的任何透明电导体 (例如,ITO、碳纳米管涂层、金属 (例如,银) 纳米线涂层、导电聚合物 (例如, PEDOT-PSS)、石墨烯)。上述电导体可被沉积到PET膜 (例如“ST580”) 的主表面上。此外,这种膜可采用如图10-12所示的图案化的触摸传感器元件的形式。

[0181] 计算实例13-16

[0182] 计算本文所述制品的示例性实施例的混合透明电导体的理论有效电薄层电阻 (“有效 R_s ”)。这些理论实例中的混合透明电导体可以被视为针对图6和图6A中所述制品存在的电导体。如上所述,这些计算中采用了如图2、图2A、图6和图6A所示的分支导电迹线的近似正方形布置。次级 (透明) 电导体的电薄层电阻发生了变化。电导体设计的其他参数连同计算结果在表4 (下文) 中给出。

[0183] 表4

[0184]

透明导体薄层电阻研究					
实例编号		13	14	15	16
初级导体迹线宽度 (微米)		1	1	1	1
迹线间距 (微米)		1	1	1	1
单元格尺寸/节点分离 (微米)		300	300	300	300
重叠长度 (微米)		290	290	290	290
次级 (透明) 导体 R_s (欧姆/平方)		1000	750	500	250
迹线 R_s (欧姆/平方)		0.4	0.4	0.4	0.4
迹线微图案开口面积分数		98.72%	98.72%	98.72%	98.72%
计算的电阻 (欧姆) =有效 R_s (欧姆/平方)	SPICE 模拟	70.4	67.4	62.9	54.1
	有限元分析	70.4	67.2	62.6	53.8

[0185] 对于溅射银而言,初级电导体的电薄层电阻 (0.4欧姆/平方) 与大约105纳米 (有效体积电阻率为4.25微欧-厘米) 的物理厚度一致。次级电导体可以是具有指定电薄层电阻的任何透明电导体 (例如,ITO、碳纳米管涂层、金属 (例如,银) 纳米线涂层、导电聚合物 (例如,PEDOT-PSS)、石墨烯)。上述电导体可被沉积到PET膜 (例如“ST580”) 的主表面上。此外,这种膜可采用如图10-12所示的图案化的触摸传感器元件的形式。

[0186] 计算实例17-20

[0187] 计算本文所述制品的示例性实施例的混合透明导体的理论有效电薄层电阻 (“有效 R_s ”)。这些理论实例中的混合透明电导体可以被视为针对图6和图6A中所述制品存在的电导体。如上所述,这些计算中采用了如图2、图2A、图6和图6A所示的分支导电迹线的近似正方形布置。初级 (金属迹线) 电导体的电薄层电阻在0.5欧姆/平方到0.1欧姆/平方之间变化。对于溅射银而言,电薄层电阻的此范围分别与85纳米 (有效体积电阻率为4.25微欧-厘米) 到360纳米 (有效体积电阻率为3.6微欧-厘米) 的物理厚度范围一致。电导体设计的其他参数连同计算结果在表5 (下文) 中给出。

[0188] 表5

[0189]

迹线薄层电阻研究					
实例编号		17	18	19	20
初级导体迹线宽度 (微米)		1	1	1	1
迹线间距 (微米)		1	1	1	1
单元格尺寸/节点分离 (微米)		300	300	300	300
重叠长度 (微米)		290	290	290	290
次级 (透明) 导体 R_s (欧姆/平方)		1000	1000	1000	1000
迹线 R_s (欧姆/平方)		0.5	0.3	0.2	0.1
迹线微图案开口面积分数		98.72%	98.72%	98.72%	98.72%
计算的电阻 (欧姆)=有效 R_s (欧姆/平方)	SPICE 模拟	85.2	55.4	39.4	22.3
	有限元分析	84.9	55.2	39.2	22.2

[0190] 次级电导体可以是具有指定电薄层电阻的任何透明电导体 (例如, ITO、碳纳米管涂层、金属 (例如, 银) 纳米线涂层、导电聚合物 (例如, PEDOT-PSS)、石墨烯)。上述电导体可被沉积到PET膜 (例如“ST580”) 的主表面上。此外, 这种膜可采用如图10-12所示的图案化的触摸传感器元件的形式。

[0191] 计算实例21-26

[0192] 计算本文所述制品的示例性实施例的混合透明电导体的理论有效电薄层电阻 (“有效 R_s ”)。这些理论实例中的混合透明电导体可以被视为针对图6和图6A中所述制品存在的电导体。如上所述, 这些计算中采用了如图2、图5A、图6和图6A所示的分支导电迹线的近似正方形布置。导电迹线具有渐缩宽度, 如表6 (下文) 所列出。

[0193] 表6

[0194]

“楔形”迹线形状研究							
实例编号		21	22	23	24	25	26
初级导体迹线宽度（微米）		1.75	1.5	1.25	1.0	0.75	0.5
	-->	-->	-->	-->	-->	-->	-->
		0.25	0.5	0.75	1.0	1.25	1.5
迹线间距（微米）		1	1	1	1	1	1
单元格尺寸/节点分离（微米）		300	300	300	300	300	300
重叠长度（微米）		290	290	290	290	290	290
次级（透明）导体 R_s （欧姆/平方）		1000	1000	1000	1000	1000	1000
迹线 R_s （欧姆/平方）		0.4	0.4	0.4	0.4	0.4	0.4
迹线微图案开口面积分数		98.72 %	98.72 %	98.72 %	98.72 %	98.72 %	98.72 %
计算的电阻（欧姆）=有效 R_s （欧姆/平方）	SPICE						
	模拟	61.5	63.4	66.2	70.6	76.3	87.1
	有限元分析	61.4	63.2	66.1	70.3	76.4	86.4

[0195] 导电迹线宽度的渐缩设计在本文中也描述为导电迹线的楔形设计。表6（上文）中的初级导电迹线宽度记号指导电迹线宽度从导电迹线的顶点到末端的逐渐变化，所述导电迹线如图5A所示远离顶点延伸。对于溅射银而言，初级电导体的电薄层电阻（0.4欧姆/平方）与大约105纳米（有效体积电阻率为4.25微欧-厘米）的物理厚度一致。电导体设计的其他参数连同计算结果在表6（上文）中给出。次级电导体可以是具有指定电薄层电阻的任何透明电导体（例如，ITO、碳纳米管涂层、金属（例如，银）纳米线涂层、导电聚合物（例如，PEDOT-PSS）、石墨烯）。上述电导体可被沉积到PET膜（例如“ST580”）的主表面上。此外，这种膜可采用如图10-12所示的图案化的触摸传感器元件的形式。

[0196] 计算实例27-32

[0197] 计算本文所述制品的示例性实施例的混合透明电导体的理论有效电薄层电阻（“有效 R_s ”）。这些理论实例中的混合透明电导体可以被视为针对图6和图6A中所述制品存在的电导体。如上所述，这些计算中采用了如图2、图5B、图6和图6A所示的分支和非分支导电迹线的近似正方形布置。导电迹线具有选定的断裂处，如表7所列及图5B示意性地示出。

对于溅射银而言,初级电导体的电薄层电阻(0.4欧姆/平方)与大约105纳米(有效体积电阻率为4.25微欧-厘米)的物理厚度一致。电导体设计的其他参数连同计算结果在表7(下文)中给出。

[0198] 表7

[0199]

断裂处分布研究#1 -“高 Rs”						
实例编号	27	28	29	30	31	32
初级导体迹线宽度 (微米)	1	1	1	1	1	1
迹线间距(微米)	1	1	1	1	1	1
间距-(单元格尺寸/ 节点分离)(微米)	300	300	300	300	300	300

[0200]

完整段编号(+每个间 距 1/2 段)	1	2	4	1	2	4
间隙尺寸(微米)	2	2	2	5	5	5
完整的段长(微米)	198	118	64.67	195	115	61.67
重叠长度(微米)	98	58	31.33	95	55	28.33
次级(透明)导体 Rs (欧姆/平方)	1000	1000	1000	1000	1000	1000
迹线 Rs(欧姆/平方)	0.4	0.4	0.4	0.4	0.4	0.4
迹线微图案开口面积 分数	98.68 %	98.69 %	98.71 %	98.69 %	98.72 %	98.76 %
计算的电阻 (欧姆) =	SPICE 模拟	98.2	142.4	268.6	100.1	147.5
有效 Rs(欧 姆/平方)	有限元 分析	96.9	138.5	254.4	99.0	144.2
		274.2				

[0201] 次级电导体可以是具有指定电薄层电阻的任何透明电导体(例如,ITO、碳纳米管涂层、金属(例如,银)纳米线涂层、导电聚合物(例如,PEDOT-PSS)、石墨烯)。上述电导体可被沉积到PET膜(例如“ST580”)的主表面上。此外,这种膜可采用如图10-12所示的图案化的

触摸传感器元件的形式。

[0202] 计算实例33-38

[0203] 计算本文所述制品的示例性实施例的混合透明电导体的理论有效电薄层电阻(“有效 R_s ”)。这些理论实例中的混合透明电导体可以被视为针对图6和图6A中所述制品存在的电导体。如上所述,这些计算中采用了如图2、图5B、图6和图6A所示的分支导电迹线的近似正方形布置。导电迹线具有选定的断裂处,如表8(下文)所列及图5B示意性地示出。

[0204] 表8

[0205]

断裂处分布研究#1 -“低 R_s ”							
实例编号		33	34	35	36	37	38
初级导体迹线宽度 (微米)		1.5	1.5	1.5	1.5	1.5	1.5
迹线间距(微米)		1	1	1	1	1	1
间距-(单元格尺寸/ 节点分离)(微米)		225	225	225	225	225	225
完整段编号(+每个间 距 1/2 段)		1	2	4	1	2	4
间隙尺寸(微米)		2	2	2	5	5	5
完整的段长(微米)		148	88	48	145	85	45
重叠长度(微米)		73	43	23	70	40	20
次级(透明)导体 R_s (欧姆/平方)		500	500	500	500	500	500
迹线 R_s (欧姆/平方)		0.2	0.2	0.2	0.2	0.2	0.2
迹线微图案开口面积 分数		97.37 %	97.38 %	97.41 %	97.39 %	97.43 %	97.51 %
计算的电阻 (欧姆) =	SPICE 模拟	37.4	67.6	150.8	38.5	71.3	165.1
有效 R_s (欧 姆/平方)	有限元 分析	36.4	63.9	136.2	37.7	68.4	152.9

[0206] 对于溅射银而言,初级电导体的电薄层电阻(0.2欧姆/平方)与大约180纳米(有效体积电阻率为3.60微欧-厘米)的物理厚度一致。电导体设计的其他参数连同计算结果在表

8(上文)中给出。次级电导体可以是具有指定电薄层电阻的任何透明电导体(例如,ITO、碳纳米管涂层、金属(例如,银)纳米线涂层、导电聚合物(例如,PEDOT-PSS)、石墨烯)。上述电导体可被沉积到PET膜(例如“ST580”)的主表面上。此外,这种膜可采用如图10-12所示的图案化的触摸传感器元件的形式。

[0207] 本发明的可预知修改和更改对本领域的技术人员显而易见,而不脱离本发明的范围和实质。为进行示意性的说明,本发明不应限于此专利申请中所列出的实施例。

10

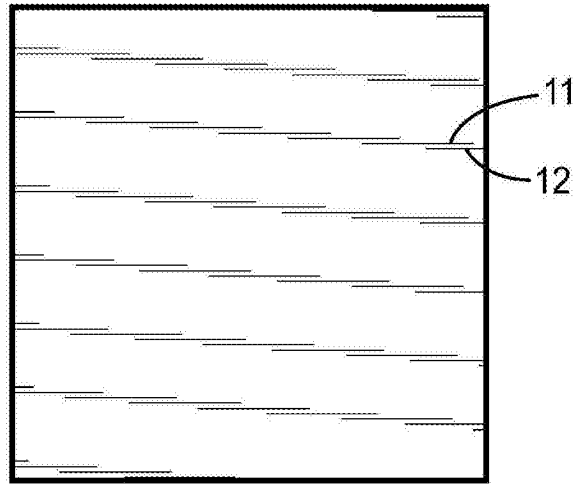


图1

20

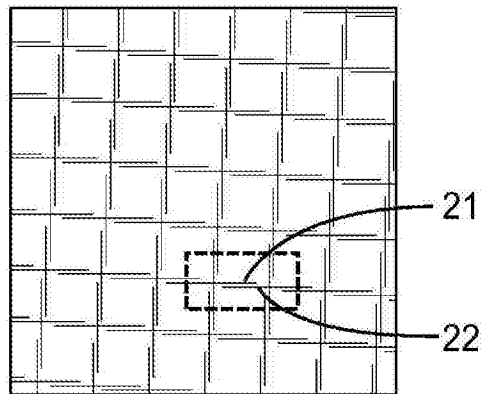


图2

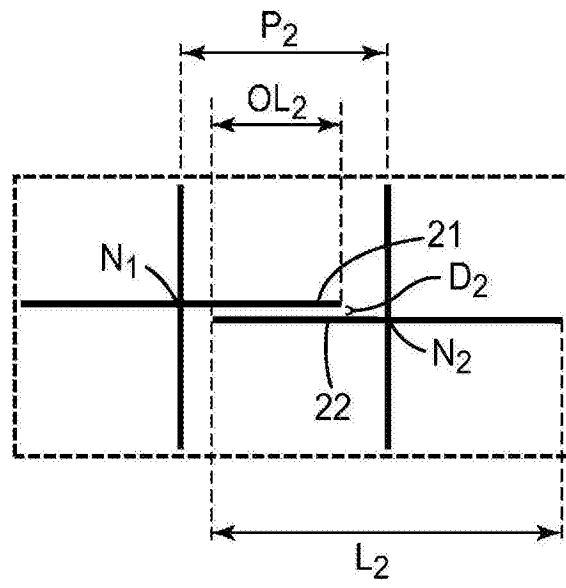


图2A

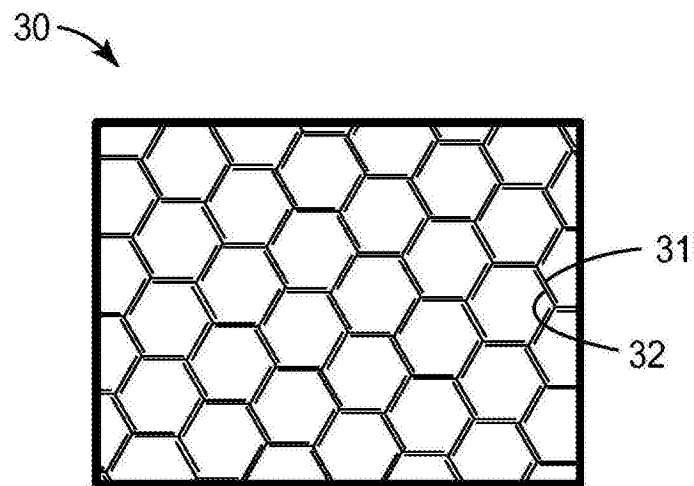


图3

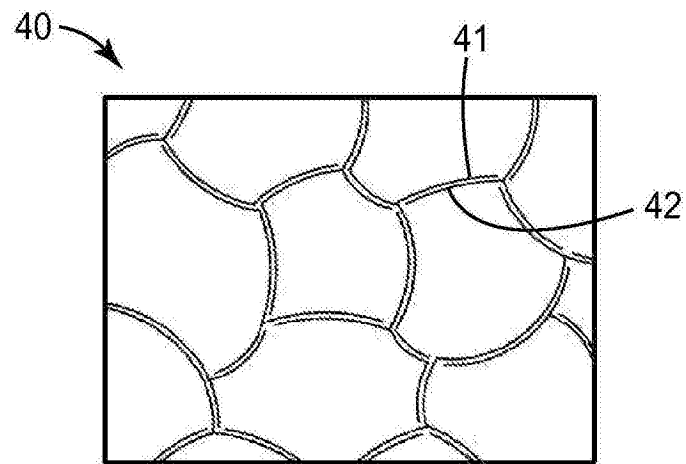


图4

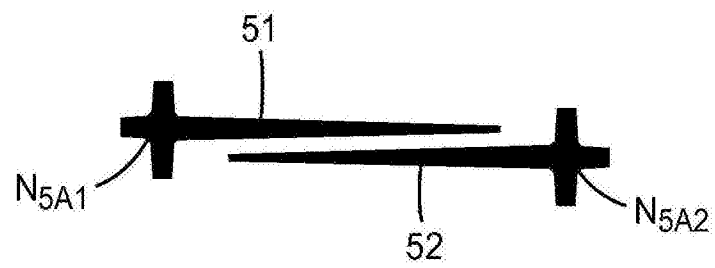


图5A

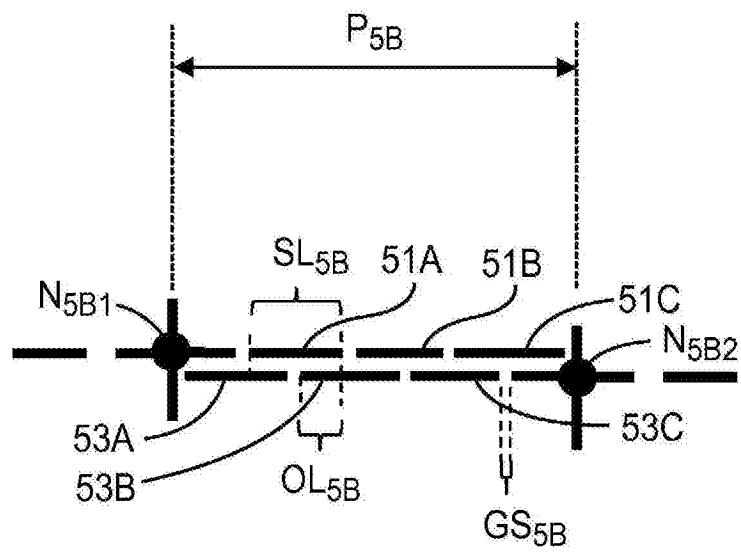


图5B

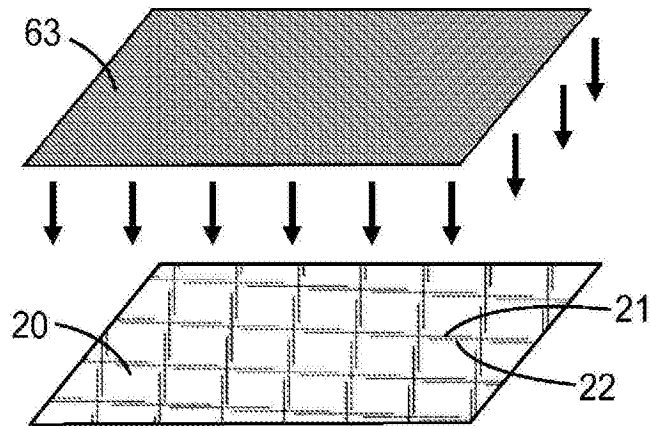


图6

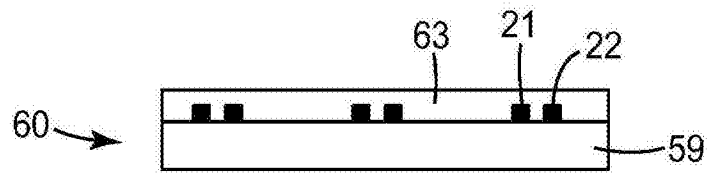


图6A

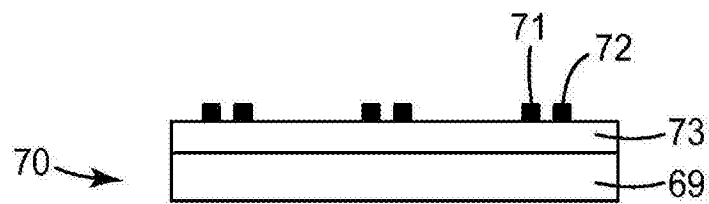


图7

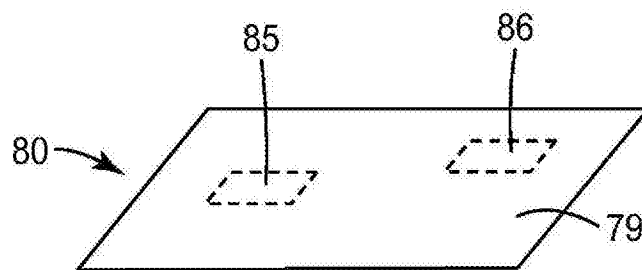


图8

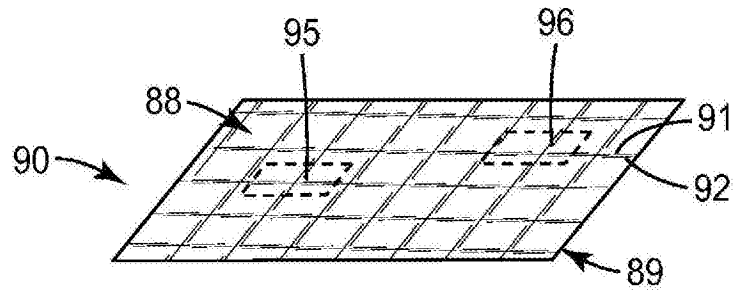


图9

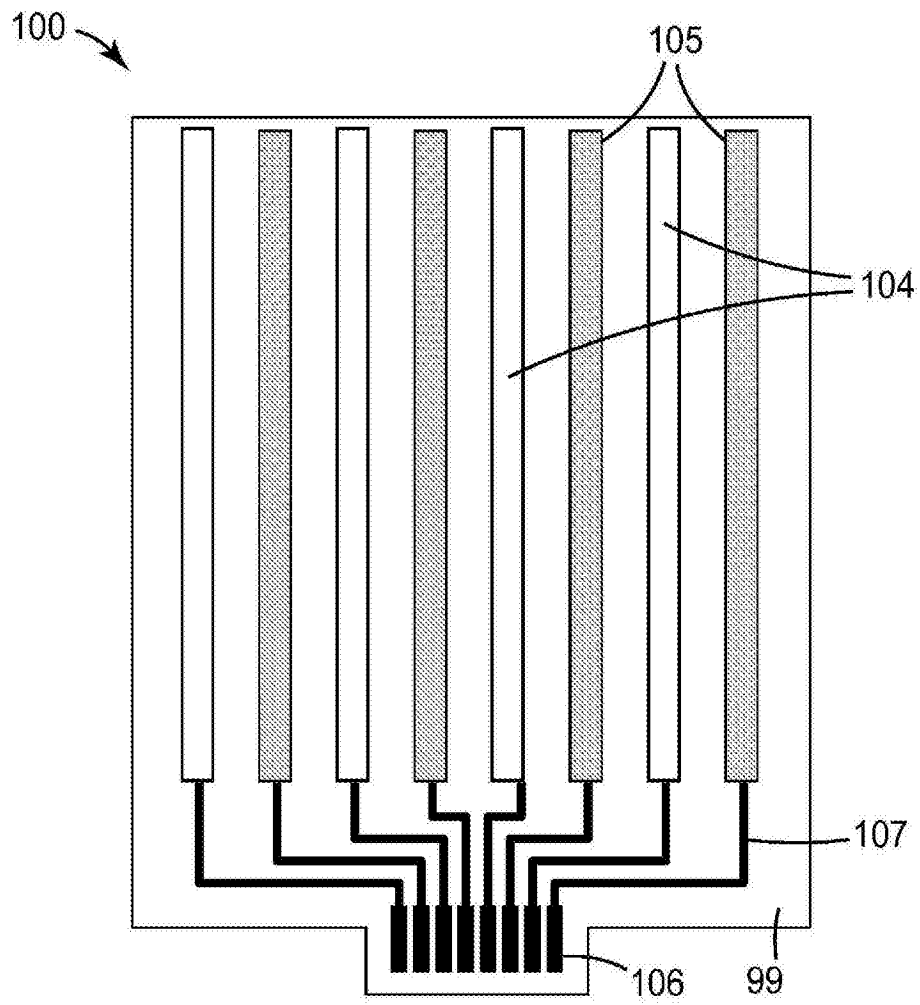


图10

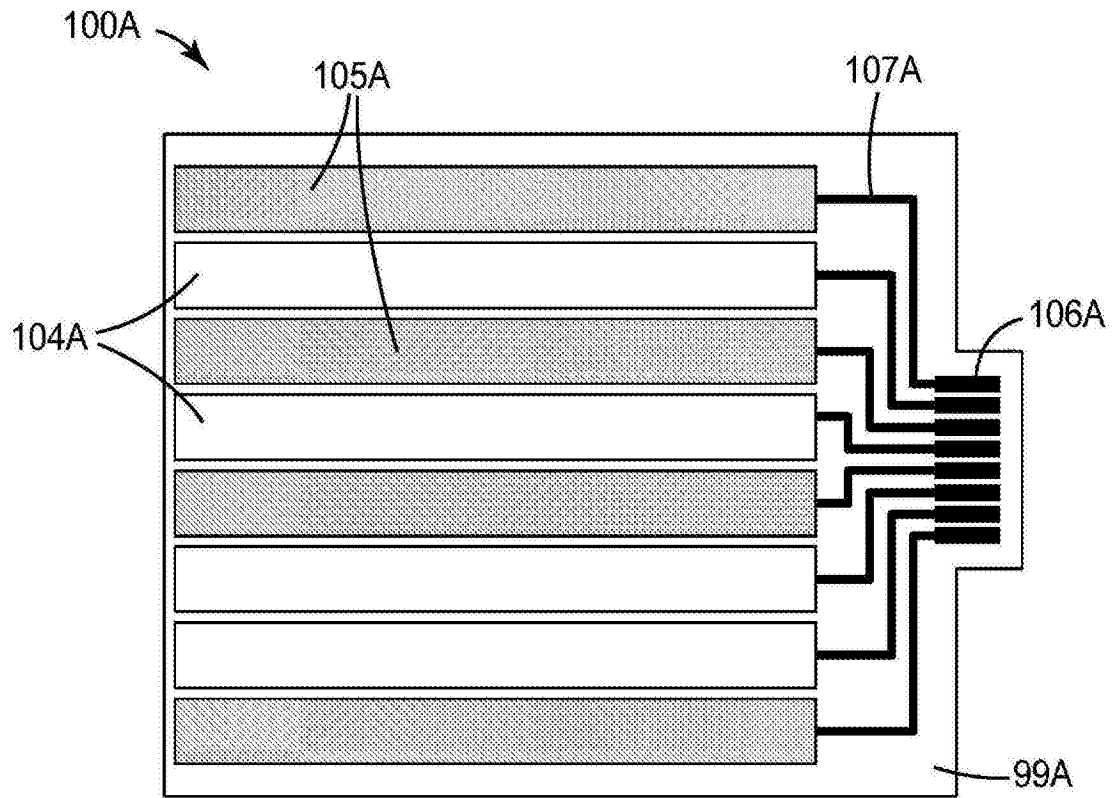


图10A

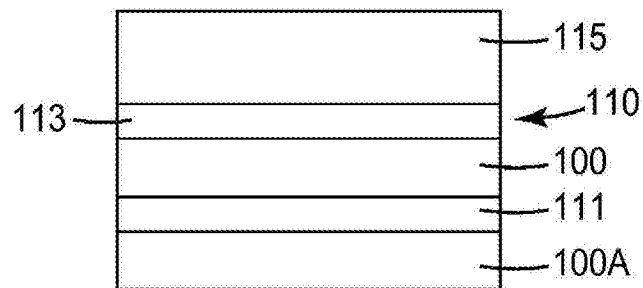


图11

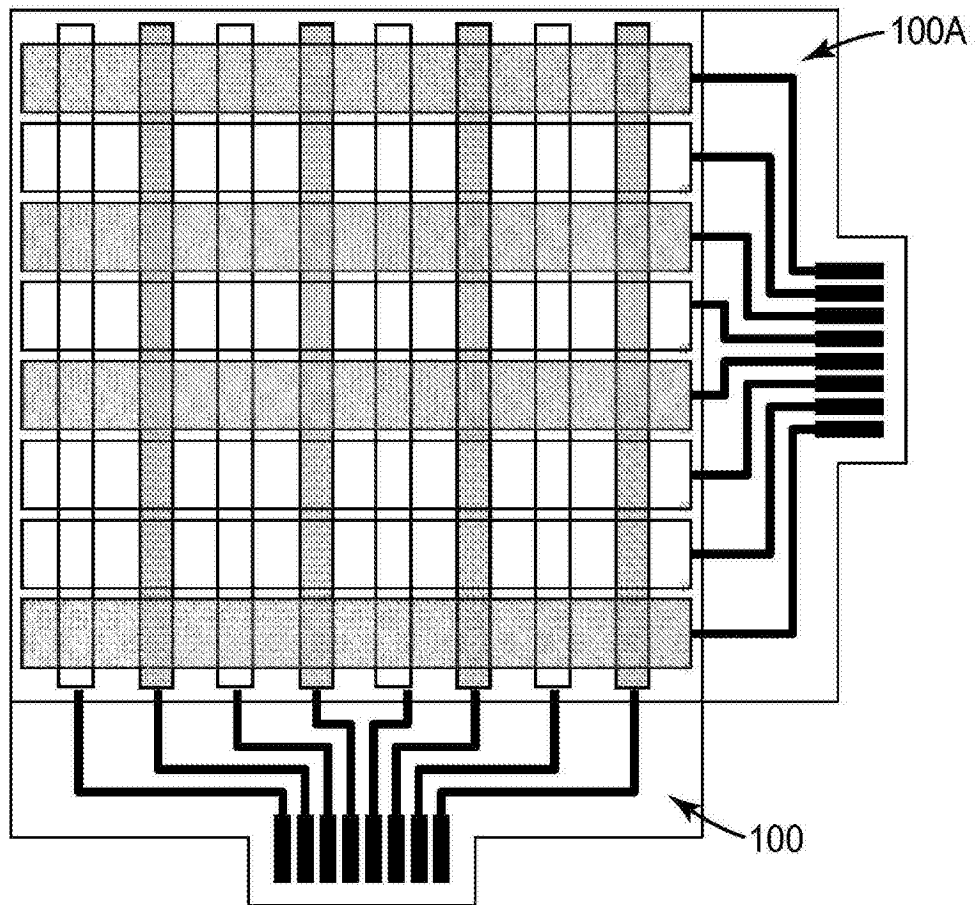


图12