(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월12일
(11) 등록번호 10-2275944
(24) 등록일자 2021년07월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *G11C 11/22* (2006.01)
H01L 21/28 (2006.01) *H01L 27/11585* (2017.01)
H01L 29/51 (2006.01)
(52) CPC특허분류
H01L 29/78391 (2015.01)
G11C 11/22 (2013.01)
(21) 출원번호 10-2020-0015693
(22) 출원일자 2020년02월10일
심사청구일자 2020년02월10일
(56) 선행기술조사문헌
KR101087800 B1*
KR1020080095232 A*
KR1020120068598 A*
KR1020160048444 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
김민회
대전광역시 유성구 은구비남로 55, 707동 502호(지족동, 열매마을7단지)
(74) 대리인
특허법인오암

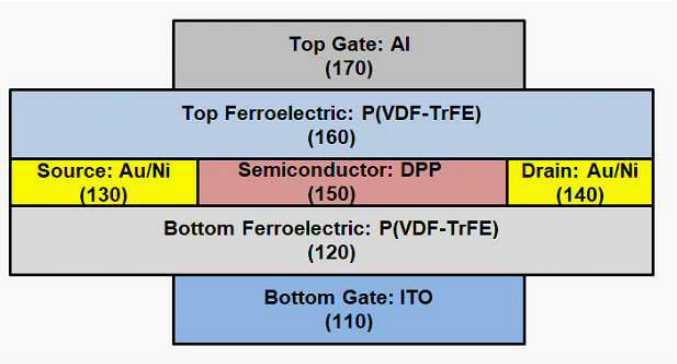
전체 청구항 수 : 총 13 항 심사관 : 최정민

(54) 발명의 명칭 **멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터**

(57) 요 약

본 발명은 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터에 관한 것으로, 하부 게이트 전극과, 상기 하부 게이트 전극의 상부에 형성되는 하부 강유전체 절연막과, 상기 하부 강유전체 절연막의 상부 일측 영역에 형성되는 소스 전극과, 상기 하부 강유전체 절연막의 상부 타측 영역에 형성되는 드레인 전극과, 상기 소스 전극 및 드레인 전극이 양측면에 배치되도록 중앙 영역에 형성되는 반도체층과, 상기 소스 전극, 반도체층 및 드레인 전극의 상부에 형성되는 상부 강유전체 절연막과, 상기 상부 강유전체 절연막의 상부에 형성되는 상부 게이트 전극을 포함함으로써, 멀티비트 정보를 효과적으로 저장할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 27/11585 (2013.01)
H01L 29/40111 (2019.08)
H01L 29/516 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2017R1D1A1B03033865
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 이공학 개인기초연구지원사업
연구과제명 저가형 비휘발성 메모리 소자를 위한 용액공정 하이브리드 트랜지스터
기 여 율 1/1
과제수행기관명 한밭대학교 산학협력단
연구기간 2019.03.01 ~ 2020.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 2018R1A6A1A03026005
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 중점연구소지원사업
연구과제명 하이브리드 3D프린팅을 이용한 액티브 인쇄전자 시스템
기 여 율 1/1
과제수행기관명 한밭대학교 산학협력단
연구기간 2019.03.01 ~ 2020.02.29

명 세 서

청구범위

청구항 1

하부 게이트 전극과,

상기 하부 게이트 전극의 상부에 형성되는 하부 강유전체 절연막과,

상기 하부 강유전체 절연막의 상부 일측 영역에 형성되는 소스 전극과,

상기 하부 강유전체 절연막의 상부 타측 영역에 형성되는 드레인 전극과,

상기 소스 전극 및 드레인 전극이 양측면에 배치되도록 중앙 영역에 형성되는 반도체층과,

상기 소스 전극, 반도체층 및 드레인 전극의 상부에 형성되는 상부 강유전체 절연막과,

상기 상부 강유전체 절연막의 상부에 형성되는 상부 게이트 전극을 포함하고,

상기 소스 전극 및 드레인 전극은, 각각 니켈(Ni)층의 상부에 금(Au)층이 적층되는 형태로 형성되며,

상기 소스 전극 및 드레인 전극은, 제 1 열증착(thermal evaporation) 공정을 통해 상기 니켈층이 28-32nm의 두께로 형성되고, 상기 금층이 4-6nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 강유전체 이중 게이트 트랜지스터는,

상기 상부 게이트 전극에서 상기 상부 강유전체 절연막을 통해 상기 반도체층으로 향하는 제 1 분극 상태에 대응하여 상기 반도체층에서 상기 하부 강유전체 절연막을 통해 상기 하부 게이트 전극으로 향하는 제 1-1 분극 상태와 상기 하부 게이트 전극에서 상기 하부 강유전체 절연막을 통해 상기 반도체층으로 향하는 제 1-2 분극 상태를 포함하고,

상기 반도체층, 소스 전극 및 드레인 전극에서 상기 상부 강유전체 절연막을 통해 상기 상부 게이트 전극으로 향하는 제 2 분극 상태에 대응하여 상기 반도체층에서 상기 하부 강유전체 절연막을 통해 상기 하부 게이트 전극으로 향하는 제 2-1 분극 상태와 상기 하부 게이트 전극에서 상기 하부 강유전체 절연막을 통해 상기 반도체층으로 향하는 제 2-2 분극 상태를 포함하며,

상기 제 1-1 분극 상태, 제 1-2 분극 상태, 제 2-1 분극 상태 및 제 2-2 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장하는

멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 3

제 2 항에 있어서,

상기 강유전체 이중 게이트 트랜지스터는,

상기 제 1-1 분극 상태, 제 1-2 분극 상태, 제 2-1 분극 상태 및 제 2-2 분극 상태에서 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 저장하는

멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 하부 게이트 전극은, ITO(indium-tin-oxide)를 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 5

제 4 항에 있어서,

상기 하부 게이트 전극은, 스퍼터링 공정을 통해 1400-1600nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 하부 강유전체 절연막은, P(VDF-TrFE)(poly(vinylideneflouride-co-trifluoroethylene))을 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 7

제 6 항에 있어서,

상기 하부 강유전체 절연막은, 제 1 스핀 코팅 공정 및 제 1 어닐링 공정을 통해 600-700nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체층은, p타입 반도체로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 11

제 10 항에 있어서,

상기 반도체층은, PDPP4T를 이용하여 제 2 스핀 코팅 공정 및 제 2 어닐링 공정을 통해 20-60nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 12

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 상부 강유전체 절연막은, P(VDF-TrFE)(poly(vinylideneflouride-co-trifluoroethylene))을 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 13

제 1 항에 있어서,

상기 상부 강유전체 절연막은, 제 3 스핀 코팅 공정 및 제 3 어닐링 공정을 통해 600-700nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 14

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 상부 게이트 전극은, 알루미늄(Al)을 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

청구항 15

제 10 항에 있어서,

상기 상부 게이트 전극은, 제 2 열증착 공정을 통해 110-130nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명은 트랜지스터의 상부 및 하부에 강유전체를 이용한 게이트 절연체와 게이트 전극을 각각 형성함으로써, 멀티비트 정보를 효과적으로 저장할 수 있는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터에 관한 것이다.

배 경 기 술

[0002] 잘 알려진 바와 같이, 최근 정보통신 산업의 눈부신 발전으로 인하여 각종 메모리 소자의 수요가 증가하고 있는데, 특히, 모바일 단말기, 노트북 등에 필요한 메모리 소자는 전원이 차단되더라도 기록된 데이터가 지워지지 않는 비휘발성(monvolatile)이 요구되고 있다.

[0003] 이러한 비휘발성 메모리 소자는 전기적으로 데이터의 저장과 소거가 가능하고, 전원이 공급되지 않아도 데이터의 보존이 가능하기 때문에, 그 응용분야가 확대되고 있다.

[0004] 대표적인 비휘발성 메모리 소자로서, 전기적으로 격리된 플로팅 게이트를 갖는 플래시 메모리 소자(flash momory device)에 관한 연구가 활발하게 이루어지고 있고, 최근에는 상전이 현상을 이용하는 상전이 랜덤 액세스 메모리(phase change RAM, PRAM), 자기 저항 변화 현상을 이용하는 자기 랜덤 액세스 메모리(magnetic RAM, MRAM), 강유전체의 자발 분극 현상을 이용한 강유전체 랜덤 액세스 메모리(ferroelectric RAM, FRAM), 금속 산화물 박막의 저항 스위칭 현상 또는 전도도 스위칭 현상을 이용하는 저항변화 랜덤 액세스 메모리(resistance RAM, ReRAM) 등이 주요하게 연구되고 있다,

[0005] 여기에서, 강유전체 랜덤 액세스 메모리는 다른 비휘발성 메모리 소자에 비해 소자 구조가 매우 간단하고 제조 공정이 비교적 단순하여 많은 주목을 받고 있다.

[0006] 종래의 강유전체 트랜지스터는 상부 게이트 구조와 하부 게이트 구조로 구분될 수 있는데, 상부 게이트 구조는

양측에 소스 전극과 드레인 전극이 배치된 반도체 기판의 상부에 강유전체 절연막과 게이트 전극이 형성되는 형태이고, 하부 게이트 구조는 양측에 소스 전극과 드레인 전극이 배치된 반도체 기판의 하부에 강유전체 절연막과 게이트 전극이 형성되는 형태로서, 강유전체를 게이트 절연체로 사용하여 정보를 저장하는 메모리 소자이다.

[0007] 이러한 강유전체 트랜지스터에서는 분극이 될 경우 음전하에서 양전하로의 방향으로 분극을 나타낼 수 있는데, 강유전체에 항전압 이상의 전압을 인가할 경우 분극의 방향을 바꿀 수 있고, 게이트 전압이 0V가 된 이후에도 그 분극의 방향이 유지되는 특성을 가지며, 저장된 상태의 방향에 따라 소스 전극과 드레인 전극 사이를 흐르는 전류의 양이 달라지게 되는 것을 통해 저장된 정보를 얻을 수 있다.

[0008] 상술한 바와 같이 강유전체 트랜지스터를 이용하여 멀티비트 정보를 저장하기 위해 중간 정도의 분극 상태를 이용하는 것이 보고되고 있지만, 이 경우 분극 상태 간 차이가 적어서 메모리 유지 시간을 짧아지게 하는 문제가 있기 때문에, 멀티비트 정보를 저장하면서 메모리 유지 시간을 충분히 유지하기 위한 다양한 연구 개발이 진행되고 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 1. 한국등록특허 제10-1087837호(2011.11.22.등록)

발명의 내용

해결하려는 과제

[0011] 본 발명은 트랜지스터의 상부 및 하부에 강유전체를 이용한 게이트 절연체와 게이트 전극을 각각 형성함으로써, 멀티비트 정보를 효과적으로 저장할 수 있는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터를 제공하고자 한다.

[0012] 그리고, 본 발명은 동작 전압이 인가될 경우 상부 게이트 전극에서 상부 강유전체 절연막을 통해 하향하는 하향 분극 상태와 상부 강유전체 절연막을 통해 상부 게이트 전극으로 상향하는 상향 분극 상태에 각각 대응하여 하부 강유전체 절연막을 통해 하부 게이트 전극으로 하향하는 하향 분극 상태와 하부 게이트 전극에서 하부 강유전체 절연막을 통해 상향하는 상향 분극 상태를 각각 이용함으로써, 각 하향 분극 상태와 각 상향 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장할 수 있는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터를 제공하고자 한다.

[0013] 또한, 본 발명은 하향 분극 상태 및 상향 분극 상태에서 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 효과적으로 저장할 수 있는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터를 제공하고자 한다.

[0014] 본 발명의 실시예들의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0016] 본 발명의 실시예에 따르면, 하부 게이트 전극과, 상기 하부 게이트 전극의 상부에 형성되는 하부 강유전체 절연막과, 상기 하부 강유전체 절연막의 상부 일측 영역에 형성되는 소스 전극과, 상기 하부 강유전체 절연막의 상부 타측 영역에 형성되는 드레인 전극과, 상기 소스 전극 및 드레인 전극이 양측면에 배치되도록 중앙 영역에 형성되는 반도체층과, 상기 소스 전극, 반도체층 및 드레인 전극의 상부에 형성되는 상부 강유전체 절연막과, 상기 상부 강유전체 절연막의 상부에 형성되는 상부 게이트 전극을 포함하는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0018] 또한, 본 발명의 실시예에 따르면, 상기 강유전체 이중 게이트 트랜지스터는, 상기 상부 게이트 전극에서 상기 상부 강유전체 절연막을 통해 상기 반도체층으로 향하는 제 1 분극 상태에 대응하여 상기 반도체층에서 상기 하부 강유전체 절연막을 통해 상기 하부 게이트 전극으로 향하는 제 1-1 분극 상태와 상기 하부 게이트 전극에서 상기 하부 강유전체 절연막을 통해 상기 반도체층으로 향하는 제 1-2 분극 상태를 포함하고, 상기 반도체층, 소스 전극 및 드레인 전극에서 상기 상부 강유전체 절연막을 통해 상기 상부 게이트 전극으로 향하는 제 2 분극

상태에 대응하여 상기 반도체층에서 상기 하부 강유전체 절연막을 통해 상기 하부 게이트 전극으로 향하는 제 2-1 분극 상태와 상기 하부 게이트 전극에서 상기 하부 강유전체 절연막을 통해 상기 반도체층으로 향하는 제 2-2 분극 상태를 포함하며, 상기 제 1-1 분극 상태, 제 1-2 분극 상태, 제 2-1 분극 상태 및 제 2-2 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장하는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0020] 또한, 본 발명의 실시예에 따르면, 상기 강유전체 이중 게이트 트랜지스터는, 상기 제 1-1 분극 상태, 제 1-2 분극 상태, 제 2-1 분극 상태 및 제 2-2 분극 상태에서 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 저장하는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0022] 또한, 본 발명의 실시예에 따르면, 상기 하부 게이트 전극은, ITO(indium-tin-oxide)를 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0024] 또한, 본 발명의 실시예에 따르면, 상기 하부 게이트 전극은, 스퍼터링 공정을 통해 1400-1600nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0026] 또한, 본 발명의 실시예에 따르면, 상기 하부 강유전체 절연막은, P(VDF-TrFE)(poly(vinylideneflouride-co-trifluoroethylene))을 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0028] 또한, 본 발명의 실시예에 따르면, 상기 하부 강유전체 절연막은, 제 1 스핀 코팅 공정 및 제 1 어닐링 공정을 통해 600-700nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0030] 또한, 본 발명의 실시예에 따르면, 상기 소스 전극 및 드레인 전극은, 각각 니켈(Ni)층의 상부에 금(Au)층이 적층되는 형태로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0032] 또한, 본 발명의 실시예에 따르면, 상기 소스 전극 및 드레인 전극은, 제 1 열증착(thermal evaporation) 공정을 통해 상기 니켈층이 28-32nm의 두께로 형성되고, 상기 금층이 4-6nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0034] 또한, 본 발명의 실시예에 따르면, 상기 반도체층은, p타입 반도체로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0036] 또한, 본 발명의 실시예에 따르면, 상기 반도체층은, PDPP4T를 이용하여 제 2 스핀 코팅 공정 및 제 2 어닐링 공정을 통해 20-60nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0038] 또한, 본 발명의 실시예에 따르면, 상기 상부 강유전체 절연막은, P(VDF-TrFE)(poly(vinylideneflouride-co-trifluoroethylene))을 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0040] 또한, 본 발명의 실시예에 따르면, 상기 상부 강유전체 절연막은, 제 3 스핀 코팅 공정 및 제 3 어닐링 공정을 통해 600-700nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0042] 또한, 본 발명의 실시예에 따르면, 상기 상부 게이트 전극은, 알루미늄(Al)을 이용하여 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

[0044] 또한, 본 발명의 실시예에 따르면, 상기 상부 게이트 전극은, 제 2 열증착 공정을 통해 110-130nm의 두께로 형성되는 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터가 제공될 수 있다.

발명의 효과

[0046] 본 발명은 트랜지스터의 상부 및 하부에 강유전체를 이용한 게이트 절연체와 게이트 전극을 각각 형성함으로써, 멀티비트 정보를 효과적으로 저장할 수 있다.

[0047] 그리고, 본 발명은 동작 전압이 인가될 경우 상부 게이트 전극에서 상부 강유전체 절연막을 통해 하향하는 하향 분극 상태와 상부 강유전체 절연막을 통해 상부 게이트 전극으로 상향하는 상향 분극 상태에 각각 대응하여 하

부 강유전체 절연막을 통해 하부 게이트 전극으로 하향하는 하향 분극 상태와 하부 게이트 전극에서 하부 강유전체 절연막을 통해 상향하는 상향 분극 상태를 각각 이용함으로써, 각 하향 분극 상태와 각 상향 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장할 수 있다.

[0048] 또한, 본 발명은 하향 분극 상태 및 상향 분극 상태에서 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 효과적으로 저장할 수 있다.

도면의 간단한 설명

[0050] 도 1은 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터를 예시한 도면이고,

도 2a 및 도 2b와, 도 3a 및 도 3b와, 도 4는 종래의 강유전체 트랜지스터와 본 발명의 실시예에 따른 강유전체 이중 게이트 트랜지스터의 동작을 비교 설명하기 위한 도면이며,

도 5a 및 도 5b와, 도 6a 및 도 6b는 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터의 제조 공정을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0051] 본 발명의 실시예들에 대한 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0052] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0053] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

[0055] 도 1은 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터를 예시한 도면이고, 도 2a 및 도 2b와, 도 3a 및 도 3b와, 도 4는 종래의 강유전체 트랜지스터와 본 발명의 실시예에 따른 강유전체 이중 게이트 트랜지스터의 동작을 비교 설명하기 위한 도면이며, 도 5a 및 도 5b와, 도 6a 및 도 6b는 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터의 제조 공정을 설명하기 위한 도면이다.

[0057] 도 1을 참조하면, 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터는 하부 게이트 전극(110), 하부 강유전체 절연막(120), 소스 전극(130), 드레인 전극(140), 반도체층(150), 상부 강유전체 절연막(160), 상부 게이트 전극(170) 등을 포함할 수 있다.

[0058] 즉, 하부 게이트 전극(110)과, 하부 게이트 전극(110)의 상부에 형성되는 하부 강유전체 절연막(120)과, 하부 강유전체 절연막(120)의 상부 일측 영역에 형성되는 소스 전극(130)과, 하부 강유전체 절연막(120)의 상부 타측 영역에 형성되는 드레인 전극(140)과, 소스 전극(130) 및 드레인 전극(140)이 양측면에 배치되도록 중앙 영역에 형성되는 반도체층(150)과, 소스 전극(130), 반도체층(150) 및 드레인 전극(140)의 상부에 형성되는 상부 강유전체 절연막(160)과, 상부 강유전체 절연막(160)의 상부에 형성되는 상부 게이트 전극(170)을 포함할 수 있다.

[0060] 상술한 바와 같은 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터는 동작 전압이 인가될 경우 상부 게이트 전극(170)에서 상부 강유전체 절연막(160)을 통해 하향하는 하향 분극 상태와 상부 강유전체 절연막(160)을 통해 상부 게이트 전극(170)으로 상향하는 상향 분극 상태에 각각 대응하여 하부 강유전체 절연막(120)을 통해 하부 게이트 전극(110)으로 하향하는 하향 분극 상태와 하부 게이트 전극(110)에서 하부 강유전체 절연막(120)을 통해 상향하는 상향 분극 상태를 각각 이용함으로써, 각 하향 분극 상태와 각 상향 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장할 수 있다.

[0062] 즉, 상부 게이트 전극(170)에서 상부 강유전체 절연막(160)을 통해 반도체층(150)으로 향하는 제 1 분극 상태에

대응하여 반도체층(150)에서 하부 강유전체 절연막(120)을 통해 하부 게이트 전극(110)으로 향하는 제 1-1 분극 상태와 하부 게이트 전극(110)에서 하부 강유전체 절연막(120)을 통해 반도체층(150)으로 향하는 제 1-2 분극 상태를 포함하고, 반도체층(150)에서 상부 강유전체 절연막(160)을 통해 상부 게이트 전극(170)으로 향하는 제 2 분극 상태에 대응하여 반도체층(150)에서 하부 강유전체 절연막(120)을 통해 하부 게이트 전극(110)으로 향하는 제 2-1 분극 상태와 하부 게이트 전극(110)에서 하부 강유전체 절연막(120)을 통해 반도체층(150)으로 향하는 제 2-2 분극 상태를 포함함으로써, 제 1-1 분극 상태, 제 1-2 분극 상태, 제 2-1 분극 상태 및 제 2-2 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장할 수 있다.

[0064] 예를 들면, 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터에서는 하부 강유전체 절연막(120)과 상부 각유전체 절연막(120)에 발생하는 분극의 방향(즉, 하향 및 상향)에 따라 정보가 저장될 수 있는데, 도 2a에 도시한 바와 같은 종래의 강유전체 트랜지스터에서는 두 가지 상태(즉, 1비트(bit), State1, State0)의 정보만을 저장할 수 있지만, 도 2b에 도시한 바와 같이 본 발명의 실시예에 따른 강유전체 이중 게이트 트랜지스터에서는 하부 강유전체 절연막(120)과 상부 각유전체 절연막(120)에 각각 두 개의 상태(즉, 1비트)씩 총 4가지 상태(즉, 2비트, State11, State10, State01, State00)의 정보를 저장할 수 있다.

[0066] 또한, 상술한 바와 같은 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터는 하향 분극 상태 및 상향 분극 상태에서 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 효과적으로 저장할 수 있는데, 도 2b에 도시한 바와 같은 제 1-1 분극 상태, 제 1-2 분극 상태, 제 2-1 분극 상태 및 제 2-2 분극 상태에서 도 3b에 도시한 바와 같이 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 저장할 수 있다.

[0067] 예를 들면, 도 3a에 도시한 바와 같이 종래의 강유전체 트랜지스터에서는 분극의 방향을 하향 및 상향이 아닌 중간 상태를 이용하는 방식으로 정보를 저장할 수 있는데, 하향 분극 상태에서 다수가 하향 분극 상태이고 소수가 상향 분극 상태인 경우, 상향 분극 상태에서 다수의 상향 분극 상태이고 소수가 하향 분극 상태인 경우를 이용할 수 있다.

[0068] 이러한 중간 상태를 이용할 경우 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터는 도 3b에 도시한 바와 같이 하부 게이트 절연막(120) 또는 상부 게이트 절연막(160)에서 중간 상태를 이용할 경우 3비트(즉, 8가지의 상태)의 정보를 저장할 수 있다. 아울러, 하부 게이트 절연막(120) 및 상부 게이트 절연막(160) 모두에서 중간 상태를 이용할 경우 4비트의 정보를 저장할 수 있는 장점이 있다.

[0070] 상술한 바와 같은 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터는 도 4에 도시한 바와 같이 상하부에 각각 항전압(coersive voltage) 이상의 전압을 양 혹은 음으로 인가하여 하부 강유전체 절연막(120)과 상부 강유전체 절연막(160)의 상태를 저장하는데, 이 후 하부 게이트 전극(100)과 상부 게이트 전극(170)에 모두 0V를 인가한 상태에서 소스 전극(130)에는 0V를 인가하며, 드레인 전극(140)에는 -5V를 인가하여 출력 전류를 측정할 경우 p타입 반도체층(150)에 화살표의 꼬리 부분이 닿아야 많은 전류가 흐르게 된다.

[0071] 여기에서, 반도체층(150) 하부의 이동도가 반도체층(150) 상부의 이동도보다 상대적으로 크기 때문에 하부 강유전체 절연막(120)이 상대적으로 더 큰 전류의 변화를 결정할 수 있고, 4가지의 잘 구분된 전류가 흐르게 됨으로써, 4가지 상태(2비트)의 정보가 효과적으로 저장할 수 있음을 확인할 수 있다.

[0073] 한편, 상술한 바와 같은 본 발명의 실시예에 따른 멀티비트 메모리 소자를 위한 강유전체 이중 게이트 트랜지스터의 제조 공정에 대해 상세하게 설명하면, 하부 게이트 전극(110)은 ITO(indium-tin-oxide)를 이용하여 형성될 수 있는데, 스퍼터링 공정을 통해 1400-1600nm의 두께로 형성될 수 있다.

[0075] 하부 강유전체 절연막(120)은 P(VDF-TrFE)(poly(vinylideneflouride-co-trifluoroethylene))을 이용하여 형성될 수 있는데, 제 1 스핀 코팅 공정 및 제 1 어닐링 공정을 통해 600-700nm의 두께로 형성될 수 있다.

[0076] 예를 들면, 제 1 어닐링 공정은 핫플레이트(hot plate)를 이용하여 130-150℃에서 110-130분동안 수행될 수 있는데, P(VDF-TrFE)를 대략 9-11wt%가 되도록 시클로펜탄온(cyclopentanone)을 이용하여 용해시키고, 84-94℃에서 7.5-8.5시간동안 교반시킨 후, 450-550rpm에서 4-6초동안 스핀 코팅하고, 2900-3100rpm에서 28-32초동안 스핀 코팅한 후에, 핫플레이트를 이용하여 130-150℃에서 110-130분동안 어닐링할 수 있다. 바람직하게는 도 5b 및 도 6에 도시한 바와 같이 P(VDF-TrFE)를 10wt%가 되도록 시클로펜탄온(cyclopentanone)을 이용하여 용해시키고, 89℃에서 8시간동안 교반시킨 후, 500rpm에서 5초동안 스핀 코팅하고, 3000rpm에서 30초동안 스핀 코팅한

후에, 핫플레이트를 이용하여 140℃에서 120분동안 어닐링할 수 있다.

[0078] 소스 전극(130) 및 드레인 전극(140)은 각각 니켈(Ni)층의 상부에 금(Au)층이 적층되는 형태로 형성될 수 있는데, 제 1 열증착(thermal evaporation) 공정을 통해 니켈층이 28-32nm의 두께로 형성되고, 금층이 4-6nm의 두께로 형성될 수 있다.

[0079] 예를 들면, 제 1 열증착 공정은 4.5-5.5Å/s의 비율로 수행될 수 있고, 새도우마스크를 통해 $0.8\text{-}1.2\times10^{-6}$의 압력하에서 수행될 수 있다.

[0081] 반도체층(150)은 p타입 반도체로 형성될 수 있는데, PDPP4T를 이용하여 제 2 스핀 코팅 공정 및 제 2 어닐링 공정을 통해 20-60nm의 두께로 형성될 수 있다.

[0082] 예를 들면, 제 2 어닐링 공정은 글로브 박스(glove box)를 이용하여 140-160℃에서 25-35분 동안 수행될 수 있는데, PDPP4T를 이용하여 4-6mg/mL의 농도가 되도록 클로로포름(chloroform)에 용해시키고, 글로브 박스를 이용하여 75-85℃에서 교반시킨 후, 2400-2600rpm에서 55-65초동안 스핀 코팅하고, 글로브 박스를 이용하여 145-155℃에서 25-35분동안 어닐링할 수 있다. 바람직하게는 도 5a 및 도 6에 도시한 바와 같이 PDPP4T를 이용하여 5mg/mL의 농도가 되도록 클로로포름에 용해시키고, 글로브 박스를 이용하여 80℃에서 교반시킨 후, 2500rpm에서 60초동안 스핀 코팅하고, 글로브 박스를 이용하여 150℃에서 30분동안 어닐링할 수 있다.

[0084] 상부 강유전체 절연막(160)은, P(VDF-TrFE)(poly(vinylideneflouride-co-trifluoroethylene))을 이용하여 형성될 수 있는데, 제 3 스핀 코팅 공정 및 제 3 어닐링 공정을 통해 600-700nm의 두께로 형성될 수 있다.

[0085] 예를 들면, 제 3 어닐링 공정은 글로브 박스를 이용하여 130-150℃에서 110-130분동안 수행될 수 있는데, 제 1 어닐링 공정은 핫플레이트(hot plate)를 이용하여 130-150℃에서 110-130분동안 수행될 수 있는데, P(VDF-TrFE)를 대략 9-11wt%가 되도록 시클로펜탄온(cyclopentanone)을 이용하여 용해시키고, 84-94℃에서 7.5-8.5시간동안 교반시킨 후, 450-550rpm에서 4-6초동안 스핀 코팅하고, 2900-3100rpm에서 28-32초동안 스핀 코팅한 후에, 글로브 박스를 이용하여 130-150℃에서 110-130분동안 어닐링할 수 있다. 바람직하게는 도 5b 및 도 6에 도시한 바와 같이 P(VDF-TrFE)를 10wt%가 되도록 시클로펜탄온(cyclopentanone)을 이용하여 용해시키고, 89℃에서 8시간동안 교반시킨 후, 500rpm에서 5초동안 스핀 코팅하고, 3000rpm에서 30초동안 스핀 코팅한 후에, 글로브 박스를 이용하여 140℃에서 120분동안 어닐링할 수 있다.

[0087] 상부 게이트 전극(170)은 알루미늄(Al)을 이용하여 형성될 수 있는데, 제 2 열증착 공정을 통해 110-130nm의 두께로 형성될 수 있다.

[0088] 예를 들면, 제 2 열증착 공정은 4.5-5.5Å/s의 비율로 수행될 수 있고, 새도우마스크를 통해 $0.8\text{-}1.2\times10^{-6}$의 압력하에서 수행될 수 있다.

[0090] 따라서, 본 발명은 트랜지스터의 상부 및 하부에 강유전체를 이용한 게이트 절연체와 게이트 전극을 각각 형성함으로써, 멀티비트 정보를 효과적으로 저장할 수 있다.

[0091] 그리고, 본 발명은 동작 전압이 인가될 경우 상부 게이트 전극에서 상부 강유전체 절연막을 통해 하향하는 하향 분극 상태와 상부 강유전체 절연막을 통해 상부 게이트 전극으로 상향하는 상향 분극 상태에 각각 대응하여 하부 강유전체 절연막을 통해 하부 게이트 전극으로 하향하는 하향 분극 상태와 하부 게이트 전극에서 하부 강유전체 절연막을 통해 상향하는 상향 분극 상태를 각각 이용함으로써, 각 하향 분극 상태와 각 상향 분극 상태에 대응하는 각 출력 전류를 통해 네 가지 상태의 정보를 저장할 수 있다.

[0092] 또한, 본 발명은 하향 분극 상태 및 상향 분극 상태에서 상대적으로 많은 메인 분극 상태와 상대적으로 적은 서브 분극 상태가 혼합된 중간 상태를 이용하여 멀티비트 정보를 효과적으로 저장할 수 있다.

[0094] 이상의 설명에서는 본 발명의 다양한 실시예들을 제시하여 설명하였으나 본 발명이 반드시 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함을 쉽게 알 수 있을 것이다.

부호의 설명

[0096] 110 : 하부 게이트 전극

120 : 하부 강유전체 절연막

130 : 소스 전극

140 : 드레인 전극

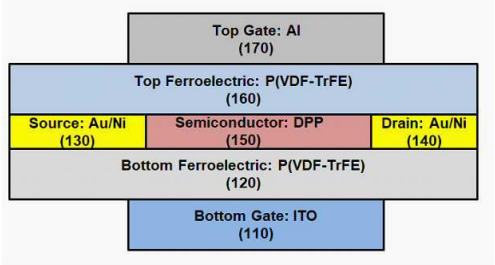
150 : 반도체층

160 : 상부 강유전체 절연막

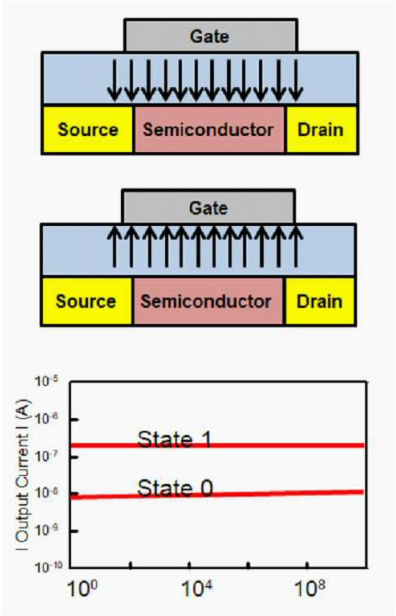
170 : 상부 게이트 전극

도면

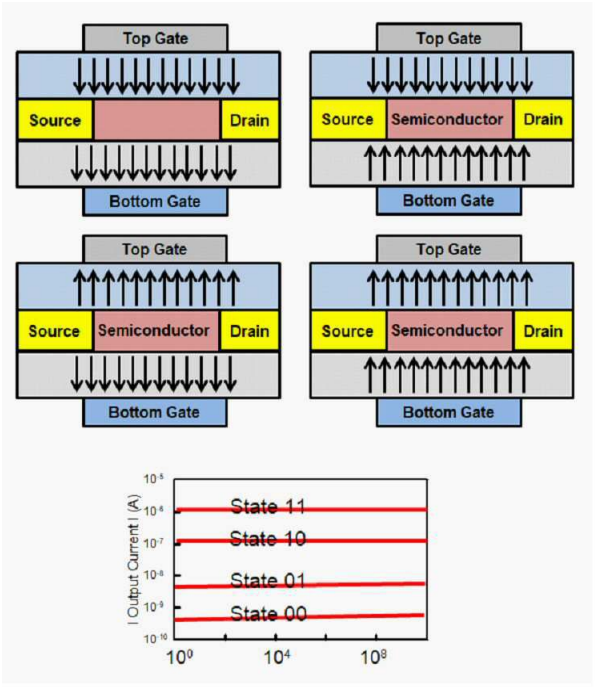
도면1



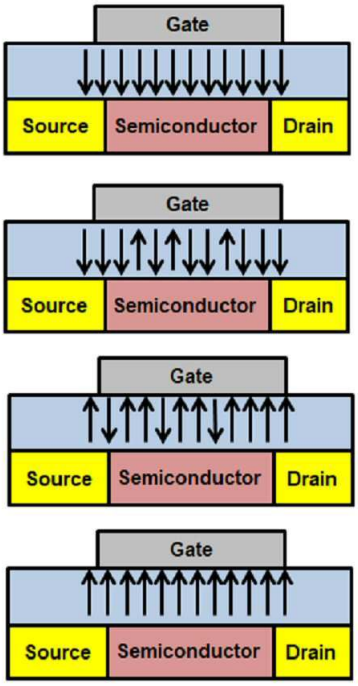
도면2a



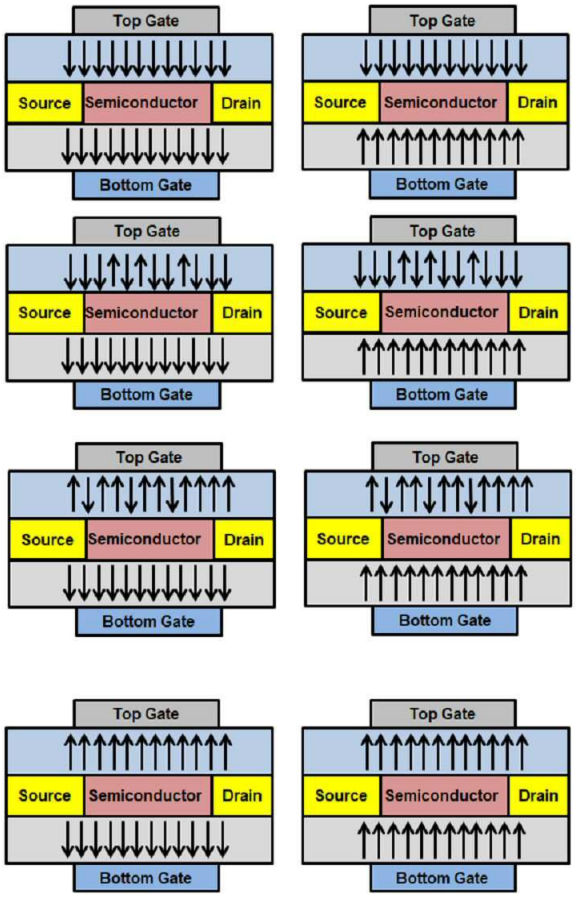
도면2b


Top Gate
Source
Drain
Bottom Gate
Top Gate
Source
Semiconductor
Drain
Bottom Gate
Top Gate
Source
Semiconductor
Drain
Bottom Gate
Top Gate
Source
Semiconductor
Drain
Bottom Gate
State 11
State 10
State 01
State 00
| Output Current | (A)
10⁹
10⁴
10⁸

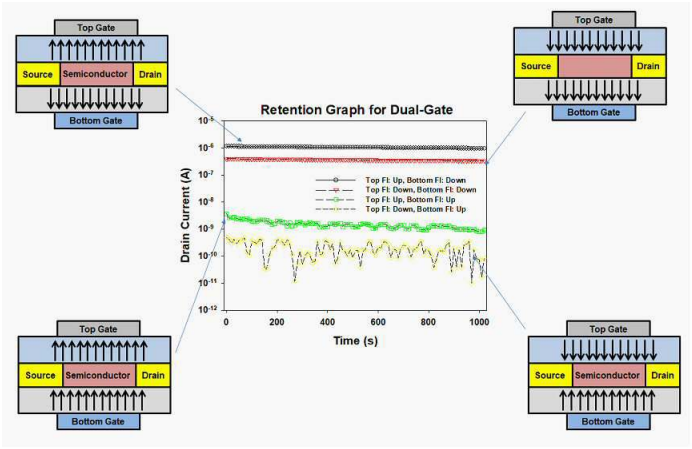
도면3a


Gate
Source
Semiconductor
Drain
Gate
Source
Semiconductor
Drain
Gate
Source
Semiconductor
Drain
Gate
Source
Semiconductor
Drain

도면3b



도면4



도면5a

General Information

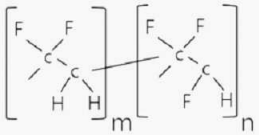
Concentration	5mg/mL
Solvent	Chloroform
Stirring	80 °C , overnight in Glove Box
Spin-coating	2500 rpm, 60 s
Annealing	150 °C , 30 minutes in Glove Box

Full name	Poly[2,5-bis(2-octyldodecyl)pyrrolo[3,4-c]pyrrole-1,4(2H,5H)-dione -3,6-diyl)-alt-(2,2';5',2'';5'',2'''-quaterthiophen-5,5'''-diyl)]
Synonyms	• DPP-4T • DPP4T • pDPP • PDQT
CAS number	1267540-03-3
Chemical formula	$(C_{62}H_{90}N_2O_2S_4)_n$
Molecular weight	See Batch Details table above
HOMO / LUMO	HOMO = -5.2 eV, LUMO = -4.0 eV [7]
Classification / Family	Quaterthiophene, Heterocyclic five-membered ring, Organic semiconducting materials, Low band gap polymers, Organic photovoltaics, Polymer solar cells, OFETs

도면5b

Weight Percent	10 wt%
Solvent	Cyclopentanone
Stirring	89 °C , 8 hours
Spin-coating	500 rpm, 5 s 3000 rpm, 30 s
Annealing	140°C , 2 hours

Poly[(vinylidenefluride-co-trifluoroethylene]



P(VDF-TrFE)

도면6

	Materials	Methods	Thickness
Substrate	Glass		
Bottom Gate electrode	ITO	Sputtering	1500nm
Bottom Insulator	P(VDF-TrFE)	Spin-coating and annealed for 2 hours at 140 °C on hot plate	600~700 nm
Source/Drain	Upper Gold (Au) Lower Ni	Thermal Evaporation rate of 5.0 Å/s. pressure of 10^{-6} torr through a shadow mask	Au: 30 nm Ni: 5 nm
Semiconductor	PDPP4T	Spin-coating and annealed in Glove box at 150 °C for 30 mins	20~60nm
Top Insulator	P(VDF-TrFE)	Same as bottom Insulator (annealed in Glove box)	> 600 nm
Top-Gate	Aluminium (Al)	Same as Source/Drain	120 nm