

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4532195号
(P4532195)

(45) 発行日 平成22年8月25日(2010.8.25)

(24) 登録日 平成22年6月18日(2010.6.18)

(51) Int.Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/00 I O I Q

請求項の数 36 (全 23 頁)

(21) 出願番号 特願2004-218834 (P2004-218834)
 (22) 出願日 平成16年7月27日(2004.7.27)
 (65) 公開番号 特開2005-65249 (P2005-65249A)
 (43) 公開日 平成17年3月10日(2005.3.10)
 審査請求日 平成19年4月11日(2007.4.11)
 (31) 優先権主張番号 2003-057245
 (32) 優先日 平成15年8月19日(2003.8.19)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100064908
 弁理士 志賀 正武

(74) 代理人 100089037
 弁理士 渡邊 隆

(74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及び半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するインピーダンス制御回路と、

入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する入力回路と、

前記インピーダンス制御コードのうちの少なくとも一つに応答して前記入力信号伝送ラインを終端する終端回路と、

前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードに従って変更される出力回路とを含むことを特徴とする半導体集積回路装置。

【請求項2】

前記終端回路は、前記入力信号伝送ラインに並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記終端回路は、前記入力信号伝送ラインに並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】

10

20

前記出力回路は、前記出力信号伝送ラインに並列連結された複数の駆動器を含み、前記駆動器の各々のインピーダンスは、前記インピーダンス制御コードに従って調整されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】

前記インピーダンス制御回路は、

前記外部基準抵抗器と連結されるパッドと、

前記パッドに連結され、前記外部基準抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第 1 インピーダンス制御コードによって制御される第 1 可変インピーダンス回路と、

前記パッドの電圧を基準電圧と比較する第 1 比較器と、

前記第 1 比較器の出力にตอบสนองして前記第 1 インピーダンス制御コードを発生する第 1 アップ/ダウンカウンタと、

内部ノードに連結され、前記外部基準抵抗器と同一なインピーダンスを有するように、前記第 1 インピーダンス制御コードによって制御される第 2 可変インピーダンス回路と、

前記内部ノードに連結され、前記外部基準抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第 2 インピーダンス制御コードによって制御される第 3 可変インピーダンス回路と、

前記内部ノードの電圧と前記パッドの電圧とを比較する第 2 比較器と、

前記第 2 比較器の出力にตอบสนองして前記第 2 インピーダンス制御コードを発生する第 2 アップ/ダウンカウンタとを含むことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 6】

前記第 1 乃至第 3 可変インピーダンス回路の各々は、二進加重値抵抗器および二進加重値トランジスタを含むことを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】

前記終端回路は、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第 1 乃至第 3 可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記インピーダンス制御回路は、選択信号にตอบสนองして、前記外部基準抵抗器のインピーダンスに関係なしに、一定に維持される前記インピーダンス制御コードを発生することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 9】

前記出力回路は、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第 1 乃至第 3 可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 10】

複数の行と複数の列に配列された複数のメモリセルのアレイと、

メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、

固定インピーダンス制御コードを発生する第 1 コード発生回路と、

外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第 2 コード発生回路と、

コード選択信号にตอบสนองして前記固定インピーダンス制御コード、または前記可変インピーダンス制御コードを選択する選択回路と、

前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、

読み出し動作の間において前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスを前記プルアップおよびプルダウン制御信号に従っ

10

20

30

40

50

て変更するオフチップ駆動回路と、

書き込み動作の間において前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つに応答して前記データ伝送ラインを終端する第1終端回路とを含むことを特徴とする半導体メモリ装置。

【請求項11】

前記書き込み動作の間において前記データ伝送ライン上のデータを前記感知増幅回路に伝達するデータ入力回路をさらに含むことを特徴とする請求項10に記載の半導体メモリ装置。

【請求項12】

前記第1終端回路は、前記データ伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項10に記載の半導体メモリ装置。

10

【請求項13】

前記第1終端回路は、前記データ伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードによって制御されることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項14】

前記オフチップ駆動回路は、前記データ伝送ラインの各々に並列連結された複数個の駆動器を含み、前記駆動器の各々のインピーダンスは、前記プルアップおよびプルダウン制御信号によって調整されることを特徴とする請求項10に記載の半導体メモリ装置。

20

【請求項15】

入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、

前記入力バッファ回路から出力される行アドレスに응答して前記行を選択する行デコーダ回路と、

前記入力バッファ回路から出力される列アドレスに응答して前記列を選択する列デコーダ回路と、

前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つに응答して前記入力伝送ラインを終端する第2終端回路とをさらに含むことを特徴とする請求項10に記載の半導体メモリ装置。

30

【請求項16】

前記第2終端回路は、前記入力伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項17】

前記第2終端回路は、前記入力伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記選択回路によって選択された固定または可変インピーダンス制御コードによって制御されることを特徴とする請求項15に記載の半導体メモリ装置。

40

【請求項18】

前記第2コード発生回路は、

前記外部基準抵抗器と連結されるパッドと、

前記パッドに連結され、前記外部基準抵抗器と同一なインピーダンスを有するように、前記可変インピーダンス制御コードのうちの第1可変インピーダンス制御コードによって制御される第1可変インピーダンス回路と、

前記パッドの電圧を基準電圧と比較する第1比較器と、

前記第1比較器の出力に응答して前記第1可変インピーダンス制御コードを発生する第

50

1 アップ / ダウンカウンタと、

内部ノードに連結され、前記外部基準抵抗器と同一なインピーダンスを有するように、前記第 1 可変インピーダンス制御コードによって制御される第 2 可変インピーダンス回路と、

前記内部ノードに連結され、前記外部基準抵抗器と同一なインピーダンスを有するように、前記可変インピーダンス制御コードのうちの第 2 可変インピーダンス制御コードによって制御される第 3 可変インピーダンス回路と、

前記内部ノードの電圧と前記パッドの電圧とを比較する第 2 比較器と、

前記第 2 比較器の出力にตอบสนองして前記第 2 可変インピーダンス制御コードを発生する第 2 アップ / ダウンカウンタとを含むことを特徴とする請求項 15 に記載の半導体メモリ装置。

10

【請求項 19】

前記第 1 乃至第 3 可変インピーダンス回路の各々は、二進加重値トランジスタおよび二進加重値抵抗器を含んで構成されることを特徴とする請求項 18 に記載の半導体メモリ装置。

【請求項 20】

前記第 1 終端回路は二進加重値トランジスタおよび二進加重値抵抗器を含んで構成され、前記第 1 終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第 1 乃至第 3 可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項 19 に記載の半導体メモリ装置。

20

【請求項 21】

前記第 2 終端回路は、二進加重値トランジスタおよび二進加重値抵抗器を含んで構成され、前記第 2 終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第 1 乃至第 3 可変インピーダンス回路の各々の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項 19 に記載の半導体メモリ装置。

【請求項 22】

制御信号にตอบสนองして前記コード選択信号およびオフセット選択信号を発生する選択信号発生回路をさらに含むことを特徴とする請求項 15 に記載の半導体メモリ装置。

30

【請求項 23】

前記オフチップ駆動回路のインピーダンスと前記第 1 および第 2 終端回路のインピーダンスは、前記オフセット選択信号によって変更されることを特徴とする請求項 22 に記載の半導体メモリ装置。

【請求項 24】

前記選択信号発生回路は、モードレジスタセット (MRS) を含むことを特徴とする請求項 22 に記載の半導体メモリ装置。

【請求項 25】

入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する入力回路と、

40

二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するインピーダンス制御回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力信号伝送ラインを終端する終端回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードに従って変更される出力回路とを含み、

前記終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記インピーダンス制御回路の二進加重値トランジスタおよび二進加重値抵抗器を線形

50

的に縮小したサイズおよび抵抗値を有することを特徴とする半導体集積回路装置。

【請求項 26】

複数の行と複数の列に配列された複数のメモリセルのアレイと、
メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、
固定インピーダンス制御コードを発生する第1コード発生回路と、
二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、
コード選択信号にตอบสนองして前記固定インピーダンス制御コードまたは前記可変インピーダンス制御コードを選択する選択回路と、

10

前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、読み出し動作の間において前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、

二進加重値トランジスタおよび二進加重値抵抗器を含み、書き込み動作の間において前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終端する第1終端回路とを含み、

20

前記オフチップ駆動回路および前記第1終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第2コード発生回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする半導体メモリ装置。

【請求項 27】

入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、

前記入力バッファ回路から出力される行アドレスにตอบสนองして前記行を選択する行デコード回路と、

前記入力バッファ回路から出力される列アドレスにตอบสนองして前記列を選択する列デコード回路と、

30

二進加重値トランジスタおよび二進加重値抵抗器を含み、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力伝送ラインを終端する第2終端回路とをさらに含むことを特徴とする請求項26に記載の半導体メモリ装置。

【請求項 28】

前記第2終端回路の二進加重値トランジスタおよび二進加重値抵抗器は、前記第2コード発生回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有することを特徴とする請求項27に記載の半導体メモリ装置。

【請求項 29】

40

複数の行と複数の列に配列された複数のメモリセルのアレイと、
メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、
外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するコード発生回路と、

前記感知増幅回路から出力されるデータおよびインピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、

読み出し動作の間前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、

書き込み動作の間において前記インピーダンス制御コードのうちの少なくとも一つに

50

答して前記データ伝送ラインを終端する第 1 終端回路とを含むことを特徴とする半導体メモリ装置。

【請求項 3 0】

前記書き込み動作の間において前記データ伝送ライン上のデータを前記感知増幅回路に伝達するデータ入力回路をさらに含むことを特徴とする請求項 2 9 に記載の半導体メモリ装置。

【請求項 3 1】

前記第 1 終端回路は、前記データ伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項 2 9 に記載の半導体メモリ装置。

10

【請求項 3 2】

前記第 1 終端回路は、前記データ伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御されることを特徴とする請求項 2 9 に記載の半導体メモリ装置。

【請求項 3 3】

前記オフチップ駆動回路は、前記データ伝送ラインの各々に並列連結された複数個の駆動器を含み、前記駆動器の各々のインピーダンスは、前記プルアップおよびプルダウン制御信号によって調整されることを特徴とする請求項 2 9 に記載の半導体メモリ装置。

【請求項 3 4】

入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、

20

前記入力バッファ回路から出力される行アドレスに応答して前記行を選択する行デコーダ回路と、

前記入力バッファ回路から出力される列アドレスに応答して前記列を選択する列デコーダ回路と、

前記インピーダンス制御コードのうちの少なくとも一つに応答して前記入力伝送ラインを終端する第 2 終端回路とをさらに含むことを特徴とする請求項 2 9 に記載の半導体メモリ装置。

【請求項 3 5】

前記第 2 終端回路は、前記入力伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御されることを特徴とする請求項 3 4 に記載の半導体メモリ装置。

30

【請求項 3 6】

前記第 2 終端回路は、前記入力伝送ラインの各々に並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御されることを特徴とする請求項 3 4 に記載の半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置及び半導体メモリ装置に関するものであり、さらに具体的には、プログラム可能なバス終端回路 (programmable bus termination circuit) およびプログラム可能なインピーダンス出力駆動回路 (programmable impedance output driver circuit) を含む半導体集積回路装置及び半導体メモリ装置に関するものである。

40

【背景技術】

【0002】

ダブルデータレート (double data rate: DDR) メモリを含む高速集積回路装置の設計において、旧来の集積回路装置と比較して、データ / アドレス / 制御信号の入力および出力と関連した AC 特性が非常に重要になっている。AC 特性は、集積回路装置、または集積回路装置を制御するためのコントローラ自体の問題に起因するとい

50

うよりは、二つまたはそれ以上の装置を連結するチャンネルの特性に起因する。したがって、チャンネル特性 (channel characteristic) を考慮して高速集積回路装置を設計することが最も重要である。

【0003】

チャンネル特性を向上させるための多様な努力がなされており、その一環として、プログラム可能なインピーダンスオン - ダイ終端回路およびオフチップ駆動回路が提案されている。例示的なオン - ダイ終端回路およびオフチップ駆動回路が特許文献1、特許文献2、特許文献3、および特許文献4に記載されている。

【0004】

よく知られたように、オン - ダイ終端回路およびオフチップ駆動回路のインピーダンスは互いに異なる値を有するように調整される。例えば、オン - ダイ終端回路のインピーダンスは60のインピーダンスを有するように対応する制御回路によって調整され、オフチップ駆動回路のインピーダンスは40のインピーダンスを有するように対応する制御回路によって調整される。すなわち、上記の特許文献から分かるように、オン - ダイ終端回路およびオフチップ駆動回路のインピーダンスを制御するためには、対応するインピーダンス制御回路および外部基準抵抗器が個別的に使用されている。

【0005】

しかし、このようなインピーダンス制御方式を通じてチャンネル特性を向上させようとする場合、チップサイズだけではなく、ピン数が必然的に増加し、これが半導体集積回路装置を設計する際の負担になる。

【特許文献1】米国特許第5,666,078号

【特許文献2】米国特許第5,955,894号

【特許文献3】米国特許第6,157,206号

【特許文献4】韓国公開特許第10-0332455号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、一つの外部基準抵抗器を利用して終端回路およびオフチップ駆動回路を制御することができるインピーダンス制御構造とそれを含んだ半導体集積回路装置或いは半導体メモリ装置を提供することである。

【課題を解決するための手段】

【0007】

上述の目的を達成するための本発明の半導体集積回路装置は、インピーダンス制御回路、入力回路、出力回路および終端回路を含む。インピーダンス制御回路は、外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生する。入力回路は、入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する。終端回路は、前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力信号伝送ラインを終端する。出力回路は、前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードに従って変更される。

【0008】

本発明の望ましい実施の形態において、前記終端回路は、前記入力信号伝送ラインに並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードのうちのいずれか一つによって制御される。また、前記終端回路は、前記入力信号伝送ラインに並列連結された複数個の終端回路を含み、前記終端回路の各々は、前記インピーダンス制御コードによって制御される。前記駆動回路は、前記出力信号伝送ラインに並列連結された複数個の駆動器を含み、前記駆動器の各々のインピーダンスは、前記インピーダンス制御コードに従って調整される。

【0009】

本発明の望ましい実施の形態において、前記インピーダンス制御回路は、前記外部可変

10

20

30

40

50

抵抗器と連結されるパッドと、前記パッドに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第1インピーダンス制御コードによって制御される第1可変インピーダンス回路と、前記パッドの電圧を基準電圧と比較する第1比較器と、前記第1比較器の出力にตอบสนองして前記第1インピーダンス制御コードを発生する第1アップ/ダウンカウンタと、内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記第1インピーダンス制御コードによって制御される第2可変インピーダンス回路と、前記内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記インピーダンス制御コードのうちの第2インピーダンス制御コードによって制御される第3可変インピーダンス回路と、前記内部ノードの電圧と前記パッドの電圧とを比較する第2比較器と、前記第2比較器の出力にตอบสนองして前記第2インピーダンス制御コードを発生する第2アップ/ダウンカウンタとを含む。

10

【0010】

本発明の他の特徴によると、半導体メモリ装置は、行と列に配列されたメモリセルアレイと、メモリセルアレイからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、固定インピーダンス制御コードを発生する第1コード発生回路と、外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、コード選択信号にตอบสนองして前記固定インピーダンス制御コード、または可変インピーダンス制御コードを選択する選択回路と、前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、読み出し動作の間前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、書き込み動作の間において前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終結させる第1終端回路とを含む。

20

【0011】

本発明の望ましいの実施の形態において、半導体メモリ装置は、入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、前記入力バッファ回路から出力される行アドレスにตอบสนองして前記行を選択する行デコード回路と、前記入力バッファ回路から出力される列アドレスにตอบสนองして前記列を選択する列デコード回路と、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力伝送ラインを終結させる第2終端回路とをさらに含む。

30

【0012】

本発明の望ましい実施の形態において、前記第2コード発生回路は、前記外部可変抵抗器と連結されるパッドと、前記パッドに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように前記可変インピーダンス制御コードのうちの第1可変インピーダンス制御コードによって制御される第1可変インピーダンス回路と、前記パッドの電圧を基準電圧と比較する第1比較器と、前記第1比較器の出力にตอบสนองして前記第1可変インピーダンス制御コードを発生する第1アップ/ダウンカウンタと、内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記第1可変インピーダンス制御コードによって制御される第2可変インピーダンス回路と、前記内部ノードに連結され、前記外部可変抵抗器と同一なインピーダンスを有するように、前記可変インピーダンス制御コードのうちの第2可変インピーダンス制御コードによって制御される第3可変インピーダンス回路と、前記内部ノードの電圧と前記パッドの電圧とを比較する第2比較器と、前記第2比較器の出力にตอบสนองして前記第2可変インピーダンス制御コードを発生する第2アップ/ダウンカウンタとを含む。

40

【0013】

本発明のまた他の特徴によると、半導体集積回路装置は、入力信号伝送ラインを通じて外部信号が入力され、前記入力された信号を内部回路に出力する入力回路と、二進加重値

50

トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って可変されるインピーダンス制御コードを発生するインピーダンス制御回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力信号伝送ラインを終結させる終端回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記内部回路から出力される信号に従って出力信号伝送ラインを駆動し、インピーダンスが前記インピーダンス制御コードによって可変される出力回路を含み、前記終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は前記インピーダンス制御回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有する。

【0014】

10

本発明のまた他の特徴によると、半導体メモリ装置は、複数の行と複数の列に配列された複数のメモリセルのアレイと、メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、固定インピーダンス制御コードを発生する第1コード発生回路と二進加重値トランジスタおよび二進加重値抵抗器を含み、外部基準抵抗器のインピーダンスに従って変更される可変インピーダンス制御コードを発生する第2コード発生回路と、コード選択信号にตอบสนองして前記固定インピーダンス制御コード、または前記可変インピーダンス制御コードを選択する選択回路と、前記感知増幅回路から出力されるデータおよび前記選択回路によって選択された固定または可変インピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、読み出し動作の間、前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、書き込み動作の間、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終結させる第1終端回路とを含み、前記第1終端回路および前記出力回路の二進加重値トランジスタおよび二進加重値抵抗器は前記第2コード発生回路の二進加重値トランジスタおよび二進加重値抵抗器を線形的に縮小したサイズおよび抵抗値を有する。

20

【0015】

本発明の望ましい実施の形態において、半導体メモリ装置は、入力伝送ラインを通じて入力されるアドレスおよび制御信号が入力される入力バッファ回路と、前記入力バッファ回路から出力される行アドレスにตอบสนองして前記行を選択する行デコード回路と、前記入力バッファ回路から出力される列アドレスにตอบสนองして前記列を選択する列デコード回路と、二進加重値トランジスタおよび二進加重値抵抗器を含み、前記選択回路によって選択された固定または可変インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記入力伝送ラインを終結させる第2終端回路とをさらに含む。

30

【0016】

本発明のまた他の特徴によると、半導体メモリ装置は、複数の行と複数の列に配列された複数のメモリセルのアレイと、メモリセルからデータを読み出しメモリセルにデータを書き込む感知増幅回路と、外部基準抵抗器に連結され、前記外部基準抵抗器のインピーダンスに従って変更されるインピーダンス制御コードを発生するコード発生回路と、前記感知増幅回路から出力されるデータおよびインピーダンス制御コードにตอบสนองしてプルアップおよびプルダウン制御信号を発生する駆動制御回路と、読み出し動作の間前記プルアップおよびプルダウン制御信号にตอบสนองしてデータ伝送ラインを駆動し、インピーダンスが前記プルアップおよびプルダウン制御信号によって変更されるオフチップ駆動回路と、書き込み動作の間前記インピーダンス制御コードのうちの少なくとも一つにตอบสนองして前記データ伝送ラインを終結させる終端回路とを含む。

40

【発明の効果】

【0017】

本発明によれば、一つの外部基準抵抗器および一つのインピーダンスコード発生器を利用して終端回路のインピーダンスおよびオフチップ駆動回路のインピーダンスを同時に調

50

整することが可能である。

【発明を実施するための最良の形態】

【0018】

以下、本発明の望ましい実施の形態が参照図面に基づいて詳細に説明される。

【0019】

図1は、本発明の望ましい実施の形態の半導体集積回路装置を示すブロック図である。図1を参照すると、本発明の望ましい実施の形態の半導体集積回路装置100は、他の集積回路装置と通信するために受信器(receiver)110と駆動器(driver)120を含む。受信器110は、信号伝送ラインTL0を通じてパッド131に連結され、外部からパッド131に伝送される信号(例えば、制御信号、またはアドレス信号)が入力される。駆動器120は、信号伝送ラインTL1を通じてパッド132に連結され、内部回路140から出力される信号(例えば、データ)に従って信号伝送ラインTL1を駆動する。

10

【0020】

信号伝送ラインTL0には終端回路(termination circuit)150が連結され、図示しないが、パッド131は、外部の伝送ラインを通じて他の集積回路装置と連結されうる。終端回路150は、外部伝送ライン(図示しない)と受信器110との間のインピーダンス不一致(impedance mismatch)による信号反射を減らすように、信号伝送ラインTL0を終端する。インピーダンス制御回路160は、外部基準抵抗器REXTと連結されたパッド133に連結され、外部基準抵抗器REXTのインピーダンスに従って変更される制御コードを生成する。終端回路150および駆動器120は、インピーダンス制御回路160で生成された制御コードによって同時に制御される。したがって、インピーダンス制御回路160は、外部基準抵抗器REXTのインピーダンスに従って終端回路150のインピーダンスだけではなく、駆動器120のインピーダンスを同時に可変的に制御する。

20

【0021】

半導体集積回路装置100は、一つの外部基準抵抗器REXTを利用したインピーダンス制御回路160で生成された制御コードに従って、終端回路150のインピーダンスおよび駆動器120のインピーダンスが同時に制御されるように実現される。

【0022】

以下、本発明に係る可変インピーダンス制御構造を半導体集積回路装置の一例としての半導体メモリ装置に適用した例を説明される。ここで、本発明に係る可変インピーダンス制御構造が半導体メモリ装置を利用して説明されるが、本発明の可変インピーダンス制御構造がここに記載された半導体メモリ装置に限定されないことは、この分野の通常の知識を持つ者において自明である。例えば、本発明に係る可変インピーダンス制御構造は、高い周波数領域で動作する電子装置に適用されることができる。

30

【0023】

図2は、本発明の望ましい実施の形態の半導体メモリ装置の構成を示すブロック図である。この半導体メモリ装置は、チャンネル特性に敏感な高周波メモリ、例えば、ダブルデータレート(double data rate:DDR)メモリである。しかし、本発明の半導体メモリ装置がDDRメモリに限定されないことは自明である。

40

【0024】

図2を参照すると、半導体メモリ装置200は、データ情報を保持するためメモリセルアレイ210を含む。図示しないが、メモリセルアレイ210は、複数の行(またはワードライン)と複数の列(またはビットライン)で構成されるマトリックス構造に配列された複数のメモリセルを含む。行デコード回路220は、アドレスおよび命令バッファ回路230から出力される行アドレスに従ってメモリセルアレイ210の行を選択する。列デコード回路240は、アドレスおよび命令バッファ回路230から出力される列アドレスに従ってメモリセルアレイ210の列を選択する。感知増幅回路250は、読み出し動作時にはメモリセルアレイ210からデータを読み出し、書き込み動作時にはメモリセルア

50

レイ 210 にデータを書き込む。

【0025】

駆動制御回路 260 は、感知増幅回路 250 から出力されるデータが入力され、インピーダンス制御コード U P C、D N C に応答してプルアップおよびプルダウン制御信号 P D i、P U i を発生する。オフチップ駆動回路 270 は、駆動制御回路 260 から出力されるプルアップおよびプルダウン制御信号 P D i、P U i に応答して出力信号伝送ライン T L _ O U T 1 ~ T L _ O U T 3 を駆動する。出力信号伝送ライン T L _ O U T 1 ~ T L _ O U T 3 は、対応するパッド P A D 4 ~ P A D 6 に各々連結される。オフチップ駆動回路 270 のインピーダンスは、プルアップおよびプルダウン制御信号 P U i、P D i の選択的な活性化に従って変更されうる。これについては後述する。データ入力回路 280 は、
10 入力信号伝送ライン T L _ I N 10 ~ T L _ I N 30 を通じて対応するパッド P A D 4 ~ P A D 6 に各々連結され、パッド P A D 4 ~ P A D 6 に印加されるデータを感知増幅回路 250 に伝送する。入力信号伝送ライン T L _ I N 10 ~ T L _ I N 30 には、終端回路 290 が連結されている。終端回路 290 は、インピーダンス制御コード U P C、またはインピーダンス制御コード U P C、D N C に応答して動作し、外部伝送ライン（図示しない）と受信器としてのデータ入力回路 280 との間のインピーダンス不一致による信号反射を減らすように入力信号伝送ライン T L _ I N 10 ~ T N _ I N 30 を終端する。

【0026】

この実施の形態において、駆動制御回路 260 およびオフチップ駆動回路 270 は、読み出し動作を示す制御回路 R E N が活性化された時に動作し、データ入力回路 280 およ
20 び終端回路 290 は、書き込み動作を示す制御信号 W E N の活性化された時に動作する。

【0027】

アドレスおよび命令バッファ回路 230 は、入力信号伝送ライン T L _ I N 11 ~ T L _ I N 31 を通じてパッド P A D 1 ~ P A D 3 に各々連結されている。アドレスおよび命令バッファ回路 230 は、入力信号伝送ライン T L _ I N 11 ~ T L _ I N 31 を通じて外部から決められたタイミングに従ってアドレスおよび制御命令が入力される。入力アドレスのうちの行アドレスは行デコード回路 220 に伝達され、列アドレスは列デコード回路 240 に伝達される。入力信号伝送ライン T L _ I N 11 ~ T N _ I N 31 には終端回路 300 が連結されている。終端回路 300 は、インピーダンス制御コード U P C、またはインピーダンス制御コード U P C、D N C に応答して動作し、外部伝送ライン（図示
30 しない）と受信器としてのアドレスおよび命令バッファ回路 230 との間のインピーダンス不一致による信号反射を減らすように入力信号伝送ライン T L _ I N 11 ~ T L _ I N 31 を終端する。

【0028】

図 2 に示したように、パッド P A D 7 には外部基準抵抗器 R E X T および可変インピーダンスコード発生回路 310 が連結されている。可変インピーダンスコード発生回路 310 は、外部基準抵抗器 R E X T のインピーダンスに従って変更される可変インピーダンス制御コード U P C V、D N C V を発生する。固定インピーダンスコード発生器 320 は、外部基準抵抗器 R E X T のインピーダンスと関係なしに、固定されたインピーダンス制御コード U P C F、D N C F を発生する。これについては後述する。プログラムレジスタ 330 は、外部からの命令に従ってプログラムすることができるよう構成され、プログラム値に従ってコード選択信号 S E L およびオフセット選択信号 O F F S E T 1、O F F S E T 2 を発生する。例えば、プログラムレジスタ 330 は、この分野でよく知られたモードレジスタセット（mode register set：M R S）で実現され得る。または、プログラムレジスタ 330 が他のロジック回路を利用して実現可能であることは、この分野の通常の知識を持つ者において自明である。選択回路 340 は、コード選択信号 S E L に応答して可変インピーダンスコード発生回路 310 の可変インピーダンス制御コード U P C V、D N C V または固定インピーダンスコード発生回路 320 の固定インピーダンス制御コード U P C F、D N C F をインピーダンス制御コード U P C、D N C として
40 選択する。選択された制御コード U P C、D N C は、駆動制御回路 260 および終端回路
50

２９０、３００に伝達される。

【００２９】

以上の説明のように、終端回路２９０、３００のインピーダンスは、選択された制御コードUPC、DNCによって変更されると同時に、オフチップ駆動回路２７０のインピーダンスも選択された制御コードUPC、DNCに従って制御される。結果的に、一つの外部基準抵抗器REXTおよび一つのインピーダンスコード発生器３１０を利用して終端回路２９０、３００のインピーダンスおよびオフチップ駆動回路２７０のインピーダンスを同時に調整することが可能である。

【００３０】

図３は、図２に示した可変インピーダンスコード発生回路３１０の望ましい実施の形態を示している。図３を参照すると、可変インピーダンスコード発生回路３１０は、第１および第３比較器３１１、３１２、第１および第２カウンタ３１３、３１４、および可変インピーダンス回路３１５、３１６、３１７を含む。

【００３１】

第１比較器３１１は、パッドPAD７の電圧が所定の基準電圧VREF（例えば、VDDQ/２）より高いか否かを検出する。第１カウンタ３１３は、第１比較器３１１の出力に応答して可変インピーダンス制御コードUPCVを発生する。第１および第２可変インピーダンス回路３１５、１６の各々のインピーダンスは、第１カウンタ３１３から出力される可変インピーダンス制御コードUPCVによって変更される。このような動作は、パッドPAD７の電圧が基準電圧VREFになるまで繰返して実行される。これと同時に、第２比較器３１２は、内部ノードND１０の電圧がパッドPAD７の電圧より高いか否かを検出する。第２カウンタ３１４は、第２比較器３１２の出力に応答して可変インピーダンス制御コードDNCVを発生する。第３可変インピーダンス回路３１７のインピーダンスは、第２カウンタ３１４から出力されるインピーダンス制御コードDNCVによって変更される。このような動作は、内部ノードND１０の電圧がパッドPAD７の電圧になるまで繰返して実行される。

【００３２】

例えば、外部基準抵抗器REXTが２４と仮定すれば、可変インピーダンス回路３１５、３１６、３１７の各々は、比較器３１１、３１２とカウンタ３１３、３１４を通じて２４０のインピーダンスを有するように制御される。

【００３３】

この実施の形態において、第１および第２カウンタ３１３、３１４は、７ビットアップ/ダウンカウンタ（７-bit up/down counter）である。この場合、可変インピーダンス制御コードUPCV、DNCVの各々は、７ビットコードである。しかし、本発明において、制御コードUPCV、DNCVがこれに制限されないことは、この分野の通常の知識を持つ者において自明である。

【００３４】

図４Ａおよび図４Ｂは、図３に示した可変インピーダンス回路の実施の形態を示す回路図である。まず、可変インピーダンス回路３１５を示す図４Ａを参照すると、可変インピーダンス回路３１５は、可変インピーダンス制御コード信号UPCV<６>～UPCV<０>に各々対応する対のPMOSトランジスタおよび抵抗器を含む。各対のPMOSトランジスタおよび抵抗器は、電源電圧とパッドPAD７との間に直列に連結されている。可変インピーダンス回路３１５のPMOSトランジスタ1WP～64WPは、二進加重値トランジスタ（binary-weighted transistor）であり、可変インピーダンス回路３１５の抵抗器1R～64Rは、二進加重値抵抗器（binary-weighted resistor）である。可変インピーダンス制御コード信号UPCV<６>～UPCV<０>の選択的な活性化に従って二進加重値トランジスタが選択的に活性化され、その結果、可変インピーダンス回路３１５は外部基準抵抗器REXTと同一なインピーダンスを有する。図示しないが、可変インピーダンス回路３１６も図４Ａに示した構成と実質的に同一に構成されるので、それに対する説明は省略する。

10

20

30

40

50

【 0 0 3 5 】

可変インピーダンス回路 3 1 7 を示す図 4 B を参照すると、可変インピーダンス回路 3 1 7 は、可変インピーダンス制御コード信号 $DNCV < 6 > \sim DNCV < 0 >$ に各々対応する対の NMOS トランジスタおよび抵抗器を含む。各対の NMOS トランジスタおよび抵抗器は、内部ノード $ND10$ と接地電圧との間に直列に連結されている。可変インピーダンス回路 3 1 7 の NMOS トランジスタ $1WN \sim 64WN$ は、二進加重値トランジスタであり、可変インピーダンス回路 3 1 7 の抵抗器 $1R \sim 64R$ は、二進加重値抵抗器である。可変インピーダンス制御コード信号 $DNCV < 6 > \sim DNCV < 0 >$ の選択的な活性化に従って二進加重値トランジスタが選択的に活性化され、その結果、可変インピーダンス回路 3 1 7 は外部基準抵抗器 $REXT$ と同一なインピーダンスを有する。

10

【 0 0 3 6 】

図 5 は、図 2 に示した固定インピーダンスコード発生回路 3 2 0 の 1 つの実施の形態を示す回路図である。

【 0 0 3 7 】

図 5 を参照すると、固定インピーダンスコード発生回路 3 2 0 は、決められた値に従って固定インピーダンス制御コード信号 $UPCF < 0 > \sim UPCF < 6 >$ が電源電圧 VCC と接地電圧 VSS に選択的に連結されるように構成される。図示しないが、固定インピーダンスコード発生回路 3 2 0 は、固定インピーダンス制御コード $UPCF$ が外部データによってプログラムされるように構成されてもよい。固定インピーダンスコード発生回路 3 2 0 は、図 4 に示した方式と同様の方式で、または上記のプログラム方式で固定インピーダンス制御コード $DNCF$ を発生する。または、インピーダンス制御コード $UPCF$ は、同一のコード値を有するようにインピーダンス制御コード $DNCF$ として使用されてもよい。

20

【 0 0 3 8 】

図 6 は、図 2 に示した選択回路 3 4 0 の 1 つの実施の形態を示すブロック図である。

【 0 0 3 9 】

図 6 を参照すると、選択回路 3 4 0 は、複数個、例えば 14 個の 2 : 1 マルチプレクサ $MUX1 \sim MUX14$ で構成される。マルチプレクサ $MUX1$ は、インバータ $INV10$ と伝達ゲート $TG10$ 、 $TG11$ で構成され、図面に示したように連結されている。残りのマルチプレクサ $MUX2 \sim MUX14$ も、マルチプレクサ $MUX1$ と同様に構成される。マルチプレクサ $MUX1$ は、可変インピーダンスコード発生回路 3 1 0 から出力される対応する可変インピーダンス制御コード信号 $UPCV < 6 >$ と固定インピーダンスコード発生回路 3 2 0 から出力される対応する固定インピーダンス制御コード信号 $UPCF < 6 >$ が入力され、コード選択信号 SEL に応答して入力信号のうちの一つを選択する。残りのマルチプレクサ $MUX2 \sim MUX7$ も、マルチプレクサ $MUX1$ と同様の方式で動作する。マルチプレクサ $MUX8$ は、可変インピーダンスコード発生回路 3 1 0 から出力される対応する可変インピーダンス制御コード信号 $DNCV < 6 >$ と固定インピーダンスコード発生回路 3 2 0 から出力される対応する固定インピーダンス制御コード信号 $DNCF < 6 >$ が入力され、コード選択信号 SEL に応答して入力信号のうちの一つを選択する。残りのマルチプレクサ $MUX9 \sim MUX14$ も、マルチプレクサ $MUX8$ と同様の方式で動作する。

30

40

【 0 0 4 0 】

コード選択信号 SEL がローレベルである時、選択回路 3 4 0 は、可変インピーダンスコード発生回路 3 1 0 から出力される可変インピーダンス制御コード $UPCV$ 、 $DNCV$ を選択する。コード選択信号 SEL がハイレベルである時、選択回路 3 4 0 は m 固定インピーダンスコード発生回路 3 2 0 から出力される固定インピーダンス制御コード $UPCF$ 、 $DNCF$ を選択する。

【 0 0 4 1 】

図 7 は、図 2 に示した駆動制御回路 2 6 0 の 1 つの実施の形態を示す回路図である。

【 0 0 4 2 】

50

図7を参照すると、駆動制御回路260は、図2の選択回路340から出力されるインピーダンス制御コードUPC、DNCおよび図2の感知増幅回路250から出力されるデータDATA__OUTが入力され、プルアップおよびプルダウン制御信号PU<6>~PU<0>、PD<6>~PD<0>を発生する。駆動制御回路260は、例えば、7個のNANDゲートG10~G16、7個のNORゲートG17~G23、7個のインバータINV11~INV17を含み、図面に示したように連結されている。

【0043】

データDATA__OUTが‘1’である時、NANDゲートG10~G16の出力信号PU<6>~PU<0>のロジック状態は可変インピーダンス制御コード信号UPC<6>~UP<0>の値に従って決められる。例えば、可変インピーダンス制御コードUPCが“1010101”である時、プルアップ制御信号PU<6>、PU<4>、PU<2>、PU<0>は各々ローレベルになり、プルアップ制御信号PU<5>、PU<3>、PU<1>は各々ハイレベルになる。データDATA__OUTが‘1’である時、NORゲートG17~G23の出力信号PD<6>~PD<0>は可変インピーダンス制御コードDNCに関係なしに全部ローレベルになる。

【0044】

データDATA__OUTが‘0’である時、NORゲートG17~G23の出力信号PD<6>~PD<0>のロジック状態は、可変インピーダンス制御コード信号DNC<6>~DNC<0>の値に従って決められる。例えば、可変インピーダンス制御コードDNCが“1010101”である時、プルダウン制御信号PD<6>、PD<4>、PD<2>、PD<0>は各々ハイレベルになり、プルダウン制御信号PU<5>、PU<3>、PU<1>は各々ローレベルになる。データDATA__OUTが‘0’である時、NANDゲートG10~G16の出力信号PU<6>~PU<0>は可変インピーダンス制御コードUPCに関係なしに全部ハイレベルになる。

【0045】

以上の説明のように、プルアップ制御信号PU<6>~PU<0>は、データDATA__OUTが‘1’である時、可変インピーダンス制御コードUPCに従って選択的に活性化され、プルダウン制御信号PD<6>~PD<0>はデータDATA__OUTが‘0’である時、可変インピーダンス制御コードDNCに従って選択的に活性化される。プルアップ制御信号PU<6>~PU<0>は、プルダウン制御信号PD<6>~PD<0>と排他的に活性化される。

【0046】

図8は、図2に示したオフチップ駆動回路270および終端回路290の1つの実施の形態を示すブロック図である。なお、図8には一つのパッドPAD4に関連した構成要素のみが図示されているが、残りのパッドPAD5~PAD6の各々と関連した構成要素は図8に示した構成と実質的に同一に構成される。

【0047】

図8を参照すると、オフチップ駆動回路270は、パッドPAD4に並列連結された複数個、例えば、6個のオフチップ駆動ブロックOCD1~OCD6を含む。オフチップ駆動ブロックOCD1~OCD6の各々は、駆動制御回路260で出力されるプルアップおよびプルダウン制御信号PUi、PDi(i=0~6)に応答してパッドPDA4(または出力信号伝送ラインTL__OUT1)を駆動する。オフチップ駆動ブロックOCD1~OCD6の各々は、図9に示したように連結された二進加重値トランジスタおよび二進加重値抵抗器で構成される。可変インピーダンスコード発生回路310について説明したように、基準電圧VREFとパッドPAD7の電圧が一致する時、可変インピーダンス回路315は外部基準抵抗器REXTと同一なインピーダンスを有する。プルアップ制御信号PU<6>~PU<0>またはプルダウン制御信号PD<6>~PD<0>が可変インピーダンス制御コードに従って選択的に活性化されるので、オフチップ駆動ブロックOCD1~OCD6の各々は外部基準抵抗器REXTと同一なインピーダンスを有する。例えば、240の外部基準抵抗器REXTが使用される時、オフチップ駆動ブロックOCD1~

ＯＣＤ６の各々はインピーダンス制御コードに従って２４０のインピーダンスを有する。６個のオフチップ駆動ブロックＯＣＤ１～ＯＣＤ６が各パッドに並列連結されているので、各パッド（または各出力信号伝送ライン）は４０のインピーダンスを有するオフチップ駆動回路２７０によって駆動される。

【００４８】

再び、図８を参照すると、終端回路２９０は、パッドＰＡＤ４または入力信号伝送ラインＴＬ＿ＩＮ１０に並列連結された４個の終端ブロックＯＤＴ１～ＯＤＴ４を含む。終端ブロックＯＤＴ１～ＯＤＴ４の各々は、インピーダンス制御信号ＵＰＣにตอบสนองして入力信号伝送ラインＴＬ＿ＩＮ１０を終端する。終端ブロックＯＤＴ１～ＯＤＴ４の各々は、図１０に示したように連結された二進加重値トランジスタおよび二進加重値抵抗器で構成される。可変インピーダンスコード発生回路３１０について説明したように、基準電圧ＶＲＥＦとパッドＰＡＤ７の電圧が一致する時、可変インピーダンス回路３１５は外部基準抵抗器ＲＥＸＴと同一なインピーダンスを有する。インピーダンス制御コード信号ＵＰＣ＜６＞～ＵＰＣ＜０＞は、可変インピーダンス制御コード信号と同一であるので、終端ブロックＯＤＴ１～ＯＤＴ４の各々は外部基準抵抗器ＲＥＸＴと同一なインピーダンスを有する。例えば、２４０の外部基準抵抗器ＲＥＸＴが使用される時、終端ブロックＯＤＴ１～ＯＤＴ４の各々はインピーダンス制御コードＵＰＣに従って２４０のインピーダンスを有する。４個の終端ブロックＯＤＴ１～ＯＤＴ４が各パッドに並列連結されているので、各パッド（または各入力信号伝送ライン）は６０のインピーダンスを有する終端回路２９０によって駆動される。

【００４９】

図８に示した終端回路２９０は、図２の選択回路３４０から出力されるインピーダンス制御コードＵＰＣによって制御されるように構成されている。しかし、終端回路２９０は、図１１に示したように、選択回路３４０から出力されるインピーダンス制御コードＵＰＣ、ＤＮＣによって制御されるように構成されてもよい。本発明において、終端回路２９０がこれに極限されないことは、この分野の通常の知識を持つ者において自明である。入力信号伝送ラインＴＬ＿ＩＮ１１～ＴＬ＿ＩＮ３１を終端するための図２の終端回路３００は、図しないが、図８、図１０、および図１１に示した構成と同一に構成されることは、この分野の通常の知識を持つ者において自明である。したがって、図２の終端回路３００に対する説明は省略する。

【００５０】

以下、本発明望ましい実施の形態の半導体メモリ装置の終端回路およびオフチップ駆動回路のインピーダンスを制御する動作が参照図面に基づいて詳細に説明される。

【００５１】

固定インピーダンス制御コードＵＰＣＦ、ＤＮＣＦまたは可変インピーダンス制御コードＵＰＣＶ、ＤＮＣＶを選択するためにプログラムレジスタ３３０がプログラムされる。この実施の形態において、プログラムレジスタ３３０は、可変インピーダンス制御コードが選択されるようにプログラムされる。このような仮定によると、プログラムレジスタ３３０はローレベルのコード選択信号ＳＥＬを発生する。これは選択回路３４０が可変インピーダンスコード発生回路３１０の出力ＵＰＣＶ、ＤＮＣＶが選択されるようにする。可変インピーダンスコード発生回路３１０は、パッドＰＡＤ７に連結された外部基準抵抗器ＲＥＸＴのインピーダンスに従って変更される可変インピーダンス制御コードＵＰＣＶ、ＤＮＣＶを発生する。そのように発生された可変インピーダンス制御コードは、選択回路３４０を通じて終端回路３００、２９０および駆動制御回路２６０に伝達される。終端回路３４０にはインピーダンス制御コードＵＰＣのみが印加されてもよいし、インピーダンス制御コードＵＰＣ、ＤＮＣの双方が印加されてもよい。

【００５２】

終端回路３００は、インピーダンス制御コードＵＰＣにตอบสนองして入力信号伝送ラインＴＬ＿ＩＮ１１～ＴＬ＿ＩＮ３１を終結させる。終端回路２９０は、書き込み動作時に、インピーダンス制御コードＵＰＣにตอบสนองして入力信号伝送ラインＴＬ＿ＩＮ１０～ＴＬ＿Ｉ

10

20

30

40

50

N 3 0 を終端する。この時、終端回路 2 9 0、3 0 0 は同一なインピーダンスを有し、例えば、2 4 0 の外部基準抵抗器 R E X T がパッド P A D 7 に連結される時、終端回路 2 9 0、3 0 0 の各々は 6 0 のインピーダンスを有する。なぜなら、先の説明のように、終端回路 2 9 0、3 0 0 の各々の 4 個の終端ブロック O D T 1 ~ O D T 4 が対応するパッド（または入力信号伝送ライン）に並列連結され、最後ブロック O D T 1 ~ O D T 4 の各々が外部基準抵抗器 R E X T と同一なインピーダンス（例えば、2 4 0）を有するように同一なインピーダンス制御コードに制御されるためである。

【 0 0 5 3 】

これと同時に、選択回路 3 4 0 によって選択されたインピーダンス制御コード U P C、D N C は、駆動制御回路 2 6 0 に伝達される。駆動制御回路 2 6 0 は、読み出し動作時に、感知増幅回路 2 5 0 からのデータ D A T A _ O U T に従ってプルアップまたはプルダウン制御信号 P U i または P D i (i = 0 - 6) を発生し、プルアップまたはプルダウン制御信号は、インピーダンス制御コード U P C、D N C と同一なコード値を有する。2 4 0

10

の外部基準抵抗器 R E X T がパッド P A D 7 に連結される時、オフチップ駆動回路 2 7 0 は 4 0 のインピーダンスを有する。なぜなら、先の説明のように、オフチップ駆動回路を構成する 6 個のオフチップ駆動ブロック O C D 1 ~ O C D 6 が対応するパッド（または出力信号伝送ライン）に並列連結され、オフチップ駆動ブロック O C D 1 ~ O C D 6 の各々が外部基準抵抗器 R E X T と同一なインピーダンス（例えば、2 4 0）を有するように、同一なプルアップまたはプルダウン制御信号によって制御されるためである。

【 0 0 5 4 】

20

読み出し動作時において、終端回路 3 0 0 およびオフチップ駆動回路 2 7 0 は、要求されるインピーダンスを有するように選択されたインピーダンス制御コード U P C、D N C によって同時に制御される。同様に、書き込み動作時において、終端回路 2 9 0、3 0 0 は、要求されるインピーダンスを有するように選択されたインピーダンス制御コード U P C、D N C によって制御される。すなわち、終端回路 2 9 0、3 0 0 のインピーダンスは、選択されたインピーダンス制御コード U P C、D N C によって変更されると同時にオフチップ駆動回路 2 7 0 のインピーダンスも選択された制御コード U P C、D N C によって制御される。結果的に、一つの外部基準抵抗器 R E X T および一つのインピーダンスコード発生器 3 1 0、または 3 2 0 を利用して終端回路 2 9 0、3 0 0 のインピーダンスおよびオフチップ駆動回路 2 7 0 のインピーダンスを同時に調整することが可能である。

30

【 0 0 5 5 】

図 1 2 は、図 2 に示したオフチップ駆動回路 2 7 0 および終端回路 2 9 0 の他の実施の形態を示すブロック図である。

【 0 0 5 6 】

図 8 に示す構成例と異なって、図 1 2 に示したオフチップ駆動回路 2 7 0 ' は、単一のオフチップ駆動ブロック O C D 1 を利用して実現され、オフチップ駆動回路 2 7 0 ' のインピーダンスは、オフセット選択信号 O F F S E T 0、O F F S E T 1 に従って微細に調整され得る。さらに具体的に説明すれば、図 1 3 を参照すると、オフチップ駆動回路 2 7 0 ' は、プルアップ部 P U L L _ U P とプルダウン部 P U L L _ D O W N で構成される。プルアップ部 P U L L _ U P は、図面に示したように連結された二進加重値トランジスタ 6 4 W P / N - 1 W P / N および二進加重値抵抗器 1 R / N - 6 4 R / N を含む。4 0 のインピーダンスを有するオフチップ駆動回路 2 7 0 ' を実現するために、二進加重値トランジスタ 6 4 W P / N - 1 W P / N は、図 8 に示した二進加重値トランジスタを 1 / N に線形的に縮小して形成されたことであり、二進加重値抵抗器 1 R / N - 6 4 R / N は、図 8 に示した二進加重値抵抗器を 1 / N に線形的に縮小して形成されたことである。二進加重値トランジスタ 6 4 W P / N ~ 1 W P / N は対応するプルアップ制御信号 P U < 6 > ~ P U < 0 > によって各々制御され、その結果、4 0 のインピーダンスを有するオフチップ駆動回路 2 7 0 ' を通じてパッド P A D 4 が駆動される。

40

【 0 0 5 7 】

プルアップ部 P U L L _ U P は、図面に示したように連結されたオフセット抵抗器 O F

50

R 1 ~ O F R 7 およびオフセットトランジスタ O F T 1 ~ O F T 7 をさらに含み、オフセットトランジスタ O F T 1 ~ O F T 7 は、オフセット選択信号 O F F S E T 1 によって共通に制御される。オフセット選択信号 O F F S E T 1 が活性化されるか否かに従ってプルアップ部 P U L L _ U P のインピーダンスが調整され得る。オフセットトランジスタ O F T 1 ~ O F T 7 は、同一な値を有するように、または二進加重値を有するように実現され得る。同様に、オフセット抵抗器 O F R 1 ~ O F R 7 は、同一な値を有するように、または二進加重値を有するように実現され得る。

【 0 0 5 8 】

同様に、プルダウン部 P U L L _ D O W N は、図面に示したように連結された二進加重値トランジスタ $64WN/N \sim 1WN/N$ および二進加重値抵抗器 $1R/N \sim 64R/N$ を含む。60 のインピーダンスを有するオフチップ駆動回路 270' を実現するために、二進加重値トランジスタ $64WN/N \sim 1WN/N$ は、図 8 に示した二進加重値トランジスタを $1/N$ に線形的に縮小して形成され、二進加重値抵抗器 $1R/N \sim 64R/N$ は、図 8 に示した二進加重値抵抗器を $1/N$ に線形的に縮小して形成される。二進加重値トランジスタ $64WN/N \sim 1WN/N$ は、対応するプルダウン制御信号 $PD<6> \sim PD<0>$ によって各々制御され、60 のインピーダンスを有するオフチップ駆動回路 270' を通じてパッド P A D 4 が駆動される。

【 0 0 5 9 】

プルダウン部 P U L L _ D O W N は、図面に示したように連結されたオフセット抵抗器 O F R 8 ~ O F R 14 およびオフセットトランジスタ O F T 8 ~ O F T 14 をさらに含み、オフセットトランジスタ O F T 8 ~ O F T 14 は、オフセット選択信号 O F F S E T 2 によって共通に制御される。オフセット選択信号 O F F S E T 2 が活性化されるか否かに従ってプルダウン部 P U L L _ D O W N のインピーダンスが調整され得る。オフセットトランジスタ O F T 8 ~ O F T 14 は、同一な値を有するように、または二進加重値を有するように実現され得る。同様に、オフセット抵抗器 O F R 8 ~ O F R 14 は、同一な値を有するように、または二進加重値を有するように実現され得る。

【 0 0 6 0 】

再び図 12 を参照すると、図 8 に示す構成と異なって、図 12 に示した終端回路 290' は、単一の終端ブロック O D T 1 を利用して実現され、終端回路 290' のインピーダンスは、オフセット選択信号 O F F S E T 1、O F F S E T 2 に従って微細に調整され得る。さらに具体的に説明すれば、図 14 を参照すると、終端回路 290' は、図面に示したように連結された二進加重値トランジスタ $64WP/N \sim 1WP/N$ および二進加重値抵抗器 $1R/N \sim 64R/N$ を含む。40 のインピーダンスを有する終端回路 290' を実現するために、二進加重値トランジスタ $64WP/N \sim 1WP/N$ は、図 8 に示した二進加重値トランジスタを $1/N$ に線形的に縮小して形成されであり、二進加重値抵抗器 $1R/N \sim 64R/N$ は、図 8 に示した二進加重値抵抗器を $1/N$ に線形的に縮小して形成される。二進加重値トランジスタ $64WP/N \sim 1WP/N$ は、対応するプルアップ制御信号 $PU<6> \sim PU<0>$ によって各々制御され、その結果、60 のインピーダンスを有する終端回路 290' を通じて入力信号伝送ライン T L _ I N 10 が終結される。

【 0 0 6 1 】

終端回路 290' は、図面に示したように連結されたオフセット抵抗器 O F R 15 ~ O F R 21 およびオフセットトランジスタ O F T 15 ~ O F T 21 をさらに含み、オフセットトランジスタ O F T 15 ~ O F T 21 は、オフセット選択信号 O F T S E T 1 によって共通に制御される。オフセット選択信号 O F F S E T 1 が活性化されるか否かに従って終端回路 290' のインピーダンスが調整され得る。オフセットトランジスタ O F T 15 ~ O F T 21 は、同一な値を有するように、または二進加重値を有するように実現され得る。同様に、オフセット抵抗器 O F R 15 ~ O F R 21 は同一な値を有するように、または二進加重値を有するように実現され得る。

【 0 0 6 2 】

図示しないが、図 2 に示した終端回路 300 も図 14 に示した構成と同一に実現され得

10

20

30

40

50

る。

【 0 0 6 3 】

以上では、本発明による回路の構成および動作を上述の説明および図面に従って図示したが、これは例をあげて説明したことに過ぎず、本発明の技術的思想および範囲を逸脱しない範囲内で多様な変化および変更が可能であることはもちろんである。

【図面の簡単な説明】

【 0 0 6 4 】

【図 1】本発明の望ましい実施の形態の半導体集積回路装置を示すブロック図である。

【図 2】本発明の望ましい実施の形態の半導体メモリ装置を示すブロック図である。

【図 3】図 2 に示した可変インピーダンスコード発生回路の 1 つの実施の形態を示す回路図である。 10

【図 4 A】図 3 に示した可変インピーダンス回路の 1 つの実施の形態を示す回路図である。

【図 4 B】図 3 に示した可変インピーダンス回路の 1 つの実施の形態を示す回路図である。

【図 5】図 2 に示した固定インピーダンスコード発生回路の 1 つの実施の形態を示す回路図である。

【図 6】図 2 に示した選択回路の 1 つの実施の形態を示すブロック図である。

【図 7】図 2 に示した駆動制御回路の 1 つの実施の形態を示す回路図である。

【図 8】図 2 に示したオフチップ駆動回路および終端回路の 1 つの実施の形態を示すブロック図である。 20

【図 9】図 8 に示したオフチップ駆動ブロックの 1 つの実施の形態を示す回路図である。

【図 1 0】図 8 に示した終端ブロックの 1 つの実施の形態を示す回路図である。

【図 1 1】図 8 に示した終端ブロックの他の実施の形態を示す回路図である。

【図 1 2】図 2 に示したオフチップ駆動回路および終端回路の他の実施の形態を示すブロック図である。

【図 1 3】図 1 2 に示したオフチップ駆動回路の 1 つの実施の形態を示す回路図である。

【図 1 4】図 1 2 に示した終端回路の 1 つの実施の形態を示す回路図である。

【符号の説明】

【 0 0 6 5 】

1 0 0 半導体集積回路装置

1 1 0 受信器

1 2 0 駆動器

1 4 0 内部回路

1 5 0 終端回路

1 6 0 インピーダンス制御回路

2 0 0 半導体メモリ装置

2 1 0 メモリセルアレイ

2 2 0 行デコード回路

2 3 0 アドレスおよび命令バッファ回路

2 4 0 列デコード回路

2 5 0 感知増幅回路

2 6 0 駆動制御回路

2 7 0 オフチップ駆動回路

2 8 0 データ入力回路

2 9 0 , 3 0 0 終端回路

3 1 0 可変インピーダンスコード発生回路

3 2 0 固定インピーダンスコード発生回路

3 3 0 プログラムレジスタ

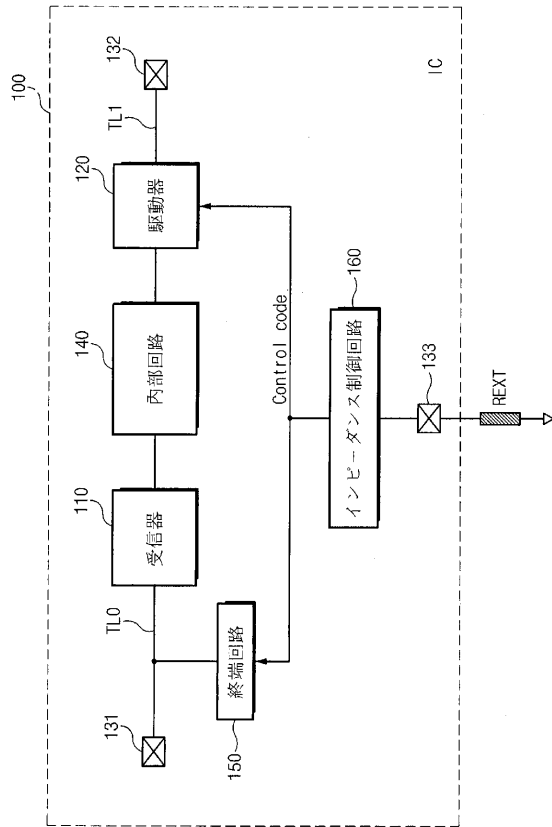
3 4 0 選択回路

30

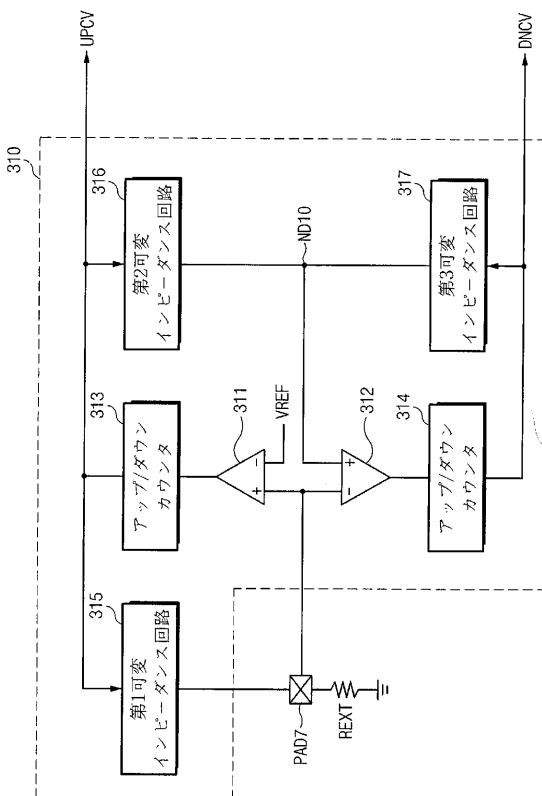
40

50

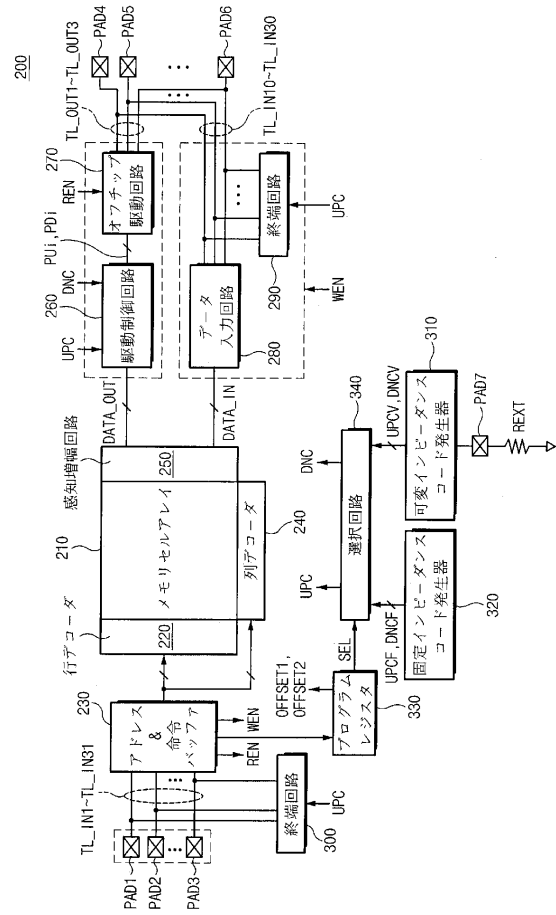
【図 1】



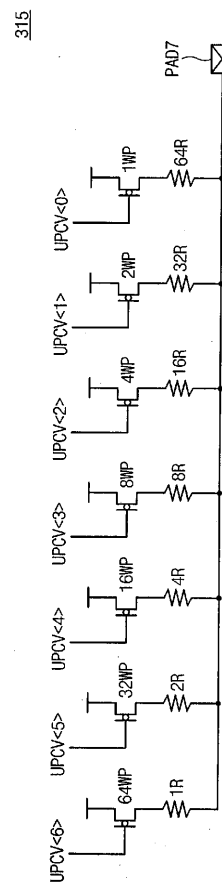
【図 3】



【図 2】

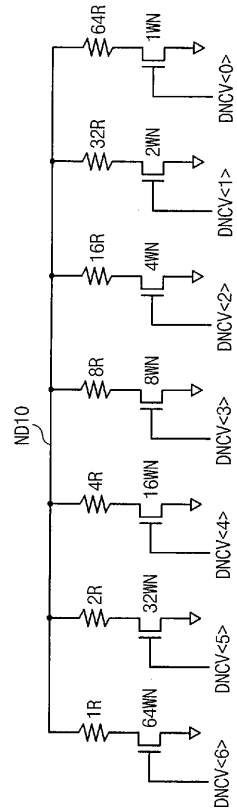


【図 4 A】

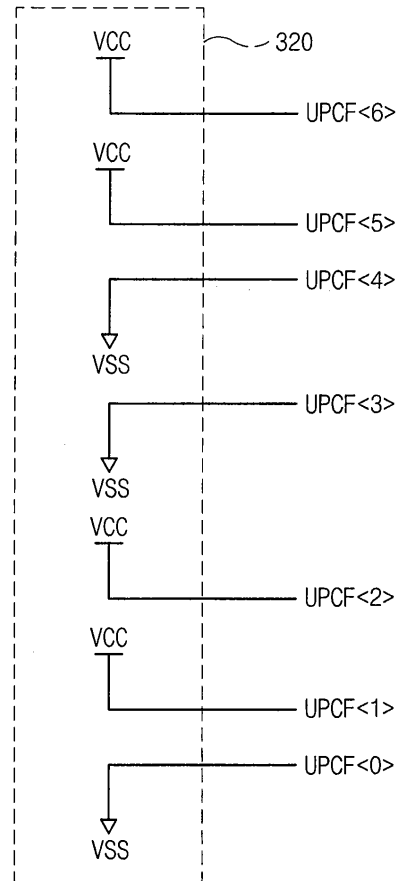


【図 4 B】

317

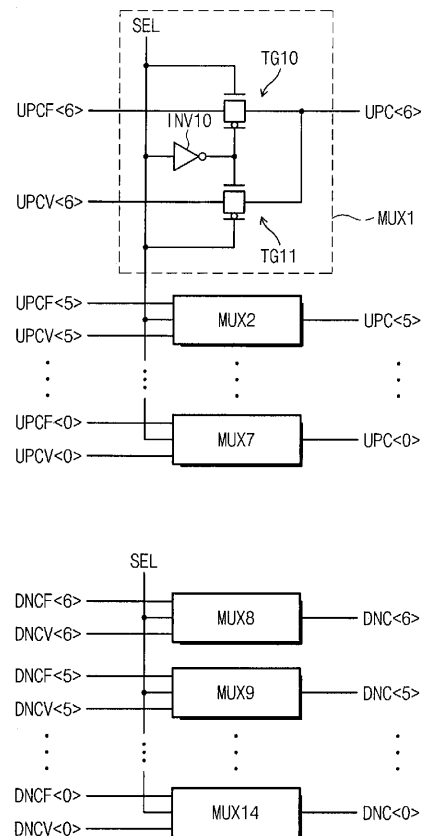


【図 5】



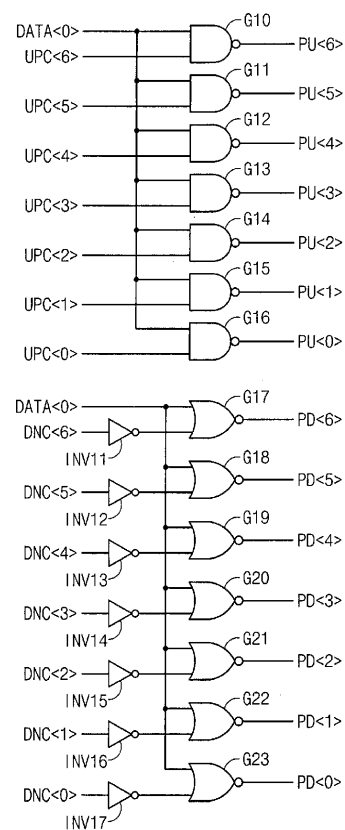
【図 6】

340

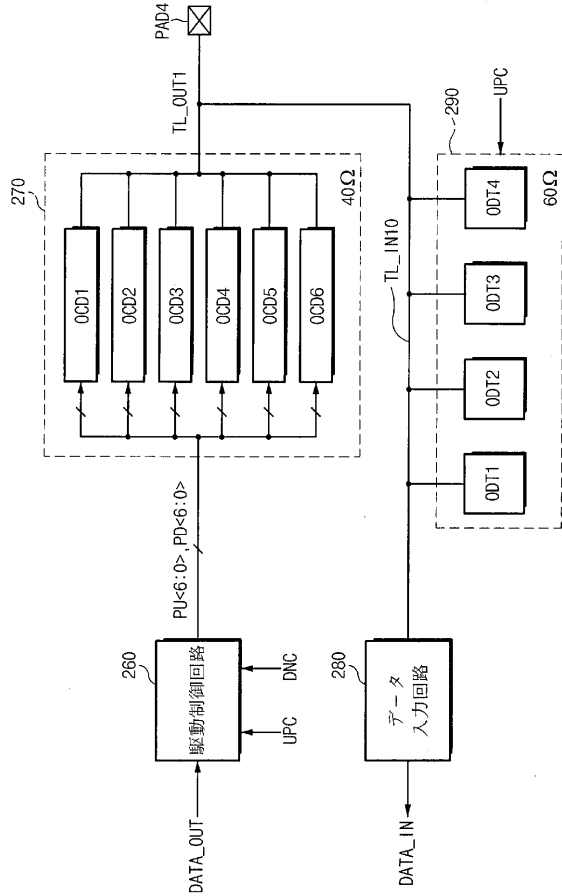


【図 7】

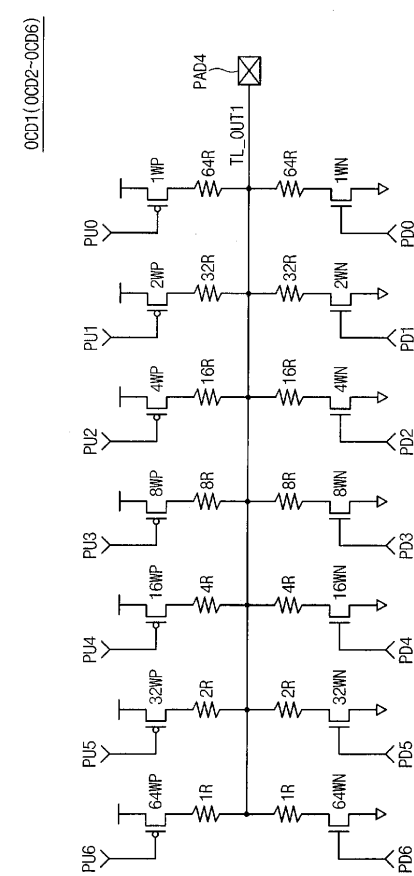
260



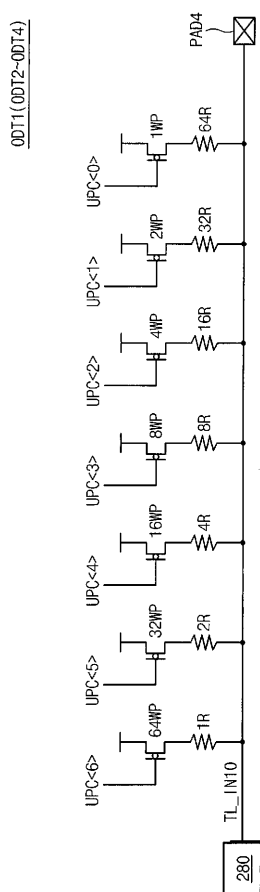
【図 8】



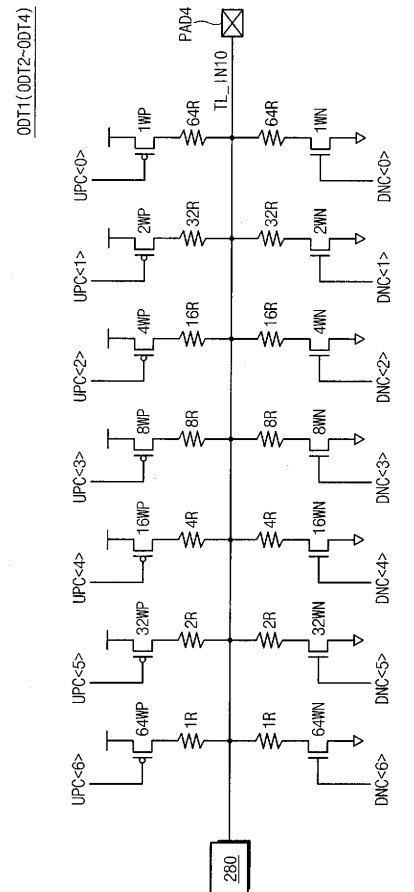
【図 9】



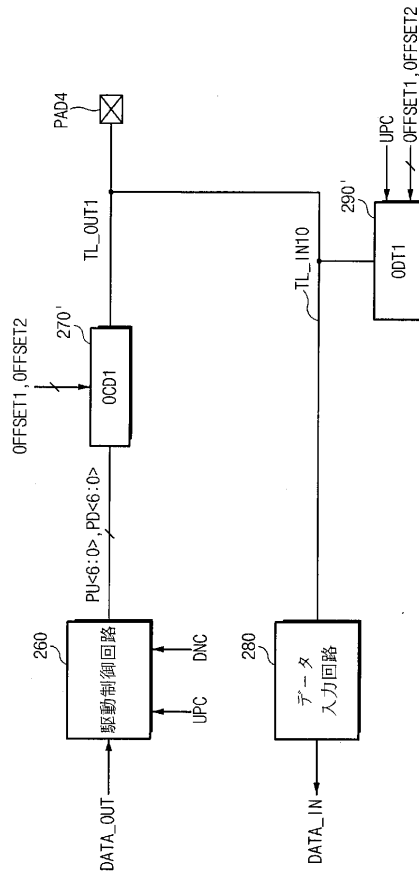
【図 10】



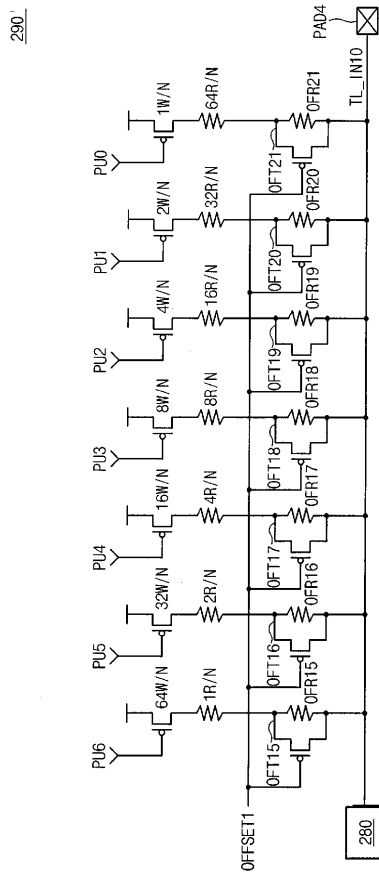
【図 11】



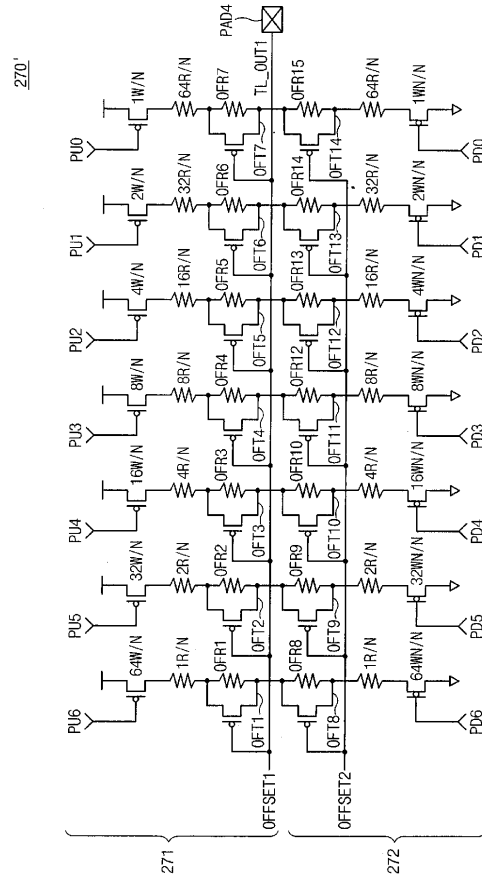
【図 12】



【図 14】



【図 13】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 朴潤植

大韓民国京畿道龍仁市器興邑新葛里 1 5 8 番地ヤンヒュンタウンプーンリムアパート 3 0 4 - 7 0
2

審査官 宮島 郁美

(56)参考文献 特開平 1 1 - 2 6 6 1 5 0 (J P , A)

特開 2 0 0 3 - 2 2 4 4 6 4 (J P , A)

特開平 6 - 1 2 5 2 6 1 (J P , A)

特開 2 0 0 1 - 1 6 8 7 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 K 1 9 / 0 0 , 1 9 / 0 1 - 1 9 / 0 8 2 , 1 9 / 0 9 2 - 1 9 / 0 9 6