

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-45363

(P2010-45363A)

(43) 公開日 平成22年2月25日 (2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/861 (2006.01)	H O 1 L 29/91 D	5 F 0 0 3
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 2 T	5 F 0 0 5
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 29/06 (2006.01)	H O 1 L 29/78 6 5 2 P	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 5 F	
審査請求 有 請求項の数 24 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2009-186765 (P2009-186765)	(71) 出願人	592054856
(22) 出願日	平成21年8月11日 (2009.8.11)		クリー インコーポレイテッド
(31) 優先権主張番号	12/189,551		C R E E I N C .
(32) 優先日	平成20年8月11日 (2008.8.11)		アメリカ合衆国 ノースカロライナ州 2
(33) 優先権主張国	米国 (US)		7703 ダラム シリコン ドライブ
			4600
		(74) 代理人	100077481
			弁理士 谷 義一
		(74) 代理人	100088915
			弁理士 阿部 和夫
		(72) 発明者	チャン チンチュン
			アメリカ合衆国 27519 ノースカ
			ライナ州 カリー ヒッコリーウッド プ
			ールバード 108
			最終頁に続く

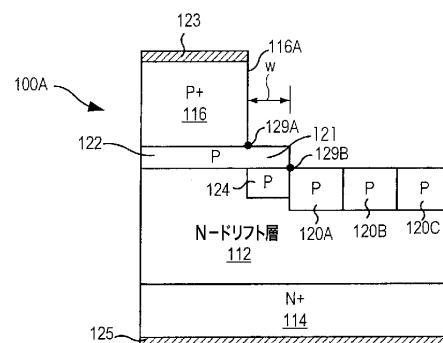
(54) 【発明の名称】 電力半導体デバイスのためのメサ終端構造とメサ終端構造をもつ電力半導体デバイスを形成するための方法

(57) 【要約】

【課題】 デバイスのピーク電界強度が低減し、実効的降服電圧を増加させ、デバイスの歩留まりを改善すること。

【解決手段】 第1の伝導型を有するドリフト層と、前記ドリフト層上にあって、前記第1の伝導型とは反対の第2の伝導型を有し、前記ドリフト層とP-N接合を形成するバッファ層と、前記P-N接合の近傍の前記ドリフト層内にあって前記第2の伝導型を有する接合終端拡張領域とを含む電子デバイスを提供する。前記バッファ層は、前記接合終端拡張領域の埋め込み部分上を延びる階段部分を含む。関連する方法も開示される。

【選択図】 図2A



【特許請求の範囲】

【請求項 1】

第 1 の伝導型を持ち第 1 の部分と第 2 の部分とを含むドリフト層と、

前記ドリフト層上にあって第 2 の伝導型を持ち、第 3 の部分と第 4 の部分とを有するバッファ層であって、前記バッファ層は、前記ドリフト層の前記第 1 の部分上にあって前記ドリフト層と P - N 接合を形成する第 1 のメサを区画し、前記バッファ層は、前記ドリフト層の前記第 2 の部分上にはないことを特徴とするバッファ層と、

前記バッファ層上にあって前記ドリフト層とは反対側にあり、前記第 2 の伝導型をもつ第 2 の層であって、前記第 2 の層は、前記バッファ層の前記第 3 の部分上にあって、前記ドリフト層の前記第 2 の部分の近傍の前記バッファ層の前記第 4 の部分上にはない第 2 のメサを区画することを特徴とする第 2 の層と、

10

前記ドリフト層の前記第 2 の部分内にある接合終端領域であって、前記接合終端領域は、前記第 2 の伝導型を持つことを特徴とする接合終端領域と、

前記ドリフト層の前記第 1 の部分内にあって、前記第 2 の伝導型をもち、前記バッファ層と直接接触していて、少なくとも 1 部分は前記バッファ層の前記第 4 の部分の下にある埋め込み接合拡張部とを備えた電子デバイス。

【請求項 2】

前記バッファ層は、約 0 . 2 から 0 . 3 μm の厚さを有することを特徴とする、請求項 1 に記載の電子デバイス。

20

【請求項 3】

前記バッファ層は、前記ドリフト層の正味のドーピング濃度より大きな正味のドーピング濃度を有することを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 4】

前記バッファ層の前記正味のドーピング濃度は、前記第 2 の層の正味のドーピング濃度より少ないことを特徴とする、請求項 3 に記載の電子デバイス。

【請求項 5】

前記バッファ層の前記正味のドーピング濃度は、約 $1 \times 10^{17} \text{ cm}^{-3}$ であることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 6】

30

前記埋め込み接合拡張部は、約 $1 \times 10^{16} \text{ cm}^{-3}$ と約 $1 \times 10^{18} \text{ cm}^{-3}$ の間の正味のドーピング濃度を有し、前記ドリフト層の中へ前記バッファ層の下へ 0 . 3 μm の深さまで広がっていることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 7】

前記第 1 のメサは、前記ドリフト層の表面上にあり、前記第 1 のメサは、前記ドリフト層の前記表面に対して前記第 2 のメサを通り過ぎて約 10 μm またはそれ以上の幅で横に伸びていることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 8】

前記埋め込み接合拡張部は、イオン注入された領域を含むことを特徴とする、請求項 1 に記載の電子デバイス。

40

【請求項 9】

前記接合終端領域は、複数の接合終端拡張 (J T E) 地帯を含む接合終端拡張 (J T E) 領域を備えることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 10】

前記埋め込み接合拡張部は、前記 J T E 地帯の第 1 の地帯の横に隣接し、直接接触していることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 11】

前記埋め込み接合拡張部と前記第 1 の J T E 地帯とは、同じドーピング濃度を有することを特徴とする、請求項 10 に記載の電子デバイス。

【請求項 12】

50

前記埋め込み接合拡張部の第 1 の側は、前記第 1 のメサの側壁と垂直方向に一直線に揃い、前記埋め込み接合拡張部の第 2 の側は、前記第 2 のメサの側壁と垂直方向に一直線に揃っていることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 1 3】

前記ドリフト層と前記バッファ層との前記 P - N 接合は、少なくとも約 1 k V の逆方向電圧を維持するように構成されていることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 1 4】

前記ドリフト層と前記バッファ層とは、炭化珪素の層を備えることを特徴とする、請求項 1 に記載の電子デバイス。

10

【請求項 1 5】

前記第 2 の伝導型は、前記第 1 の伝導型とは反対であることを特徴とする、請求項 1 に記載の電子デバイス。

【請求項 1 6】

第 1 の伝導型を有するドリフト層と、

前記ドリフト層上において第 2 の伝導型を有する第 1 の層であって、前記第 1 の層は、前記ドリフト層の表面の第 1 の部分を横切って伸び、前記ドリフト層と P - N 接合を形成し、前記ドリフト層の前記表面の第 2 の部分を露出させるメサを含むことを特徴とし、前記第 1 の層は、主要部分と、前記主要部分から横方向に前記ドリフト層の前記表面を横切って伸び、前記第 1 の層の前記主要部分と比べて薄い厚さを持つ階段部分とを備えることを特徴とする第 1 の層と、

20

前記ドリフト層の表面で前記階段部分の下において、前記第 2 の伝導型を有する埋め込み接合拡張部と、

前記ドリフト層の前記表面において、前記埋め込み接合拡張部から延伸している接合終端部であって、前記接合終端部は、前記第 2 の伝導型を有し、前記埋め込み接合拡張部と直接接触していることを特徴とする接合終端部とを備えた電力半導体デバイス。

【請求項 1 7】

前記第 2 の伝導型は、前記第 1 の伝導型とは反対であることを特徴とする、請求項 1 6 に記載の電力半導体デバイス。

30

【請求項 1 8】

第 1 の伝導型を有するドリフト層と、

前記ドリフト層上において第 2 の伝導型を有し、前記ドリフト層と P - N 接合を形成するバッファ層と、

前記 P - N 接合に隣接して前記ドリフト層内に前記第 2 の伝導型を有する接合終端拡張領域と

を備え、前記バッファ層は、前記接合終端拡張領域の埋め込み部分上に伸びる階段部分を備えることを特徴とする電子デバイス。

【請求項 1 9】

前記第 2 の伝導型は、前記第 1 の伝導型とは反対であることを特徴とする、請求項 1 8 に記載の電子デバイス。

40

【請求項 2 0】

電子デバイスを形成する方法であって、

第 1 の伝導型を有するドリフト層上に第 2 の伝導型を有する、準備段階のバッファ層を形成するステップと、

前記準備段階のバッファ層上において前記第 2 の伝導型を有する第 1 の層を形成するステップと、

前記準備段階のバッファ層の一部を露出させる第 1 のメサを形成するために前記第 1 の層を選択的にエッチングするステップと、

前記ドリフト層の第 1 の部分を覆い、前記ドリフト層の第 2 の部分を露出させ、前記第

50

１のメサから突出したメサ状階段を含む第２のメサを形成するために、前記準備段階のバッファ層の前記露出された一部分を選択的にエッチングするステップと、

前記ドリフト層内に接合終端領域を形成するために、前記第２のメサに隣接した前記ドリフト層内へ第２の伝導型のドーパントを選択的にイオン注入するステップと、

前記ドリフト層内に埋め込み接合拡張部を形成するために、前記メサ状階段の下の前記ドリフト層の１部分に前記メサ状階段を通して第２の伝導型のドーパントを選択的にイオン注入するステップと

を備えた方法。

【請求項２１】

前記第２の伝導型は、前記第１の伝導型とは反対であることを特徴とする、請求項２０に記載の方法。

【請求項２２】

前記バッファ層は、約０．２から０．３μmの厚さを有し、前記埋め込み接合拡張部は、約 $1 \times 10^{16} \text{ cm}^{-3}$ から約 $4 \times 10^{17} \text{ cm}^{-3}$ の間の正味のドーピング濃度を有しすることを特徴とする、請求項２０に記載の方法。

【請求項２３】

前記埋め込み接合拡張部の第１の側は、前記第１のメサの側壁と垂直方向に一直線に揃い、前記埋め込み接合拡張部の第２の側は、前記第２のメサの側壁と垂直方向に一直線に揃っていることを特徴とする、請求項２０に記載の方法。

【請求項２４】

前記埋め込み接合拡張部は、前記ドリフト層の中へ前記バッファ層の下へ０．３μmの深さまで拡がっていることを特徴とする、請求項２０に記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、マイクロ電子デバイスに関し、より具体的には、電力半導体デバイスのための端部終端に関する。

【背景技術】

【０００２】

ショットキー・ダイオードのような高電圧の炭化珪素（SiC）のデバイスは、約６００V以上の電圧を扱うことができる。このようなダイオードは、その活性層の面積によっては約１００アンペアまたはそれ以上の電流を扱うことができる。高電圧ショットキー・ダイオードは、特に電力の調整、分配、および制御の分野で多くの重要な応用分野を持っている。MOSFET、GTO、IGBT、BJTなどの他のタイプの高電圧半導体デバイスも、炭化珪素を用いて製作されてきた。

【０００３】

SiCショットキー・ダイオード構造のような従来のSiCパワー・デバイスは、n型SiC基板を持ち、その上にドリフト領域として機能するn型エピタキシャル層が形成される。該デバイスは、典型的には、該n型層上に直接形成されるショットキー電極を含んでいる。ショットキー電極の周りには、典型的にはイオン注入によって形成されるp型JTE（接合終端拡張）領域がある。イオン注入は、アルミニウム、ホウ素、又は他の任意の適当なp型ドーパントであってよい。JTE領域の目的は、接合端部での電界集中を低減すること、および空乏領域がデバイスの表面と相互作用をするのを低減または防ぐためである。表面効果は、空乏領域を不均一に広げ、それがデバイスの降伏電圧に悪影響を及ぼす。他の終端技術は、ガード・リングおよび、表面効果によってより強く影響されるフローティング・フィールド・リングを含む。デバイスの端部への空乏領域の拡がりを低減するために、チャネル・ストップ領域が、窒素や燐のようなn型ドーパントをイオン注入することによって形成されてもよい。

【０００４】

SiCショットキー・ダイオードの従来の終端の更なる例は、非特許文献１に記載され

10

20

30

40

50

ている。SiCショットキー障壁ダイオードのためのp型エピタキシ・ガード・リング終端は、非特許文献2に記載されている。更に、他の終端技術は、特許文献1に記載されている。

【発明の概要】

【課題を解決するための手段】

【0005】

接合終端拡張(JTE)技術に加えて、多重フローティング・ガード・リング(MFGR)およびフィールド・プレート(FP)が、高電圧炭化珪素デバイスにおいてよく用いられる終端系である。他の従来の端部終端技術は、メサ(台)端部終端技術である。しかしながら、メサ終端の存在は、接合終端拡張領域またはガード・リングが存在しても、高電界をメサのコーナーで発生させる。メサをオーバー・エッチングする技術は、メサのコーナーでの電界集中の問題を悪化させる。メサのコーナーでの高電界は、それがなければ所与のドリフト層の厚さとドーピングに対して期待される降服電圧よりもはるかに低い降服電圧になってしまう。

10

【0006】

従来のメサ終端PINダイオードは、図1に示されている。そこに示されているように、PINダイオード10は、p⁺層16とn⁺基板14との間にnドリフト層12を含む。図1は、PIN構造の半分を示す。すなわち、該構造は、(不図示の)鏡面对称部分を含む。陽極電極23は、p⁺層16上にあり、陰極電極25は、n⁺基板14に接してある。p⁺層16は、nドリフト層12上にメサとして形成される。複数のJTE地帯20A、20B、20Cを含んでいる接合終端拡張(JTE)領域20は、p⁺メサ16に隣接するnドリフト層12内に備えられている。JTE地帯20A、20B、20Cは、p型領域であり、その電荷の濃度レベルは、p⁺メサ16とnドリフト層12との間のP-N接合からの距離の増加とともに外側に向かって減少している。3つのJTE地帯20A、20B、20Cだけが示されているが、備えられるJTE地帯は、より多く、又はより少なくてもよい。

20

【0007】

図1に示されるように、p⁺メサ16に隣接したnドリフト層12は、例えば、エッチング処理制御の困難性のために、少しオーバー・エッチングされていて、それ故にp⁺メサ16の下のnドリフト層12の側壁12Aは露出している。ある場合には、オーバー・エッチングは、約3000程度まで起こる。露出した側壁12Aを保護するために、側壁イオン注入が行われることがあり、そこではp型不純物が、側壁12Aへイオン注入されて側壁イオン注入領域22を形成する。

30

【0008】

図1に示したPINダイオード構造10のような従来のメサ終端構造では、電界集中がメサのコーナー29で、又はその近くで起こり、その結果、コーナー29で強電界強度になる。この強電界強度は、デバイスの降服電圧を低減する可能性がある。例えば、従来のメサ終端PINダイオード構造は、厚さと、ドリフト層のドーピングと、JTEの設計とに基づく理論的な降服電圧は12kVであるが、実効降服電圧はわずかに8kVである。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】PCT特許公開出願書 第WO9、710、8754、発明の名称「電圧吸収端部を持つP-N接合を含むSiC半導体デバイス(SiC Semiconductor Device Comprising A PN Junction With A Voltage Absorbing Edge)」。

【非特許文献】

【0010】

【非特許文献1】シン(Singh)ら、「低リーク、高歩留まりを持つ4H-SiCショットキー・ダイオードの平面終端(Planar Termination in 4

50

H - SiC Schottky Diodes With Low Leakage And High Yields)」、ISPSD'97、ページ157 - 160。

【非特許文献2】ウエノ(Ueno)ら、「高電圧SiCショットキー障壁ダイオードのためのガード・リング終端(The Guard-Ring Termination for High-Voltage SiC Schottky Barrier Diodes)」, アイイーイーイー・エレクトロン・デバイス・レターズ(IEEE Electron Device Letters)、16巻、7号、1995年7月、ページ331 - 332。

【0011】

いくつかの実施形態による電子デバイスは、第1の伝導型を持つドリフト層と、該ドリフト層上において第1の伝導型とは反対の第2の伝導型を持つバッファ層とを含む。該バッファ層は、該ドリフト層の第1の部分上を横切って伸び、該ドリフト層とP - N接合を形成する第1のメサを形成し、該バッファ層は、該ドリフト層の第2の部分を露出させる。該デバイスは、該バッファ層上において該ドリフト層とは反対側にあり該第2の伝導型をもつ第2の層を更に含む。該第2の層は、該バッファ層の第1の部分上を横切って伸び、該ドリフト層の該露出した第2の部分の近傍の該バッファ層の第2の部分を露出させている第2のメサを形成する。接合終端領域は、該ドリフト層の該露出した第2の部分内において、該第2の伝導型を持つ。該第2の伝導型をもつ埋め込み接合拡張部は、該ドリフト層内にある。該埋め込み接合拡張部は、該バッファ層と直接接触していて、少なくとも1部分は該バッファ層の下に伸びている。

10

20

【0012】

いくつかの実施形態では、該バッファ層は、約0.2から0.3 μm の厚さを有する。該バッファ層は、該ドリフト層の正味のドーピング濃度より大きく、および/または、該第2の層の正味のドーピング濃度より少ない正味のドーピング濃度を有する。いくつかの実施形態では、該バッファ層の該正味のドーピング濃度は、約 $1 \times 10^{17} \text{ cm}^{-3}$ である。

【0013】

該埋め込み接合拡張部は、約 $1 \times 10^{16} \text{ cm}^{-3}$ と約 $1 \times 10^{18} \text{ cm}^{-3}$ の間の正味のドーピング濃度を有し、該ドリフト層の中へ該バッファ層の下0.3 μm の深さまで広がっている。該埋め込み接合拡張部は、イオン注入された領域を含んでもよい。

【0014】

該第1のメサは、該ドリフト層の表面上にあり、該ドリフト層の該表面に対して該第2のメサを通り過ぎて約10 μm またはそれ以上の幅で横に伸びている。

30

【0015】

接合終端領域は、複数のJTE地帯を含む接合終端拡張(JTE)領域を含んでもよい。いくつかの実施形態は、該埋め込み接合拡張部は、該JTE地帯の第1の地帯の横に隣接し、直接接触している。埋め込み接合拡張部と第1のJTE地帯とは、同じドーピング濃度を持ってよい。

【0016】

いくつかの実施形態では、該埋め込み接合拡張部の第1の側は、該第1のメサの側壁と垂直方向に1直線に揃い、該埋め込み接合拡張部の第2の側は、該第2のメサの側壁と垂直方向に1直線に揃っている。

40

【0017】

該ドリフト層と該バッファ層との該P - N接合は、少なくとも約1 kVの逆方向電圧を維持するように構成されている。

【0018】

いくつかの実施形態では、該ドリフト層と該バッファ層とは、炭化珪素の層を備える。

【0019】

更なる実施形態による電力半導体デバイスは、第1の伝導型を有するドリフト層と、該ドリフト層上において第1の伝導型とは反対の第2の伝導型を有する第1の層とを含む。該第1の層は、該ドリフト層の表面の第1の部分を横切って伸び、該ドリフト層とP - N

50

接合を形成し、該ドリフト層の該表面の第 2 の部分を露出させるメサを含む。該第 1 の層は、主要部分と、該主要部分から横方向に該ドリフト層の該表面を横切って伸び、該第 1 の層の該主要部分と比べて薄い厚さを持つ階段部分とを備える。該デバイスは、該ドリフト層の表面で該階段部分の下にあって、該第 2 の伝導型を有する埋め込み接合拡張部と、該ドリフト層の該表面にあって、該埋め込み接合拡張部から延伸している接合終端部とを更に含む。該接合終端部は、該第 2 の伝導型を有し、該埋め込み接合拡張部と直接接触している。

【 0 0 2 0 】

更なる実施形態による電子デバイスは、第 1 の伝導型を有するドリフト層と、該ドリフト層上にあって第 1 の伝導型とは反対の第 2 の伝導型を有し該ドリフト層と P - N 接合を形成するバッファ層と、該 P - N 接合に隣接して該ドリフト層内に該第 2 の伝導型を有する接合終端拡張領域とを含む。該バッファ層は、該接合終端拡張領域の埋め込み部分上に伸びる階段部分を含む。

10

【 0 0 2 1 】

いくつかの実施形態による電子デバイスを形成する方法は、第 2 の伝導型とは反対の第 1 の伝導型を有するドリフト層上に第 2 の伝導型を有する、準備段階のバッファ層を形成するステップと、該バッファ層上にあって該第 2 の伝導型を有する第 1 の層を形成するステップと、該準備段階のバッファ層の 1 部分を露出させる第 1 のメサを形成するために該第 1 の層を選択的にエッチングするステップと、該ドリフト層の第 1 の部分を覆い、該ドリフト層の第 2 の部分を露出させ、該第 1 のメサの下から突出したメサ状階段を含む第 2 のメサを形成するために該準備段階のバッファ層の該露出された 1 部分を選択的にエッチングするステップとを含む。該方法は、該ドリフト層内に接合終端領域を形成するために、該第 2 のメサに隣接した該ドリフト層内へ第 2 の伝導型のドーパントを選択的にイオン注入するステップと、該ドリフト層内に埋め込み接合拡張部を形成するために、該メサ状階段の下に該ドリフト層の一部に該メサ状階段を通して第 2 の伝導型のドーパントを選択的にイオン注入するステップとを更に含む。

20

【 図面の簡単な説明 】

【 0 0 2 2 】

本発明を更に理解を得ることを意図して、本出願書を構成する 1 部分に含まれている付属の図面は、本発明の或る実施形態を示すものである。図においては、

30

【 0 0 2 3 】

【 図 1 】 従来のメサ終端 P I N ダイオード構造の断面図である。

【 図 2 A 】 本発明のいくつかの実施形態によるメサ終端 P I N ダイオード構造の断面図である。

【 図 2 B 】 本発明のいくつかの実施形態によるメサ終端 P I N ダイオード構造の断面図である。

【 図 3 A 】 本発明のいくつかの実施形態によるメサ終端パワー半導体構造の断面図である。

【 図 3 B 】 本発明のいくつかの実施形態によるメサ終端パワー半導体構造の断面図である。

40

【 図 3 C 】 本発明のいくつかの実施形態によるメサ終端パワー半導体構造の断面図である。

【 図 3 D 】 本発明のいくつかの実施形態によるメサ終端パワー半導体構造の断面図である。

【 図 3 E 】 本発明のいくつかの実施形態によるメサ終端パワー半導体構造の断面図である。

【 図 4 】 本発明のいくつかの実施形態によるメサ終端ゲート・ターン・オフ (G T O) サイリスタ構造の断面図である。

【 図 5 】 図 4 の G T O 構造に対するシミュレーションされたデバイス・パラメータを示すグラフである。

50

【図 6】図 4 の G T O 構造に対するシミュレーションされたデバイス・パラメータを示すグラフである。

【図 7】図 4 の G T O 構造に対するシミュレーションされたデバイス・パラメータを示すグラフである。

【図 8】図 4 の G T O 構造に対するシミュレーションされたデバイス・パラメータを示すグラフである。

【図 9】図 4 の G T O 構造に対するシミュレーションされたデバイス・パラメータを示すグラフである。

【図 10 A】本発明のいくつかの実施形態によるメサ終端パワー半導体構造を形成する操作を示す断面図である。

【図 10 B】本発明のいくつかの実施形態によるメサ終端パワー半導体構造を形成する操作を示す断面図である。

【図 10 C】本発明のいくつかの実施形態によるメサ終端パワー半導体構造を形成する操作を示す断面図である。

【図 10 D】本発明のいくつかの実施形態によるメサ終端パワー半導体構造を形成する操作を示す断面図である。

【図 10 E】本発明のいくつかの実施形態によるメサ終端パワー半導体構造を形成する操作を示す断面図である。

【発明を実施するための形態】

【0024】

本発明の実施形態は、本発明の実施形態を示している付属の図面を参照して以下により完全に記述する。本発明は、しかしながら、他の多くの形態でも実施できて、ここに言及する実施形態だけに限定されるものと思うべきではない。むしろ、この開示内容が、完璧であり完全であって、本発明の技術範囲を当業者に完全に伝達されるようにする目的で、これらの実施形態は提供されている。全体を通して、同様の参照番号は同様の要素を指している。

【0025】

「第 1 の」、「第 2 の」などという順序を表す用語は、ここでは、色々な要素を記述するために用いられているが、これらの要素は、これらの用語によって制限されるべきではないと理解されたい。これらの用語は、1つの要素を他と区別するためだけに用いられている。例えば、本発明の範囲から逸脱することなしに、第 1 の要素は、第 2 の要素と呼ぶことも出来、同様に第 2 の要素は第 1 の要素と呼ぶこともできる。ここで用いられるように「および/または」という用語は、関連して列挙された事項の 1 つ以上の任意のまたはすべての組み合わせを含む。

【0026】

ここに用いられる用語は、特定の実施形態を記述する目的のためだけであり、本発明を限定しようとするものではない。ここで用いられるように、単数形「ひとつの」「該」は、文脈から明らかにそうでないと示されている場合を除いては、複数形も含んでいるものとしている。この明細書にて用いられるときに、「を備えている」「を含んで構成されている」「含む」および/または「含んでいる」という用語は、記述された特徴物、整数、工程、操作、要素、および/または部品の存在を規定しているが、1 つ以上の他の特徴物、整数、工程、操作、要素、部品および/またはそれらの集合が存在することを、或いは付加されることを排除するものではないことは、更に理解するべきである。

【0027】

そうでないと規定された場合を除いては、(技術用語及び科学用語を含んで)ここで用いる全ての用語は、本発明が属する技術分野の通常の技術を持つ者が共通して理解するようなものと同じ意味を持つものである。ここで用いられる用語は、本明細書および関連技術文献における文脈と矛盾のない意味を持つものと解釈されるべきであり、ここで明確に規定されていない場合は、理想化されたり、或いは過度に公式的な意味で解釈されるべきではない、ということとはさらに理解されよう。

10

20

30

40

50

【 0 0 2 8 】

ここである層、領域、または基板が他の要素「の上にある」または「の上に伸びている」といわれる場合は、それが他の要素の直接上に形成されている、又は直接上に伸びている場合もあれば、介在する要素が存在してもよい、ということは理解されよう。対照的に、ある要素が他の要素の直接上にある、又は直接上に伸びていると言われた場合は、介在する要素は存在しない。或る要素が他の要素に「接合している」または「結合している」と言われた場合には、他の要素に直接接合または結合されていてもよいし、介在する要素が存在してもよい、ということも理解されよう。対照的に、或る要素が他の要素に「直接接合している」または「直接結合している」と言われた場合には、介在する要素は存在しない。

10

【 0 0 2 9 】

「下に」、あるいは「上に」、あるいは「上部に」あるいは「より下に」あるいは「水平の」あるいは「横の」「垂直の」「の上面に」などという相対関係を表す用語は、図に示されたような1つの要素、層、あるいは領域の他の要素、層あるいは領域に対する関係を記述するためにここでは用いられる。これらの用語は、図に示された方位に加えて、デバイスの異なる方位に広げることにも出来るということも意図されているものと理解されよう。

【 0 0 3 0 】

本発明の実施形態は、本発明の理想化された実施形態（及び中間構造）の概略的な図面である断面図を参照してここに記述される。図における層や領域の厚さは、明瞭に示すために誇張されている。更に、たとえば製造技術および/または公差の結果として、図示の形からの変形が起こることが予想される。このように、本発明の実施形態は、ここに図示したような領域の特定の形に制限されているものと考えるべきではなく、たとえば、製造過程の結果としての変形を含むべきものである。たとえば、長方形として示されるイオン注入領域は、通常は、注入された領域から非注入領域への段階的な変化ではなく、その端部で注入イオン濃度の丸まった、あるいは曲がった特徴および/または勾配を持っているであろう。同様に、イオン注入によって形成される埋め込み領域は、この埋め込み領域とイオン注入が行われる表面との間の領域に何がしかの注入イオンが存在するであろう。このように、図示した領域は本来、概略的であり、その形はデバイスの領域の実際の形を示そうとしているのではなく、本発明の技術範囲を制限しようとするものでもない。

20

30

【 0 0 3 1 】

本発明のいくつかの実施形態は、層および/または領域の多数キャリア濃度を指している、 n 型または p 型のような伝導型を持つことを特徴とする、半導体の層および/または領域に言及しながら記述される。このように、 n 型材料は、負の電荷をもった電子が平衡時に多数キャリア濃度となり、一方、 p 型材料は、正の電荷をもった正孔が平衡時に多数キャリア濃度となる。或る材料は、他の層または領域に比べてより大きな（「+」）又はより小さな（「-」）多数キャリア濃度であることを示すために、（ n^+ 、 n^- 、 p^+ 、 p^- 、 n^{++} 、 n^{--} 、 p^{++} 、 p^{--} などのように）「+」または「-」を付けて示される。しかしながら、このような記号は、層または領域内の多数または少数キャリアの特定の濃度が存在することを意味するものではない。

40

【 0 0 3 2 】

本発明のいくつかの実施形態によれば、メサ終端半導体デバイス構造は、図2Aと2Bに示されるが、この図面は、それぞれのPIN構造の半分を示している。図2Aを参照すると、いくつかの実施形態によるPINダイオード100Aは、 n^+ 層114上に n ドリフト層112を含む。ドリフト層112は、例えば、2H、4H、6H、3Cおよび/または15Rの多形を有し約 $2 \times 10^{14} \text{ cm}^{-3}$ から約 $1 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を持つ n 型炭化珪素から形成される。 n ドリフト層112の厚さとドーピング濃度は、所望の阻止電圧および/またはオン抵抗を実現するように選ばれる。例えば、デバイスが10kVの阻止電圧を持つためには、 n ドリフト層112は、厚さが約100 μm でドーピング濃度が約 $2 \times 10^{14} \text{ cm}^{-3}$ を有する。 n^+ 層114は、成長基板であってもよく、いく

50

つかの実施形態では、2H、4H、6H、3Cおよび/または15R多形で、軸ずれのない、または軸ずれを持つ炭化珪素のバルク単結晶を含んでもよい。いくつかの実施形態では、nドリフト層112は、4Hまたは6HのSiC基板のバルク単結晶を含んでもよく、n⁺層114は、nドリフト層112上にイオン注入された領域またはエピタキシャル領域を含んでもよい。

【0033】

p型バッファ層122は、第1のメサとしてnドリフト層112上に形成され、p⁺層116は、第2のメサとしてバッファ層122上に形成される。バッファ層122は、nドリフト層112とP-N接合を形成する。バッファ層とp⁺層116とはどちらも、ドリフト層112上にメサを形成している。しかしながら、バッファ層122は、p⁺メサ116の側壁116Aを超えて約10μmの距離wだけ伸びるように形成され、それによってp⁺メサ116の側壁116Aを超えて伸びるp型メサの階段121を区画する。バッファ層122は、約0.2μmから約0.3μmの範囲の厚さを有する。バッファ層122は、エピタキシャル層として形成されてもよいので、バッファ層122の厚さおよびドーピング濃度は、正確に制御できる。バッファ層は、約 $1 \times 10^{16} \text{ cm}^{-3}$ から約 $1 \times 10^{18} \text{ cm}^{-3}$ の範囲のドーピング濃度を有する。

10

【0034】

陽極電極123は、p⁺層116上にあり、陰極電極125は、n⁺層114に接してある。

【0035】

複数のJTE地帯120A、120B、120Cを含む接合終端拡張(JTE)領域120は、nドリフト層112内にあってバッファ層メサ122の近傍に備えられる。JTE地帯120A、120B、120Cは、p型領域であって、バッファ層122とnドリフト層112との間のP-N接合からの距離が外側に行くに従って減少する電荷濃度レベルを持つp型領域である。JTE地帯120A、120B、120Cが3つ示されているが、より多くの、又はより少ない数のJTE地帯を備えてもよい。例えば、いくつかの実施形態では、JTE領域120は、バッファ層122とnドリフト層112との間のP-N接合からの距離に関して単調に減少する電荷濃度レベルを有する15個のJTE地帯を含む。いくつかの実施形態では、第1のJTE地帯120Aは、約 $2 \times 10^{17} \text{ cm}^{-3}$ のドーピング濃度を持ち、ドリフト層112の中へ約0.5μmだけ伸びていて、全電荷密度は約 $1 \times 10^{13} \text{ cm}^{-2}$ である。

20

30

【0036】

更に、p型の埋め込み接合拡張部124は、nドリフト層112内の、バッファ層メサ122によって区画されたメサ階段121の下部に備えられる。埋め込み接合拡張部124は、JTE領域120と接触してもよいし、第1のJTE地帯120Aとおなじドーピング・レベルを有してもよい。埋め込み接合拡張部は、バッファ層メサ122の階段121を通してドーパントをイオン注入し、それ故、p⁺メサ116の側壁116Aと自己整合されるように形成されてもよい。更に、埋め込み接合拡張部124は、n型ドリフト層112内へ第1のJTE地帯120Aよりは短い距離だけ伸びていてもよい。例えば、埋め込み接合拡張部124は、n型ドリフト層112内へ約0.3μm伸び、一方、第1のJTE地帯120Aは、n型ドリフト層112内へ約0.5μm伸びていてもよい。

40

【0037】

バッファ層122によって区画されたメサ階段121と埋め込み接合拡張部124とを備えることによって、p⁺メサ116がバッファ層122と出会うコーナー129Aおよびバッファ層メサ122がドリフト層112と出会うコーナー129Bとは、デバイスが電圧阻止状態にあるときに、従来のメサ終端と比べて高電界に対してより保護される。従って、本発明の実施形態によるデバイスでは、ピーク電界強度が低減し、実効的降服電圧が増加する。更に、オーバー・エッチングが、デバイスにおけるピーク電界の許容できない程度の増加をもたらすことはないので、デバイスの歩留まりは、増加する。

【0038】

50

図 2 B に示すように、 n ドリフト層 1 1 2 は、例えば、エッチング工程制御の困難性のために、バッファ層メサ 1 2 2 の近傍で少しオーバー・エッチングされる。約 3 0 0 0 までのオーバー・エッチングは時々起る。オーバー・エッチングの結果、バッファ層 1 2 2 の下の n ドリフト層 1 1 2 の側壁 1 1 2 A は露出される。しかしながら、側壁の露出部分は、埋め込み接合拡張部 1 2 4 によって占められる領域の中にあり、それ故に、 n ドリフト層は、露出した側壁にまでは伸びない。露出した側壁 1 1 2 A をさらに保護するためには、 p 型不純物が露出された側壁へイオン注入されるような任意選択の側壁イオン注入を行ってもよい。

【0039】

特に炭化珪素をドライ・エッチング技術を用いてエッチングする場合は、エッチング速度はウェーハごとになる。しかしながら、第 1 のメサと第 2 のメサを形成するために、 p 型層 1 2 2、1 1 6 をエッチングするときは、オーバー・エッチングが起こるが、そのようなオーバー・エッチングは、デバイス特性には大きな影響を及ぼすものではなく、それゆえにウェーハ上の使用可能なデバイスの歩留りは増加する。

【0040】

図 3 A から 3 E は、本発明によるいろいろな実施形態によるメサ端部終端技術を用いることができるデバイスの他のタイプを示す。それぞれの場合、デバイスは、ドリフト層と、ドリフト層上にあって階段を形成するバッファ層と、ドリフト層内にあって階段の下埋め込み接合拡張部とを含み、バッファ層と埋め込み接合拡張部とは、ドリフト層の伝導型とは反対の伝導型を有することを特徴とする。図 3 A から 3 E の実施形態に示すように、デバイスのドリフト層は、 p 型または n 型でよく、バッファ層および埋め込み接合は、反対の伝導型（すなわち n 型または p 型）をもつ。

【0041】

例えば、図 3 A を参照すると、いくつかの実施形態による U M O S F E T（U 字型金属—酸化物—半導体電界効果トランジスタ）構造 2 0 0 A は、 n^+ 層 1 1 4 上の n 型ドリフト層 1 1 2 を含む。 p 型バッファ層 1 2 2 は、第 1 のメサとして、 n 型ドリフト層 1 1 2 上に形成され、 p 型ボディー層 1 3 2 と n^+ ソース層 1 3 4 を含む第 2 のメサ 1 3 5 は、バッファ層 1 2 2 上に形成される。バッファ層 1 2 2 は、ドリフト層 1 1 2 上を第 2 のメサ 1 3 5 の第 1 の側壁を通り越して伸びるメサ階段を形成し、埋め込み接合拡張部 1 2 4 は、該階段の下にある。ゲート酸化膜 1 3 8 が、第 2 のメサ 1 3 5 の第 1 の表面とは反対の第 2 の表面上に形成され、ゲート電極 1 3 6 がゲート酸化膜 1 3 8 上に形成される。

【0042】

p 型 J T E 地帯 1 2 0 A、1 2 0 B、1 2 0 C を含む接合終端拡張（J T E）領域 1 2 0 が、 n ドリフト層 1 1 2 の表面に埋め込み接合拡張部 1 2 4 に隣接して形成される。ソースとドレインとのオーム性電極 1 3 3、1 3 1 が、それぞれの n^+ 層 1 3 4、1 1 4 に接して形成される。

【0043】

いくつかの実施形態による n -I G B T（絶縁ゲート・バイポーラ・トランジスタ）構造 2 0 0 B が図 3 B に示される。 n -I G B T 2 0 0 B は、 n 型ドリフト層 1 1 2 が p^+ エミッタ層 1 4 0 に接して形成される点を除いては、図 3 A に示した U M O S F E T 2 0 0 A と同様な構造を持つ。

【0044】

いくつかの実施形態による p -I G B T 構造 2 0 0 C は、図 3 C に示されている。 p -I G B T 構造は、 n^+ エミッタ層 1 4 0' 上に p 型ドリフト層 1 1 2' を含む。 n 型バッファ層 1 2 2' が、第 1 のメサとして p 型ドリフト層 1 1 2' 上に形成され、 n 型層 1 4 2' と p^+ 層 1 4 4' を含む第 2 のメサ 1 4 5' は、バッファ層 1 2 2' 上に形成される。バッファ層 1 2 2' は、ドリフト層 1 1 2' 上を第 2 のメサ 1 4 5' の第 1 の側壁を超えて伸びている階段を形成し、 n 型埋め込み接合拡張部 1 2 4' は、階段の下にある。ゲート酸化膜 1 4 8' が、第 2 のメサ 1 4 5' の第 1 の表面とは反対側の第 2 の表面上に形成され、ゲート電極 1 4 6' は、ゲート酸化膜 1 4 8' 上にある。

【 0 0 4 5 】

接合終端拡張領域 1 2 0' は、埋め込み接合拡張部 1 2 4' の近傍の p - ドリフト層 1 2' の表面に形成される。これらの実施形態では、JTE 領域 1 2 0' は、n 型 JTE 地帯 1 2 0 A'、1 2 0 B'、1 2 0 C' を含む。オーム性電極 1 4 3'、1 4 1' が、それぞれ p⁺層 1 4 4' および n⁺層 1 4 0' に接して形成される。

【 0 0 4 6 】

いくつかの実施形態による n 型 BJT (バイポーラ接合トランジスタ) 2 0 0 D は、図 3 D に示されている。n - BJT 2 0 0 D は、n⁺エミッタ層 1 5 0 上に n 型ドリフト層 1 1 2 を含む。p 型バッファ層 1 2 2 は、第 1 のメサとして n 型ドリフト層 1 1 2 上に形成され、p 型ベース層 1 5 2 と n⁺コレクタ層 1 5 4 を含む第 2 のメサ 1 5 5 が、バッファ層 1 2 2 上に形成される。バッファ層 1 2 2 は、ドリフト層 1 1 2 上に、第 2 のメサ 1 5 5 の第 1 の側壁を超えて伸びる階段を形成する。埋め込み接合拡張部 1 2 4 は、階段の下にある。

10

【 0 0 4 7 】

p 型 JTE 地帯 1 2 0 A、1 2 0 B、1 2 0 C を含む接合終端拡張 (JTE) 領域 1 2 0 は、埋め込み接合拡張部 1 2 4 の近傍の n ドリフト層 1 1 2 の表面に形成される。コレクタとエミッタのオーム性電極 1 3 1、1 3 3 が、それぞれ n⁺層 1 5 0、1 5 4 に接して形成される。

【 0 0 4 8 】

図 3 E は、いくつかの実施形態による n 型ゲート・ターン・オフ (GTO) サイリスタ 2 0 0 E を示す。GTO 2 0 0 E は、n 型ドリフト層 1 1 2 が p⁺陰極層 1 5 0 上に形成されることを除いては、図 3 D に示した n 型 BJT 2 0 0 D と同様の層構造をもつ。

20

【 0 0 4 9 】

図 4 は、シミュレーションの目的のために用いられる、いくつかの実施形態による p - GTO 構造 3 0 0 の例を示す。GTO 構造 3 0 0 は、厚さ 6 0 μm の p 型ドリフト層 3 1 2 を含み、その上に n 型ベース層 3 6 2 がメサとして備えられる。ドリフト層 3 1 2 は、シミュレーション用の正味 p 型ドーピング濃度 $3 \times 10^{14} \text{ cm}^{-3}$ をもち、n⁺層 3 1 4 上に備えられる。シミュレーションでは、個別のバッファ層を区画するのではなく、n 型ベース層 3 6 2 は、部分的にドリフト層 3 1 2 上を伸びる階段部分 3 3 1 を含むとする。p⁺メサ 3 1 6 は、n 型ベース層 3 6 2 上にある。n 型埋め込み接合拡張部 3 2 4 が、ドリフト層 3 1 2 内にあってベース層 3 6 2 の階段部分 3 3 1 の下に形成される。例示のために示された最初の 3 つの p 型 JTE 地帯 3 2 0 A、3 2 0 B、および 3 2 0 C を含む 1 5 個の地帯をもつ接合終端拡張 (JTE) 領域 3 2 0 が、埋め込み接合拡張部 3 2 4 の近傍のドリフト層 3 1 2 の表面に備えられる。第 1 の JTE 地帯 3 2 0 A は、深さが約 0.5 μm で全ドーピング濃度が約 $1 \times 10^{13} \text{ cm}^{-2}$ を有する。陽極と陰極のオーミック電極 3 2 3、3 2 1 が、それぞれ p⁺層 3 1 6 および n⁺層 3 1 4 に接して形成される。

30

【 0 0 5 0 】

ベース層 3 6 2 の階段部分 3 3 1 は、高さ h が 0.2 から 0.3 μm であり、(p⁺メサ 3 1 6 の側面から測った) 横幅 w は 1 0 μm より大きい。ベース層 3 6 2 は、シミュレーション用の正味のドーピング濃度 $1 \times 10^{17} \text{ cm}^{-3}$ を有し、一方、ドリフト層 3 1 2 は、シミュレーション用の正味のドーピング濃度 $2 \times 10^{14} \text{ cm}^{-3}$ を有する。図 4 に d とし示したドリフト領域のオーバー・エッチング量がシミュレーション・パラメータである。

40

【 0 0 5 1 】

図 4 に示された GTO 構造 3 0 0 の動作は、シミュレーションされ、ベース層から伸びている階段部分を含まない標準構造の動作特性と比較された。標準構造内の電界は、逆方向阻止条件下で、いろいろなレベルのオーバー・エッチング量に対してシミュレーションされた。結果は図 5 に示されている。特に、図 5 は、標準構造でオーバー・エッチング量がそれぞれ 0.3, 0.15 および 0 μm の場合を表す曲線 2 0 2、2 0 4 および 2 0 6 を含む。図 5 では、電界が y 軸上に示され、一方、構造を横断する横方向距離が x 軸上

50

に示されている。そこに示されているように、標準デバイス内のピーク電界は、オーバー・エッチング量とともにかなり増加し、オーバー・エッチングなしの場合は約 1.53 MV/cm であるが $0.3 \mu\text{m}$ オーバー・エッチングの場合は約 1.73 MV/cm となる。ピーク電界が 0.1 MV/cm 増大することは、構造の電圧阻止能力が約 $10 \text{ V}/\mu\text{m}$ だけ低下することに対応する。

【0052】

図6は、オーバー・エッチングなしの場合の埋め込み接合拡張部324のいろいろなドーピング・レベルに対するGTO構造300のピーク電界の低減のシミュレーション結果を示す。図6では、電界がy軸上に示され、一方、構造を横断する横方向距離がx軸上に示されている。曲線212は、標準構造における電界を示す。曲線214は、埋め込み接合拡張部324が $3 \times 10^{17} \text{ cm}^{-3}$ のドーピング濃度を持つ場合のGTO構造300の電界を表す。図6に示すように、埋め込み接合拡張部324のドーピング・レベルが、 $1 \times 10^{16} \text{ cm}^{-3}$ から $3 \times 10^{17} \text{ cm}^{-3}$ へ増加すると、ピーク電界は大幅に低下する。特に、埋め込み接合拡張部324のドーピング・レベルが $3 \times 10^{17} \text{ cm}^{-3}$ の時には、デバイスのピーク電界は、約 0.12 MV/cm だけ低減することが示されている。

【0053】

図7は、オーバー・エッチングが $0.15 \mu\text{m}$ である場合の、埋め込み接合拡張部324のいろいろなドーピング・レベルに対するGTO構造300のピーク電界の低減を表すシミュレーション結果を示す。図7では、電界がy軸上に示され、一方、構造を横断する横方向距離がx軸上に示されている。曲線222は、標準構造内の電界を表す。曲線224は、埋め込み接合拡張部324のドーピング濃度が $3 \times 10^{17} \text{ cm}^{-3}$ である場合のGTO構造300内の電界を表す。図7に示すように、オーバー・エッチング量が $0.15 \mu\text{m}$ の時でも、埋め込み接合拡張部324のドーピング・レベルが、 $1 \times 10^{16} \text{ cm}^{-3}$ から $3 \times 10^{17} \text{ cm}^{-3}$ へ増加すると、ピーク電界はかなり低減する。特に、埋め込み接合拡張部324のドーピング・レベルが $3 \times 10^{17} \text{ cm}^{-3}$ の時は、デバイスのピーク電界は、約 0.15 MV/cm だけ低減することが示されている。

【0054】

図8は、オーバー・エッチングが $0.3 \mu\text{m}$ である場合の、埋め込み接合拡張部324のいろいろなドーピング・レベルに対するGTO構造300のピーク電界の低減を表すシミュレーション結果を示す。図8では、電界がy軸上に示され、一方、構造を横断する横方向距離がx軸上に示されている。曲線232は、標準構造内の電界を表す。曲線234は、埋め込み接合拡張部324のドーピング濃度が $3 \times 10^{17} \text{ cm}^{-3}$ である場合のGTO構造300内の電界を表す。図8に示すように、オーバー・エッチング量が $0.3 \mu\text{m}$ の時でも、埋め込み接合拡張部324のドーピング・レベルが、 $1 \times 10^{16} \text{ cm}^{-3}$ から $3 \times 10^{17} \text{ cm}^{-3}$ へ増加すると、ピーク電界はかなり低減する。特に、埋め込み接合拡張部324のドーピング・レベルが $3 \times 10^{17} \text{ cm}^{-3}$ の時は、デバイスのピーク電界は、約 0.18 MV/cm だけ低減することが示されている。

【0055】

図9は、オーバー・エッチングがいろいろなレベルである場合の、埋め込み接合拡張部324のいろいろなドーピング・レベルに対するピーク電界の低減を表すシミュレーション結果を示す。図9では、ピーク電界がy軸上に示され、一方、埋め込み接合拡張部324のドーピング濃度がx軸上に示されている。曲線242は、オーバー・エッチング量が $0.3 \mu\text{m}$ の時のデバイスのピーク電界を表す。曲線244は、オーバー・エッチング量が $0.15 \mu\text{m}$ の時のデバイスのピーク電界を表す。曲線246は、オーバー・エッチング量が $0 \mu\text{m}$ の時のデバイスのピーク電界を表す。どの場合も、埋め込み接合拡張部324のドーピング・レベルが、 $1 \times 10^{16} \text{ cm}^{-3}$ から $3.5 \times 10^{17} \text{ cm}^{-3}$ へ増加すると、デバイスのピーク電界は標準構造に比べてかなり低減することが示されている。

【0056】

本発明の実施形態によるメサ終端構造の形成は、図10A - 10Eに示されている。そこに示されているように、ドリフト層112は、基板114上に形成される。図10A -

10

20

30

40

50

10 E に示した実施形態では、ドリフト層 112 は n 型である。しかしながら、ドリフト層 112 は、いくつかの実施形態では、p 型であってもよく、構造の他の層の伝導型は、それに従って調整される。

【0057】

p 型の、準備段階のバッファ層 122' は、例えば、化学気相堆積法 (CVD) を用いたエピタキシャル成長を用いて、ドリフト層 112 上に形成される。準備段階のバッファ層 122' は、約 $0.2\ \mu\text{m}$ から約 $0.3\ \mu\text{m}$ の厚さを持ち、約 $1 \times 10^{16}\ \text{cm}^{-3}$ から約 $3 \times 10^{17}\ \text{cm}^{-3}$ のドーピング濃度を持つ。準備段階の p⁺層 116' は、準備段階のバッファ層 122' 上に、例えば、化学気相堆積法 (CVD) を用いたエピタキシャル成長を用いて形成される。

10

【0058】

図 10 B を参照すると、第 1 のエッチング・マスク 400 が、準備段階の p⁺層 116' 上に形成され、準備段階の p⁺層 116' は、ドライ・エッチングされて p⁺メサ 116 を形成する。図 10 C を参照すると、第 2 のエッチング・マスク 410 が、p⁺メサ 116 上に形成され、一部分は、準備段階のバッファ層 122' 上に伸びている。準備段階のバッファ層 122' は、次に、ドライ・エッチングされて、ドリフト層 112 を横切って p⁺メサ 116 の側壁を通り越して横方向に伸びるメサ階段部分 121 を含むバッファ層 122 を形成する。

【0059】

準備段階の p⁺層 116' と準備段階のバッファ層 122' とをエッチングするステップは、フッ素ベースのエッチング化学機構を用いる反応性イオン・エッチングのようなドライ・エッチングを用いて行われる。誘導性結合プラズマ (ICP) のような他のドライ・エッチング技術を用いてもよい。エッチングの深さ制御は、エッチング過程でエッチング表面に探針をたてて、エッチング表面に電圧を印加して行われる。印加電圧に応じて探針を通して流れる電流のレベルが、エッチング中の層のドーピング濃度に応じて変化する。

20

【0060】

図 10 E を参照すると、次に、p 型ドーパントが、p⁺メサ 116 の近傍のドリフト層 112 の表面にイオン注入され、メサ階段 121 の下に埋め込み接合拡張部 124 を形成し、また、ドリフト層 112 の表面に接合終端拡張地帯 120 A、120 B、120 C など形成する。いくつかの実施形態によれば、所望のドーピング分布をもつ埋め込み接合拡張部 124 を作る目的で、多段イオン注入を行ってもよい。イオン注入に対して、ドリフト層 112 の異なる領域を選択的に露出させるために、異なるイオン注入マスクを用いてもよい。窒素を p 型ドリフト層にイオン注入して、炭化珪素中に約 $1 \times 10^{17}\ \text{cm}^{-3}$ のドーピング濃度を持ち約 $0.6\ \mu\text{m}$ の深さで広がるドーピング分布をもつ埋め込み接合拡張部を形成するために、例えば、表 1 に示したドーピング計画表を用いてもよい。

30

【0061】

【表 1】

イオン注入工程表

ステップ	注入エネルギー (keV)	注入ドーズ (cm^{-2})
1	40	7×10^{11}
2	100	1×10^{12}
3	200	2.2×10^{12}
4	280	2.6×10^{12}
5	360	4×10^{12}

40

【0062】

50

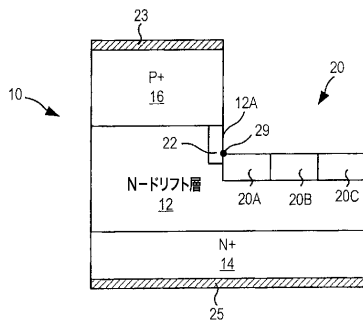
本発明の実施形態は、炭化珪素ベースの電力半導体デバイスに用いられると有利である。しかしながら、本発明は、炭化珪素に限定されるものではなく、その実施形態は、シリコン、SiGe、GaAs、GaNなどに基づく材料系を含む他の材料系に基づく電力半導体デバイスにも適用できる。更には、本発明の実施形態は、ドリフト層およびメサ終端を含み、MOSFET、IGBT、GTO、BJT、MCT（MOS制御サイリスタ）および他のユニポーラおよび/またはバイポーラ・デバイス構造を含む任意の電力半導体構造に用いられると有利である。

【0063】

図面と明細書とでは、本発明の典型的で好適なる実施形態が記述された。専門用語が用いられたが、それらは一般的で、記述の目的でのみ用いられたものであり、限定しようとする目的で用いられたものではない。本発明の範囲は、以下の請求項において述べられている。

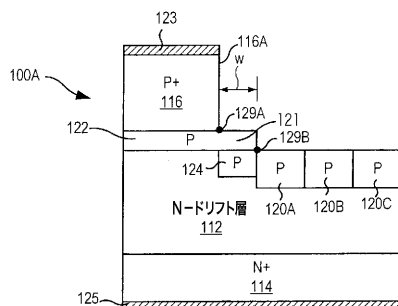
10

【図1】

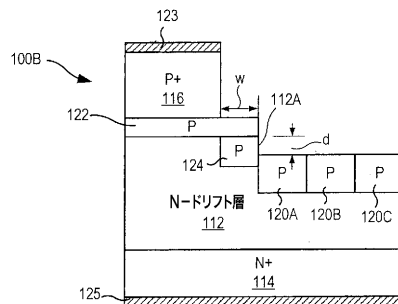


関連技術

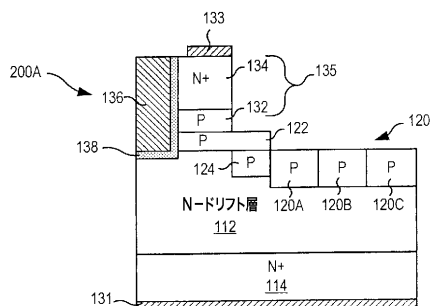
【図2A】



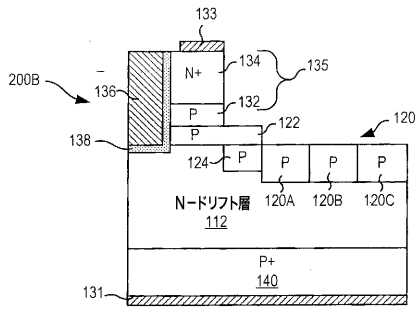
【図2B】



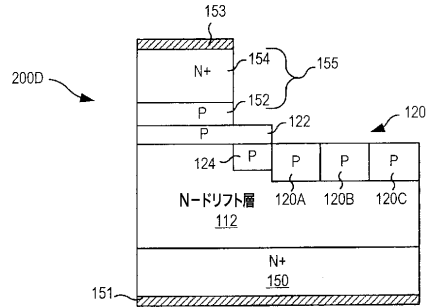
【図3A】



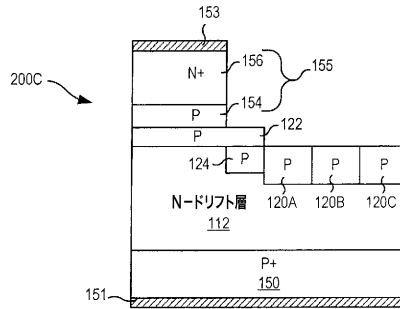
【図 3 B】



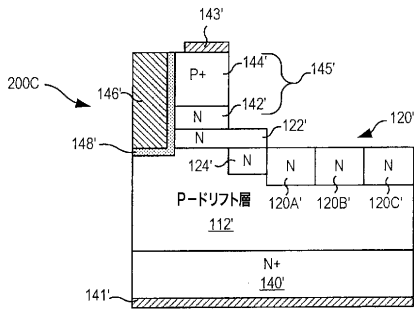
【図 3 D】



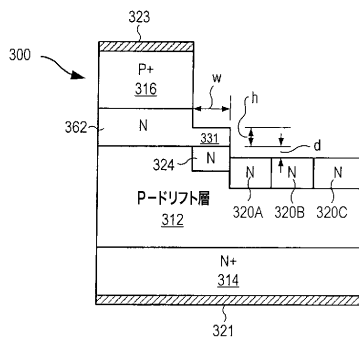
【図 3 E】



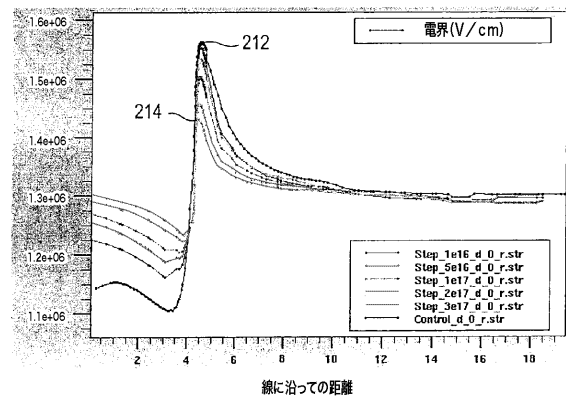
【図 3 C】



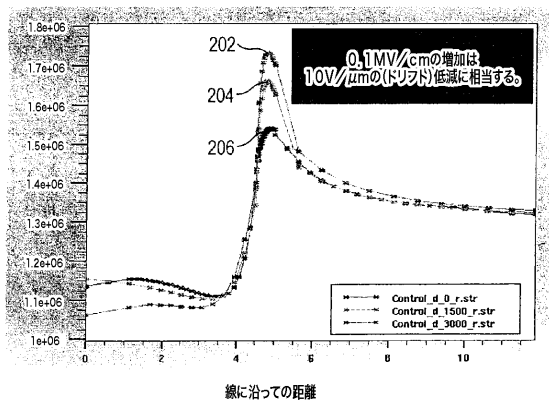
【図 4】



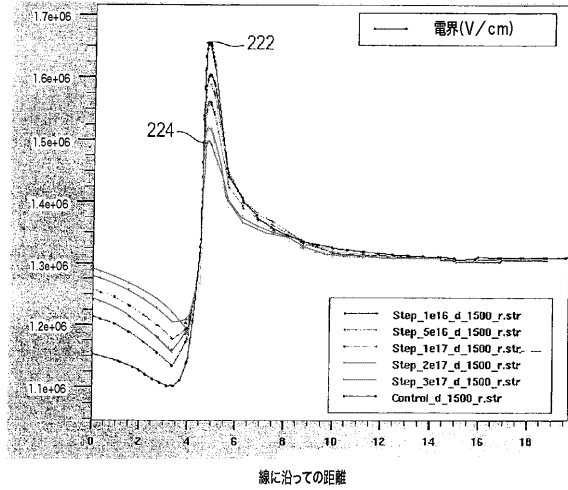
【図 6】



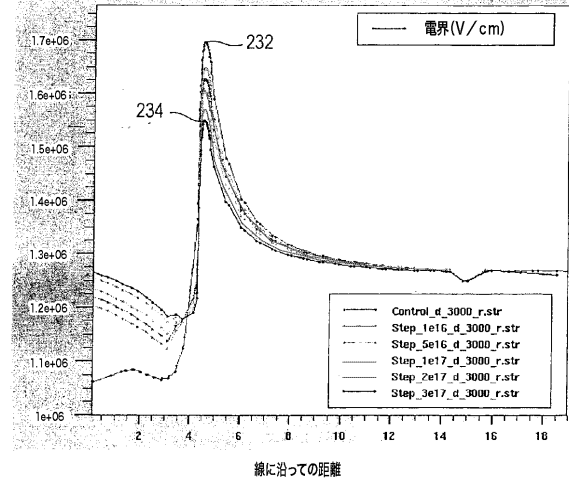
【図 5】



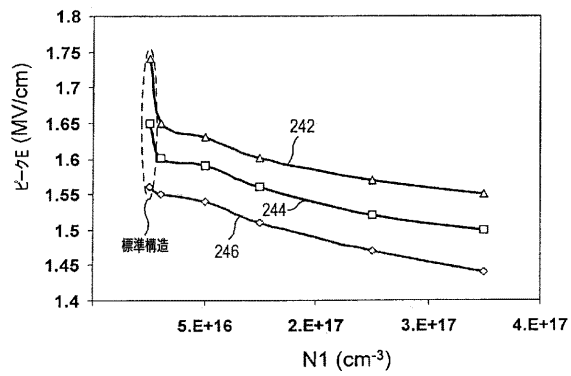
【図 7】



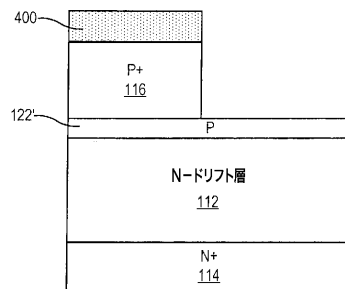
【図 8】



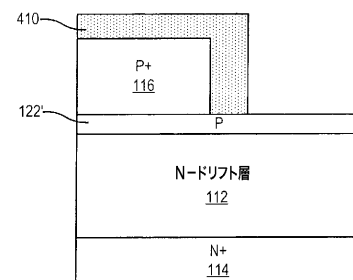
【図 9】



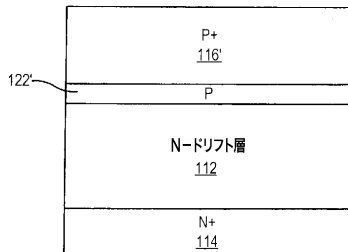
【図 10 B】



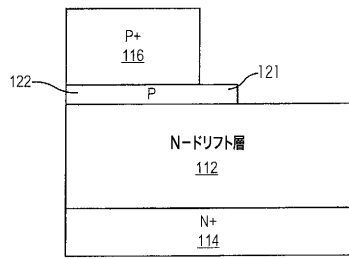
【図 10 C】



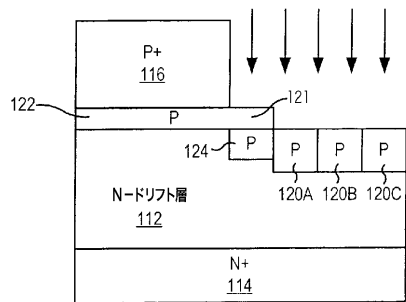
【図 10 A】



【図 10D】



【図 10E】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 29/78	6 5 2 J
<i>H 0 1 L 29/744 (2006.01)</i>	H 0 1 L 29/78	6 5 8 A
<i>H 0 1 L 21/331 (2006.01)</i>	H 0 1 L 29/74	C
<i>H 0 1 L 29/73 (2006.01)</i>	H 0 1 L 29/06	3 0 1 M
	H 0 1 L 29/06	3 0 1 D
	H 0 1 L 29/06	3 0 1 G
	H 0 1 L 29/06	3 0 1 V
	H 0 1 L 29/72	Z

(72)発明者 アナント ケー . アガルワル
 アメリカ合衆国 2 7 5 1 4 ノースカロライナ州 チャペル ヒル ブラック タイ レーン
 2 0 8

F ターム(参考) 5F003 AP06 BA92 BB02 BB90 BC08 BC90 BE01 BE08 BE90 BJ12
 BJ15 BJ17 BJ96 BM01 BN02 BP11 BP21 BP31
 5F005 AA03 AB03 AC02 AF02 BA01 BB01