

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2024-58185
(P2024-58185A)

(43)公開日 令和6年4月25日(2024.4.25)

(51)国際特許分類	F I	テーマコード (参考)
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/146 A	4 M 1 1 8
H 0 4 N 25/70 (2023.01)	H 0 4 N 5/369	5 C 0 2 4
	H 0 1 L 27/146 D	

審査請求 未請求 請求項の数 19 O L (全31頁)	
(21)出願番号 特願2022-165393(P2022-165393)	(71)出願人 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日 令和4年10月14日(2022.10.14)	(74)代理人 100126240 弁理士 阿部 琢磨
	(74)代理人 100223941 弁理士 高橋 佳子
	(74)代理人 100159695 弁理士 中辻 七朗
	(74)代理人 100172476 弁理士 富田 一史
	(74)代理人 100126974 弁理士 大朋 靖尚
	(72)発明者 市野 真也 東京都大田区下丸子3丁目30番2号キ 最終頁に続く

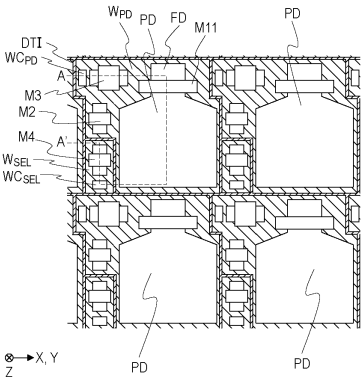
(54)【発明の名称】 光電変換装置、光電変換装置の駆動方法、半導体基板、機器

(57)【要約】

【課題】 単位画素が備える選択トランジスタのウェルの電位を適切に設定することが困難であった。

【解決手段】 出力線と複数の単位画素を有し、複数の単位画素の各々は、入射光に基づいて信号電荷を生成する光電変換素子と、前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、増幅トランジスタと出力線とを接続する選択トランジスタと、ゲートの電位をリセットするリセットトランジスタと、を有し、選択トランジスタが設けられた第1ウェルと、リセットトランジスタが設けられた第2ウェルとを有し、第1ウェルと前記第2ウェルが電氣的に分離されていることを特徴とする光電変換装置である。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

出力線と複数の単位画素を有し、
前記複数の単位画素の各々は、
入射光に基づいて信号電荷を生成する光電変換素子と、
前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、
前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、
前記ゲートの電位をリセットするリセットトランジスタと、
を有し、
前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けられた第 2 ウェルとを有し、
前記第 1 ウェルと前記第 2 ウェルが電氣的に分離されていることを特徴とする光電変換装置。

10

【請求項 2】

前記第 1 ウェルと前記第 2 ウェルは、絶縁体分離部によって電氣的に分離され、前記第 1 ウェルは前記絶縁体分離部に囲われていることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記選択トランジスタは N 型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第 1 ウェルの電位が、前記選択トランジスタがオフ状態にある期間における前記第 1 ウェルの電位よりも高い電位であることを特徴とする請求項 1 に記載の光電変換装置。

20

【請求項 4】

前記オン状態にある期間における前記第 1 ウェルの電位が接地電位であることを特徴とする請求項 3 に記載の光電変換装置。

【請求項 5】

前記選択トランジスタは P 型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第 1 ウェルの電位が、前記選択トランジスタがオフ状態にある期間における前記第 1 ウェルの電位よりも低い電位であることを特徴とする請求項 1 に記載の光電変換装置。

30

【請求項 6】

前記選択トランジスタは N 型のトランジスタであって、前記選択トランジスタがオフ状態にある期間における前記第 1 ウェルの電位が、前記期間における前記第 2 ウェルの電位よりも低いことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 7】

前記期間における前記第 2 ウェルの電位が接地電位であることを特徴とする請求項 6 に記載の光電変換装置。

【請求項 8】

前記選択トランジスタは N 型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第 1 ウェルの電位が、前記期間における前記第 2 ウェルの電位よりも高いことを特徴とする請求項 1 に記載の光電変換装置。

40

【請求項 9】

前記選択トランジスタは P 型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第 1 ウェルの電位が、前記期間における前記第 2 ウェルの電位よりも低いことを特徴とする請求項 1 に記載の光電変換装置。

【請求項 10】

前記ゲートへの容量の接続と非接続を変更するトランジスタが前記第 2 ウェルに設けられていることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 11】

50

前記第 2 ウェルに前記増幅トランジスタが設けられていることを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

前記第 2 ウェルに前記光電変換素子が設けられていることを特徴とする請求項 11 に記載の光電変換装置。

【請求項 13】

第 1 部品と第 2 部品とが貼り合わされた構造を備え、

前記光電変換素子は前記第 1 部品に配されており、

前記第 1 ウェルおよび前記第 2 ウェルが前記第 2 部品に配されていることを特徴とする請求項 1 に記載の光電変換装置。

10

【請求項 14】

前記第 2 部品は半導体基板を備え、

前記第 1 部品と前記第 2 部品は、前記半導体基板の一方の面から、前記一方の面に対向する他方の面まで設けられた絶縁体を貫通する導電体によって電気的に接続されていることを特徴とする請求項 13 に記載の光電変換装置。

【請求項 15】

前記第 2 部品に貼り合わされた第 3 部品をさらに有する構造を備え、

前記第 3 部品は、前記複数の単位画素の各々が出力する、前記信号電荷に基づく画素信号を処理するロジック回路を有することを特徴とする請求項 13 に記載の光電変換装置。

【請求項 16】

20

前記第 2 部品に貼り合わされた第 3 部品をさらに有する構造を備え、

前記第 3 部品は、前記複数の単位画素の各々が出力する、前記信号電荷に基づく画素信号を処理するロジック回路を有することを特徴とする請求項 14 に記載の光電変換装置。

【請求項 17】

請求項 1 乃至 16 のいずれか 1 項に記載の光電変換装置を備える機器であって、

前記光電変換装置に対応した光学装置、

前記光電変換装置を制御する制御装置、

前記光電変換装置から出力された信号を処理する処理装置、

前記光電変換装置で得られた情報を表示する表示装置、

前記光電変換装置で得られた情報を記憶する記憶装置、および、

30

前記光電変換装置で得られた情報に基づいて動作する機械装置、の少なくともいずれかを更に備えることを特徴とする機器。

【請求項 18】

出力線と複数の単位画素を有し、

前記複数の単位画素の各々は、

入射光に基づいて信号電荷を生成する光電変換素子と、

前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、

前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、

前記ゲートの電位をリセットするリセットトランジスタと、

40

を有し、

前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けられた第 2 ウェルとを有する光電変換装置の駆動方法であって、

前記選択トランジスタがオフ状態にある期間に、前記第 2 ウェルの電位を第 1 電位に設定し、

前記選択トランジスタがオン状態にある期間に、前記第 2 ウェルの電位を前記第 1 電位とは異なる第 2 電位に設定することを特徴とする光電変換装置の駆動方法。

【請求項 19】

入射光に基づいて信号電荷を生成する光電変換素子が設けられた部品に積層するための半導体基板であって、

50

出力線と、
前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、
前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、
前記ゲートの電位をリセットするリセットトランジスタと、
を有し、
前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けられた第 2 ウェルとを有し、
前記第 1 ウェルと前記第 2 ウェルが電氣的に分離されていることを特徴とする半導体基板。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、光電変換装置の駆動方法、半導体基板、機器に関する。

【背景技術】

【0002】

複数の単位画素を備える光電変換装置が知られている。この複数の単位画素には、入射光の光電変換することで信号電荷を生成する光電変換部と、信号電荷が入力されるゲートを備える増幅トランジスタとが備わる。単位画素は、ゲートの電位をリセットするリセットトランジスタをさらに備える。増幅トランジスタのゲートとリセットトランジスタは電氣的に接続されている。このように、単位画素の少なくとも一部のトランジスタは、信号電荷が入力される、電氣的に接続された 1 つのノードを形成する。

20

【0003】

特許文献 1 には、増幅トランジスタであるアンプ用トランジスタが設けられたウェルが、他のトランジスタが設けられたウェルとは電氣的に分離された構成が開示されている。信号電荷が入力される、電氣的に接続された 1 つのノードの一部であるリセット用トランジスタは、行選択用トランジスタと同じウェルに設けられた構成となっている。

【先行技術文献】

【特許文献】

【0004】

30

【特許文献 1】特開 2001-160619 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 の構成では、信号電荷が入力される、電氣的に接続された 1 つのノードを形成するトランジスタの 1 つであるリセット用トランジスタと行選択用トランジスタがウェルを共有している。このため、選択トランジスタのウェルの電位を適切に設定することが困難であった。

【課題を解決するための手段】

【0006】

40

本開示の技術の一の側面は、出力線と複数の単位画素を有し、前記複数の単位画素の各々は、入射光に基づいて信号電荷を生成する光電変換素子と、前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、前記ゲートの電位をリセットするリセットトランジスタと、を有し、前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けられた第 2 ウェルとを有し、前記第 1 ウェルと前記第 2 ウェルが電氣的に分離されていることを特徴とする光電変換装置である。

【0007】

別の側面は、出力線と複数の単位画素を有し、前記複数の単位画素の各々は、入射光に基づいて信号電荷を生成する光電変換素子と、前記信号電荷が入力されるゲートを備え、

50

前記ゲートの電位に基づく信号を出力する増幅トランジスタと、前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、前記ゲートの電位をリセットするリセットトランジスタと、を有し、前記選択トランジスタが設けられた第１ウェルと、前記リセットトランジスタが設けられた第２ウェルとを有する光電変換装置の駆動方法であって、前記選択トランジスタがオフ状態にある期間に、前記第２ウェルの電位を第１電位に設定し、前記選択トランジスタがオン状態にある期間に、前記第２ウェルの電位を前記第１電位とは異なる第２電位に設定することを特徴とする光電変換装置の駆動方法である。

【０００８】

別の側面は、入射光に基づいて信号電荷を生成する光電変換素子が設けられた部品に積層するための半導体基板であって、出力線と、前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、前記ゲートの電位をリセットするリセットトランジスタと、を有し、前記選択トランジスタが設けられた第１ウェルと、前記リセットトランジスタが設けられた第２ウェルとを有し、前記第１ウェルと前記第２ウェルが電氣的に分離されていることを特徴とする半導体基板である。

10

【発明の効果】

【０００９】

本開示の技術により、選択トランジスタのウェルの電位を適切に設定することができる。

【図面の簡単な説明】

20

【００１０】

【図１】光電変換装置の全体構成を示す図

【図２】単位画素の等価回路を示す図

【図３】単位画素の平面視の構成を示す図

【図４】単位画素の断面視の構成を示す図

【図５】光電変換装置の駆動タイミングを示す図

【図６】選択トランジスタの各ノードの電位を示す図

【図７】単位画素の等価回路を示す図

【図８】単位画素の平面視の構成を示す図

【図９】単位画素の断面視の構成を示す図

30

【図１０】光電変換装置の全体構成を示す図

【図１１】単位画素の等価回路を示す図

【図１２】光電変換装置の断面視の構成を示す図

【図１３】単位画素の一部の構成の平面視の構成を示す図

【図１４】単位画素の一部の構成の断面視の構成を示す図

【図１５】光電変換装置の駆動タイミングを示す図

【図１６】単位画素の等価回路を示す図

【図１７】単位画素の一部の構成の平面視の構成を示す図

【図１８】単位画素の一部の構成の断面視の構成を示す図

【図１９】単位画素の一部の構成の平面視の構成を示す図

40

【図２０】単位画素の一部の構成の平面視の構成を示す図

【図２１】機器の構成を示す図

【発明を実施するための形態】

【００１１】

以下、図面を参照しながら各実施例を説明する。

【００１２】

以下に述べる各実施形態では、光電変換装置の一例として、撮像装置を中心に説明する。ただし、各実施形態は、撮像装置に限られるものではなく、光電変換装置の他の例にも適用可能である。例えば、測距装置（焦点検出やＴＯＦ（Time Of Flight）を用いた距離測定等の装置）、測光装置（入射光量の測定等の装置）などがある。

50

【 0 0 1 3 】

また、以下に述べる実施形態中に記載される半導体領域、ウェルの導電型や注入されるドーパントは一例であって、実施形態中に記載された導電型、ドーパントのみに限定されるものではない。実施形態中に記載された導電型、ドーパントに対して適宜変更できるし、この変更に伴って、半導体領域、ウェルの電位は適宜変更される。

【 0 0 1 4 】

なお、以下に述べる実施形態に記載されるトランジスタの導電型は一例のものであって、実施例中に記載された導電型のみに限定されるものではない。実施形態中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、トランジスタのゲート、ソース、ドレインの電位は適宜変更される。

10

【 0 0 1 5 】

例えば、スイッチとして動作させるトランジスタであれば、ゲートに供給する電位のローレベルとハイレベルとを、導電型の変更に伴って、実施例中の説明に対し逆転させるようにすればよい。また、以下に述べる実施例中に記載される半導体領域の導電型についても一例のものであって、実施例中に記載された導電型のみに限定されるものではない。実施例中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、半導体領域の電位は適宜変更される。

【 0 0 1 6 】

(第 1 実施形態)

本実施形態による光電変換装置およびその駆動方法について、図 1 ~ 図 9 を用いて説明する。

20

【 0 0 1 7 】

図 1 は、第 1 実施形態における光電変換装置のブロック図である。本実施形態による光電変換装置 1 は、画素領域 1 3、垂直駆動回路 3 3、列信号処理部 3 4、水平駆動回路 3 5、出力回路 3 6、システム制御部 3 7 を有する。

【 0 0 1 8 】

画素領域 1 3 は、複数行および複数列に配列され、受光量に応じた画素信号を出力する複数の単位画素 2 5 を備える。それぞれの単位画素 2 5 は入射光に基づき信号電荷を生成および蓄積する光電変換部を備える。図 1 には、第 R 1 行 ~ 第 R N 行、第 C 1 列 ~ 第 C M 列からなる N 行 M 列の単位画素 2 5 が示されている。

30

【 0 0 1 9 】

画素領域 1 3 の各行には、制御線群 2 3 が水平方向（画素行に沿った方向）に延在している。制御線群 2 3 の各々は、同じ行に並ぶ複数の単位画素 2 5 に接続され、複数の単位画素 2 5 に共通の信号線をなしている。制御線群 2 3 の各々は、複数の信号線を含み得る。制御線群 2 3 は、垂直駆動回路 3 3 に接続されている。

【 0 0 2 0 】

画素領域 1 3 の各列には、出力線 2 4 が垂直方向（画素列に沿った方向）に延在している。出力線 2 4 の各々は、対応する列に並ぶ複数の単位画素 2 5 に接続され、複数の単位画素 2 5 に共通の信号線をなしている。出力線 2 4 の各々は、複数の出力線を含み得る。出力線 2 4 は、列信号処理部 3 4 に接続されている。

40

【 0 0 2 1 】

垂直駆動回路 3 3 は、システム制御部 3 7 から供給される制御信号を受け、単位画素 2 5 を駆動するための制御信号を生成し、制御線群 2 3 を介して単位画素 2 5 に供給する機能を備える制御回路である。単位画素 2 5 から行単位で読み出された信号は、出力線 2 4 を介して列信号処理部 3 4 に入力される。

【 0 0 2 2 】

列信号処理部 3 4 は、複数の出力線 2 4 の 1 つに各々が対応して設けられた複数の列回路（不図示）を備える。この複数の列回路の各々は、処理回路および信号保持回路を備える。処理回路は、対応する出力線 2 4 を介して出力される画素信号に対して所定の信号処理を行う機能を備える。処理回路が行う信号処理としては、例えば、増幅処理、相関二重

50

サンプリング (CDS: Correlated Double Sampling) による補正処理、アナログ・デジタル変換 (AD変換) 処理などが挙げられる。信号保持回路は、処理回路で処理された画素信号を保持するためのメモリを備える。

【0023】

水平駆動回路35は、システム制御部37から供給される制御信号を受け、列信号処理部34から画素信号を読み出すための制御信号を生成し、列信号処理部34に供給する機能を備える制御回路である。水平駆動回路35は、列信号処理部34の各列の列回路を順次走査し、各々に保持されている画素信号を、出力回路36へと出力させる。

【0024】

出力回路36は、外部インターフェース回路を有し、列信号処理部34で処理された信号を光電変換装置1の外部へ出力するための回路である。なお、出力回路36が備える外部インターフェース回路は、特に限定されるものではない。

【0025】

システム制御部37は、垂直駆動回路33、列信号処理部34及び水平駆動回路35の動作を制御する制御信号を生成し、各機能ブロックに供給する制御回路である。

【0026】

図2は、本実施形態における1例目の単位画素25の等価回路図である。図2には、第m行、第n列に配された単位画素25A(m, n)が示されている。ここで、mは1~Mの整数であり、nは1~Nの整数である。画素領域13を構成するその他の単位画素25は、単位画素25A(m, n)と同様の回路構成を含み得る。

【0027】

単位画素25A(m, n)は、光電変換素子PD1、転送トランジスタM11、リセットトランジスタM2、増幅トランジスタM3、選択トランジスタM4を含む。

【0028】

光電変換素子PD1は、例えばフォトダイオードであって、入射光を光電変換し、電荷の蓄積を行なう。単位画素25Aあたりの光電変換素子の数は1つに限定されない。なお、光電変換素子PD1は有機薄膜と無機薄膜の少なくとも一方を含んで構成される光電変換膜であっても良い。

【0029】

転送トランジスタM11は光電変換素子PD1が生成する信号電荷(単に電荷と表記することもある)を、半導体基板に設けられた浮遊拡散領域に転送するために設けられる。浮遊拡散領域と、増幅トランジスタM3のゲートと、リセットトランジスタM2のソース、ドレインの一方とを含んでFDノード(FDはFloating Diffusionの略)が構成される。さらにFDノードは、浮遊拡散領域と増幅トランジスタM3のゲートとを接続する金属配線とを含む。FDノードは、増幅トランジスタM3とリセットトランジスタM2を含んで形成される、電氣的に共通なノードである。転送トランジスタM11のゲートには垂直駆動回路33から第m行の制御線23mを介して制御信号TX1mが与えられる。制御信号TX1mがハイレベルとなると、光電変換素子PD1に入射した光により発生および蓄積された電荷が、転送トランジスタM11を介してFDノードに転送される。FDノードは、転送トランジスタM11のドレイン、リセットトランジスタM2のソースおよび増幅トランジスタM3のゲートのそれぞれの配線および電極から構成される。

【0030】

光電変換素子PD1から転送された電荷は、FDノードに保持される。FDノードに保持された電荷は、電圧に変換される。すなわち、FDノードにおける電圧は、光電変換素子PD1から転送された電荷の量に応じた値となる。

【0031】

リセットトランジスタM2はFDノードの電位を電源電圧VDDに応じた電圧にリセットする。別の見方では、リセットトランジスタM2は、増幅トランジスタM3のゲートの電位を電源電圧VDDに応じた電圧にリセットする。リセットトランジスタM2のゲート

10

20

30

40

50

には、垂直駆動回路 33 から制御線 23m を介して制御信号 RESm が供給される。制御信号 RESm がハイレベルになると、FD ノードの電位は電源電圧 VDD に応じた電圧へとリセットされる。また、制御信号 RESm がハイレベルになるとともに制御信号 TX1m がハイレベルになることで、光電変換素子 PD1 の電圧は電源電圧 VDD に応じた電圧にリセットすることができる。ただし、制御信号 RESm と制御信号 TXm がともにハイレベルになる必要は無い。例えば、制御信号 TXm がハイレベルとなって光電変換素子 PD1 の信号電荷が FD に転送される。その後、制御信号 RESm がハイレベルとなって FD をリセットすることによっても、光電変換素子 PD1 の信号電荷はリセットされる。

【0032】

増幅トランジスタ M3 は、選択トランジスタ M4 を介して第 n 列の出力線 24n に信号を出力する。増幅トランジスタ M3 のドレインには電源電圧 VDD が印加される。増幅トランジスタ M3 のソースは、選択トランジスタ M4 のドレインに接続されている。増幅トランジスタ M3 は、列信号処理部 34 に含まれる電流源とともにソースフォロワを構成する。増幅トランジスタ M3 は、選択トランジスタ M4 が導通状態（オン状態）にある場合、FD ノードの電圧に対応する信号を出力する。これにより、出力線 24 の信号レベルは、増幅トランジスタ M3 が出力する信号レベルとなる。

【0033】

選択トランジスタ M4 は、増幅トランジスタ M3 と出力線 24n との間に設けられる。選択トランジスタ M4 のゲートには、垂直駆動回路 33 から制御線 23m を介して制御信号 SELm が与えられる。制御信号 SELm がハイレベルに遷移すると、選択トランジスタ M4 は増幅トランジスタ M3 からの出力を出力線 24n に出力する。

【0034】

選択トランジスタ M4 は導通状態において、選択トランジスタ M4 のゲートおよびソース間の電圧 (V_{GS}) に依存する抵抗成分（以下、オン抵抗と呼ぶ）を有している。詳細な説明は後述するが、各单位画素 25 の浮遊拡散領域、FD ノードの電位によってオン抵抗が変化し、信号の線形性（リニアリティ）が低下する。

【0035】

選択トランジスタ M4 が配されたウェル W_{SEL} は、制御線 23m と電氣的に接続されている。つまり、制御信号 SELBm によって定まる電位が、選択トランジスタ M4 が配されたウェル W_{SEL} に与えられる。リセットトランジスタ M2 が配されたウェル（第 2 ウェル）は、それぞれ接地電位に接続されている。一方で、選択トランジスタ M4 のウェル W_{SEL} （第 1 ウェル）の電位は、他の画素トランジスタのウェル電位とは独立に制御される。つまり、本実施形態の光電変換装置は、選択トランジスタ M4 のウェル W_{SEL} の電位が、リセットトランジスタ M2 が配されたウェルの電位とは異なる期間を有する。なお、光電変換装置の動作時に、選択トランジスタ M4 のウェル W_{SEL} の電位が常にリセットトランジスタ M2 が配されたウェルの電位とは異なるようにしても良い。また、一部の期間のみにおいて、選択トランジスタ M4 のウェル W_{SEL} の電位が、リセットトランジスタ M2 が配されたウェルの電位とは異なるようにしても良い。なお、リセットトランジスタ M2 が配されたウェルにさらに別の素子が配されていても良く、例えば、光電変換素子 PD、転送トランジスタ M11、増幅トランジスタ M3 がさらに配されていても良い。

【0036】

以下、ウェル W_{SEL} の構造を中心に単位画素 25 の構造を説明する。なお、以下の説明では、リセットトランジスタ M2 が配されたウェルに、光電変換素子 PD、転送トランジスタ M11、増幅トランジスタ M3 がさらに配された例を説明する。

【0037】

図 3 は、本実施形態の単位画素 25 の構造を示した図である。

【0038】

図 3 では、平面視で 2 行 × 2 列の計 4 つの単位画素 25A を示している。ここで示す 4 つの単位画素 25A は、それぞれが図 2 の等価回路に対応するもので、単位画素 25A を

10

20

30

40

50

構成する各要素は共通の構成を成している。図3の横方向がXまたはY方向であり、紙面に対して奥行に向かう方向がZ方向である。本明細書において「平面視」とは、半導体基板のトランジスタのゲートが配されている側の面と平行な面を該平行な面に対して垂直方向から視ることを指す。つまり、「平面視」とは、図3において、半導体基板の第1面に平行な面に対してZ方向又は-Z方向から視ることを指す。

【0039】

単位画素25Aは、平面視で、絶縁体分離部DTIにより少なくとも2つの領域に分離されている。DTIはDeep Trench Isolationの略である。一方の領域に選択トランジスタM4が配され、他方の領域に光電変換素子PDが配される。平面視で、選択トランジスタM4と光電変換素子PDとの間には絶縁体分離部DTIが配されている。絶縁体分離部DTIは、選択トランジスタM4を取り囲むように配されている。絶縁体分離部DTIは、選択トランジスタM4のチャンネルとなる領域を含むウェルWSELと、リセットトランジスタM2が配されたが配されたウェルWPDとを分離する機能をもつ。このウェルWPDには、さらに光電変換素子PDが配されている。図3では、絶縁体分離部DTIは、画素間のPDが配されたウェルWPD間も分離しているが、画素間におけるウェルWPD間は分離されていなくてもよい。

10

【0040】

ウェルWSELは、ウェルWSELのウェルコンタクトWCSELを介して制御信号SELBmと電氣的に接続されている。ウェルWPDは、ウェルWPDに配されたPDウェルコンタクトWCPDを介して接地電圧と電氣的に接続されている。転送トランジスタM11、リセットトランジスタM2、増幅トランジスタM3はそれぞれウェルWPDに配されている。つまり、選択トランジスタM4と、リセットトランジスタM2および増幅トランジスタM3と、の間には、絶縁体分離部DTIが配されている。FDは、光電変換素子PDの信号電荷が転送される浮遊拡散領域であり、FDノードの一部である。

20

【0041】

図4は、図3のA-A'の概略断面図である。半導体基板301において、増幅トランジスタM3のゲートとなる電極M3Gが配されている側の面を第1面S1といい、第1面S1に対向する面を第2面S2という。第1面S1から第2面S2に向かう方向がZ方向である。図4では、第2面S2から光が入射する。第2面S2を裏面と呼び、第1面S1を表面と呼ぶこともある。半導体基板としては、例えば、シリコン基板である。このシリコン基板は、典型的には、その基板が含む元素の中で最も多くを占めるのがSiである基板である。また、別の半導体基板の例として、SOI(Silicon on Insulator)基板を用いることができる。なお、光の入射方向は第1面S1からでもよい。

30

【0042】

FD、および転送トランジスタM11、リセットトランジスタM2、増幅トランジスタM3、選択トランジスタM4等の画素トランジスタのソース、ドレインはN型の不純物が拡散されたN型半導体領域を含む。増幅トランジスタM3のゲートとなる電極M3G、転送トランジスタM11のゲートとなる電極M11G、選択トランジスタM4のゲートとなる電極M4Gは、第1面S1の上に配される。ウェルWSELのウェルコンタクトWCSELと、ウェルWPDのウェルコンタクトWCPDは、半導体基板301内に配される。ウェルコンタクトWCSEL、ウェルコンタクトWCPDのそれぞれはP型の不純物が拡散されたP型半導体領域を含む。ウェルコンタクトWCSELとウェルコンタクトWCPDとは、半導体基板301の第1面S1の一部を構成する。複数の画素の間の領域、および1画素の光電変換素子PDと画素トランジスタ領域との間の領域のそれぞれには、素子分離部305が配される。素子分離部305はSTI構造あるいはLOCOS構造により構成されている。図4に示すように、Z方向において、絶縁体分離部DTIは、半導体基板301を貫通している。つまり、半導体基板301の第1面S1から第2面S2に渡って、Z方向(深さ方向)にて絶縁体分離部DTIが延在している。半導体基板301内において、選択トランジスタM4のチャンネルとなる領域を含むウェルWSELと光電変換素

40

50

子PDを含むウェル W_{PD} とが絶縁体分離部DTIで電氣的に分離されている。

【0043】

本実施形態によれば、半導体基板301を貫通する絶縁体分離部DTIによりウェル W_{SEL} と光電変換素子PDとは電氣的に分離されている。この電氣的な分離は、実質的に絶縁されている状態と見なせる。つまり、ウェル W_{SEL} とウェル W_{PD} とは絶縁体分離部DTIにより電氣的に分離される。この電氣的な分離は、実質的に絶縁されている状態と見なせる。なお、図4の構成では絶縁体分離部DTIによる電氣的な分離を説明したが、別の例として、PN接合による電氣的な分離を用いて、ウェル W_{SEL} とウェル W_{PD} とを電氣的に分離することもできる。よって、ウェルの電氣的な分離方法については、本実施形態で示した分離方法に限定されるものではない。ただし、PN接合による電氣的な分離に比べて、絶縁体分離部DTIによる電氣的な分離は、より強く電氣的に分離することができる点で好適である。

10

【0044】

以上述べたように、選択トランジスタM4のウェル W_{SEL} の電位を他の画素トランジスタのウェルと電氣的に切り離すことによって、制御線23mの制御信号SELBmで定まる電位をウェル W_{SEL} に与えることができる。

【0045】

続いて、本実施形態における光電変換装置の駆動方法について、図3を用いて説明する。

【0046】

図5は、本実施形態における単位画素25の信号読み出しを説明する駆動タイミング図である。図5には、水平走査期間 $k \sim k+2$ (k は整数)において垂直駆動回路33から単位画素25(1, n) ~ 25(2, n)に供給される制御信号RES1 ~ RES2、TX11 ~ TX12、SEL1 ~ SEL2のタイミング図が示されている。なお、各制御信号は、ハイレベルにおいてアクティブ状態であり、ローレベルにおいて非アクティブ状態であるものとする。また、制御信号SELB1 ~ SELB2は、選択トランジスタM4のウェル W_{SEL} に与える電位を示したもので、ハイレベルまたはローレベルの電位がウェルコンタクト WC_{SEL} を介してウェル W_{SEL} に供給される。

20

【0047】

時刻 $t_0 \sim t_1$ の期間において、画素信号の読み出しは行われず。この期間において、制御信号RES1 ~ RES2はハイレベルに維持される。よって、単位画素25(1, n) ~ 25(2, n)の各リセットトランジスタM2のオン状態が維持され、FDノードのリセット動作が継続する。また、制御信号TX11 ~ TX12、SEL1 ~ SEL2、SELB1 ~ SELB2はローレベルに維持される。このとき、選択トランジスタM4のウェル W_{SEL} には、負電位などのローレベルに対応する電位(第1電位)が与えられる。

30

【0048】

時刻 $t_1 \sim t_8$ の期間は、単位画素25(1, n)の読み出し期間に対応し、単位画素25(1, n)に対する光電変換素子PDからの信号の読み出しが実行される。

【0049】

時刻 t_2 において、制御信号SEL1はローレベルからハイレベルに遷移し、単位画素25(1, n)の選択トランジスタM4がオン状態になる。これにより、単位画素25(1, n)が出力線24nと電氣的に接続される。

40

【0050】

同じく時刻 t_2 において、制御信号SELB1はローレベルからハイレベルに遷移し、単位画素25(1, n)の選択トランジスタM4のウェル W_{SEL} には、接地電位などのハイレベルに対応する電位が与えられる。ここで、ハイレベルに対応する電位とは、時刻 $t_0 \sim t_1$ の期間にウェル W_{SEL} に与えられる電位とは相対的に高いレベルの電位(第2電位)である。

【0051】

50

時刻 t_3 において、制御信号 RES_1 はハイレベルからローレベルに遷移し、単位画素 $25(1, n)$ のリセットトランジスタ M_2 がオフ状態になる。これにより、単位画素 $25(1, n)$ 内の FD ノードのリセット状態が解除される。その後、 FD ノードの電位はリセットトランジスタ M_2 のゲートとの間のカップリングによって所定の電位まで下がる。リセットトランジスタ M_2 がオフ状態になった後に静定する FD ノードの電圧が、単位画素 $25(1, n)$ 内の FD ノードのリセット電圧となる。

【0052】

単位画素 $25(1, n)$ の FD ノードのリセット電圧に応じた信号は、増幅トランジスタ M_3 および選択トランジスタ M_4 を介して出力線 $24n$ に出力される。その後、列信号処理部 34 で処理され、単位画素 $25(1, n)$ の N 信号として読み出される。

10

【0053】

時刻 t_4 において、制御信号 TX_{11} はローレベルからハイレベルに遷移し、単位画素 $25(1, n)$ の転送トランジスタ M_{11} がオン状態になる。これにより、所定の露光期間の間に単位画素 $25(1, n)$ の光電変換素子 PD に蓄積された電荷が単位画素 $25(1, n)$ の FD ノードに転送される。

【0054】

単位画素 $25(1, n)$ の光電変換素子 PD から FD ノードに転送された電荷の量に応じた信号は、増幅トランジスタ M_3 および選択トランジスタ M_4 を介して出力線 $24n$ に出力される。出力線 $24n$ の電圧は、光電変換素子 PD で生じた電荷の量に応じて変化する。

20

【0055】

時刻 t_5 において、制御信号 TX_{11} はハイレベルからローレベルに遷移し、単位画素 $25(1, n)$ の転送トランジスタ M_{11} がオフ状態になる。これにより、単位画素 $25(1, n)$ における光電変換素子 PD から FD ノードへの電荷の転送期間が終了する。単位画素 $25(1, n)$ から出力線 $24n$ に出力された信号は、静定後に列信号処理部 34 で処理され、単位画素 $25(1, n)$ 内の光電変換素子 PD の S 信号として読み出される。

【0056】

時刻 t_6 において、制御信号 RES_1 はローレベルからハイレベルに遷移し、単位画素 $25(1, n)$ のリセットトランジスタ M_2 がオン状態になる。これにより、単位画素 $25(1, n)$ 内の FD ノードのリセット動作が開始される。

30

【0057】

時刻 t_7 において、制御信号 SEL_1 はハイレベルからローレベルに遷移し、単位画素 $25(1, n)$ の選択トランジスタ M_4 がオフ状態になる。これにより、単位画素 $25(1, n)$ は出力線 $24n$ と電氣的に非接続となる。

【0058】

同じく時刻 t_7 において、制御信号 $SELB_1$ はハイレベルからローレベルに遷移し、単位画素 $25(1, n)$ の選択トランジスタ M_4 のウェル W_{SEL} の電位がローレベルに対応する電位となる。

【0059】

以上のように、時刻 $t_1 \sim t_8$ の水平走査期間で、単位画素 $25(1, n)$ の信号読み出しを行う。

40

【0060】

続いて、時刻 $t_8 \sim t_{15}$ の水平走査期間は、単位画素 $25(2, n)$ の読み出し期間に対応し、単位画素 $25(2, n)$ に対する光電変換素子 PD からの信号の読み出しが実行される。各制御信号については、前述した 1 水平期間前の駆動と同様であり、以下、順次走査して画素領域全体の読み出しを行う。

【0061】

ここで、選択トランジスタ M_4 のウェル W_{SEL} の電位が信号の線形性に与える影響について、図 6 を参照しながら詳細に説明する。ここでは、選択トランジスタ M_4 の入力に

50

対応するドレインと、選択トランジスタ M 4 の出力に対応するソースについて、入出力信号の線形性に注目して説明を行う。

【 0 0 6 2 】

選択トランジスタ M 4 の出力信号は、概ね以下に示す（式 1）から求めることができる。

【 0 0 6 3 】

【 数 1 】

$$V_S = V_D - R_{ON} \cdot I_{const} \quad (\text{式 1})$$

10

【 0 0 6 4 】

ここで、 V_S は選択トランジスタ M 4 のソースの電位、 V_D は選択トランジスタ M 4 のドレインの電位、 R_{ON} は選択トランジスタ M 4 のオン抵抗、 I_{const} は列信号処理部 3 4 に含まれる電流源により決まる一定電流である。

【 0 0 6 5 】

また、選択トランジスタ M 4 のオン抵抗 R_{ON} は、概ね以下に示す（式 2）から求めることができる。

【 0 0 6 6 】

【 数 2 】

$$R_{ON} = \frac{L}{W \cdot \mu \cdot C_{OX} (V_{GS} - V_{TH})} \quad (\text{式 2})$$

20

【 0 0 6 7 】

ここで、 L は選択トランジスタ M 4 のゲート長、 W は選択トランジスタ M 4 のゲート幅、 μ は選択トランジスタ M 4 のチャネル電子の移動度、 C_{OX} は選択トランジスタ M 4 の単位面積当たりの容量、 V_{TH} は選択トランジスタ M 4 の閾値電圧である。

30

【 0 0 6 8 】

式 1 に示すように、選択トランジスタ M 4 の入出力に対する線形性を保つには、一定電流 I_{const} とオン抵抗 R_{ON} による電圧降下が一定であることが好適である。しかし、式 2 に示すように、オン抵抗 R_{ON} は、選択トランジスタ M 4 のゲート - ソース間電圧 V_{GS} を変数にもつ。そのため、FD ノードの電位変化に応ずる出力線 2 4 n の電位変化によって、選択トランジスタ M 4 のオン抵抗 R_{ON} が変化する。すなわち、光電変換素子 PD で発生する信号量に応じてオン抵抗 R_{ON} が変化することで、線形性の低下が生じる。

【 0 0 6 9 】

ここで、信号読み出し時（オン状態）の線形性低下の抑制には、選択トランジスタ M 4 のオン抵抗 R_{ON} を小さくするために、選択トランジスタ M 4 の閾値電圧 V_{TH} を小さく設計することが好ましい。一方で、選択トランジスタ M 4 は、制御線 2 3 m からローレベルが供給されるオフ状態では、増幅トランジスタ M 3 と出力線 2 4 n を電氣的に切り離す機能をもつ。つまり、オフ状態を考慮すると、リーク電流を抑制するために閾値電圧 V_{TH} を大きく設計することが好ましい。したがって、オフ状態の閾値電圧 V_{TH} を維持したまま、オン状態の閾値電圧 V_{TH} を低減することが、線形性低下の抑制に効果的である。

40

【 0 0 7 0 】

ここで、選択トランジスタ M 4 の閾値電圧 V_{TH} は、概ね以下に示す（式 3）から求めることができる。

【 0 0 7 1 】

50

【数 3】

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F} \right) \quad (\text{式 3})$$

【0072】

V_{BS} は選択トランジスタ M4 のウェル - ソース間電圧、 V_{TH0} は V_{BS} が 0 V 時の選択トランジスタ M4 の閾値電圧、 $2\phi_F$ は表面ポテンシャル、 γ は基板効果パラメータである。

【0073】

式 3 に示すように、選択トランジスタ M4 の閾値電圧 V_{TH} はウェル - ソース間電圧 V_{BS} を変数にもつ。これは、選択トランジスタ M4 のソースの電位が一定の場合、ウェル電位 V_B が閾値電圧 V_{TH} の変数になることと等価である。これを利用して、本実施形態の単位画素 25 は、制御線 23 m からの制御信号 SELBm によって、選択トランジスタ M4 のウェル電位 V_B を制御し、オン状態とオフ状態で実効的な閾値電圧 V_{TH} を変更させている。これにより、選択トランジスタ M4 がオフ状態にあるときには、選択トランジスタ M4 のリーク電流を抑制することができる。また、選択トランジスタ M4 がオン状態にあるときには、線形性の低下が抑制された画素信号の出力を得ることができる。

【0074】

より具体的には、選択トランジスタ M4 のオン状態で与えられるウェル W_{SEL} のウェル電位 V_B を、オフ状態でウェル W_{SEL} に与えられるウェル電位 V_B よりも、相対的に高く設定している。例えば、ハイレベルに接地電位、ローレベルに負電位を設定することができる。この条件では、ウェル W_{SEL} のウェル電位 V_B が接地電位に接続される場合と同等なオフ状態の実効的な閾値電圧 V_{TH} を維持するための、オン状態の閾値電圧 V_{TH} を低減させることが可能になる。また、選択トランジスタ M4 のオン状態で与えられるウェル W_{SEL} のウェル電位 V_B が、ウェル W_{PD} の電位と同じ電位であっても良い。つまり、選択トランジスタ M4 がオフ状態である期間に、ウェル W_{SEL} のウェル電位 V_B は、ウェル電位 W_{PD} より小さい電位となる。また、選択トランジスタ M4 のオン状態で与えられるウェル W_{SEL} のウェル電位 V_B が、ウェル W_{PD} の電位よりも高い電位であ

【0075】

また、本実施形態では、ウェル W_{SEL} のウェル電位 V_B を変化させていた。他の例として、光電変換装置が動作している期間の全体に渡って、ウェル W_{SEL} のウェル電位 V_B をウェル W_{PD} の電位よりも高い電位として、選択トランジスタ M4 が出力する画素信号の線形性の低下を抑制した構成としても良い。

【0076】

つまり、本実施形態によって重要なのは、選択トランジスタ M4 が設けられたウェル W_{SEL} がウェル W_{PD} とは電氣的に分離された構成である。これにより、ウェル W_{SEL} の電位をウェル W_{PD} とは独立して設定することができる。この構成によって、選択トランジスタ M4 のリーク電流の抑制と、線形性の低下が抑制された画素信号の取得の少なくとも一方を得ることができる。

【0077】

また、ここで着目する点は、選択トランジスタ M4 のオン状態のウェル電位 V_B が、オフ状態のウェル電位 V_B よりも相対的に高くなることである。ウェル電位 V_B が高くなると、式 3 に示すように、実効的な閾値電圧 V_{TH} が減少するため、オン抵抗 R_{ON} が小さくなる。よって、式 1 に示すように、オン抵抗の減少は線形性低下を抑制し、高品質な画像を取得することができる。

【0078】

本実施形態では、制御信号 SELBm から供給される選択トランジスタ M4 のウェル電

10

20

30

40

50

位 V_B のハイレベルを接地電位とし、ローレベルを負電位として、それぞれ設定した。しかし、ウェル電位 V_B の電位はこれらの電位に限定されるものではない。他の例として、ウェル電位 V_B を正電位で設定することも可能である。この場合、ウェル - ソース間およびウェル - ドレイン間の電圧が順方向にならない範囲で設定することが好ましい。

【0079】

また、制御信号 SEL_m のローレベルは、制御信号 SEL_{Bm} のローレベルと同等の電位に設定するとよい。より具体的には、制御信号 SEL_{Bm} のローレベルを負電位に設定した場合は、制御信号 SEL_m のローレベルも同一の負電位に設定すると良い。

【0080】

本実施形態の光電変換装置は、選択トランジスタ M_4 のオン抵抗を減少させることができ、高品質な画像を取得することができる。

【0081】

なお、本実施形態では、選択トランジスタ M_4 が N 型のトランジスタであるとして、電位の関係を説明した。前述したように、本明細書に記載の事項は、トランジスタの導電型の変更に伴って、電位は適宜変更される。つまり、選択トランジスタ M_4 を P 型のトランジスタとした場合には、選択トランジスタ M_4 のオン状態で与えられるウェル W_{SEL} のウェル電位 V_B を、オフ状態でウェル W_{SEL} に与えられるウェル電位 V_B よりも、相対的に低く設定するようにすればよい。

【0082】

また、本実施形態では、リセットトランジスタ M_2 が設けられたウェル W_{PD} と、選択トランジスタ M_4 が設けられたウェル W_{SEL} とが電氣的に分離されている構成を例に説明した。この構成によって、選択トランジスタ M_4 のリーク電流の抑制と、線形性の低下が抑制された画素信号の取得の少なくとも一方を得ることができる。

【0083】

また、単位画素 $24n$ の構成は適宜変更できる。たとえば、転送トランジスタ M_{11} と浮遊拡散領域は省略することができる。つまり、光電変換素子 PD の一部領域にコンタクトが設けられ、当該コンタクトと増幅トランジスタ M_3 のゲートとを接続するようにしても良い。この構成においても、ウェル W_{SEL} は、リセットトランジスタが設けられたウェルとは独立して電位を設定することができる。この場合の FD ノードを構成する複数のトランジスタは、リセットトランジスタ M_2 と増幅トランジスタ M_3 であるが、 FD ノードの容量値を切り替えるトランジスタをさらに含んでも良い。

【0084】

(第2実施形態)

本実施形態について、第1実施形態と異なる点を中心に説明する。

【0085】

図7は、本実施形態における2例目の単位画素25の等価回路図である。図7には、第 m 行、第 n 列に配された単位画素25 $B(m, n)$ が示されている。単位画素25 B は、単位画素25 A に対し、増幅トランジスタ M_3 が配されたウェル W_{AMP} が、ウェル W_{SEL} およびウェル W_{PD} と電氣的に分離され、増幅トランジスタ M_3 のソースと電氣的に接続されている。

【0086】

図8は、図7の等価回路図に対応した単位画素25 B を含むレイアウトであり、平面視で2行×2列の計4つの単位画素25 B を示している。

【0087】

単位画素25 B は、平面視で、絶縁体分離部 DTI により少なくとも3つの領域に分離されている点が第1実施形態と異なる。第1の領域には選択トランジスタ M_4 が配され、第2の領域には光電変換素子 PD が配され、第3の領域には増幅トランジスタ M_3 が配される。絶縁体分離部 DTI は、選択トランジスタ M_4 と増幅トランジスタ M_3 をそれぞれ取り囲むように配されている。絶縁体分離部 DTI は、選択トランジスタ M_4 のチャンネルとなる領域を含むウェル W_{SEL} と、光電変換素子 PD が配されたウェル W_{PD} と、増幅

10

20

30

40

50

トランジスタM3のチャネルとなる領域を含むウェル W_{AMP} とを分離する機能をもつ。

【0088】

ウェル W_{AMP} は、ウェル W_{AMP} に配されたウェルコンタクト WC_{AMP} を介して増幅トランジスタM3のソースと電氣的に接続されている。転送トランジスタM11、リセットトランジスタM2はそれぞれウェル W_{PD} に配されている。つまり、選択トランジスタM4と、リセットトランジスタM2と、増幅トランジスタM3との間には、それぞれ、絶縁体分離部DTIが配されている。

【0089】

図9は、図8のB-B'の概略断面図である。単位画素25Bは、単位画素25Aに対し、選択トランジスタM3のウェル W_{AMP} とPDウェル W_{PD} を分離する絶縁体分離部DTIが追加されている。この絶縁体分離部DTIは、半導体基板301を貫通する構成になっている。ウェル W_{AMP} のウェルコンタクト WC_{AMP} は、半導体基板301内に配され、P型の不純物が拡散されたP型半導体領域により構成される。ウェルコンタクト WC_{AMP} は、半導体基板301の第1面S1の一部を構成する。

【0090】

単位画素25Bでは、ウェル W_{AMP} を、ウェル W_{SEL} およびウェル W_{PD} と電氣的に分離する。また、増幅トランジスタM3のソースとウェル W_{AMP} が電氣的に接続されているため、増幅トランジスタのウェル-ソース間電圧 V_{BS} は0Vで実質的に固定される。そのため、基板バイアス効果による増幅トランジスタM3の閾値電圧 V_{TH} を実質的に一定にすることができる。これにより、増幅トランジスタM3のウェル電位 V_B が接地電位に接続されている場合と比較して、画素信号の線形線が非線形になりにくくなる。

【0091】

以上の説明の通り、単位画素25Bでは、選択トランジスタM4による線形性低下の抑制に加え、増幅トランジスタM3の基板バイアス効果による信号の線形性の低下をさらに抑制することができる。

【0092】

上述の通り、本実施形態によれば、選択トランジスタM4のウェル W_{SEL} をPDが配されたウェル W_{PD} と分離して、ウェル W_{SEL} の電位を選択トランジスタのオン状態とオフ状態で制御することで、信号の線形性の低下をさらに抑制することができる。

【0093】

(第3実施形態)

本実施形態による光電変換装置およびその駆動方法について、図10~図20を用いて説明する。図10は、本実施形態における光電変換装置のブロック図である。

【0094】

図10に示すように、光電変換装置2は、第1部品10、第2部品20、及び第3部品30の3つの部品を備えている。光電変換装置2は、これら3つの部品を貼り合わせて構成された積層型の光電変換装置である。また、第1部品10、第2部品20、及び第3部品30は、この順に積層されている。

【0095】

第1部品10は、光電変換を行う複数のセンサ部12が設けられた第1半導体基板11を有する。複数のセンサ部12は、第1部品10における画素領域13内に複数行および複数列に設けられている。複数のセンサ部12の各々は、光電変換素子PDと転送トランジスタM11を含む。複数のセンサ部12は、入射光の光量に応じた信号電荷を出力する。また、第1部品10は、第1半導体基板11から見て第2半導体基板21の側に設けられた絶縁膜などの各種の膜を含む。

【0096】

第2部品20は、センサ部12から出力された電荷に基づく画素信号を出力する読み出し回路22が設けられた第2半導体基板21を有する。読み出し回路22は画素トランジスタを含む。また、第2部品20は水平方向に延在する複数の制御線23と、垂直方向に延在する複数の出力線24とを有している。制御線23は、垂直駆動回路33に接続され

10

20

30

40

50

ている。出力線 24 の各々は、垂直方向に並ぶ読み出し回路 22 に接続され、これら読み出し回路 22 に共通の信号線をなしている。出力線 24 は、列信号処理部 34 に接続されている。また、第 2 部品 20 は、第 2 半導体基板 21 から見て、第 1 半導体基板 11 の側と、第 3 半導体基板 31 の側の少なくとも一方に設けられた絶縁膜などの各種の膜を含む。

【0097】

第 3 部品 30 は、画素信号を処理するロジック回路 32 が設けられた第 3 半導体基板 31 を有する。ロジック回路 32 は、例えば、垂直駆動回路 33、列信号処理部 34、水平駆動回路 35、出力回路 36、及びシステム制御部 37 を有している。また、第 3 部品 30 は、第 3 半導体基板 31 から見て、第 2 半導体基板 21 の側に設けられた絶縁膜などの

10

【0098】

第 1 部品 10 と第 2 部品 20 は、互いが備える絶縁膜同士を貼り合わせて積層される。また、第 2 部品 20 と第 3 部品 30 もまた、互いが備える絶縁膜同士を貼り合わせて積層される。

【0099】

以上より、本実施形態では、図 10 で説明したような 3 つの部品が積層された構成を備える。また、本実施形態では、単位画素が含む構成のうち、光電変換素子 PD は第 1 半導体基板 11 に設けられ、転送トランジスタを除く画素トランジスタが第 2 半導体基板 21 に設けられる。これにより、画素トランジスタを配置するスペースを確保しやすくなり、画素ピッチをさらに縮小させることができる。よって、微細化に適した光電変換装置を実現できる。

20

【0100】

図 11 は、本実施形態における 1 例目の単位画素 25 の等価回路図である。図 11 には、第 m 行、第 n 列に配された単位画素 25 C (m, n) が示されている。単位画素 25 C は、等価回路図上では、単位画素 25 A に対し、4 つのフォトダイオード PD1 ~ PD4 の信号を、それぞれの PD に対応する転送トランジスタ M11 ~ M14 を介して FD1 ~ FD4 に転送し、共通の読み出し回路 22 で読み出す構成となる。図 11 では、4 つの PD の信号を 1 つの読み出し回路 22 で読み出す構成を取っているが、1 つの読み出し回路 22 に接続される光電変換素子 PD の数は任意の数に変更可能である。

30

【0101】

また、図 11 では、リセットトランジスタ M2 のソースと FD ノードとの間に、FD 容量切り替えトランジスタ M5 を配置している。FD 容量切り替えトランジスタ M5 のゲートには、垂直駆動回路 33 から制御信号 FD Gm が供給される。FD 容量切り替えトランジスタ M5 をオン/オフ切り替えることで、FD 容量の容量値を可変にし、変換効率を切り替えることができる。つまり、FD 容量切り替えトランジスタ M5 は、増幅トランジスタ M3 のゲートへの容量の接続、非接続を切り替えるトランジスタである。本実施形態では、この容量は、FD 容量切り替えトランジスタ M5 自身が備える容量としている。この例に限定されるものではなく、例えば、リセットトランジスタ M2 と FD 容量切り替えトランジスタ M5 との間の電氣的経路に、容量素子を設けても良い。この容量素子は、MIM 容量、MOM 容量、MOS 容量、MIS 容量等、容量を備えるものであればよい。ここで、MIM は Metal Insulator Metal の略であり、絶縁層が複数の金属層（ポリシリコンの場合を含む）で挟まれた構造である。MOM は Metal Oxide Metal の略であり、シリコン酸化膜などの酸化膜（酸窒化膜の場合も含む）が複数の金属層（ポリシリコンの場合を含む）に挟まれた構造である。MOS は Metal Oxide Silicon の略であり、シリコン酸化膜などの酸化膜（酸窒化膜の場合も含む）がシリコン基板内の半導体層と金属層（ポリシリコンの場合を含む）に挟まれた構造である。MIS は Metal Insulator Silicon の略であり、絶縁膜がシリコン基板内の半導体層と金属層（ポリシリコンの場合を含む）に挟まれた構造である。

40

50

【 0 1 0 2 】

図 1 2 は本実施形態の光電変換装置の断面図である。この断面図は、第 1 部品 1 0、第 2 部品 2 0、第 3 部品 3 0 において、光電変換素子 P D、転送トランジスタ M 1 1 のゲートを通る線の断面を示している。光電変換素子 P D は、N 型の半導体領域 1 0 1 を含んで構成されている。図 1 2 の断面図では、4 つのセンサ部 1 2 のうち、1 つの断面に現れる 2 つのセンサ部 1 2 を示している。

【 0 1 0 3 】

転送トランジスタ M 1 1 のゲートは、光電変換素子 P D と F D の領域である半導体領域 1 2 1 との間の導通を制御する。半導体領域 1 2 1 は N 型の半導体領域である。画素分離部 2 0 1 は、複数の半導体領域 1 0 1 の間に 1 2 の間に設けられており、複数の半導体領域 1 0 1 を電氣的に分離している。画素分離部 2 0 1 は、シリコン酸化物等の絶縁部を含んで構成されていても良いし、ポテンシャル障壁を形成する半導体領域であっても良い。典型的には、光電変換素子 P D が蓄積する信号電荷とは反対の極性の電荷を主たるキャリアとする半導体領域である。画素分離部 2 0 1 と半導体領域 1 0 1 との間には画素分離層 2 1 1 が設けられている。画素分離層 2 1 1 は、特に画素分離部 2 0 1 が絶縁部で設けられている場合、暗電流を低減する役割を持つ。F D である半導体領域 1 2 1 と増幅トランジスタ M 3 のゲート M 3 G は導電体 2 0 5 を介して接続される。導電体 2 0 5 はタングステン、銅などの金属を主に含んで構成される。導電体 2 0 5 は、半導体基板 2 1 を分離する絶縁体 2 5 1 を貫通して形成されている。絶縁体 2 5 1 は、複数の読み出し回路 2 2 を互いに電氣的に分離する。また、絶縁体 2 5 1 は半導体基板 2 1 の一方の面である第 3 面 F 3 から、第 3 面 F 3 に対向する他方の面である第 4 面 F 4 まで貫通して設けられている。導電体 2 0 5 は、この絶縁体 2 5 1 の内部を貫通する貫通電極である。

【 0 1 0 4 】

半導体基板 1 1 は入射面側の第 1 面 F 1 と、第 1 面に対向する第 2 面 F 2 を備える。半導体領域 2 2 1 は半導体領域 1 0 1 の第 1 面 F 1 の側（入射面側）の領域に設けられた P 型の半導体領域である。固定電荷膜 2 3 1 は半導体基板 1 4 の第 1 面 F 1 の上に設けられている。半導体領域 2 2 1、固定電荷膜 2 3 1 により、半導体領域 1 0 1 に入る暗電流を低減している。

【 0 1 0 5 】

マイクロレンズ M L は、半導体領域 1 0 1 に光を導く。マイクロレンズ M L と固定電荷膜 2 3 1 との間には平坦化層 2 4 1 が設けられている。なお、複数のセンサ部 1 2 の各々にさらにカラーフィルタを設けて色分離を行うようにしても良い。

【 0 1 0 6 】

第 1 部品 1 0、第 2 部品 2 0、第 3 部品 3 0 は積層されている。第 2 部品 2 0 は、第 1 部品 1 0 と第 3 部品 3 0 との間に設けられている。第 3 部品 3 0 の半導体基板 3 1 には、トランジスタ 3 0 1 が設けられている。接続部 3 1 1 を介して、第 2 部品 2 0 と第 3 部品 3 0 は電氣的に接続されている。接続部 3 1 1 は金属で形成される。典型的には接続部 3 1 1 は銅を主に含む。また、接続部 3 1 1 は銅の拡散を抑制するためのバリアメタル（チタン、ニッケルなど）をさらに含んで形成される。

【 0 1 0 7 】

続いて、本実施形態における、各画素の浮遊拡散部の電位に応じて選択トランジスタ M 4 のオン抵抗が変化することで生じ得る信号の線形性の低下を抑制し得る光電変換装置の駆動方法について、図 1 6 を用いて説明する。

【 0 1 0 8 】

図 1 3 は、図 1 1 の等価回路図に対応した単位画素 2 5 C を含むレイアウトであり、平面視で 1 行 × 2 列の計 2 つの単位画素 2 5 C を示している。ここで示す 2 つの単位画素 2 5 C は、それぞれが図 1 1 の等価回路に対応するもので、単位画素 2 5 C を構成する各要素は共通の構成を成している。図 1 3 の上側の図は、図 1 0 の第 1 部品 1 0 の平面視によるレイアウトである。図 1 3 の下側の図は、図 1 0 の第 2 部品 2 0 の平面視によるレイアウトである。複数の貫通電極 4 7、複数の貫通電極 4 8 および複数の貫通電極 5 4 を介し

10

20

30

40

50

て、第 1 部品 10 と第 2 部品 20 は電氣的に接続されている。図 13 に示した貫通電極 54 は、図 12 に示した導電体 205 の一部である。

【0109】

図 13 に示すように、第 2 部品 20 は、平面視で、第 2 半導体基板 21 と、貫通電極 54 等を含む絶縁層 53 の領域で構成される。半導体基板 21 の領域には、読み出し回路 22 に含まれる画素トランジスタが配される。

【0110】

増幅トランジスタ M3 は、平面視で右側に隣接する読み出し回路 22 に配されるリセットトランジスタ M2 および FD 切り替えトランジスタ M5 と共通のウェル上に配される。また、絶縁体分離部 DTI は、選択トランジスタ M4 を取り囲むように配されている。そのため、選択トランジスタ M4 のウェル WSEL は、他の画素トランジスタが含まれるウェル WAMP とは電氣的に分離されている。

10

【0111】

図 14 は、図 13 の C - C' の概略断面図である。絶縁体分離部 DTI によって、選択トランジスタ M4 が配される WSEL と、増幅トランジスタ M3 等が配されるウェル WAMP が電氣的に分離されている。

【0112】

図 16 は、本実施形態における 2 例目の単位画素 25 の等価回路図である。図 16 には、第 m 行、第 n 列に配された単位画素 25 D (m, n) が示されている。単位画素 25 D は、単位画素 25 C に対し、増幅トランジスタ M3 が配されたウェル WAMP が、ウェル WSEL およびウェル WRES と電氣的に分離され、増幅トランジスタ M3 のソースと電氣的に接続されている。

20

【0113】

図 16 は、本実施形態における単位画素 25 の信号読み出しを説明する駆動タイミング図である。図 16 では、水平走査期間 $k \sim k + 8$ (k は整数) において垂直駆動回路 33 から単位画素 25 (1, n) ~ 25 (2, n) に供給される制御信号 RES1 ~ RES2 を示している。さらに、図 16 では、垂直駆動回路 33 から単位画素 25 (1, n) ~ 25 (2, n) に供給される制御信号 TX11 ~ TX42、SEL1 ~ SEL2、制御信号 SELB1 ~ SELB2 を示している。

【0114】

時刻 $t_{21} \sim t_{43}$ の期間は、単位画素 25 (1, n) の読み出し期間に対応し、単位画素 25 (1, n) に対する光電変換素子 PD1 ~ PD4 からの信号の読み出しが実行される。各水平走査期間でそれぞれ 1 つの PD の信号を読み出し、4 水平走査期間をかけて 4 つの PD の信号の読み出しを行う。時刻 $t_{22} \sim t_{42}$ の期間は、単位画素 25 (1, n) を含む行の単位画素 25 が選択される期間であり、SEL1 および SELB1 がハイレベルに固定される。

30

【0115】

続いて、時刻 $t_{43} \sim t_{65}$ の期間は、単位画素 25 (2, n) の読み出し期間に対応し、単位画素 25 (2, n) に対する光電変換素子 PD1 ~ PD4 からの信号の読み出しが実行される。時刻 $t_{44} \sim t_{64}$ の期間は、単位画素 25 (2, n) を含む行の単位画素 25 が選択される期間であり、SEL2 および SELB2 がハイレベルに固定される。

40

【0116】

ここで、本実施形態においても、選択トランジスタ M4 のオン状態のタイミングで、制御信号 SELBm によって、選択トランジスタ M4 のウェル WSEL にハイレベルの電位が与えられる。これにより、選択トランジスタ M4 のオン状態のウェル電位 V_B が、オフ状態のウェル電位 V_B よりも相対的に高くなる。ウェル電位 V_B が高くなると、実効的な閾値電圧 V_{TH} が減少するため、選択トランジスタ M4 のオン抵抗 RON が小さくなる。選択トランジスタ M4 のオン抵抗の減少は線形性低下を抑制し、高品質な画像を取得することが可能になる。

【0117】

50

図 17 は、図 16 の等価回路図に対応した単位画素 25D を含むレイアウトであり、平面視で 1 行 × 2 列の計 2 つの単位画素 25D を示している。図 17 の上側の図は、図 10 の第 1 部品 10 の平面視によるレイアウトである。図 17 の下側の図は、図 10 の第 2 部品 20 の平面視によるレイアウトである。

【0118】

単位画素 25D は、単位画素 25C のレイアウトに対し、増幅トランジスタ M3 も絶縁体分離部 DTI によって取り囲まれている。これにより、ウェル WSEL と、ウェル WAMP と、ウェル WRES とがそれぞれ電氣的に分離される。なお、ウェル WSEL は選択トランジスタ M4 のチャネルとなる領域を含む領域である。また、ウェル WAMP は増幅トランジスタ M3 のチャネルとなる領域を含む領域である。また、ウェル WRES はリセットトランジスタ M2 および FD 容量切り替えトランジスタ M5 のチャネルとなる領域を含む領域である。

10

【0119】

図 18 は、図 17 の D - D' の概略断面図である。絶縁体分離部 DTI によって、選択トランジスタ M4 が配される WSEL と、増幅トランジスタ M3 等が配されるウェル WAMP と、リセットトランジスタ M2 および FD 容量切り替えトランジスタ M5 が配されるウェル WRES が電氣的に分離されている。

【0120】

単位画素 25D では、ウェル WAMP を、ウェル WSEL およびウェル WRES と物理的に分離し、増幅トランジスタ M3 のソースとウェル WAMP を電氣的に接続しているため、増幅トランジスタのウェル - ソース間電圧 V_{BS} は 0V で固定される。そのため、基板バイアス効果による増幅トランジスタ M3 の閾値電圧 V_{TH} を一定にすることができ、ウェル電位 V_B が接地電位に接続されている場合と比較して、信号の線形線が非線形とならない。

20

【0121】

以上の説明の通り、単位画素 25D では、選択トランジスタ M4 による線形性の低下の抑制に加え、増幅トランジスタ M3 の基板バイアス効果による信号の線形性の低下を抑制することができる。

【0122】

上述の通り、本実施形態によれば、選択トランジスタ M4 のウェル WSEL を他の画素トランジスタが配されるウェルと電氣的に分離して、ウェル WSEL の電位を選択トランジスタのオン状態とオフ状態で制御する。これにより、単位画素が出力する信号の線形性の低下を抑制することができる。また、選択トランジスタのリーク電流を低減することができる。

30

【0123】

図 19 は、図 11 の等価回路図に対応した単位画素 25C を含む、第 2 部品 20 のレイアウトであり、平面視で 3 行 × 3 列の計 9 つの単位画素 25C を示している。

【0124】

図 19 に示すように、読み出し回路 22 に配される画素トランジスタは、水平方向および垂直方向で隣接する同一電位のウェルを共有するレイアウト構成を成している。より具体的には、選択トランジスタ M4 のウェル WSEL と増幅トランジスタ M3 のウェル WAMP が、隣接する 2 行 × 2 列でそれぞれ共有されている。また、リセットトランジスタ M2 と FD 容量切り替えトランジスタ M5 は、垂直方向に隣接する読み出し回路 22 の間で、ウェル WRES を共有している。

40

【0125】

このように、水平方向および垂直方向で隣接する同電位のウェルを共有することで、ウェル上に配されるウェルコンタクトの数を減少させることができ、レイアウト効率を向上させることができる。より具体的には、共有する 4 つの増幅トランジスタ M3 のウェル WAMP および共有する 4 つの選択トランジスタ M4 のウェル WSEL に対し、ウェルコンタクト WCAMP および WSEL をそれぞれ 1 つずつ配置している。また、ウェルを共

50

有することで、それぞれのウェル間の電位ばらつきを抑制することができ、レイアウト効率と電位ばらつきの抑制に効果的なレイアウトである。

【0126】

図20は、図16の等価回路図に対応した単位画素25Dを含む、第2部品20のレイアウトであり、平面視で3行×3列の計9つの単位画素25Dを示している。

【0127】

図20に示すレイアウト構成でも、図19で示したレイアウト構成と同様に、水平方向および垂直方向に隣接する同電位のウェルを共有することで、レイアウト効率と電位ばらつきの抑制に効果的なレイアウトを実現することができる。

【0128】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0129】

(第4実施形態)

本実施形態は、第1～第3実施形態のいずれにも適用可能である。

【0130】

図21(a)は本実施形態の光電変換装置930を備えた機器9191を説明する模式図である。光電変換装置930は、第1～第3実施形態で説明した光電変換装置のいずれか、あるいは複数の実施形態を組み合わせた光電変換装置とすることができる。光電変換装置930を備える機器9191について詳細に説明する。光電変換装置930は、上述のように、半導体層10を有する半導体デバイス910のほかに、半導体デバイス910を収容するパッケージ920を含むことができる。パッケージ920は、半導体デバイス910が固定された基体と、半導体デバイス910に対向するガラスなどの蓋体と、を含むことができる。パッケージ920は、さらに、基体に設けられた端子と半導体デバイス910に設けられた端子とを接続するボンディングワイヤやパンプなどの接合部材を含むことができる。

【0131】

機器9191は、光学装置940、制御装置950、処理装置960、表示装置970、記憶装置980、機械装置990の少なくともいずれかを備えることができる。光学装置940は、光電変換装置930に対応する。光学装置940は、例えばレンズやシャッター、ミラーである。制御装置950は、光電変換装置930を制御する。制御装置950は、例えばASICなどの光電変換装置である。

【0132】

処理装置960は、光電変換装置930から出力された信号を処理する。処理装置960は、AFE(アナログフロントエンド)あるいはDFE(デジタルフロントエンド)を構成するための、CPUやASICなどの半導体装置である。表示装置970は、光電変換装置930で得られた情報(画像)を表示する、EL表示装置や液晶表示装置である。記憶装置980は、光電変換装置930で得られた情報(画像)を記憶する、磁気デバイスや半導体デバイスである。記憶装置980は、SRAMやDRAMなどの揮発性メモリ、あるいは、フラッシュメモリやハードディスクドライブなどの不揮発性メモリである。

【0133】

機械装置990は、モーターやエンジンなどの可動部あるいは推進部を有する。機器9191では、光電変換装置930から出力された信号を表示装置970に表示したり、機器9191が備える通信装置(不図示)によって外部に送信したりする。そのために、機器9191は、光電変換装置930が有する記憶回路や演算回路とは別に、記憶装置980や処理装置960をさらに備えることが好ましい。機械装置990は、光電変換装置930から出力された信号に基づいて制御されてもよい。

【0134】

10

20

30

40

50

また、機器 9 1 9 1 は、撮影機能を有する情報端末（例えばスマートフォンやウェアラブル端末）やカメラ（例えばレンズ交換式カメラ、コンパクトカメラ、ビデオカメラ、監視カメラ）などの電子機器に適する。カメラにおける機械装置 9 9 0 はズーミングや合焦、シャッター動作のために光学装置 9 4 0 の部品を駆動することができる。あるいは、カメラにおける機械装置 9 9 0 は防振動作のために光電変換装置 9 3 0 を移動することができる。

【 0 1 3 5 】

また、機器 9 1 9 1 は、車両や船舶、飛行体などの輸送機器であり得る。輸送機器における機械装置 9 9 0 は移動装置として用いられうる。輸送機器としての機器 9 1 9 1 は、光電変換装置 9 3 0 を輸送するものや、撮影機能により運転（操縦）の補助および / または自動化を行うものに好適である。運転（操縦）の補助および / または自動化のための処理装置 9 6 0 は、光電変換装置 9 3 0 で得られた情報に基づいて移動装置としての機械装置 9 9 0 を操作するための処理を行うことができる。あるいは、機器 9 1 9 1 は内視鏡などの医療機器や、測距センサなどの計測機器、電子顕微鏡のような分析機器、複写機などの事務機器、ロボットなどの産業機器であってもよい。

【 0 1 3 6 】

上述した実施形態によれば、良好な画素特性を得ることが可能となる。従って、光電変換装置の価値を高めることができる。ここでいう価値を高めることには、機能の追加、性能の向上、特性の向上、信頼性の向上、製造歩留まりの向上、環境負荷の低減、コストダウン、小型化、軽量化の少なくともいずれかが該当する。

【 0 1 3 7 】

従って、本実施形態に係る光電変換装置 9 3 0 を機器 9 1 9 1 に用いれば、機器の価値をも向上することができる。例えば、光電変換装置 9 3 0 を輸送機器に搭載して、輸送機器の外部の撮影や外部環境の測定を行う際に優れた性能を得ることができる。よって、輸送機器の製造、販売を行う上で、本実施形態に係る光電変換装置を輸送機器へ搭載することを決定することは、輸送機器自体の性能を高める上で有利である。特に、光電変換装置で得られた情報を用いて輸送機器の運転支援および / または自動運転を行う輸送機器に光電変換装置 9 3 0 は好適である。

【 0 1 3 8 】

また、本実施形態の光電変換システム及び移動体について、図 2 1 (b)、(c)を用いて説明する。

【 0 1 3 9 】

図 2 1 (a) は、車載カメラに関する光電変換システムの一例を示したものである。光電変換システム 8 は、光電変換装置 8 0 を有する。光電変換装置 8 0 は、上記のいずれかの実施形態に記載の光電変換装置（撮像装置）である。光電変換システム 8 は、光電変換装置 8 0 により取得された複数の画像データに対し、画像処理を行う画像処理部 8 0 1 と、光電変換システム 8 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部 8 0 2 を有する。また、光電変換システム 8 は、算出された視差に基づいて対象物までの距離を算出する距離取得部 8 0 3 と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部 8 0 4 と、を有する。ここで、視差取得部 8 0 2 や距離取得部 8 0 3 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部 8 0 4 はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【 0 1 4 0 】

光電変換システム 8 は車両情報取得装置 8 1 0 と接続されており、車速、ヨーレート、

舵角などの車両情報を取得することができる。また、光電変換システム 8 は、衝突判定部 804 での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御 ECU 820 が接続されている。また、光電変換システム 8 は、衝突判定部 804 での判定結果に基づいて、ドライバーへ警報を発する警報装置 830 とも接続されている。例えば、衝突判定部 804 の判定結果として衝突可能性が高い場合、制御 ECU 820 はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置 830 は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0141】

10

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム 8 で撮像する。図 21(c) に、車両前方（撮像範囲 850）を撮像する場合の光電変換システムを示した。車両情報取得装置 810 が、光電変換システム 8 ないしは光電変換装置 80 に指示を送る。このような構成により、測距の精度をより向上させることができる。

【0142】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光電変換システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

20

【0143】

以上、説明した実施形態は、技術思想を逸脱しない範囲において適宜変更が可能である。なお、本明細書の開示内容は、本明細書に記載したことのみにならず、本明細書および本明細書に添付した図面から把握可能な全ての事項を含む。また本明細書の開示内容は、本明細書に記載した概念の補集合を含んでいる。すなわち、本明細書に例えば「A は B よりも大きい」旨の記載があれば、「A は B よりも大きくない」旨の記載を省略しても、本明細書は「A は B よりも大きくない」旨を開示していると云える。なぜなら、「A は B よりも大きい」旨を記載している場合には、「A は B よりも大きくない」場合を考慮していることが前提だからである。

30

【0144】

本実施形態の開示は、以下の構成および方法を含む。

【0145】

（構成 1）

出力線と複数の単位画素を有し、
前記複数の単位画素の各々は、
入射光に基づいて信号電荷を生成する光電変換素子と、
前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、
前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、
前記ゲートの電位をリセットするリセットトランジスタと、
を有し、
前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けられた第 2 ウェルとを有し、
前記第 1 ウェルと前記第 2 ウェルが電氣的に分離されていることを特徴とする光電変換装置。

40

【0146】

（構成 2）

前記第 1 ウェルと前記第 2 ウェルは、絶縁体分離部によって電氣的に分離され、前記第 1 ウェルは前記絶縁体分離部に囲われていることを特徴とする構成 1 に記載の光電変換装

50

置。

【 0 1 4 7 】

(構成 3)

前記選択トランジスタはN型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第1ウェルの電位が、前記選択トランジスタがオフ状態にある期間における前記第1ウェルの電位よりも高い電位であることを特徴とする構成1または2に記載の光電変換装置。

【 0 1 4 8 】

(構成 4)

前記オン状態にある期間における前記第1ウェルの電位が接地電位であることを特徴とする構成3に記載の光電変換装置。 10

【 0 1 4 9 】

(構成 5)

前記選択トランジスタはP型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第1ウェルの電位が、前記選択トランジスタがオフ状態にある期間における前記第1ウェルの電位よりも低い電位であることを特徴とする構成1または2に記載の光電変換装置。

【 0 1 5 0 】

(構成 6)

前記選択トランジスタはN型のトランジスタであって、前記選択トランジスタがオフ状態にある期間における前記第1ウェルの電位が、前記期間における前記第2ウェルの電位よりも低いことを特徴とする構成1または2に記載の光電変換装置。 20

【 0 1 5 1 】

(構成 7)

前記期間における前記第2ウェルの電位が接地電位であることを特徴とする構成6に記載の光電変換装置。

【 0 1 5 2 】

(構成 8)

前記選択トランジスタはN型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第1ウェルの電位が、前記期間における前記第2ウェルの電位よりも高いことを特徴とする構成1または2に記載の光電変換装置。 30

【 0 1 5 3 】

(構成 9)

前記選択トランジスタはP型のトランジスタであって、前記選択トランジスタがオン状態にある期間における前記第1ウェルの電位が、前記期間における前記第2ウェルの電位よりも低いことを特徴とする構成1または2に記載の光電変換装置。

【 0 1 5 4 】

(構成 1 0)

前記ゲートへの容量の接続と非接続を変更するトランジスタが前記第2ウェルに設けられていることを特徴とする構成1乃至9のいずれか1つに記載の光電変換装置。 40

【 0 1 5 5 】

(構成 1 1)

前記第2ウェルに前記増幅トランジスタが設けられていることを特徴とする構成10に記載の光電変換装置。

【 0 1 5 6 】

(構成 1 2)

前記第2ウェルに前記光電変換素子が設けられていることを特徴とする構成11に記載の光電変換装置。

【 0 1 5 7 】

(構成 1 3)

第 1 部品と第 2 部品とが貼り合わされた構造を備え、
前記光電変換素子は前記第 1 部品に配されており、
前記第 1 ウェルおよび前記第 2 ウェルが前記第 2 部品に配されていることを特徴とする
構成 1 乃至 11 のいずれか 1 つに記載の光電変換装置。

【0158】

(構成 14)

前記第 2 部品は半導体基板を備え、
前記第 1 部品と前記第 2 部品は、前記半導体基板を貫通する貫通電極によって電氣的に
接続されていることを特徴とする構成 13 に記載の光電変換装置。

【0159】

10

(構成 15)

前記第 2 部品に貼り合わされた第 3 部品をさらに有する構造を備え、
前記第 3 部品は、前記複数の単位画素の各々が出力する、前記信号電荷に基づく画素信
号を処理するロジック回路を有することを特徴とする構成 13 に記載の光電変換装置。

【0160】

(構成 16)

前記第 2 部品に貼り合わされた第 3 部品をさらに有する構造を備え、
前記第 3 部品は、前記複数の単位画素の各々が出力する、前記信号電荷に基づく画素信
号を処理するロジック回路を有することを特徴とする構成 14 に記載の光電変換装置。

【0161】

20

(構成 17)

構成 1 乃至 16 のいずれか 1 項に記載の光電変換装置を備える機器であって、
前記光電変換装置に対応した光学装置、
前記光電変換装置を制御する制御装置、
前記光電変換装置から出力された信号を処理する処理装置、
前記光電変換装置で得られた情報を表示する表示装置、
前記光電変換装置で得られた情報を記憶する記憶装置、および、
前記光電変換装置で得られた情報に基づいて動作する機械装置、の少なくともいずれか
を更に備えることを特徴とする機器。

【0162】

30

(構成 18)

出力線と複数の単位画素を有し、
前記複数の単位画素の各々は、
入射光に基づいて信号電荷を生成する光電変換素子と、
前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増
幅トランジスタと、
前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、
前記ゲートの電位をリセットするリセットトランジスタと、
を有し、
前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けら
れた第 2 ウェルとを有する光電変換装置の駆動方法であって、
前記選択トランジスタがオフ状態にある期間に、前記第 2 ウェルの電位を第 1 電位に設
定し、
前記選択トランジスタがオン状態にある期間に、前記第 2 ウェルの電位を前記第 1 電位
とは異なる第 2 電位に設定することを特徴とする光電変換装置の駆動方法。

【0163】

40

(構成 19)

入射光に基づいて信号電荷を生成する光電変換素子が設けられた部品に積層するための
半導体基板であって、
出力線と、

50

前記信号電荷が入力されるゲートを備え、前記ゲートの電位に基づく信号を出力する増幅トランジスタと、
前記増幅トランジスタと前記出力線とを接続する選択トランジスタと、
前記ゲートの電位をリセットするリセットトランジスタと、
を有し、
前記選択トランジスタが設けられた第 1 ウェルと、前記リセットトランジスタが設けられた第 2 ウェルとを有し、
前記第 1 ウェルと前記第 2 ウェルが電氣的に分離されていることを特徴とする半導体基板。

【符号の説明】

10

【 0 1 6 4 】

1、2 光電変換装置

1 3 画素領域

2 5 単位画素

P D 光電変換素子

F D 浮遊拡散領域

D T I 絶縁体分離部

W C S E L 選択トランジスタが配されるウェルコンタクト

W C P D P D が配されるウェルコンタクト

W C A M P 増幅トランジスタが配されるウェルコンタクト

W C R E S リセットトランジスタが配されるウェルコンタクト

W S E L 選択トランジスタが配されるウェル

20

W P D P D が配されるウェル

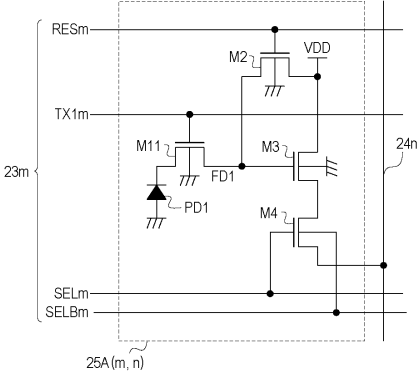
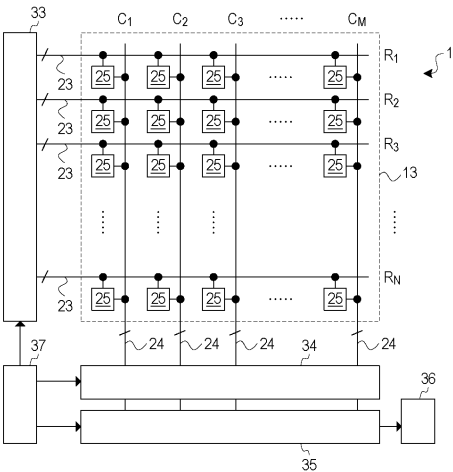
W A M P 増幅トランジスタが配されるウェル

W R E S リセットトランジスタが配されるウェル

【図面】

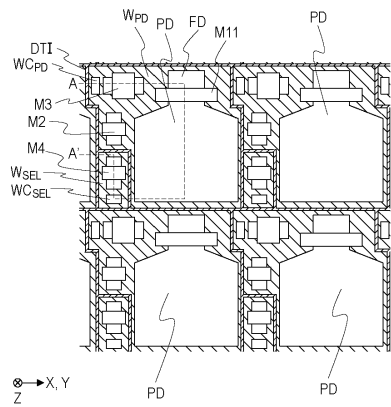
【図 1 】

【図 2 】

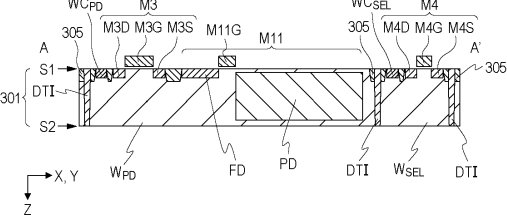


40

【 図 3 】



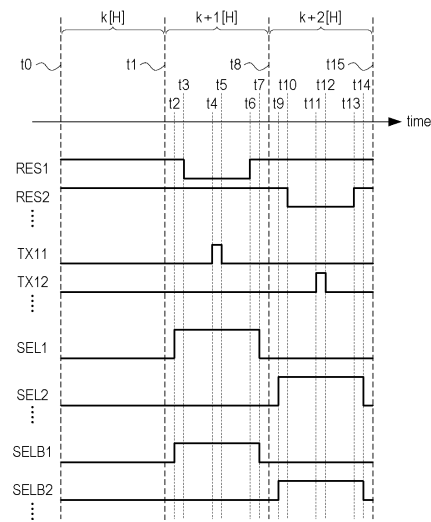
【 図 4 】



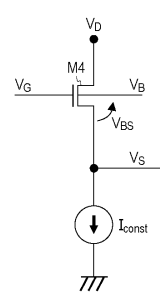
10

20

【 図 5 】



【 図 6 】

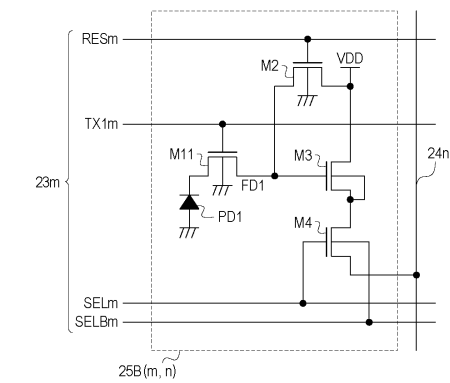


30

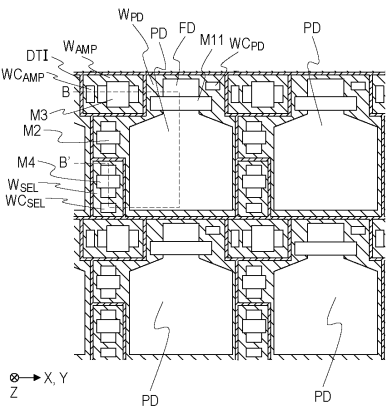
40

50

【図 7】



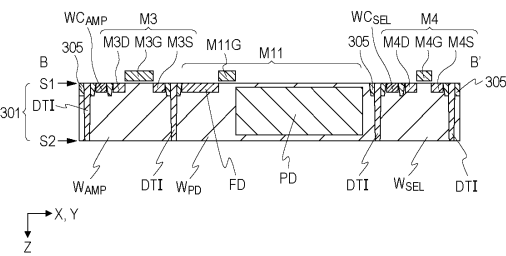
【図 8】



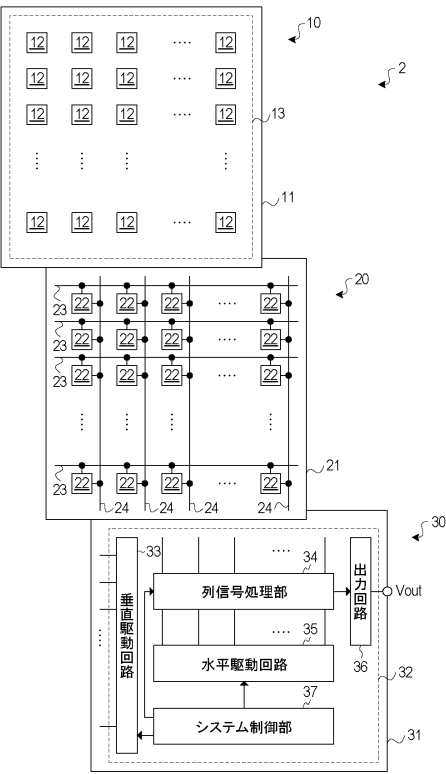
10

20

【図 9】



【図 10】

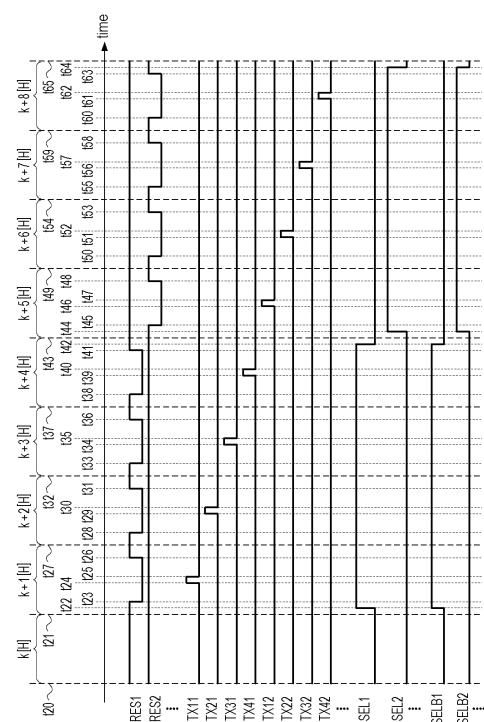


30

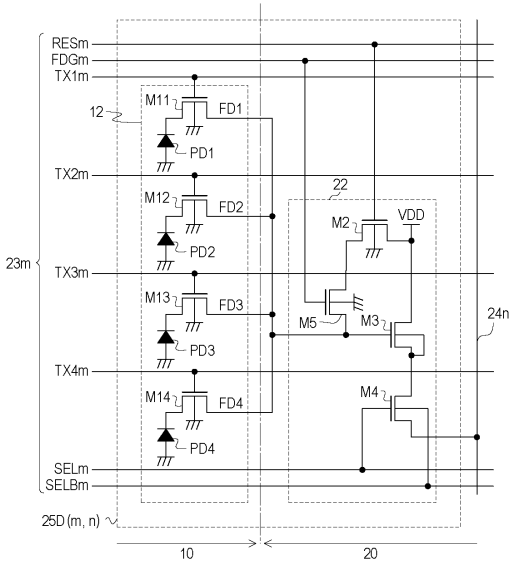
40

50

【図 1 5】



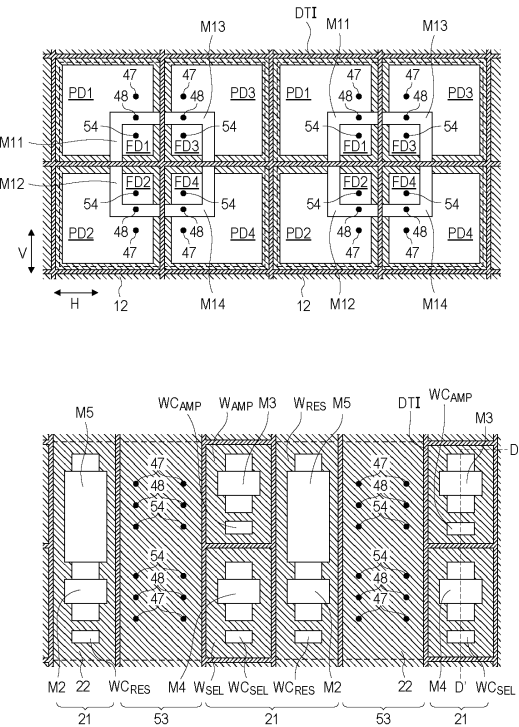
【図 1 6】



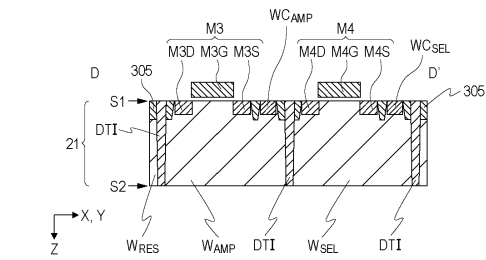
10

20

【図 1 7】



【図 1 8】

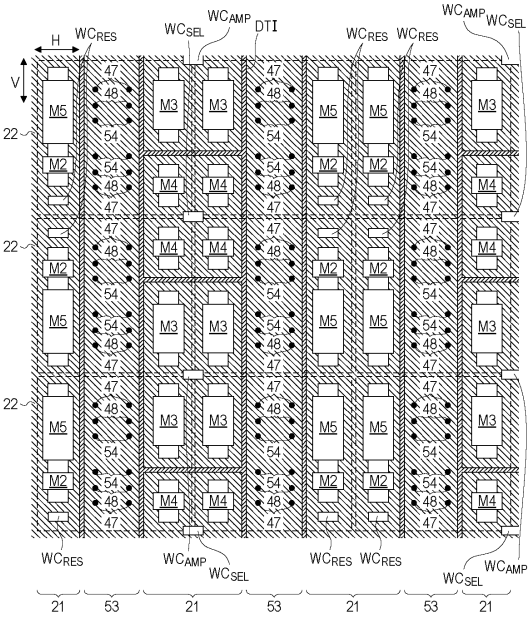


30

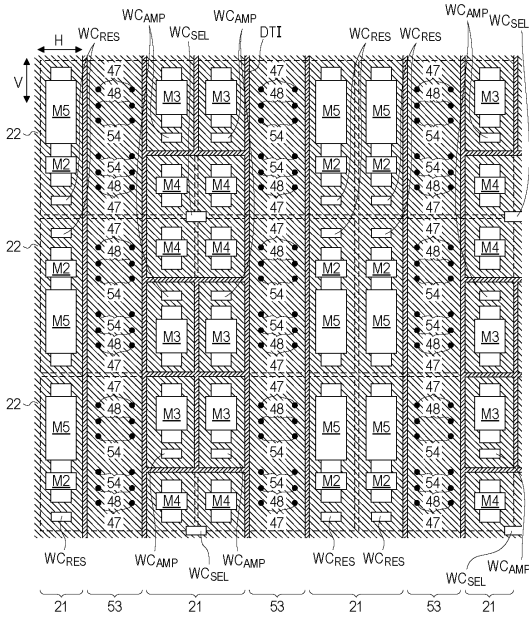
40

50

【 図 1 9 】



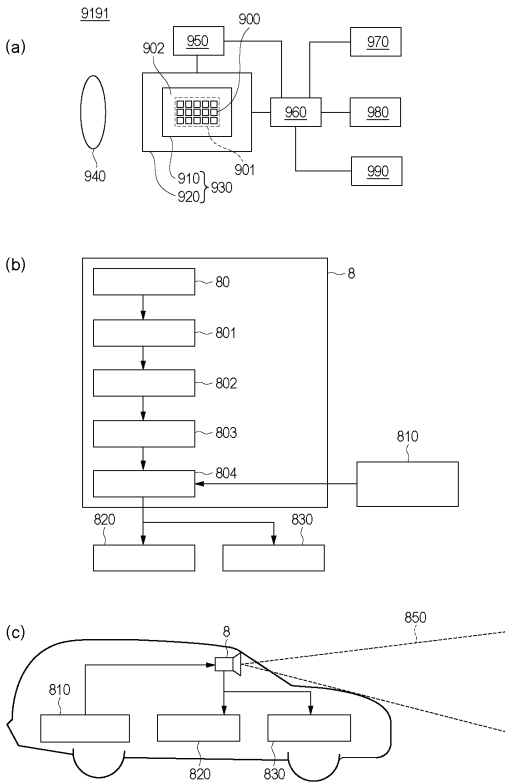
【 図 2 0 】



10

20

【 図 2 1 】



30

40

50

フロントページの続き

ヤノン株式会社内

(72)発明者 池戸 秀樹

東京都大田区下丸子 3 丁目 3 0 番 2 号キヤノン株式会社内

F ターム (参考) 4M118 AA10 AB01 AB03 CA02 DD04 DD12 FA06 FA27 FA28 FA33

GA02 GC07 GD04 GD07

5C024 GX02 HX17 HX40 HX50