

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 14 日(14.11.2013)



(10) 国際公開番号
WO 2013/168685 A1

- (51) 国際特許分類:
G11C 15/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/062791
- (22) 国際出願日: 2013 年 5 月 3 日(03.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-105558 2012 年 5 月 6 日(06.05.2012) JP
- (71) 出願人: 国立大学法人東北大学(TOHOKE UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 Miyagi (JP).
- (72) 発明者: 羽生 貴弘(HANYU Takahiro); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 松永 翔雲(MATSUNAGA Shoun); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 鬼沢 直哉(ONIZAWA Naoya); H3A 2A7 ケベック州モントリオール、ユニバーシティ・ストリート 3480 マギル・ユニバーシティ内 Quebec (CA). ガウデット、ヴィンセント(GAUDET Vincent); N2L 3G1 オンタリオ州ウォータールー、ユニバーシティ・アヴェ

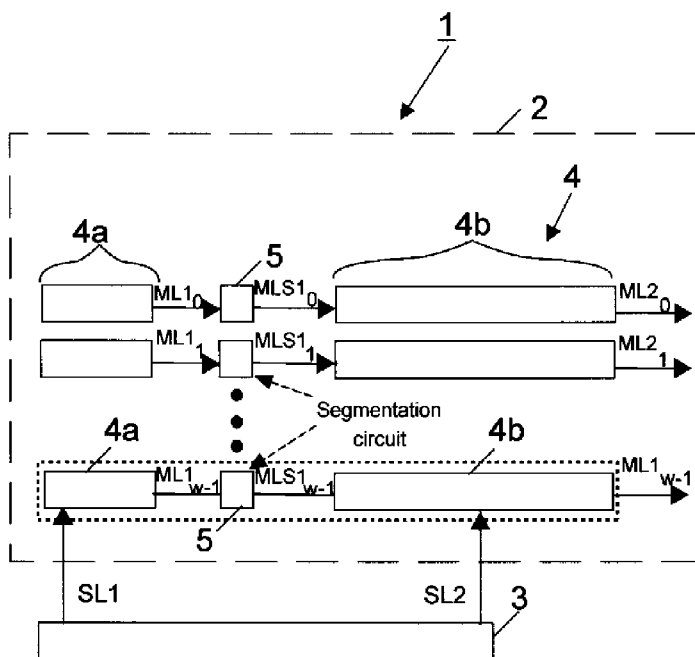
ニュー・ウエスト 200 ユニバーシティ・オブ・ウォータールー内 Ontario (CA).

- (74) 代理人: 平山 一幸(HIRAYAMA Kazuyuki); 〒1600022 東京都新宿区新宿 2 丁目 3 ー 10 新宿御苑ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage device (1) includes an input control unit (3) and an associative memory block (2) connected to the input control unit (3). Each word circuit (4) in the associative memory block (2) comprises a first stage sub-word circuit (4a) with k bits which is connected to the search line (1) (SL1) of the input control unit (3) and a second stage sub-word circuit (4b) with n-k bits which is connected to the search line (2) (SL2) of the input control unit (3). The first stage sub-word circuit (4a) with k bits and the second stage sub-word circuit (4b) with n-k bits are divided by a segmentation circuit (5). When the first stage sub-word circuit outputs a match signal, the match result is stored in the segmentation circuit (5), and a plurality of local match circuits in the second stage sub-word circuit (4b) is operated.

(57) 要約: 半導体記憶装置 1 は、入力制御部 (3) と、入力制御部 (3) に接続される連想メモリブロック (2) と、を含み、連想メモリブロック (2) の各ワード回路 (4) は、入力制御部 (3) のサーチライン 1 (SL1) に接続される k ビットの第 1 段サブワード回路 (4a) と、入力制御部 (3) のサーチライン 2 (SL2) に接続される n-k ビットの第 2 段サブワード回路 (4b) と、を有する。

回路 (4b) と、からなり、k ビットの第 1 段サブワード回路 (4a) と n-k ビットの第 2 段サブワード回路 (4b) とは、セグメント化回路 (5) を介して分割されている。第 1 段サブワード回路が一致 (マッチ) 信号を出力すると、一致した結果がセグメント化回路 (5) に記憶 (ストア) され、第 2 段サブワード回路 (4b) 内の、複数のローカル一致回路が動作する。

WO 2013/168685 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明は、半導体記憶装置に関する。さらに、詳しくは、本発明は、高速でかつ低消費電力で動作する半導体記憶装置に関する。

背景技術

[0002] 半導体メモリの一種である連想メモリ（Content-Addressable Memory、以下、CAMと略す。）は、高速かつ低電力な機能メモリとして使用されている。CAMは、入力される検索ワードを記憶されたワードと比較するルックアップテーブルの機能を有しており、CAMは、完全に並列で等しい検索方法で一致したワードを高速で出力する。

[0003] CAMは、パラメトリック曲線の抽出（非特許文献1参照）、デジタル画像処理変換の特徴抽出法で用いられるハフ（Hough）変換（非特許文献2参照）、データ圧縮のアルゴリズムの一種であるLempel-Ziv変換（非特許文献3参照）、人体通信の制御装置（非特許文献4参照）、周期事象発生器（非特許文献5参照）、キャッシュメモリ（非特許文献6参照）、ウィルス検出用プロセッサ（非特許文献7参照）等に使用されている。

[0004] 現在では、CAMは、主としてネットワークルータやネットワークスイッチの packets 制御に用いられている（非特許文献8～11参照）。

[0005] 図18は、従来のCAMの構成を示すブロック図である。図18に示すように、従来のCAM100は、入力制御部102と、記憶領域であるワードブロック103と、符号器104を含んで構成されている。検索ワードは、サーチライン（Search Line、以下、SLと略す。）から記憶されているワードブロック（テーブルとも呼ぶ。）103に送出される。CAM100中のビット数は通常36から144ビットである。典型的なCAM100中のワードブロックの数は数百から3万2千位である。各入力又はワード回路は、数ダースのCAMセルを含んでいる。各ワードブロック103は、検索ワー

ドと記憶されたワードが一致しているか又は不一致であることを示すマッチライン（Match Line、以下、MLと略す。）を有している。

[0006] 入力される検索ビットに伴う各CAMセルにおける比較の結果は、CAMセルに付属してマッチライン（ML）に接続されるパストランジスタのオフかオンかにより決定される。MLは符号器104に接続されている。符号器104は、MLが一致した状態にある2値の一致した場所（アドレス）を生成する。

[0007] ワードブロック又はワード回路は、通常、ダイナミック論理で構成されており（非特許文献12参照）、NOR型（非特許文献12参照）又はNAND型（非特許文献13～15参照）の構造に分類されている。

[0008] NOR型のワード回路において、NOR型のCAMセルのパストランジスタはMLと接地ライン（グランドラインとも呼ばれている。）との間に並列に接続されているので、ワード回路は高速で動作する。CAMでは記憶されているワードの殆どが入力の検索ワードと不一致であるので、殆どのワード回路は不一致の状態である。このため、不一致のワード回路は、NOR型のセル中のML容量を高頻度で放電することになり、大きな電力を消費する。

[0009] 上記NOR型のCAMセルは高速であるが、消費電力が大きい。このため、雑音耐性を有しMLの消費電力を低減するために、低電圧化の試みとして電流駆動型の回路が提案されている（非特許文献16及び17参照）。

[0010] 一方、NAND型のCAMセルは、NAND型のワード回路において、パストランジスタがMLと接地ラインとの間に直列に接続されているので、ワード回路は中速で動作する。一致したワード回路だけがML容量を放電するので、NAND型のワード回路は、NOR型のワード回路に比較して、消費電力は低下する。

[0011] 上記NAND型のCAMセルは、消費電力が小さいが、中速である。このため、NAND型のCAMセルのスループットを増大させるために、PFCDD（pseudo-footless clock-and-data precharged dynamic）ゲートという回路が提案されている（非特許文献14及び15参照）。

[0012] 従来の同期式のCAMでは、次に検索されるワードは、現在の検索が完了してから有効にされる。一致動作の最悪の場合の遅延時間は、通常はワードのビット数に比例するので、従来の同期式のCAMのスループットは、CAMのワードのビット数によって制限される。

[0013] CAMは数百以上のワードを記憶するメモリセルと入力データ間の検索を並列に行い、一致ワードのアドレスを出力する。従来の同期式のCAMでは、全体をクロック信号で一括制御しており、その速度はワード回路のビット長による全体遅延で決定されていた。インターネットの次世代プロトコル（通信手順）であるIPv6においてはそのワードのビット長は144ビット以上にも達し、CAMの速度を低下させる要因となっている。さらに、近年のネットワークトラフィックの増加により、記憶すべきエントリ数も増え、消費電力が増大している。

[0014] 従来のCAMワード回路方式として、低電力化のためのワード回路のセグメント化手法が知られている。この手法では、ワード回路のセグメント化により、初めに先頭の数ビットの検索を行い、一致及び不一致を判定し、残りの大半の部分のワード回路の動作を停止させることで、低電力化を図っていた。しかし、この方法では、セグメント間にセンスアンプなどを追加する必要があり、遅延が増大する要因となっていた。このワード回路全体の遅延は、各セグメントの遅延と各々のセンスアンプの遅延の合計で決定される。

[0015] このセグメント化手法における低電力化効果を保ちつつ、高速動作を実現する方法として、アーキテクチャレベルでは、CAMセルのスループットを増大させるために、パイプラインを用いた回路が提案されている（非特許文献18、19参照）。

先行技術文献

特許文献

[0016] 特許文献1：特開2006-236515号公報

非特許文献

[0017] 非特許文献1：M. Meribout, T. Ogura, and M. Nakanishi, “On using the

CAM concept for parametric curve extraction” , IEEE Transactions on Image Processing, vol.9, no.12, pp.2126-2130, Dec. 2000

非特許文献2 : M. Nakanishi and T. Ogura, “A real-time CAM-based Hough transform algorithm and its performance evaluation” , Proc. 13th International Conference on Pattern Recognition, 1996, vol.2, pp.516-521 , Aug.1996

非特許文献3 : D. J. Craft, “A fast hardware data compression algorithm and some algorithmic extensions” , IBM Journal of Research and Development, vol.42, no.6, pp.733-746, Nov. 1998

非特許文献4 : S. Choi, S.-J. Song, K. Sohn, H. Kim, J. Kim, N. Cho, J.-H. Woo, J. Yoo, and H.-J. Yoo, “A 24.2-mW dual-mode human body communication controller for body sensor network” , Proc. 32nd European Solid-State Circuits Conference, 2006, pp.227-230, Sept. 2006

非特許文献5 : S. Choi, K. Sohn, J. Kim, J. Yoo, and H.-J. Yoo, “A TCAM-based periodic event generator for multi-node management in the body sensor network” , Proc. Asian Solid-State Circuits Conference, 2006 , pp.307-310, Nov. 2006

非特許文献6 : P.-F. Lin and J. Kuo, “A 1-V 128-kb four-way set-associative cmos cache memory using wordline-oriented tag-compare (WLOTCS) structure with the content-addressable-memory (CAM) 10-transistor tag cell” , IEEE Journal of Solid-State Circuits, vol.36, no.4, pp.666-675, Apr. 2001

非特許文献7 : C.-C. Wang, C.-J. Cheng, T.-F. Chen, and J.-S. Wang, “An adaptively dividable dual-port bitcam for virus-detection processors in mobile devices” , IEEE Journal of Solid-State Circuits, vol.44, no.5, pp.1571-1581, May 2009

非特許文献8 : N.-F. Huang, K.-B. Chen, and W.-E. Chen, “Fast and scalable multi-TCAM classification engine for wide policy table lookup” ,

Proc.19th International Conference on Advanced Information Networking and Applications, 2005, vol.1, pp.792-797, March 2005

非特許文献9:M. Kobayashi, T. Murase, and A. Kuriyama, "A longest prefix match search engine for multi-gigabit IP processing", IEEE International Conference on Communications, 2000, vol.3, pp.1360-1364, 2000

非特許文献10:Y. Tang, W. Lin, and B. Liu, "A TCAM index scheme for IP address lookup", Proc. First International Conference on Communications and Networking in China, pp.1-5, Oct. 2006

非特許文献11:N.-F. Huang, W.-E. Chen, J.-Y. Luo, and J.-M. Chen, "Design of multifield IPv6 packet classifiers using ternary CAMs", Proc. Global Telecommunications Conference, 2001, vol.3, pp.1877-1881, 2001

非特許文献12:K. Pagiamtzis and A. Sheikholeslami, "Content-addressable memory (CAM) circuits and architectures: a tutorial and survey", IEEE Journal of Solid-State Circuits, vol.41, no.3, pp.712-727, March 2006

非特許文献13:F. Shafai, K. Schultz, G. Gibson, A. Bluschke, and D. Somppi, "Fully parallel 30-MHz, 2.5-Mb CAM", IEEE Journal of Solid-State Circuits, vol.33, no.11, pp.1690-1696, Nov. 1998

非特許文献14:H.-Y. Li, C.-C. Chen, J.-S. Wang, and C. Yeh, "An AND-type matchline scheme for high-performance energy-efficient content addressable memories", IEEE Journal of Solid-State Circuits, vol.41, no.5, pp.1108-1119, May 2006

非特許文献15:C.-C. Wang, J.-S. Wang, and C. Yeh, "High-speed and low-power design techniques for TCAM macros", IEEE Journal of Solid-State Circuits, vol.43, no.2, pp.530-540, Feb. 2008

非特許文献16:I. Arsovski, T. Chandler, and A. Sheikholeslami, "A te

ternary content addressable memory (TCAM) based on 4T static storage and including a current-race sensing scheme” , IEEE Journal of Solid-State Circuits, vol.38, no.1, pp.155-158, Jan. 2003

非特許文献17 : I. Arsovski and A. Sheikholeslami, “A mismatch-dependent power allocation technique for match-line sensing in content-addressable memories” , IEEE Journal of Solid-State Circuits, vol.38, no. 11, pp.1958-1966, Nov. 2003

非特許文献18 : K. Pagiamtzis and A. Sheikholeslami, “Pipelined Match-Lines and Hierarchical Search-Lines for Low-Power Content-Addressable Memories” , IEEE Custom Integrated Circuits Conference, pp. 383-386, 2003

非特許文献19 : K. Pagiamtzis and A. Sheikholeslami, “A low-power content-addressable memory (CAM) using pipelined hierarchical search scheme” , IEEE Journal of Solid-State Circuits, vol.39, no.9, pp.1512-1519, Sept. 2004

非特許文献20 : C. Zukowski and S.-Y. Wang, “Use of selective precharge for low-power on the match lines of content-addressable memories” , Proc. International Workshop on Memory Technology, Design and Testing, 1997, pp.64-68, Aug. 1997

非特許文献21 : S. Baeg, “Low-power ternary content-addressable memory design using a segmented match line” , IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 6, pp. 1485 -1494, July 2008.

非特許文献22 : S. Choi, K. Sohn, and H.-J. Yoo, “A 0.7-fJ/bit/search 2.2-ns search time hybrid-type TCAM architecture” , IEEE Journal of Solid-State Circuits, vol. 40, no.1, pp.254-260, Jan. 2005

非特許文献23 : C.-S. Lin, J.-C. Chang, and B.-D. Liu, “A low-power precomputation-based fully parallel content-addressable memory” , IEEE

Journal of Solid-State Circuits, vol.38, no.4, pp.654-662, Apr. 2003

非特許文献24 : P.-T. Huang and W. Hwang, "A 65 nm 0.165 fJ/bit/search 256×144 TCAM macro design for IPv6 lookup tables", IEEE Journal of Solid-State Circuits, vol.46, no.2, pp.507-519, Feb. 2011

非特許文献25 : S. Hanzawa, T. Sakata, K. Kajigaya, R. Takemura, and T. Kawahara, "A large-scale and low-power CAM architecture featuring a one-hot-spot block code for IP-address lookup in a network router", IEEE Journal of Solid-State Circuits, vol.40, no.4, pp.853-861, April 2005

発明の概要

発明が解決しようとする課題

- [0018] 従来の、CAMを低電力化するためのワード回路におけるセグメント化手法では、遅延時間が増大し高速で動作しなかった。
- [0019] 上記のセグメント化手法における低電力化効果を保ちつつ、高速動作を実現するパイプラインを用いる手法では、各セグメント間に挿入されるパイプラインレジスタによる消費電力の増加が非常に大きいことと、パイプラインレジスタを設けることによるチップ面積の増加が生じていた。
- [0020] 特許文献1に開示されたメモリを2重にする方式では、メモリが2倍必要であるため、面積及び消費電力における増加が非常に大きい。
- [0021] 本発明は、上記課題に鑑み、遅延時間が短く、低消費電力で動作する半導体記憶装置を提供することを目的としている。

課題を解決するための手段

- [0022] 上記目的を達成するため、本発明の半導体記憶装置は、レジスタとコンパレータとモード制御部とを含んで構成される入力制御部と、入力制御部に接続される連想メモリブロックと、を含み、連想メモリブロックの各ワード回路は、入力制御部のサーチライン1に接続されるkビットの第1段サブワード回路と、入力制御部のサーチライン2に接続されるn-kビットの第2段サブワード回路と、からなり、kビットの第1段サブワード回路とn-kビ

ットの第2段サブワード回路とは、セグメント化回路を介して接続されていることを特徴とする。

[0023] 上記構成において、第2段サブワード回路は、好ましくはさらに分割されたサブサブワード回路と各該サブサブワード回路に接続されるローカル一致回路と、該サブサブワード回路全体のグローバル一致回路とからなる。前記サブサブワード回路は、好ましくは、 k ビットである。

入力制御部は、好ましくは、高速モード及び低速モードで動作する。入力制御部は、好ましくは、 k ビットの第1段サブワードが検索するワードと一致しないと判定した場合には、異なる入力に対して連続的に一致動作を続けるように高速モードで動作する。入力制御部は、好ましくは、 k ビットの第1段サブワードが検索するワードと一致したと判定した場合には、検索が連想メモリブロックで完了するまで待機する低速モードで動作する。

連想メモリブロックの検索において、好ましくは、各ワード回路は次の検索を行う前にマッチ線が充電され、該ワード回路内において一致したマッチ線だけが、ワード回路内で生成された局所的制御信号により充電される。

連想メモリブロックの検索において、好ましくは、各ワード回路は次の検索を行う前にマッチ線が充電され、該ワード回路のグローバル一致回路の動作の後でワード回路のマッチ線が充電される。

[0024] 上記構成において、好ましくは、一致回路は、ワード毎に非同期又は同期して制御される。

入力制御部は、好ましくは、同期信号又は非同期信号により駆動される。

連想メモリブロックは、好ましくは、2値の連想メモリセル又は3値の連想メモリセルからなる。

ワード回路は、好ましくは、自律事前充電回路を含んで構成されている。

一致回路を、好ましくは、ワード毎に非同期で制御し、検索するワードと記憶されているワードの一致を判定する一致操作の後で、一致したワードのマッチラインを、局所的制御信号により自律事前充電し、自律事前充電における遅延時間 T_{PA} を、連想メモリブロックのサイクルタイム T_{CA} に影響しな

いように動作させる。

発明の効果

[0025] 本発明によれば、ワード単位での独立制御に基づく高速かつ低電力のCAMを提供することができる。つまり、従来の同期式のCAMにおける、最悪のケースとも言うべきワード回路の全体遅延ではなく、セグメント化された先頭の部分ワード回路における小さな部分遅延によって検索動作のサイクル時間が決定され、従来式のCAMよりも高速動作が可能である。

[0026] さらに、ワード回路実現手法として、ワード単位での独立動作のために非同期式制御方式を用いることで、パイプラインレジスタなどを利用せず、クロック信号による消費電力を低減すると同時に、最悪遅延によらない回路実現が可能となる。もちろん、ワード単位での独立動作のために同期式回路でも実現可能である。本発明に基づくワード回路をセグメント化することにより、従来から知られているセグメント化手法での低電力化効果も併せ持っている。

図面の簡単な説明

[0027] [図1]本発明の半導体記憶装置の構成を示すブロック図である。

[図2] $m = 1$ としたときの入力制御部の構成を示すブロック図である。

[図3]高速モードで動作する入力制御部とCAMブロックのタイムチャートを示す図である。

[図4]低速モードで動作する入力制御部とCAMブロックのタイムチャートを示す図である。

[図5]プリチャージのブロック図である。

[図6]一致の場合のブロック図である。

[図7]不一致の場合のブロック図である。

[図8]2値のNAND型のCAMセルの回路図である。

[図9]本発明の位相オーバーラップ処理に基づく自律制御によるワード回路のブロック図である。

[図10]図9の自律制御によるワード回路の動作を説明するタイムチャートを

示す図である。

[図11]同期型のワード回路のブロック図である。

[図12]図 1 1 の動作を説明するタイムチャート図である。

[図13]本発明のCAMのワード回路を示す回路図である。

[図14]図 1 3 のワード回路の動作を示すタイムチャート図である。

[図15]本発明の最小加工寸法が90nmのCAMについて、シミュレーションの結果を示すタイミングチャート図である。

[図16]本発明の自律制御をしたCAMと比較例のCAMのサイクル時間を比較した図である。

[図17]TCAMの回路図である。

[図18]従来のCAMの構成を示すブロック図である。

符号の説明

- [0028] 1、1A：半導体記憶装置
2：CAMブロック
3：入力制御部
4：ワードブロック
4a：kビットのサブワード
4b：(n-k)ビットのサブワード
5、55：セグメント化回路
12、13、14：レジスタ
16：コンパレータ
18：モード制御部
20：ワード回路
21：パストランジスタ
30：BCAMセル
32：フリップフロップ
33、84：伝送用トランジスタ
40：自律制御によるワード回路

- 4 2 : 同期型のワード回路
- 5 0 : W O S と P O P とを含んだワード回路
- 5 4 a : 8 ビットの第 1 段サブワード回路
- 5 4 b : 1 3 6 ビットの第 2 段サブワード回路
- 5 6 : 自律事前充電回路
- 5 8 : N A N D セル (サブサブワード回路)
- 6 0 、 7 6 : 自律事前充電用の P 型 M O S トランジスタ
- 6 2 : 弱いフィードバック用 P 型 M O S トランジスタ
- 7 0 : ローカル一致回路
- 7 1 : インバータ
- 7 2 : グローバル一致回路
- 7 4 : N 型 M O S トランジスタ
- 7 8 : A N D ゲート
- 8 0 : T C A M
- 8 1 : N A N D 型の第 1 のメモリセル
- 8 2 : N A N D 型の第 2 のメモリセル
- 8 5 : M L 用伝送用トランジスタ

発明を実施するための形態

[0029] 以下、図面を参照しながら本発明の実施形態を具体的に説明する。

(ワード重畳型検索)

図 1 は、本発明のワード重畳型検索 (Word Overlapped Search、以下、W O S 方法と略称する。) を用いた半導体記憶装置 1 の構成を示すブロック図である。

図 1 に示すように、本発明の半導体記憶装置 1 は、C A M ブロック 2 と入力制御部 3 を含んで構成されている。本発明の半導体記憶装置 1 は、連想メモリであり、C A M (Content-Addressable Memory の略記号) とも呼ばれる。

C A M ブロック 2 は、 n ビットのワードを記憶する複数のワード (w 語)

のワードブロック（ワードブロックはワード回路とも呼ぶ。）4を含んでいて、自律制御又は同期制御により動作する。

ワードブロック4は、小さなkビットのサブワード4aとこのkビットのサブワード4aに接続されるセグメント化回路5と、セグメント化回路5の出力側に接続される後段の（n-k）ビットのサブワード4bとから構成されている。つまり、ワードブロック4は、小さなkビットのサブワード4aと後段の大きな（n-k）ビットのサブワード4bとが、セグメント化回路5を介して分割されている。kビットのサブワード4aは、入力制御部3のSL1（サーチライン1）に接続されている。n-kビットのサブワード4bは、入力制御部3のSL2（サーチライン2）に接続されている。

[0030] このような分割方法は、後のワードブロック4の稼働率を減少させるために使用されている（非特許文献20、21）。

[0031] ワードとしては、2値を記憶させるbinaryCAM（以下、BCAMと略称する。）又は3値を記憶させるternaryCAM（以下、TCAMと略称する。）に適用可能である。以下の説明では、特に断らない限り半導体記憶装置1は、BCAMとして説明する。

[0032] 半導体記憶装置1において、大部分の記憶されているワードが、一致動作により入力される検索ワードの最初の数ビットの検索で不一致となる。記憶されているワードが、一様乱数分布を有していると仮定する。最初のkビットの検索で一致する確率は、下記（1）式で与えられる。

[0033] [数1]

$$p_{\text{matched}} = \left(\frac{1}{2}\right)^k \quad (1)$$

[0034] 最初のkビットの検索の後で、大部分の不一致のワードブロック4は使用されない。スループットを増大させるために、本発明では使用されないブロックを使用する。本発明の半導体記憶装置1では、検索するワードは、全部のワードブロック4の長い遅延時間（ T_{slow} ）よりも第1のセグメントの短

い遅延時間 (T_{1st}) に基づく速度で処理する。つまり、最初の k ビットの検索が済むと同時に、次に k ビットのサブワード 4 a が入力される。続く k ビットのサブワードが異なる限り、検索ワードは、短い遅延時間 (T_{1st}) に基づく速度で使用していないで異なるワードブロック 4 に割り当てられる。

続くサブワードが同じであることが判明した場合、次の検索は、両方のセグメントにおいて現在の検索が完了したときに実行される。

[0035] このため、本発明の検索方法では、平均検索時間 T_{SA} は、下記 (2) 式で与えられる。

[0036] [数2]

$$T_{SA} = T_{1st} \left(1 - m \left(\frac{1}{2} \right)^k \right) + T_{slow} \left(m \left(\frac{1}{2} \right)^k \right) \quad (2)$$

[0037] ここで、 m は、比較される後段のサブワード数である。

[0038] 入力データのスケジューリングは、同期的に動作する入力制御部 3 により制御される。

[0039] 図 2 は、 $m = 1$ としたときに入力制御部 3 の構成を示すブロック図である。

入力制御部 3 は、レジスタ 12 ~ 14 と、 k ビットのコンパレータ 16 と、モード制御部 18 とを含んで構成されている。コンパレータ 16 は比較回路や比較器とも呼ばれる。モード制御部 18 は、高速及び低速の二つのモードで動作する。入力制御部 3 は、同期回路方式で設計されている。この方法は、検索ワードを CAM ブロック 2 中で検索する前に処理するので、事前計算法に分類される (非特許文献 20、21)。

[0040] 検索ワードは、 k ビットのサブワード 4 a と $n - k$ ビットのサブワード 4 b に分割される。同じ第 1 のセグメントに一致する連続した k ビットのサブワードを調べるために、これらのサブワードは、コンパレータ 16 で比較される。これらのサブワードが同じでない場合には、入力制御部 3 は、 T_{1st} という時間で検索ワードを CAM ブロック 2 に送出する。

[0041] 図3は、高速モードで動作する入力制御部3とCAMブロック2のタイムチャートである。図3に示すように、入力制御部3は、kビットのサブワード(D1)4aと、n-kビットのサブワード(D2)4bを、それぞれ異なるサイクルにSL1ラインとSL2ラインに送出する。

最初に、D1₁がkビットの第1のセグメント(ML1₀)に一致し、一致した結果はセグメント化回路5に記憶(ストア)される。

2番目に、D2₁がn-kビットのサブワード4bがkビットの後のセグメント(ML2₀)に一致する。同時に、D1₂が別の最初のセグメント(ML1₀)中で処理される。連続したサブワードD1が異なる場合、この別の最初のセグメントは、一つ前の一致動作の際に不一致と判定されているため、ワード回路の内部状態がそのまま保持されている。一致動作とは、検索するワードと記憶されているワードの一致を判定する操作である。この操作を行う回路が一致回路である。このため、異なる入力に対して連続的に一致動作を続けることが可能となる。連続したD1が同じ場合には、入力制御部3は低速モードで動作する。

[0042] 図4は、低速モードで動作する入力制御部3とCAMブロック2のタイムチャートを示す。各ワード回路4は、一度一致と判定されるとMLが放電されるため、次の検索、つまり、一致動作を行う前にMLを事前充電する必要がある。連続したD1が同じ場合、同じワード回路4においてMLが放電されることになり、前段と後段のセグメントにおける一致動作が完了し、MLの事前充電が完了するまで、待機する必要がある。このように、低速モードにおいては、入力制御部3は現在の検索がCAMブロック2で完了するまでは、新規に検索するワードの送出を停止する。低速モードにおける遅延時間は、下記(3)式で与えられる。

[0043] [数3]

$$T_{slow} = T_{reg} + T_{1st} + T_{2nd} + T_{margin} \quad (3)$$

[0044] ここで、 T_{reg} 、 T_{2nd} 、 T_{margin} は、それぞれ入力制御部3からCAM

ブロック 2 までの遅延時間、 $n - k$ ビットの後のセグメントの遅延時間、低速から高速へのモード遷移の遅延時間である。

[0045] 低速モードの後で、入力制御部 3 は高速モードで動作する。実際に、入力制御部 3 の S L から入力された検索ワードがワードブロック 4 中で一致したとき、ワードブロック 4 は T_{slow} の間使用できない。このため、上記 (2) 式中の比較される後段のサブワード数である m は、下記 (4) 式で与えられる条件を満たす必要がある。

[0046] [数4]

$$(m+1)T_{SA} = T_{reg} + T_{1st} + T_{2nd} + T_{margine} \quad (4)$$

[0047] $k = 8$ とし、上記 (2) 式で与えられる平均検索時間 T_{SA} が殆ど T_{1st} で決まるとする。さらに、入力制御部 3 のコンパレータ 16 は小さいとする。

[0048] (従来の CAM)

一方、従来の同期型の CAM では、次の検索ワードは、現在の検索が完了した後で割り当てられる。従って、従来の同期型の CAM の検索時間 (T_{SS}) は、下記 (5) 式で与えられる。

[0049] [数5]

$$T_{SS} = T_{reg} + T_{1st} + T_{2nd} \quad (5)$$

[0050] ここで、 T_{2nd} は $n - k$ ビットの後段のセグメントの遅延時間で決まる。例えば、インターネットの次世代プロトコル (通信手順) である IPv6 のアドレスの検索に適用する場合には、ワードのビット長は 144 ビットである。つまり、IPv6 のように n が 144 で k が 8 の場合、 $n - k$ は 136 である。

[0051] 本発明の半導体記憶装置 1 の動作について説明する。

例えば、ワード検索を 2 段階に分割し、1 段目の検索では先頭の数ビットのみのワード検索を行う。半導体記憶装置 1 では先頭の数ビットのワード検索で大部分のワード回路 4 を不一致と判断することができるため、大部分の

2段目の長いワード回路4は使用されず、内部状態が保持されているため、続けて次のワード検索を実行できる。この使用されていないワード回路4に入力データをアサイン、つまり実行する制御回路を半導体記憶装置1の入力制御部3に組み込むことで、半導体記憶装置1は1段目の検索終了後に次のデータのワード検索を開始することができる。

[0052] これにより、半導体記憶装置1の速度は従来のCAMのようにワードのビット長には依存せず、1段目の小さなワードのビット長による部分遅延に依存した高速動作が可能となる。

[0053] (位相オーバーラップ処理)

次に、半導体記憶装置1のワードブロック4中の自律制御に基づく位相オーバーラップ処理(Phase Overlapped Processing、以下、POPと略称する。)について説明する。

図5～8は、NAND型セルのワード回路20のブロック図を示し、図5はプリチャージのブロック図、図6は一致の場合のブロック図、図7は不一致の場合のブロック図、図8は、NAND型のBCAMセル(BCAMセルをワード回路とも言う。)30の回路図である。

図8に示すように、NAND型のワード回路30は、NAND型セル中に直列接続されたパストランジスタ33を使用して構成されている。NAND型のワード回路30は、ダイナミック論理により事前充電相(プリチャージ)及び評価相(エバリュエイト)という二つの相で動作する。事前充電相では、ML(マッチ線とも呼ぶ。)はP型MOSトランジスタ33eを介して充電される。

[0054] 評価相では、もしも、図6に示すように検索ワードが記憶されているワードと同じ場合、CAMセル中の全てのパストランジスタ21はオン状態である。CAMセルは、後述する図8に示すメモリセルである。従って、MLラインの容量は放電される。この状態は、「一致」と呼ばれている。なお、図6では、検索ワードを、「101」と3ビットに簡略化して示している。

[0055] 逆に、もしも、図7に示すように検索ワードが記憶されているワードと異

なる場合、CAMセル中の全てのパストランジスタ21はオン状態ではない。従って、MLラインの電圧はハイレベルを維持する。この状態は、「不一致」と呼ばれている。

[0056] MLの容量は、一致した回路だけで放電するので、NAND型のワード回路20は、NOR型のワード回路に比較すると電力消費が減少する。

[0057] 図8に示すように、2値のNAND型のBCAMセル30は、フリップフロップ32と第1～第5個の伝送用トランジスタ33（33a～33e）とから構成されている。伝送用トランジスタは、転送用トランジスタとも呼ばれている。BCAMセル30には、ML、SL、WL（Word Lineの略記、ワード線とも呼ぶ。）が配設されている。MLには、ML信号が印加される。SLには、SL信号が印加される。WLには、WL信号が印加される。

[0058] WLは、セルにワードを書き込みするときだけ活性化され、検索動作ではローレベルに保持されている。書き込み動作では、全てのワードの入力は、ビットラインに印加される相補的な信号であるBLと、BLバー信号により記憶される。データ“0”と“1”は、それぞれ（0，1）と（1，0）に対応する。検索操作、つまり、評価相では、検索ワードは、SLに印加される相補的な信号であるSLと、SLバー信号に割り当てられる。

[0059] 一度検索ワードが記憶されているワードと同じになると、MLに接続されているパストランジスタ33eはオン状態となる。

[0060] 図9は、本発明の位相オーバーラップ処理（POP）に基づく自律制御によるワード回路40のブロック図である。ワード回路40は3つだけ示している。

図9に示すように、各ワード回路40は、非同期で独立の局所的制御信号（lctrl）により制御される。局所的制御信号（lctrl）は、評価相（エバリュエイト）ではハイレベルであり、事前充電相（プリチャージ）ではローレベルである。

[0061] 本発明のワード回路40では、一致したワード回路40のMLだけが、前の評価相（エバリュエイト）の後において、局所的制御信号（lctrl）によ

り充電される。他の局所的制御信号（ I_{ctrl} ）はハイレベルであるので、他のワード回路40はまだ評価相の状態に留まっている。

[0062] さらに、WOS（Word Overlapped Searchの略記）方法を使用しているので、後の検索ワードは、使用していない他のワード回路40に割り当てられる。当該使用していない他のワード回路40は、既に充電された状態を保持しているので、入力される検索ワードは、事前充電する時間を使わないで処理される。

[0063] 図10は、図9の自律制御によるワード回路40の動作を説明するタイムチャートである。

図10に示すように、一致操作の後で、一致したワードのMLは、局所的制御信号（ I_{ctrl} ）により充電される。この事前充電相の間において、他の検索ワードは使用していないで評価相の状態にある他のワード回路40に割り当てられる。これらの相は重複して行われるので、事前充電相の遅延時間 T_{PA} は、サイクルタイム T_{CA} に影響しない。このように、POP動作に基づく自律制御は、事前充電相の遅延時間 T_{PA} を隠蔽するように働く。通常、評価相の遅延時間 T_{SA} は、事前充電相の遅延時間 T_{PA} よりも長い。

従って、サイクルタイム T_{CA} は、下記（6）式で与えられる。

[0064] [数6]

$$T_{CA} = T_{SA} \quad (6)$$

[0065] 本発明の半導体記憶装置1では、CAMブロック2のワードブロック4中の自律制御に基づく位相オーバーラップ処理（POP）を従来の同期型としてもよい。

図11は、同期型のワード回路42のブロック図であり、図12は、図11の動作を説明するタイムチャートである。

図11に示すように、ワード回路42を同期型とした場合には、各充電用トランジスタ21のゲートには大局的制御信号であるクロック信号が印加される。具体的には、評価相ではハイレベルのクロック信号が印加され、事前

充電相ではローレベルのクロック信号が印加される。

このため、ワード回路42を同期型としたCAMのサイクル時間 (T_{CS}) は、下記(7)式で与えられる。

[0066] [数7]

$$T_{CS} = T_{SS} + T_{PS} \quad (7)$$

[0067] ここで、 T_{SS} は(5)式で与えられる検索時間、つまり評価相の遅延時間であり、 T_{PS} は事前充電相の遅延時間である。通常 T_{SS} は T_{PS} よりも長く、そして、これらの遅延時間は同期型CAMでは同じであるので、(7)式は下記(8)式で表される。

[0068] [数8]

$$T_{CS} = 2T_{SS} \quad (8)$$

[0069] 同期式回路におけるクロック信号のデューティ比は50%である。つまり、(7)式に示すようにクロック信号のハイレベル期間(評価相期間)とローレベル期間(事前充電相期間)がそれぞれ等しいため、(8)式に示すようにクロックサイクルは評価相期間の2倍になる。

[0070] 本発明の半導体記憶装置1の従来の同期型CAMに対するスループット比は、下記(9)式で与えられる。

[0071] [数9]

$$\text{Throughput ratio} = \frac{T_{CS}}{T_{CA}} \quad (9)$$

[0072] さらに、上記(2)式、(5)式、(7)式を代入すると、上記(9)式のスループット比は、下記(10)式で与えられる。

[0073] [数10]

$$\text{Throughput ratio} \cong \frac{2(T_{\text{reg}} + T_{1\text{st}} + T_{2\text{nd}})}{T_{1\text{st}}} \quad (10)$$

[0074] ここで、第1のサブワードのビット数 k を8としたときには、評価相の遅延時間 T_{SA} は、おおむね T_{1st} に等しい。本発明のワードブロック4を自律制御で動作させると、半導体記憶装置1のサイクル時間は、事前充電の遅延時間の影響がなくなる。このため、自律制御で動作させるワードブロック4を従来の同期型のCAMと比較すると、遅延時間は著しく減少する、つまり、スループットが大きくなる。

[0075] 次に、WOSとPOPとを含んだ半導体記憶装置1Aについて説明する。
図13は、WOSとPOPとを含んだワード回路50を示す回路図である。

図13に示すように、本発明のワード回路50は、8ビットの第1段サブワード回路54aと、セグメント化回路55と、自律事前充電回路56と、136ビットの第2段サブワード回路54bとを含んで構成されている。

図13(a)に示すように、8ビットの第1段サブワード回路54aは、8個のNANDセル58と、自律事前充電用のP型MOSトランジスタ60と、弱いフィードバック用P型MOSトランジスタ62とから構成されている。

[0076] 入力制御部3からの8ビットのサブワードがこの8個のNANDセル58に入力されると、記憶されている8ビットのサブワードと比較される。セグメント化回路55の出力である ML_1 は、入力されたサブワードが一致したときはハイレベルとなり、入力されたサブワードが不一致のときは、ローレベルとなる。

[0077] ML は、自律事前充電回路56により制御される自律事前充電用のP型MOSトランジスタ60で充電される。弱いフィードバック用P型MOSトランジスタ62は、NANDセル58による ML の電荷分配の問題を解消するために使用されている（非特許文献14、15、24参照）。 ML_1 は、自律事前充電回路56に接続されると共に、136ビットの第2段サブワード回路54bに接続されている。

[0078] 136ビットの第2段サブワード回路54bは、17個のローカル一致回

路 7 0 とグローバル一致回路 7 2 とを含んで構成されている。一致回路とは、検索するワードと記憶されているワードの一致を判定する回路である。この操作を行う回路が一致回路である。このような階層的な設計は、ワード回路 5 0 をローカル一致回路 7 0 とグローバル一致回路 7 2 とに分割する（非特許文献 2 5 参照）。

[0079] 図 1 3 (b) に示すように、各ローカル一致回路 7 0 は、インバータ 7 1 と、自律事前充電用の P 型 MOS トランジスタ 6 0 と、弱いフィードバック用 P 型 MOS トランジスタ 6 2 と、8 個の NAND セル（サブサブワード回路）5 8 と、ゲートにセグメント化回路 5 5 の出力 ML_1 が入出される N 型 MOS トランジスタ 7 4 とから構成されている。一度 ML_1 がアサート、つまり有効にされると、1 7 個のローカル一致回路 7 0 が動作する。それ以外の場合には、8 ビットの第 1 段サブワード回路 5 4 a が不一致であるので、1 7 個のローカル一致回路 7 0 は動作しない。

[0080] 残りの 1 3 6 ビットのサブワード 5 4 b は、入力制御部 3 から並列に送出され、8 ビットずつ 1 7 個のサブサブワードに分割される。各サブサブワードは、ローカル一致回路 7 0 により処理される。

[0081] ローカル一致回路 7 0 の出力 (LML_i ($0 \leq i < 17$)) は、入力されたサブサブワードが一致したときはハイレベルとなり、入力されたサブサブワードが不一致のときは、ローレベルとなる。 ML_1 から LML_i の遅延時間は、 T_{2ndL} で定義される。

[0082] LML_i の全ての出力は、グローバル一致回路 7 2 に接続されている。

図 1 3 (d) に示すように、グローバル一致回路 7 2 は、1 7 個の直列接続された N 型 MOS トランジスタ 7 4 と、自律事前充電用の P 型 MOS トランジスタ 6 0 と、弱いフィードバック用 P 型 MOS トランジスタ 6 2 と、インバータ 7 1 とを含んで構成されている。 LML_i の各出力は、グローバル一致回路 7 2 の 1 7 個の直列接続された N 型 MOS トランジスタ 7 4 の各ゲートに入力される。

[0083] 全ての LML_i の出力がアサート、つまり有効にされると、グローバル一

致回路 7 2 の出力 $ML\ 2_o$ が有効、つまりハイレベルが出力される。この状態は、検索ワードが記憶されているワードと一致したことを意味している。これ以外の状態では、 $ML\ 2_o$ はローレベルである。

[0084] $ML\ 1_o$ から $ML\ 2_o$ に遷移する迄の遅延時間は、 T_{2ndG} で定義される。これから、2 段目のセグメント 5 4 b における遅延時間 T_{2nd} は、下記 (11) 式で与えられる。

[0085] [数11]

$$T_{2nd} = T_{2ndL} + T_{2ndG} \quad (11)$$

[0086] 2 段目のセグメントが動作している間に、図 1 3 (c) に示す自律事前充電回路 5 6 も動作している。図 1 3 (c) に示すように、自律事前充電回路 5 6 は、AND ゲート 7 8 が直列接続された回路である。 $ML\ 1_o$ がアサート、つまり有効にされると、遅延時間 T_{delay} が定義される。

[0087] 自律事前充電回路 5 6 の出力は、遅延時間 T_{delay} の後で無効となる。それから、自律事前充電回路 5 6 がワード回路 5 0 の全ての ML を充電する。

[0088] 図 1 4 は、図 1 3 のワード回路 5 0 の動作を示すタイムチャートである。

図 1 4 に示すように、検索ワードは 8 ビットのサブワードと 1 3 6 ビットのサブワードに分割され、これらが、 T_{CA} という周期に基づく速度で入力制御部 3 から送出される。8 ビットのサブワード 5 4 a が第 1 のセグメント中で一致したとき、残りの 1 3 6 ビットのサブワード 5 4 b が後段で処理される。サーチワードは、 T_{CA} という周期に基づいて変化するので、1 3 6 ビットのサブワードは T_{CA} の範囲内でローカル一致回路 7 0 にアサイン、つまり有効とされる必要がある。このため、ローカル一致回路 7 0 の遅延時間は下記 (12) 式の条件を満足させる必要がある。

[0089] [数12]

$$T_{2ndL} < T_{CA} \quad (12)$$

[0090] 各サブサブワードがローカル一致回路 7 0 に一致したとき、グローバル

一致回路 72 は検索ワードが一致するか否かを決定する。これと同時に、自律事前充電回路 56 が動作する。

[0091] グローバル一致回路 72 の動作の後で全ての ML を充電する必要があるので、遅延時間 T_{delay} は、下記 (13) 式の条件を満足させる必要がある。

[0092] [数13]

$$T_{delay} > T_{2nd} \quad (13)$$

[0093] 次に検索をするワードは、一致したワード回路 70 において T_{slow} の後で有効となる。このため、 T_{slow} は、下記 (14) 式の条件を満足させる必要がある。

[0094] [数14]

$$T_{slow} > T_{reg} + T_{1st} + T_{delay} + T_{prec} \quad (14)$$

[0095] ここで、 T_{prec} は、全ての ML の事前充電の遅延時間である。

上記 (3) 式、(4) 式、(14) 式から、比較される後段のサブワード 54b の数 (m) は下記 (15) 式で決定される。

[0096] [数15]

$$m = \frac{(T_{reg} + T_{delay} + T_{prec})}{T_{1st}} \quad (15)$$

[0097] ここで、図 10 及び 14 に示されているサイクルタイム T_{CA} は、おおむね T_{1st} である。

[0098] (256 × 144 ビットの半導体記憶装置)

本発明の 256 × 144 ビットの半導体記憶装置 1、1A について説明する。

本発明の 256 × 144 ビットの半導体記憶装置 1、1A を、セグメント法を用いた従来の同期型 CAM と比較する。比較例の従来の同期型 CAM は、1 段目のサブワードのビット数は $k = 8$ であり、2 段目のサブワードのビ

ット数 ($n-k$) は 136 ビットである。本発明の半導体記憶装置 1、1A も同じワード構成である。本発明の半導体記憶装置 1、1A における 2 段目のサブワードの構成は、階層型である（階層型のサブワードは非特許文献 25 参照）。

[0099] 本発明と比較例の半導体記憶装置 1、1A は、90 nm の CMOS 技術に基づいて評価されている。記憶させるワードは、一様乱数分布を有している。90 nm は、用いた CMOS 製造工程の最小加工寸法である。

[0100] (遅延時間の評価)

表 1 は、本発明の半導体記憶装置 1 の各回路の遅延時間を示す表である。具体的には、本発明の半導体記憶装置 1 を、ソフトウェアとして HSPICE (シノプシス社製の SPICE (Simulation Program with Integrated Circuit Emphasis)) を用いて評価した。MOS トランジスタのドレイン電圧は、 $V_{DD} = 1\text{ V}$ とし、温度は室温とした。

自律事前充電回路 56 は、(13) 式を満足するように設計した。(15) 式を使用して、 m を 3 に設定した。これから、(2) 式及び (8) 式から T_{CA} が 261 ps ($1\text{ ps} = 10^{-12}\text{ s}$) になった。製造工程の変動により、 T_{2nd} は T_{delay} よりも大きくなる可能性があり、この場合は (13) 式を満足しなくなる。しかしながら、(15) 式を満足させるために、 m を 3 よりも大きくすることにより対処が可能である。これにより、入力制御部 3 の面積に影響を与えるが、サイクル時間 T_{CA} には直接影響しない。

表 1 に示すように、 T_{reg} は 51 ps、 T_{1st} は 259 ps、 T_{2ndL} は 225 ps、 T_{2ndG} は 243 ps、 T_{delay} は 500 ps、 T_{prec} は 81 ps である。

[表1]

	T_{reg}	T_{1st}	T_{2ndL}	T_{2ndG}	T_{delay}	T_{prec}
遅延時間 (ps)	51	259	225	243	500	81

[0101] 図15は、本発明の90nmのCMOSプロセスでの半導体記憶装置1、1Aについて、シミュレーションの結果を示すタイミングチャートである。図15に示すように、後に続く検索ワードが、使用しないで異なるワード回路に割り当てられるので、本発明の半導体記憶装置1、1Aは、短い周期遅延に基づく T_{CA} で動作する。

[0102] (サイクル時間)

図16は、本発明の自律制御をした半導体記憶装置1、1Aと比較例のCAMのサイクル時間を比較した図である。

図16に示すように、比較例のCAMのサイクル時間は、(7)式で決まり、1454psである。本発明のWOSを用いた半導体記憶装置1のサイクル時間は、1段目のサブワード回路の遅延時間で動作する。このため、本発明のWOSを用いた半導体記憶装置1のサイクル時間は、従来のCAMに比較して64.1%減少し、555psである。

[0103] さらに、本発明のWOSとPOPを用いた半導体記憶装置1Aのサイクル時間は、事前充電の遅延時間の影響がなくなるので、従来のCAMに比較して82%減少し、約261psの遅延時間で動作する。

[0104] (消費電力)

次に、半導体記憶装置1、1Aの消費電力について説明する。

半導体記憶装置1、1Aの消費電力は下記(16)で与えられる。

[0105] [数16]

$$E_{total} = E_{match} + E_{search} + E_{ctrl} \quad (16)$$

[0106] ここで、 E_{match} 、 E_{search} 、 E_{ctrl} は、それぞれML、SL、制御信号の消費電力である。

[0107] 入力の第1の8ビットのサブワード54aが、第1段のサブワード回路において、不一致の場合には、ローカル一致回路70は動作しない。さらに、グローバル一致回路72は、各サブワードがローカル一致回路70と一致したときだけ動作する。このため、MLの消費電力は、下記(17)式

で与えられる。

[0108] [数17]

$$E_{match} = E_{1st} \left(\frac{1}{2} \right)^k + 17 E_{2ndL} \left(\frac{1}{2} \right)^{16} + E_{2ndG} \left(\frac{1}{2} \right)^{144} \quad (17)$$

[0109] ここで、 E_{1st} 、 E_{2ndL} 、 E_{2ndG} は、それぞれ1段目のサブワード回路54a、ローカル一致回路70、グローバル一致回路72の消費電力である。

[0110] MLのスイッチング確率は非常に低いと同時に、SLは新しい検索ワードがアサインされたときに変化する。

[0111] (従来型のCAMの消費電力)

制御信号の消費電力である E_{ctrl} は、従来の同期式のCAMにおいては、大局的制御信号であるクロック信号に関係している。

クロック信号は、全ての自律事前充電用のP型MOSトランジスタ60をオンにする(図10参照)。このため、従来の同期式のCAMの制御信号の消費電力である $E_{ctrl(sync)}$ は、下記(18)式で与えられる。

[0112] [数18]

$$E_{ctrl(sync)} = E_{clk_buffer} + E_{prec} \quad (18)$$

[0113] ここで、 E_{clk_buffer} はクロックバッファの消費電力であり、 E_{prec} は全ての自律事前充電用のP型MOSトランジスタ60の消費電力である。

[0114] (本発明の半導体記憶装置の消費電力)

従来の同期型CAMに対して、本発明の半導体記憶装置1Aの入力信号の消費電力 $E_{ctrl(self)}$ は、自律制御による半導体記憶装置1Aの局所的制御信号($lctrl$)に関係している。一致したワード回路における事前充電用トランジスタだけが $prec$ 信号(事前充電信号)でオンするので、事前充電用のP型MOSFET60を充電する消費電力が低減する。さらに、事前充電回路56は1段目のセグメントが一致したときだけ動作する。このため、本発明の半導体記憶装置1Aの制御信号の消費電力である $E_{ctrl(self)}$ は、

下記（１９）式で与えられる。

[0115] [数19]

$$E_{ctrl(self)} = (E_{prec} + E_{self_precharge}) \left(\frac{1}{2} \right)^8 \quad (19)$$

[0116] ここで、 $E_{self_precharge}$ は、事前充電回路の消費電力である。

[0117] （本発明の半導体記憶装置の消費電力）

表２は、本発明の半導体記憶装置１Ａと比較例のＣＡＭの消費電力を比較した表である。平均サイクル時間及び使用トランジスタ数も一緒に示している。

本発明の半導体記憶装置１Ａの平均サイクル時間は２６１ｐｓであり、比較例の同期型ＣＡＭの平均サイクル時間は１４５４ｐｓである。これから、本発明の半導体記憶装置１Ａのスループットは、比較例のＣＡＭの５．５７倍であることが分かる。

[表2]

		本発明のCAM	従来の同期型CAM
平均サイクル時間 (ps)		261	1454
消費エネルギー／検索 (fJ/bit/search)	一致	0.0006	0.0003
	検索	0.160	0.160
	Ctrl	0.001	0.103
	合計	0.162	0.263
トランジスタ数		408k	372k

[0118] 本発明の半導体記憶装置１Ａは、局所的制御信号（ I_{ctrl} ）を使用しており制御信号の消費電力が減少するので、全消費電力は、比較例の同期型ＣＡＭの６１．６％に減少した。

[0119] 本発明の半導体記憶装置１Ａでは、ワード回路を局所的に制御するので自律事前充電制御回路が必要となる。このため本発明のＣＡＭの面積はごくわずかであるが、８％増加する。本発明の半導体記憶装置１Ａのトランジスタ

数は408k個（40.8万個）であり、比較例の同期型CAMのトランジスタ数は372k個（37.2万個）である。

[0120] 表3は、本発明の半導体記憶装置1Aを従来例と対比した表である。

ハイブリッド型の利点は、低消費電力と高速動作であり、それぞれNAND型のセルとNOR型のセルによる。

本発明の半導体記憶装置1Aは、最小加工寸法が0.1 μ mのハイブリッド型CAMに比較すると、サイクルタイムは8%に短縮され、1検索当たりの消費エネルギー／ビットは23%に減少した。さらに、本発明の半導体記憶装置1Aは、最小加工寸法が65nmのNAND型CAMに比較すると、約3倍の速度で動作する。

[表3]

(非特許文献)	本発明	PF-CDPD (14)	電流セーブ (17)	パイプライン (18)	ハイブリッド (21)	Ipv6マクロ (23)
構造	256×144	256×128	256×144	1024×144	1024×144	256×144
CAM	BCAM	BCAM	TCAM	TCAM	TCAM	TCAM
セル	NAND	NAND	NOR	NOR	NAND+NOR	NAND
製造技術	90nm	0.18 μ m	0.13 μ m	0.18 μ m	0.10 μ m	65nm
サイクル時間 (ns)	0.26	5	4	7	3.3	>0.76
消費エネルギー／ 検索 (fJ/bit/search)	0.162	2.33	1.3	2.89	0.7	0.113

[0121] (変形例)

次に、本発明の半導体記憶装置1、1Aのメモリセルを、3値を記憶させるTCAMとした場合について説明する。

TCAMでは、「0」、「1」、「X」というように3つの状態を扱う。「X」は、「ドントケア (Don't care)」とも呼ばれている。

図17は、TCAM80の回路図である。

図17に示すように、TCAM80は、図8に示すBCAMのメモリセル30をマッチ線 (ML) に対して2つ並列にした構成を有している。つまり

、TCAM80は、上段の「0」、「1」を記憶させるNAND型の第1のメモリセル81と、下段の「X」を記憶させるNAND型の第2のメモリセル82と、複数の伝送用トランジスタ84と、ML用伝送用トランジスタ85とを含んで構成されている。NAND型の第1のメモリセル81には、WLと、BL／SLと、BLバー／SLバーと、が接続される。NAND型の第2のメモリセル82には、WLとDCL（ドントケアライン）とDCLバーとが接続される。MLは、ML用伝送用トランジスタ85を介して、NAND型の第1のメモリセル81と、NAND型の第2のメモリセル82に接続される。

[0122] 図1に示す半導体記憶装置1、1AのCAMブロック2を、図17でその一例を示したTCAM80とし、入力制御部3等を2値から3値のデータとすることにより、半導体記憶装置1、1Aは3値のデータの連想メモリとして動作する。

[0123] 本発明は、上記実施の形態に限定されるものではなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

請求の範囲

- [請求項1] レジスタとコンパレータとモード制御部とを含んで構成される入力制御部と、該入力制御部に接続される連想メモリブロックと、を含み、
- 上記連想メモリブロックの各ワード回路は、上記入力制御部のサーチライン1に接続される k ビットの第1段サブワード回路と、上記入力制御部のサーチライン2に接続される $n-k$ ビットの第2段サブワード回路と、からなり、
- 上記 k ビットの第1段サブワード回路と上記 $n-k$ ビットの第2段サブワード回路とは、セグメント化回路を介して接続されている、半導体記憶装置。
- [請求項2] 前記第2段サブワード回路は、さらに分割されたサブサブワード回路と各該サブサブワード回路に接続されるローカル一致回路と、該サブサブワード回路全体のグローバル一致回路とからなる、請求項1に記載の半導体記憶装置。
- [請求項3] 前記サブサブワード回路は k ビットである、請求項2に記載の半導体記憶装置。
- [請求項4] 前記入力制御部は、高速モード及び低速モードで動作する、請求項1～3の何れかに記載の半導体記憶装置。
- [請求項5] 前記入力制御部は、前記 k ビットの第1段サブワードが検索ワードと一致しないと判定した場合には、異なる入力に対して連続的に一致動作を続けるように前記高速モードで動作する、請求項4に記載の半導体記憶装置。
- [請求項6] 前記入力制御部は、前記 k ビットの第1段サブワードが検索ワードと一致すると判定した場合には、前記低速モードで動作する、請求項4又は5に記載の半導体記憶装置。
- [請求項7] 前記連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、該ワード回路内において一致したマ

ッチ線だけが、該ワード回路内で生成された局所的制御信号により充電される、請求項 1 ～ 6 の何れかに記載の半導体記憶装置。

[請求項8] 前記連想メモリブロックの検索において、各ワード回路は次の検索を行う前にマッチ線が充電され、該ワード回路のグローバル一致回路の動作の後で該ワード回路のマッチ線が充電される、請求項 1 ～ 6 の何れかに記載の半導体記憶装置。

[請求項9] 前記一致回路は、ワード毎に非同期又は同期して制御されることを特徴とする、請求項 2 に記載の半導体記憶装置。

[請求項10] 前記入力制御部は、同期信号又は非同期信号により駆動されることを特徴とする、請求項 1 ～ 8 の何れかに記載の半導体記憶装置。

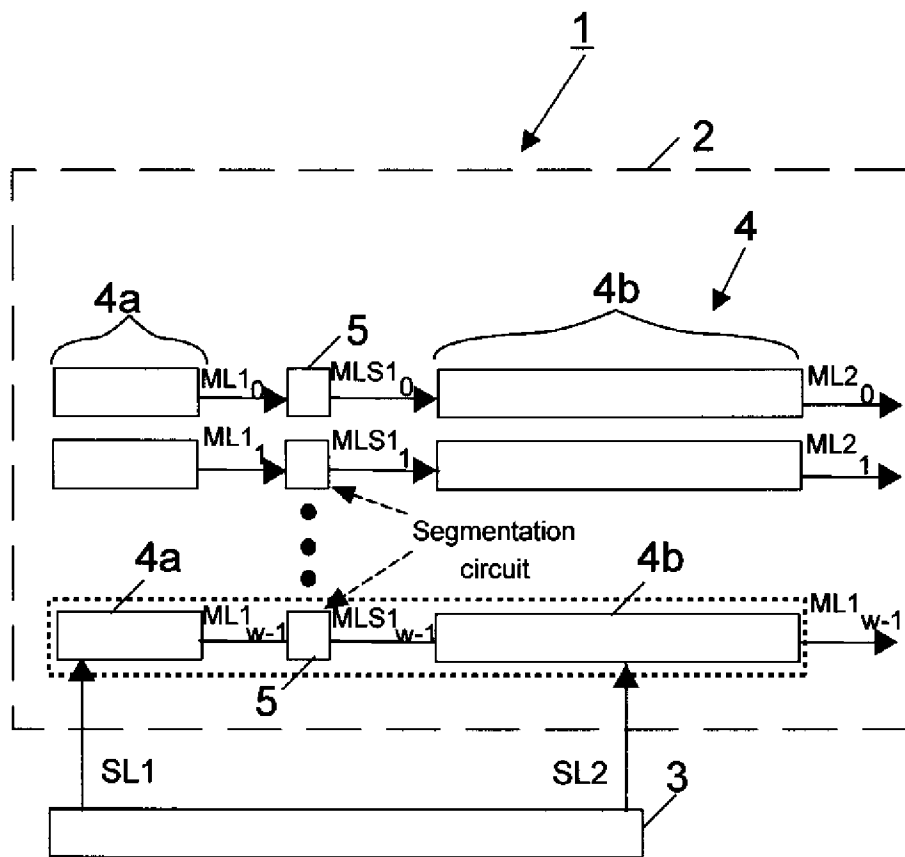
[請求項11] 前記連想メモリブロックは、2 値の連想メモリセルからなることを特徴とする、請求項 1 に記載の半導体記憶装置。

[請求項12] 前記連想メモリブロックは、3 値の連想メモリセルからなることを特徴とする、請求項 1 に記載の半導体記憶装置。

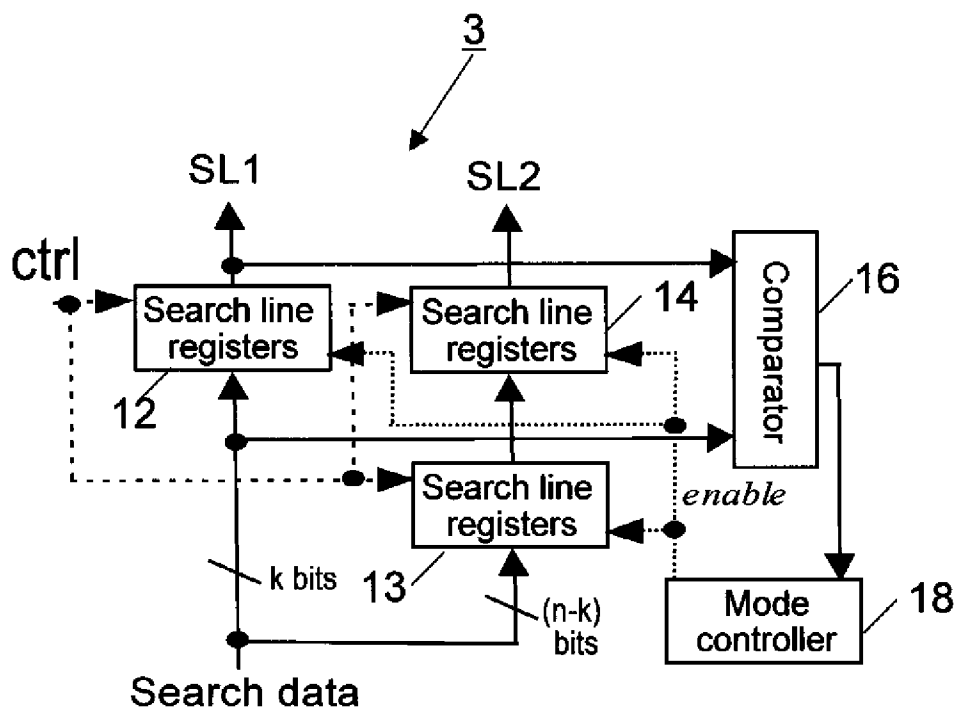
[請求項13] 前記ワード回路は、自律事前充電回路を含んで構成されていることを特徴とする、請求項 7 又は 8 に記載の半導体記憶装置。

[請求項14] 前記一致回路を、ワード毎に非同期で制御し、
検索するワードと記憶されているワードの一致を判定する一致操作の後で、一致したワードのマッチラインを、局所的制御信号により自律事前充電し、該自律事前充電における遅延時間 T_{PA} を、前記連想メモリブロックのサイクルタイム T_{CA} に影響しないように動作させる、請求項 9 に記載の半導体記憶装置。

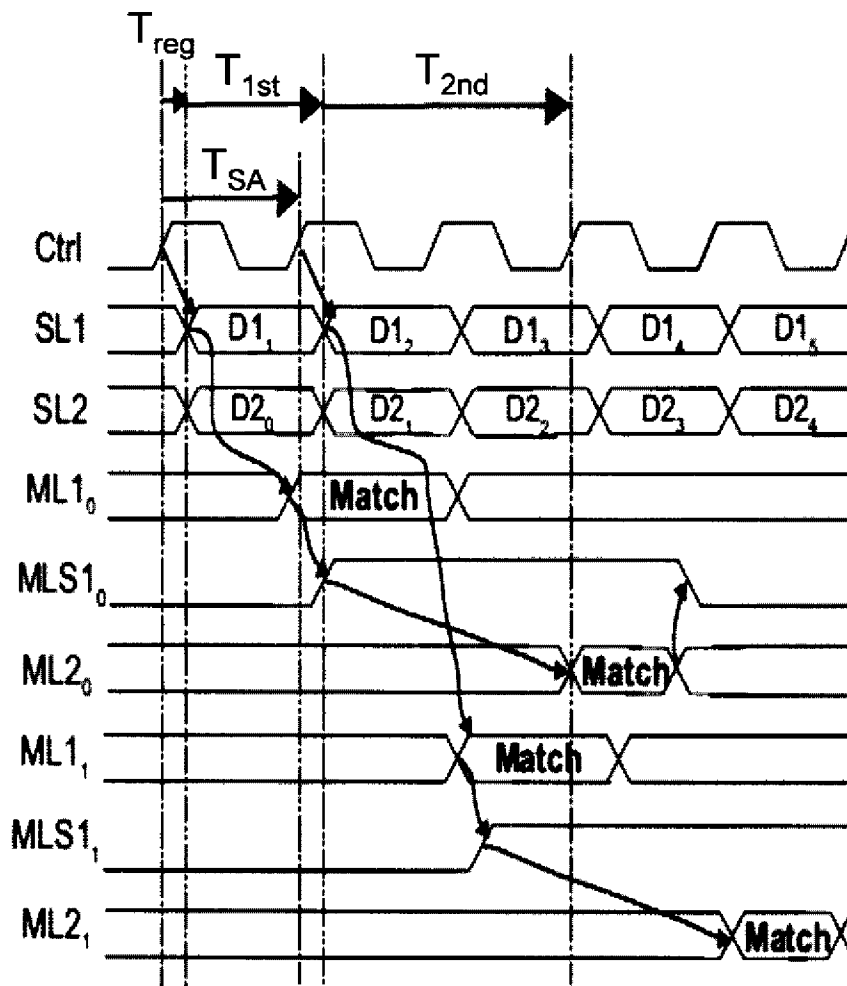
[図1]



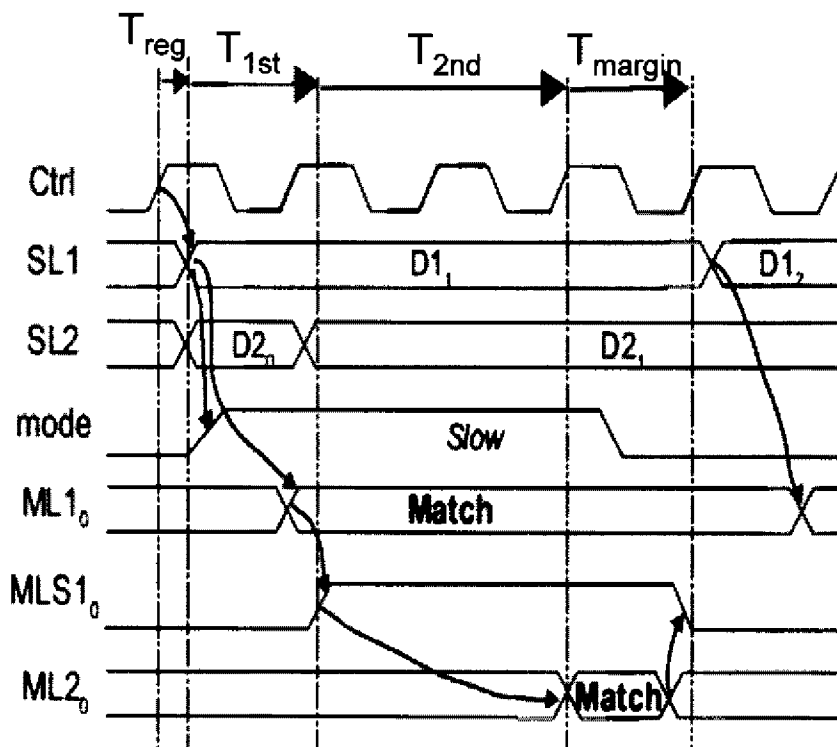
[図2]



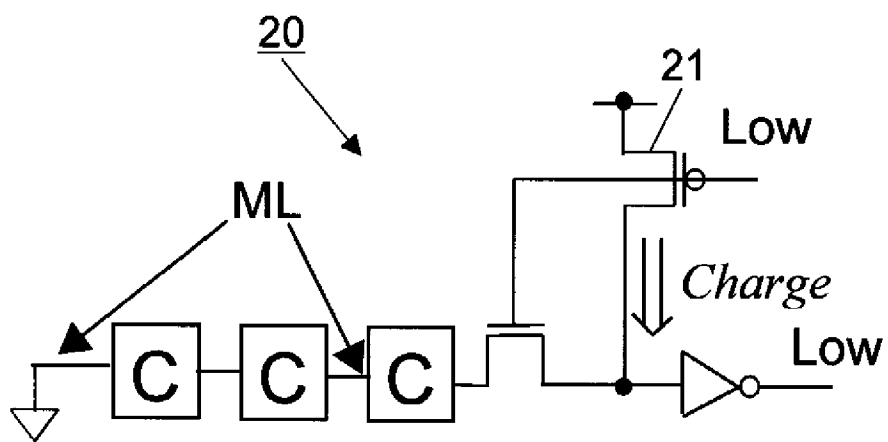
[図3]



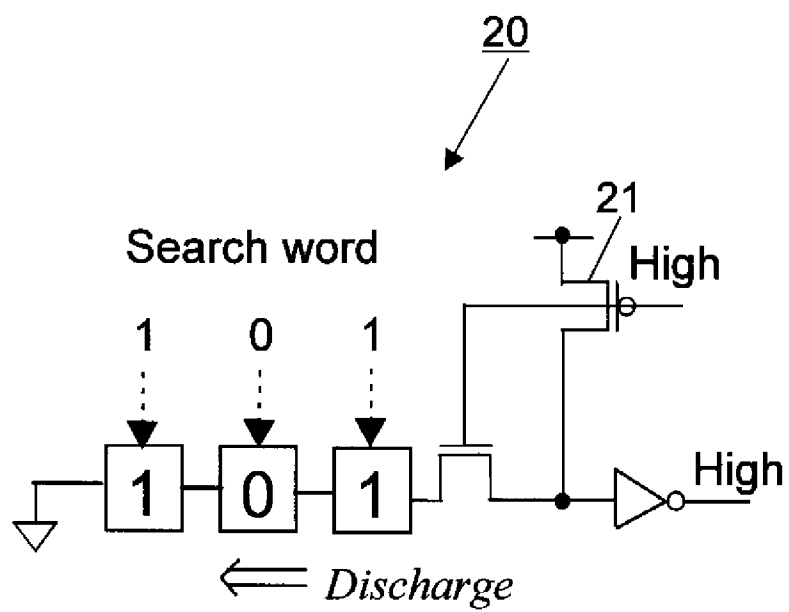
[図4]



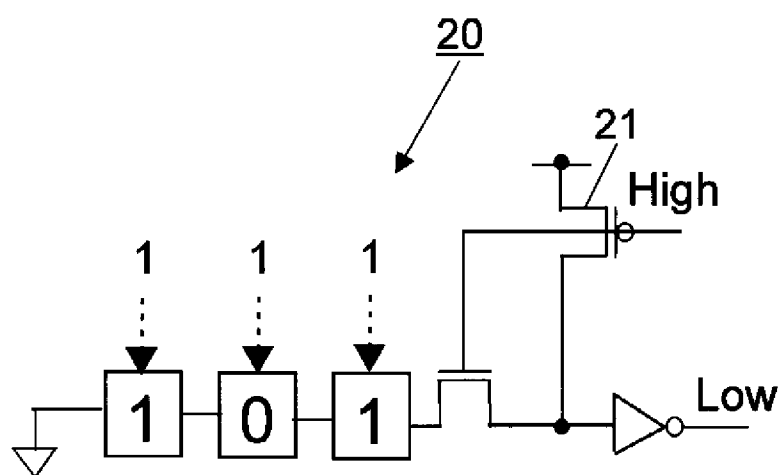
[図5]



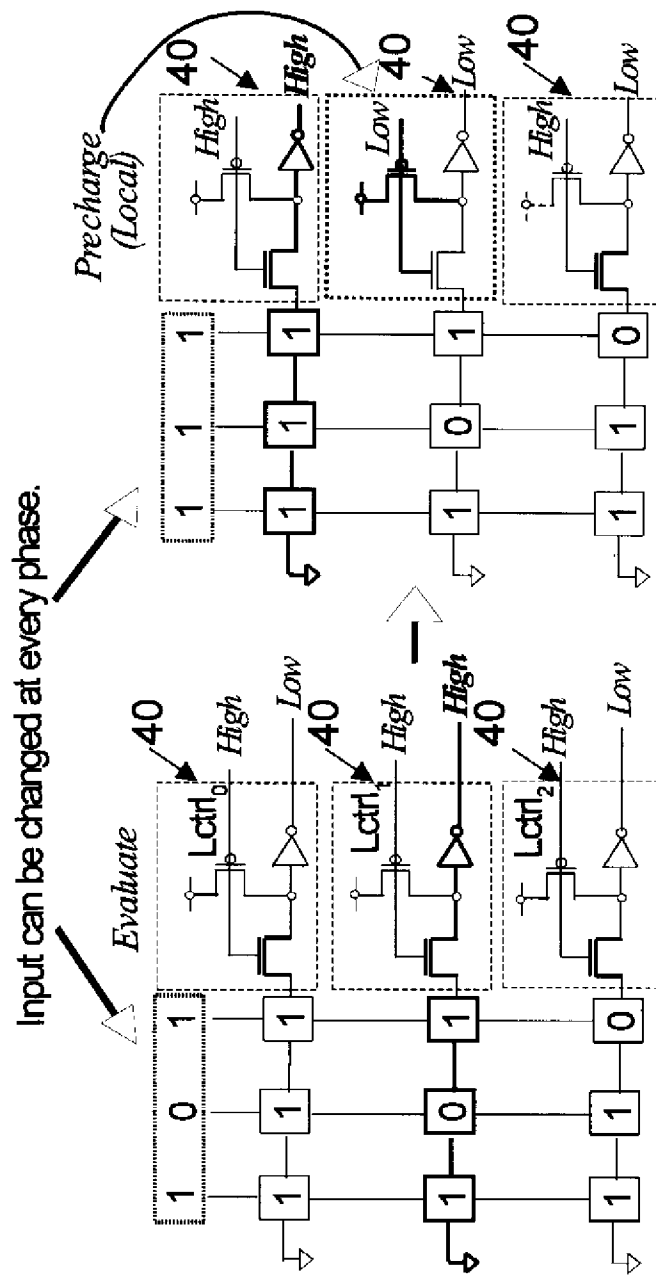
[図6]



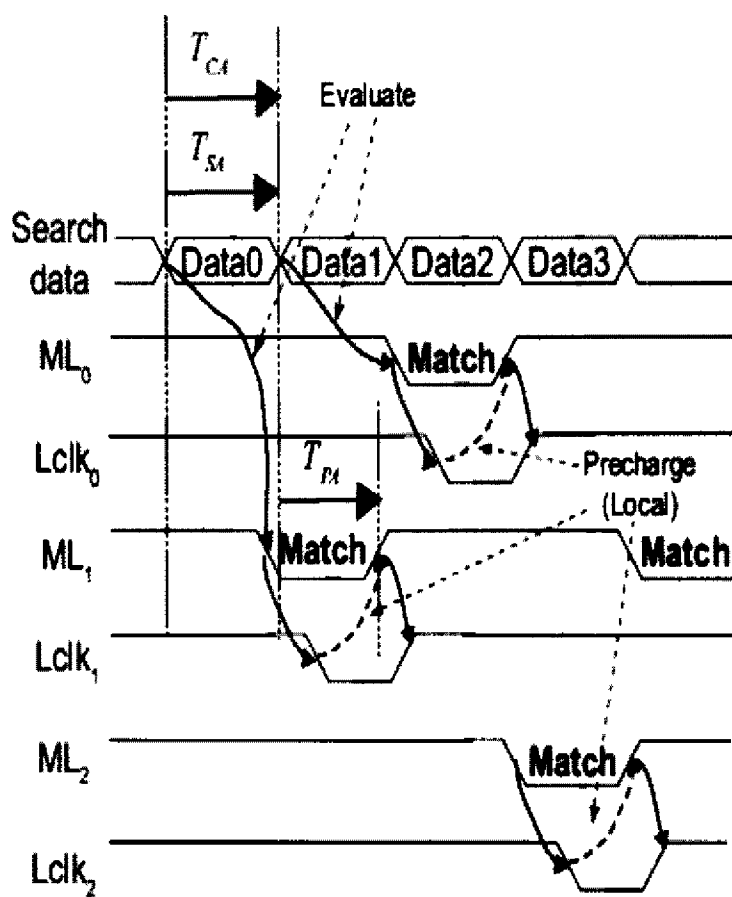
[図7]



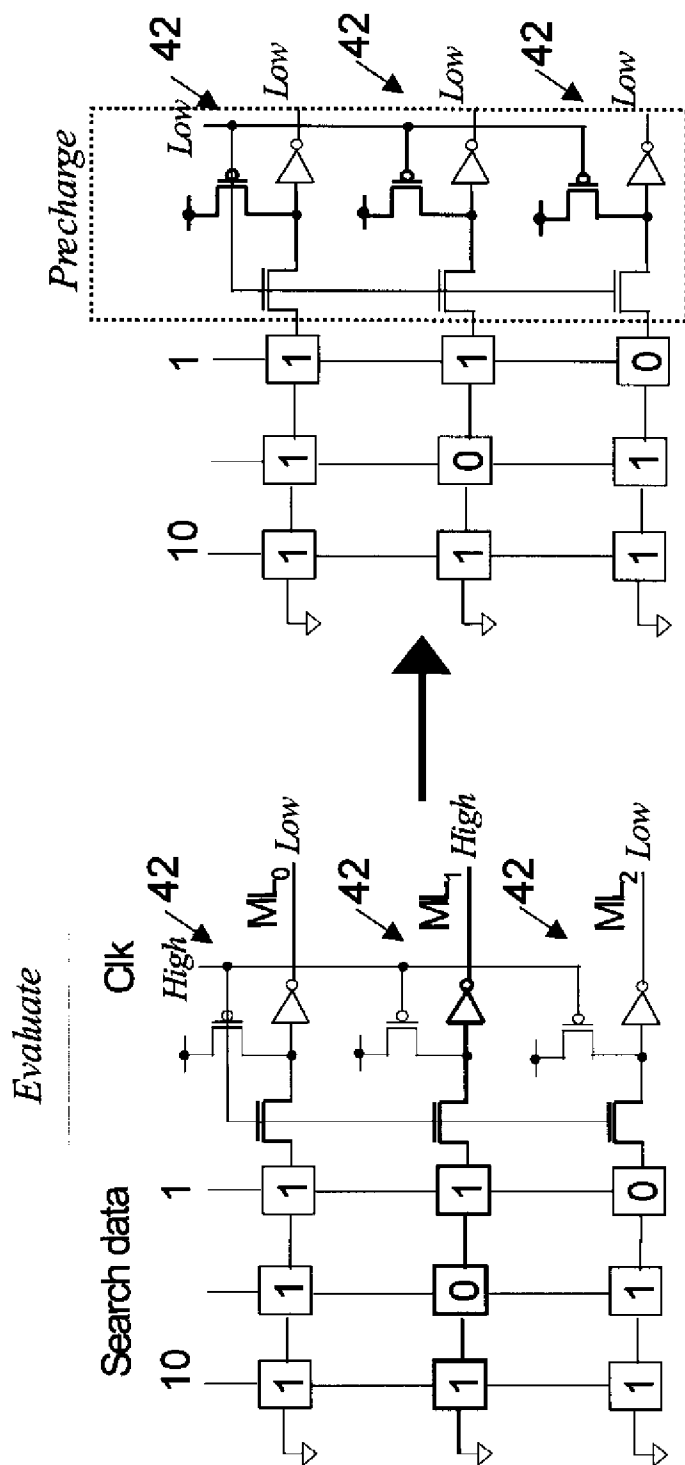
[図9]



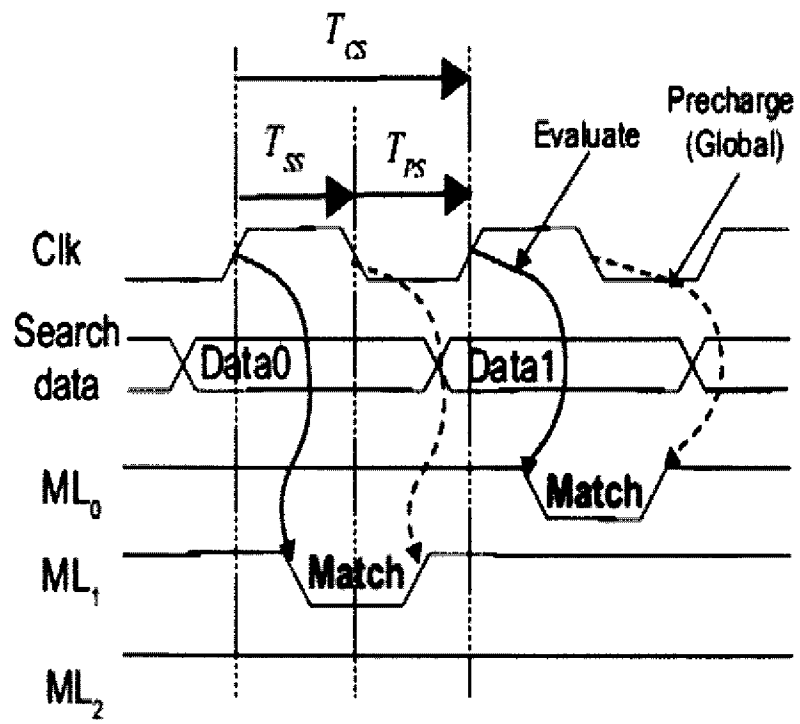
[図10]



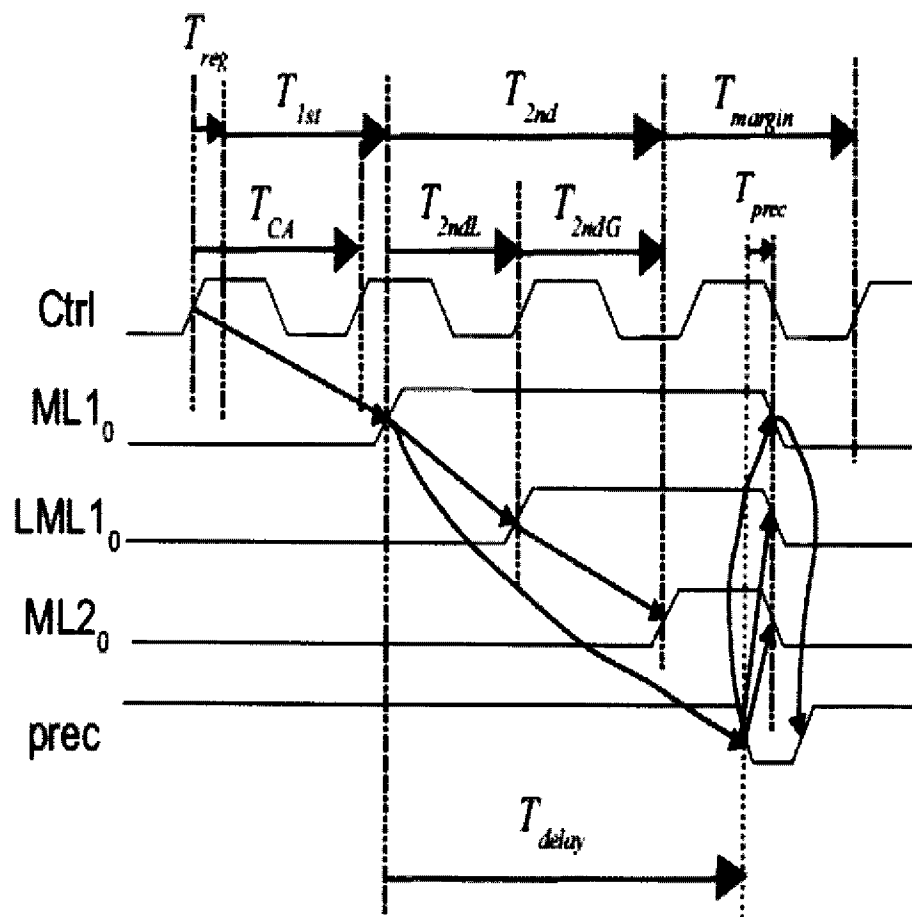
[図11]



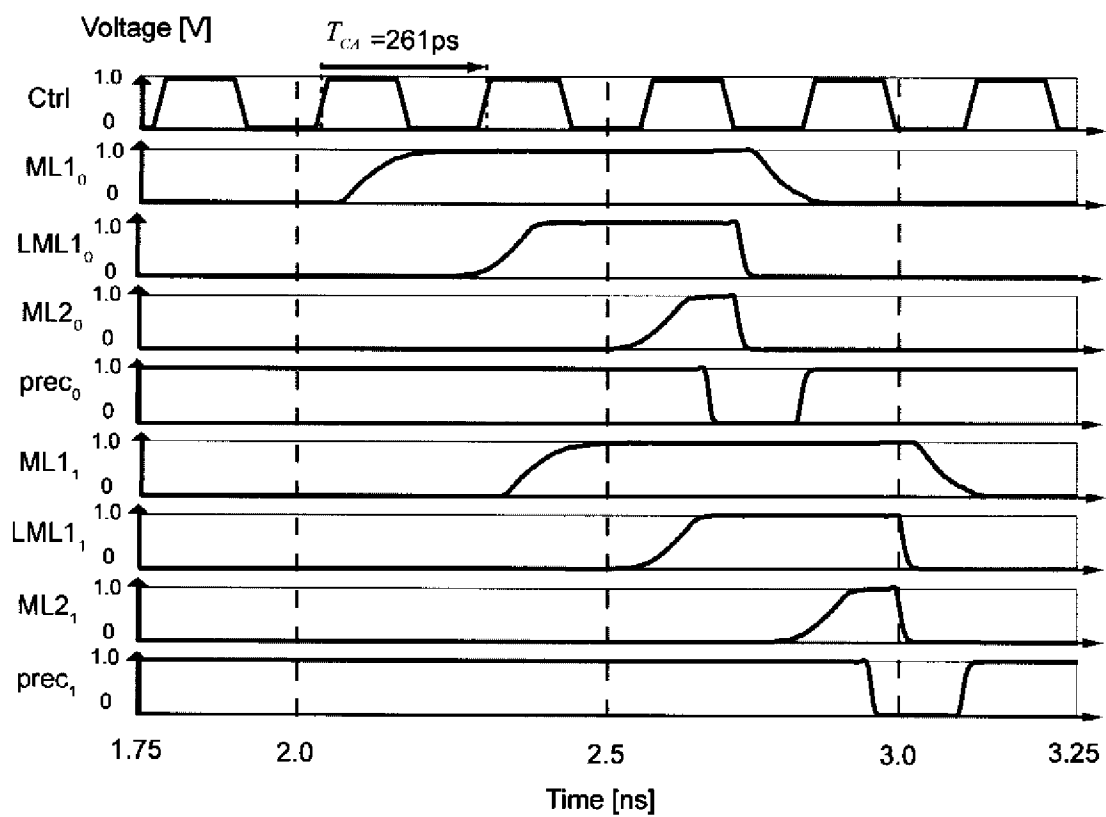
[図12]



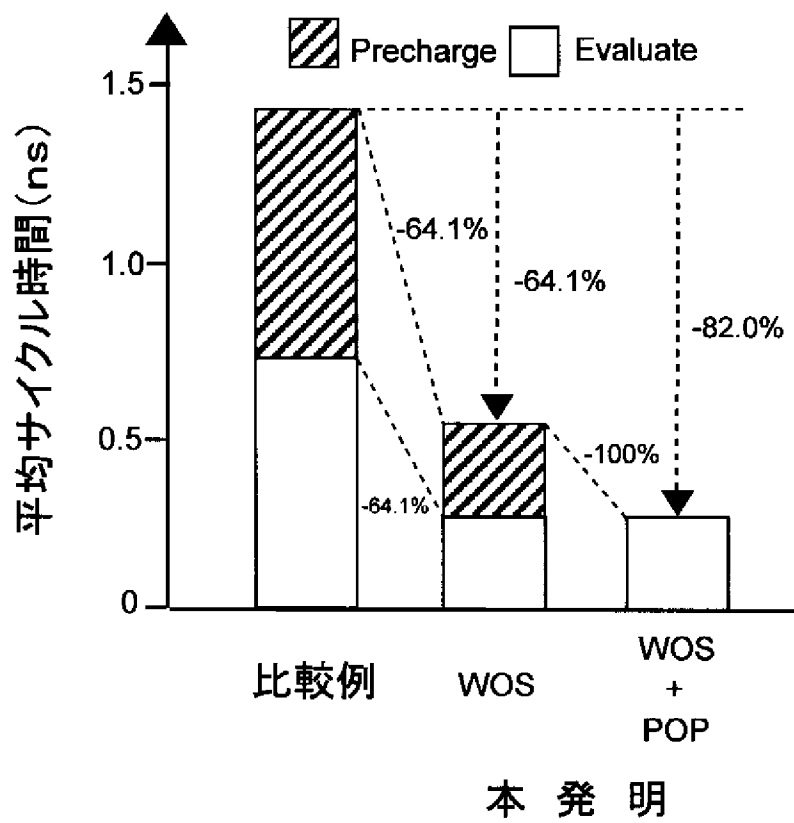
[図14]

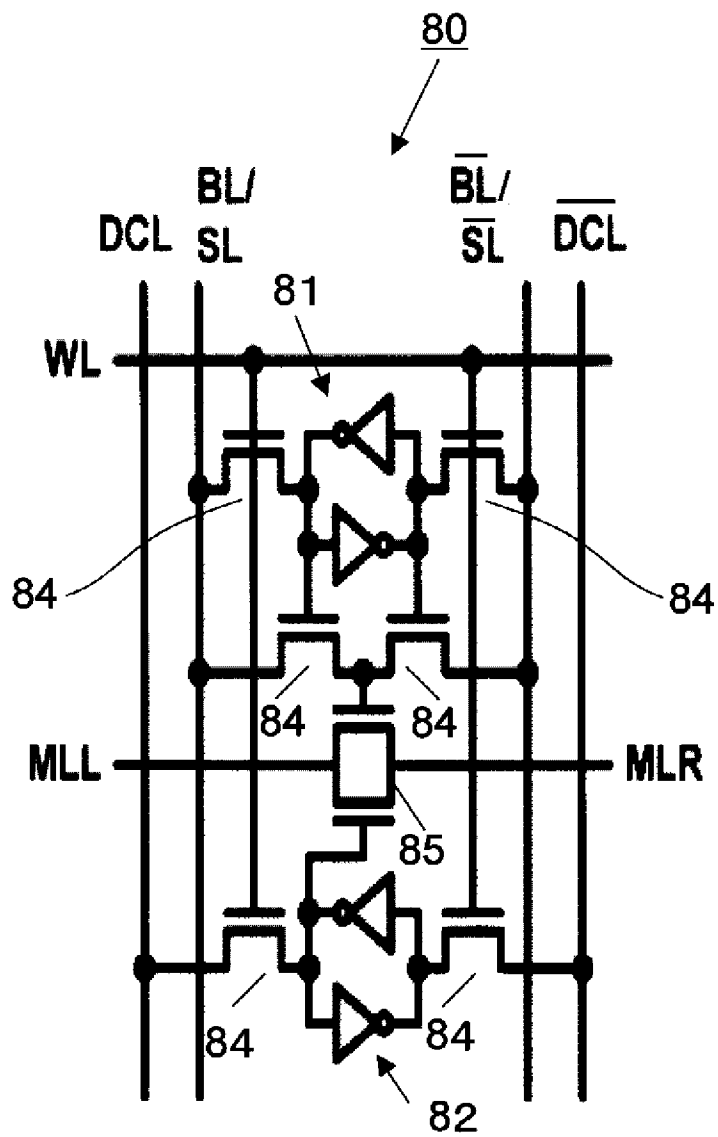


[図15]

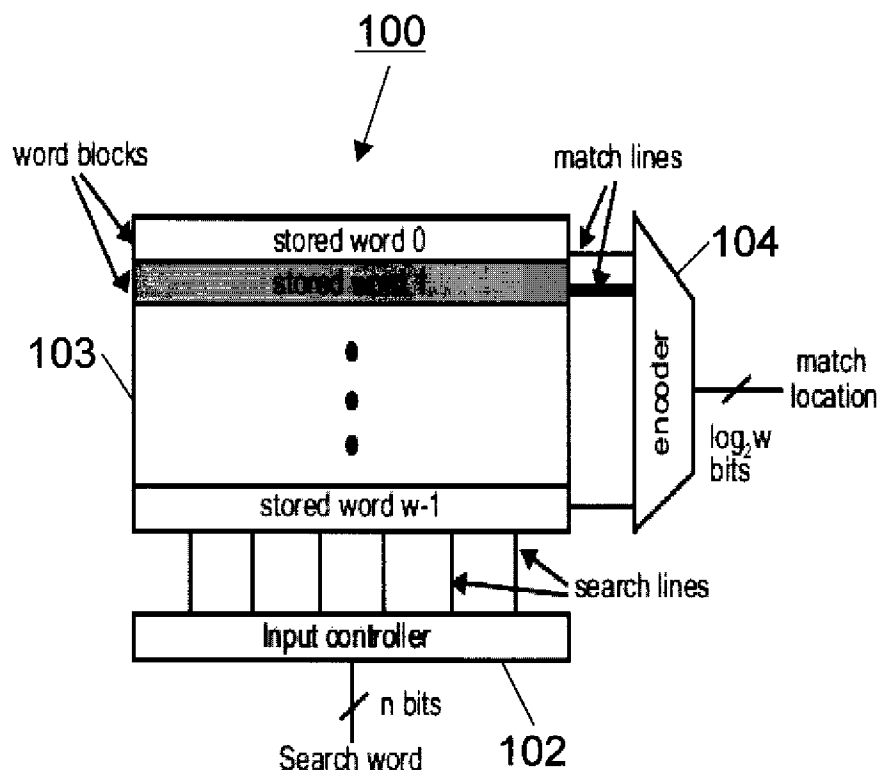


[図16]





[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062791

A. CLASSIFICATION OF SUBJECT MATTER

G11C15/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C15/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 7-14391 A (Kawasaki Steel Corp.), 17 January 1995 (17.01.1995), paragraphs [0049] to [0050]; fig. 1 (Family: none)	1 2-14
Y	JP 2-308499 A (Toshiba Corp.), 21 December 1990 (21.12.1990), fig. 2, 3 & US 5034919 A	2-14
Y	JP 3-212896 A (Mitsubishi Electric Corp.), 18 September 1991 (18.09.1991), page 3, upper right column, line 13 to lower left column, line 12; fig. 2 & US 5485418 A	2-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2013 (24.05.13)Date of mailing of the international search report
04 June, 2013 (04.06.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/062791

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-333395 A (Kawasaki Steel Corp.), 02 December 1994 (02.12.1994), abstract (Family: none)	1-14
P,A	JP 2013-37750 A (Renesas Electronics Corp.), 21 February 2013 (21.02.2013), abstract; fig. 1 to 4, 7, 8, 13 (Family: none)	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C15/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C15/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 7-14391 A（川崎製鉄株式会社）1995.01.17, 段落【0049】 －【0050】、図1（ファミリーなし）	1 2 - 1 4
Y	JP 2-308499 A（株式会社東芝）1990.12.21, 第2, 3図 & US 5034919 A	2 - 1 4
Y	JP 3-212896 A（三菱電機株式会社）1991.09.18, 第3頁右上欄第1 3行－同頁左下欄第12行、第2図 & US 5485418 A	2 - 1 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 3

国際調査報告の発送日

0 4 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 紀和

5 U

4 2 4 0

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-333395 A (川崎製鉄株式会社) 1994. 12. 02, 要約 (ファミリーなし)	1 - 1 4
P, A	JP 2013-37750 A (ルネサスエレクトロニクス株式会社) 2013. 02. 21, 要約、図 1 - 4, 7, 8, 1 3 (ファミリーなし)	1 - 1 4