



공개특허 10-2024-0010401

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2024-0010401
(43) 공개일자 2024년01월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/146 (2006.01)

(52) CPC특허분류

H01L 27/14634 (2013.01)

H01L 27/14612 (2013.01)

(21) 출원번호 10-2023-0081587

(22) 출원일자 2023년06월26일

심사청구일자 없음

(30) 우선권주장

JP-P-2022-114323 2022년07월15일 일본(JP)

(71) 출원인

캐논 가부시끼가이샤

일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고

(72) 발명자

이시노 히데아키

일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방

2고 캐논가부시끼가이샤 나이

야마구치 준

일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방

2고 캐논가부시끼가이샤 나이

(뒷면에 계속)

(74) 대리인

권태복

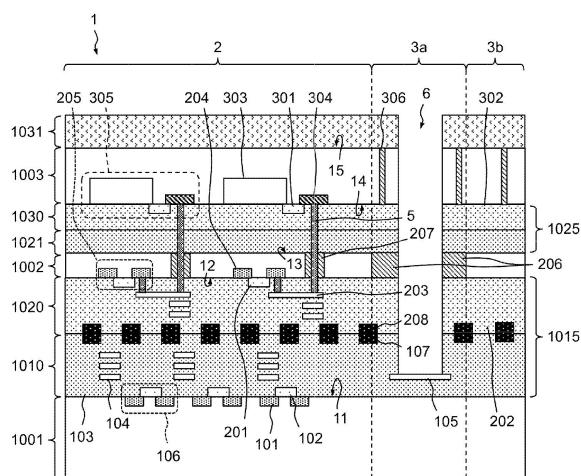
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 반도체 장치

(57) 요 약

반도체층들이 적층된 반도체 장치를 제공한다. 제1반도체층과 제2반도체층 사이에 제1구조체가 배치된다. 제2반도체층과 제3반도체층 사이에 제2구조체가 배치된다. 제3반도체층에 대한 정사영에 있어서, 제3반도체층에 복수의 소자가 배치된 영역이 제1영역이고, 제1영역과 제3반도체층의 주연부 사이의 영역이 제2영역이다. 제2영역에는, 제3반도체층, 제2구조체 및 제2반도체층을 관통하고 제1구조체에 배치된 전극을 노출시키는 개구부가 배치된다. 제1영역과 개구부 사이에는, 제2반도체층과 같은 높이에 절연체부가 배치되어 있다.

대 표 도



(52) CPC특허분류

H01L 27/14621 (2013.01)

H01L 27/14625 (2013.01)

H01L 27/14636 (2013.01)

(72) 발명자

탄케 츠토무

일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2

고 캐논가부시끼가이샤 나이

하라 타쿠야

일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2

고 캐논가부시끼가이샤 나이

코바야시 다이스케

일본국 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2

고 캐논가부시끼가이샤 나이

명세서

청구범위

청구항 1

제1반도체층, 제2반도체층 및 제3반도체층이 적층된 반도체 장치로서,

상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,

서로 마주보는 상기 제1반도체층의 제1주면과 상기 제2반도체층의 제2주면 사이에는 제1절연층을 포함하는 제1구조체가 배치되고,

서로 마주보는 상기 제2반도체층의 제3주면과 상기 제3반도체층의 제4주면 사이에는 제2절연층을 포함하는 제2구조체가 배치되고,

상기 제4주면에 대한 정사영에 있어서, 상기 제3반도체층에 복수의 소자가 배치된 영역을 제1영역으로 정의하고, 상기 제1영역과 상기 제3반도체층의 주연부 사이의 영역을 제2영역으로 정의하고.

상기 제2영역에는, 상기 제1구조체에 배치된 패드 전극을 노출시키도록 구성된 개구부가 배치되고,

상기 개구부는, 상기 제3반도체층의 상기 제4주면과는 반대측의 제5주면으로부터 상기 패드 전극까지, 상기 제3반도체층, 상기 제2구조체, 및 상기 제2반도체층을 관통하고,

상기 제1절연층과 상기 제2절연층 사이와, 상기 제1영역과 상기 개구부 사이에는, 상기 제2반도체층과 같은 높이에 절연체부가 배치되어 있는 반도체 장치.

청구항 2

제 1항에 있어서,

상기 제3주면에 대한 정사영에 있어서, 상기 절연체부가 상기 개구부를 둘러싸도록 배치되어 있는 반도체 장치.

청구항 3

제 2항에 있어서,

상기 절연체부가, 상기 개구부 중 상기 제2반도체층을 관통하는 부분의 벽면을 구성하고 있는 반도체 장치.

청구항 4

제 3항에 있어서,

상기 패드 전극 및 상기 개구부를 포함하는 복수의 패드 전극 및 복수의 개구부가 배치되고,

상기 제3주면에 대한 정사영에 있어서, 상기 절연체부가, 상기 복수의 개구부에 대해 연속해서 배치되어 있는 반도체 장치.

청구항 5

제 3항에 있어서,

상기 패드 전극 및 상기 개구부를 포함하는 복수의 패드 전극 및 복수의 개구부가 배치되고,

상기 복수의 개구부는, 서로 인접하는 제1개구부와 제2개구부를 포함하고,

상기 제3주면에 대한 정사영에 있어서, 상기 절연체부는, 상기 제1개구부를 둘러싸는 제1부분과, 상기 제2개구부를 둘러싸는 제2부분을 포함하고,

상기 제1부분과 상기 제2부분 사이에, 상기 제2반도체층의 일부가 배치되어 있는 반도체 장치.

청구항 6

제 5항에 있어서,

상기 제2반도체층 중 상기 제1영역에 배치된 부분과, 상기 제2반도체층 중 상기 복수의 개구부와 상기 제2반도체층의 주연부 사이에 배치된 부분이, 상기 제2반도체층의 상기 일부를 통해 연속되어 있는 반도체 장치.

청구항 7

제 3항에 있어서,

상기 제1구조체 중 상기 절연체부에 접하는 부분에, 상기 제1절연층 및 상기 절연체부와는 다른 재료를 사용한 부재가 배치되어 있는 반도체 장치.

청구항 8

제 7항에 있어서,

상기 제2주면에는 트랜지스터가 배치되고,

상기 트랜지스터의 게이트 전극과 상기 부재가 같은 재료로 구성되어 있는 반도체 장치.

청구항 9

제 7항에 있어서,

상기 부재가 다결정 실리콘, 아모퍼스 실리콘 및 단결정 실리콘 중 적어도 1개를 포함하는 반도체 장치.

청구항 10

제 7항에 있어서,

상기 제5주면에 대한 정사영에 있어서, 상기 개구부 중 상기 제1구조체에 배치되는 부분이, 상기 개구부 중 상기 제3반도체층, 상기 제2구조체 및 상기 제2반도체층을 관통하는 부분의 내측에 배치되어 있는 반도체 장치.

청구항 11

제 1항에 있어서,

상기 제2영역에, 상기 제1구조체로부터 상기 제2반도체층을 관통하여 상기 제2구조체까지 연장되는 도전부재가 더 배치되어 있는 반도체 장치.

청구항 12

제 11항에 있어서,

상기 도전부재가 상기 제1영역을 둘러싸도록 배치되어 있는 반도체 장치.

청구항 13

제 11항에 있어서,

상기 도전부재가 상기 개구부를 둘러싸도록 배치되어 있는 반도체 장치.

청구항 14

제 1항에 있어서,

상기 복수의 소자가 광전 변환 소자를 포함하는 반도체 장치.

청구항 15

제 14항에 있어서,

상기 제2주면에, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치되고,

상기 제1주면에, 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치되어 있는 반도체 장치.

청구항 16

제 15항에 있어서,

상기 절연체부를 제1절연체부로 정의하고,

상기 제1구조체는 상기 제1절연층 내에 배치된 배선 패턴을 포함하고,

상기 광전 변환 소자와 상기 배선 패턴을 접속하도록 구성된 플리그 전극이 상기 제2구조체 및 상기 제2반도체 층을 관통하도록 배치되고,

상기 제3주면에 대한 정사영에 있어서, 상기 제2반도체층에는, 상기 플리그 전극을 둘러싸고 상기 제2주면으로부터 상기 제3주면까지 상기 제2반도체층을 관통하는 제2절연체부가 배치되어 있는 반도체 장치.

청구항 17

제 16항에 있어서,

상기 제1절연체부와 상기 제2절연체부가 같은 재료로 구성되어 있는 반도체 장치.

청구항 18

제 16항에 있어서,

상기 제2절연층이, 상기 제2반도체층에 접하는 제1층과, 상기 제1층과 상기 제3반도체층 사이에 배치되고 상기 제1층에 접하는 제2층을 포함하고,

상기 제2층이 상기 제2절연체부와는 다른 재료로 구성되어 있는 반도체 장치.

청구항 19

제 18항에 있어서,
상기 제2절연체부가 산화 실리콘으로 구성되고,
상기 제2층이 질화 실리콘 또는 다결정 실리콘으로 구성되어 있는 반도체 장치.

청구항 20

제 14항에 있어서,
상기 제5주면 위에, 광학 소자를 포함하는 제3구조체가 더 배치되어 있는 반도체 장치.

청구항 21

제 20항에 있어서,
상기 광학 소자는 총내 렌즈, 칼라필터 및 마이크로렌즈 중 적어도 1개를 포함하는 반도체 장치.

청구항 22

제 20항에 있어서,
상기 개구부는, 상기 제3구조체를 더 관통하고,
상기 제5주면에 대한 정사영에 있어서, 상기 개구부 중 상기 제3반도체층, 상기 제2구조체 및 상기 제2반도체층을 관통하는 부분이, 상기 개구부 중 상기 제3구조체에 배치되는 부분의 내측에 배치되어 있는 반도체 장치.

청구항 23

제 14항에 있어서,
상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층이 실리콘으로 구성되고,
상기 제1반도체층의 최대 산소 농도가 상기 제2반도체층의 최대 산소 농도보다도 높고,
상기 제2반도체층의 최대 산소 농도가 상기 제3반도체층의 최대 산소 농도보다도 높은 반도체 장치.

청구항 24

제 14항에 있어서,
상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층이 실리콘으로 구성되고,
상기 제2반도체층의 최대 산소 농도가, 상기 제1반도체층의 최대 산소 농도 및 상기 제3반도체층의 최대 산소 농도보다도 높은 반도체 장치.

청구항 25

제 24항에 있어서,
상기 제1반도체층의 최대 산소 농도가 상기 제3반도체층의 최대 산소 농도보다도 높은 반도체 장치.

청구항 26

제 1항에 있어서,
 상기 제3주면에 대한 정사영에 있어서,
 상기 제2반도체층은 사각형 형상을 갖고,
 상기 제2영역 중 상기 절연체부가 배치되는 영역의 폭이 상기 제2반도체층의 짧은 변의 길이의 1/100 이하인 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치에 관한 것이다.

배경 기술

[0002] 국제공개 제2020/105713호에는, 복수의 반도체 기판이 적층된 고체 활상 소자가 개시되어 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일부의 실시형태는, 복수의 반도체층이 적층된 반도체 장치의 특성의 향상에 유리한 기술을 제공한다.

과제의 해결 수단

[0004] 일부 실시형태에 따르면, 제1반도체층, 제2반도체층 및 제3반도체층이 적층된 반도체 장치로서, 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고, 서로 마주보는 상기 제1반도체층의 제1주면과 상기 제2반도체층의 제2주면 사이에는 제1절연층을 포함하는 제1구조체가 배치되고, 서로 마주보는 상기 제2반도체층의 제3주면과 상기 제3반도체층의 제4주면 사이에는 제2절연층을 포함하는 제2구조체가 배치되고, 상기 제4주면에 대한 정사영에 있어서, 상기 제3반도체층에 복수의 소자가 배치된 영역을 제1영역으로 정의하고, 상기 제1영역과 상기 제3반도체층의 주연부 사이의 영역을 제2영역으로 정의하고, 상기 제2영역에는, 상기 제1구조체에 배치된 패드 전극을 노출시키도록 구성된 개구부가 배치되고, 상기 개구부는, 상기 제3반도체층의 상기 제4주면과는 반대측의 제5주면으로부터 상기 패드 전극까지, 상기 제3반도체층, 상기 제2구조체, 및 상기 제2반도체층을 관통하고, 상기 제1절연층과 상기 제2절연층 사이와, 상기 제1영역과 상기 개구부 사이에는, 상기 제2반도체층과 같은 높이에 절연체부가 배치되어 있는 반도체 장치가 제공된다.

[0005] 본 발명의 또 다른 특징은 (첨부도면을 참조하는) 이하의 실시형태의 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0006] 도1은, 본 실시형태에 따른 반도체 장치의 구성예를 나타낸 평면도이다.

도2는, 도1의 반도체 장치의 구성예를 나타낸 단면도이다.

도3은, 도1의 반도체 장치의 구성예를 나타낸 평면도이다.

도4는, 도1의 반도체 장치의 구성예를 나타낸 평면도이다.

도5는, 도1의 반도체 장치의 구성예를 나타낸 단면도이다.

도6은, 도1의 반도체 장치의 구성예를 나타낸 단면도이다.

도7은, 도1의 반도체 장치의 구성예를 나타낸 단면도이다.

도8a 내지 도8c는, 도7에 도시된 보호 소자의 구성예를 나타낸 회로도이다.

도9는, 도1에 도시된 반도체 장치의 구성예를 나타낸 단면도이다.

도10a 내지 도10c는, 도6에 도시된 반도체 장치의 제조방법의 예를 나타낸 단면도이다.

도11a 내지 도11d는, 도6에 도시된 반도체 장치의 제조방법의 예를 나타낸 단면도이다.

도12a 내지 도12c는, 도6에 도시된 반도체 장치의 제조방법의 예를 나타낸 단면도이다.

도13a 및 도13b는, 도6에 도시된 반도체 장치의 제조방법의 예를 나타낸 단면도이다.

도14a 및 도14b는, 도6에 도시된 반도체 장치의 제조방법의 예를 나타낸 단면도이다.

도15a 및 도15b는, 도6에 도시된 반도체 장치의 제조방법의 예를 나타낸 단면도이다.

도16은, 도1에 도시된 반도체 장치의 구성예를 나타낸 단면도이다.

도17a 내지 도17d는, 도16에 도시된 도전부재의 배치예를 나타낸 평면도이다.

도18a 내지 도18f는, 도16에 도시된 도전부재의 배치예를 나타낸 단면도이다.

도19a 및 도19b는, 도16에 도시된 도전부재의 배치예를 나타낸 단면도이다.

도20a 및 도20b는, 도16에 도시된 도전부재의 배치예를 나타낸 단면도이다.

도21a 내지 도21d는, 도16에 도시된 도전부재의 배치예를 나타낸 단면도이다.

도22a 및 도22b는, 도16에 도시된 도전부재의 배치예를 나타낸 단면도이다.

도23a 내지 도23d는, 도11a 내지 도11d에 도시된 제조방법의 변형예를 나타낸 단면도이다.

도24a 및 도24b는, 도11a 내지 도11d에 도시된 제조방법의 변형예를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0007]

이하, 첨부도면을 참조해서 실시형태를 상세히 설명한다. 이때, 이하의 실시형태는 청구범위에 관한 발명을 한정하는 것은 아니다. 실시형태에는 복수의 특징이 기재되어 있지만, 이를 복수의 특징의 모두가 발명에 필수적인 것은 아니고, 또한, 복수의 특징은 임의로 조합되어도 된다. 더구나, 첨부도면에 있어서는, 동일 혹은 유사한 구성에 동일한 참조번호를 붙이고, 중복한 설명은 생략한다.

[0008]

도1 내지 도24a 및 도24b를 참조하여, 본 개시의 실시형태에 따른 반도체 장치 및 반도체 장치의 제조방법에 대해 설명한다. 도1은, 본 발명의 실시형태에 따른 반도체 장치(1)의 구조를 나타내는 평면도다. 도1에는, 1침에 해당하는 반도체 장치(1)가 도시되어 있다. 반도체 장치(1)는, 칩의 중앙으로부터 단부를 향해서 영역 2 및 영역 3(영역 3a 및 3b)을 구비한다. 영역 2 및 3에 대해서는 후술한다.

[0009]

도2는, 도1에 도시되는 A-B선을 따른 단면 구조를 나타낸 것이다. 반도체 장치(1)에는, 반도체층 1001, 반도체층 1002와 반도체층 1003이 적층되어 있다. 도2에 나타낸 것과 같이, 반도체층 1001과 반도체층 1003 사이에, 반도체층 1002가 배치되어 있다. 서로 마주보는 반도체층 1001의 주면 11과 반도체층 1002의 주면 12 사이에는, 절연층을 포함하는 구조체 1015가 배치되어 있다. 구조체 1015는, 반도체층 1을 제조할 때에 반도체층 1001의 주면 11 위에 형성되는 구조체 1010과, 반도체층 1002의 주면 12 위에 형성되는 구조체 1020을 포함한다. 서로 마주보는 반도체층 1002의 주면 13과 반도체층 1003의 주면 14 사이에는, 절연층을 포함하는 구조체 1025가 배치되어 있다. 구조체 1025는, 반도체층 1을 제조할 때에 반도체층 1002의 주면 13 위에 형성되는 구조체 1021과, 반도체층 1003의 주면 14 위에 형성되는 구조체 1030을 포함한다. 여기에서, 반도체층 1001은 주면 11과 주면(참조번호 없음)을 갖고, 반도체층 1002는 주면 12와 주면 13을 갖고, 반도체층 1003은 주면 14와 주면 15를 갖는다. 예를 들면, 반도체층 1001에 있어서, 주면 11은 주면(참조번호 없음)과 반대측의 면이다. 반도체층 1002에 있어서, 주면 12는 주면 13과 반대측의 면이다. 반도체층 1003에 있어서, 주면 14는 주면 15와 반대측의 면이다. 예를 들면, 주면 11, 주면 12 및 주면 14를 표면으로도 부를 수 있고, 반도체층 1001의 참조번호가 없는 주면, 주면 13과, 주면 15를 이면으로 부를 수도 있다. 예를 들면, 표면은, 트랜지스터의 게이트가 배치되는 측이나 구조체 1015이나 1025가 배치되는 측이라고도 할 수 있다.

[0010]

도2에 나타낸 것과 같이, 반도체층 1003의 주면 14에 대한 정사영에 있어서, 반도체층 1003에 복수의 소자(305)가 배치된 영역을 영역 2로 정의하고, 영역 2와 반도체층 1003(반도체 장치(1))의 주연부 사이의 영역을 영역 3으로 정의한다. 영역 3은, 반도체층 1003의 주면 14에 대한 정사영에 있어서 (후술하는) 절연체부 206이 배치되어 있는 영역 3a와, 절연체부 206과 반도체 장치(1)의 주연부 사이에 배치된 영역 3b로 나누어 설명하는 경우

가 있다.

[0011] 반도체층 1001에는, 영역 2에 있어서 확산층 101, 셀로우 트렌치 아이솔레이션(미도시) 등이 배치되어 있다. 반도체층 1001의 주면 11 위에 배치된 구조체 1010에는, 영역 2에 있어서, 게이트 전극 102, 절연층 103, 배선층 및 비아(이하, 배선 패턴 104로 부른다) 등이 배치되어 있다. 또한, 구조체 1010에는, 영역 3에 있어서, 패드 전극(105) 등이 배치되어 있다. 확산층 101과 게이트 전극 102는 트랜지스터 106을 구성한다. 트랜지스터 106과 패드 전극(105)은 전기적으로 접속될 수 있다. 패드 전극(105)은, 반도체 장치(1)를 반도체 장치(1)의 외부에 배치된 기기에 전기적으로 접속하고, 신호 등의 교환을 행하기 위해 배치된다. 또한, 구조체 1010의 표면에는, 절연층 103에 매립된 본딩 패드 107이 배치되어 있다.

[0012] 반도체층 1002에는, 영역 2에 있어서, 확산층 204 등이 배치되어 있다. 구조체 1020에는, 영역 2에 있어서, 게이트 전극 201, 절연층 202, 배선층 및 비아(이하, 배선 패턴 203으로 부른다) 등이 배치되어 있다. 확산층 204와 게이트 전극 201은, 트랜지스터 205를 구성한다. 트랜지스터 205는, 예를 들면, 후술하는 반도체층 1003에 배치된 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 증폭 트랜지스터 등을 포함한다. 배선 패턴 203과 게이트 전극 201과, 배선 패턴 203과 확산층 204는, 각각 콘택홀에 배치된 배선 패턴 203에 포함되는 도전부재를 거쳐 전기적으로 접속된다. 구조체 1020에는, 반도체층 1001과 마주보는 표면에, 절연층 202에 매립된 본딩 패드 208이 배치되어 있다. 구조체 1021은 절연층을 포함한다. 구조체 1010과 구조체 1020은, 절연층 103과 절연층 202와의 표면, 및, 본딩 패드 107과 본딩 패드 208의 표면에 있어서 각각 접합되어, 구조체 1015를 구성한다.

[0013] 또한, 반도체층 1002에는, 주면 12로부터 주면 13까지 반도체층 1002를 관통하는 절연체부 206 및 207이 배치되어 있다. 여기에서, 절연체부 206은 영역 3a에 배치된 부재를 나타내고, 절연체부 207은 영역 2에 배치된 부재를 나타낸다. 절연체부 206과 절연체부 207은 동시에 형성하는 것이 가능하다. 절연체부 206과 절연체부 207은 같은 재료로 구성되어 있어도 된다.

[0014] 반도체층 1003에는, 영역 2에 있어서, 포토다이오드(303), 플로팅 디퓨전(304) 등이 배치되어 있다. 구조체 1030에는, 영역 2에 있어서, 게이트 전극 301, 절연층 302 등이 배치되어 있다. 게이트 전극 301, 포토다이오드(303), 및, 플로팅 디퓨전(304)은, 광전 변환 소자를 구성한다. 이와 같이, 반도체층 1003에 배치되는 복수의 소자(305)는 광전 변환 소자를 포함한다. 광전 변환 소자는, 반도체층 1003의 영역 2에, 복수의 행 및 복수의 열을 구성하도록 배치될 수 있다. 환연하면, 행렬 형상으로 복수의 광전 변환 소자가 배치되는 영역이 영역 2일 수 있다. 또한, 행렬 형상으로 복수의 광전 변환 소자가 배치된 영역 2의 주변에 배치되는 소위 주변 영역이 영역 3일 수 있다. 반도체층 1003에는, 적어도 영역 3a 및 3b에 있어서, 주면 14로부터 주면 15까지 반도체층 1003을 관통하는 절연체부 306이 배치되어 있다. 예를 들면, 반도체층 1003에 배치되는 복수의 소자(305)가 광전 변환 소자를 포함한다. 다음에, 반도체층 1002의 주면 12에, 반도체층 1003에 배치된 광전 변환 소자로부터 출력되는 신호를 증폭하는 트랜지스터 205를 포함하는 소자 회로가 배치된다. 더구나, 반도체층 1001의 주면 11에, 반도체층 1003에 배치된 복수의 소자(305) 및 반도체층 1002에 배치된 소자 회로를 구동하도록 구성된 트랜지스터 106을 포함하는 구동회로가 배치되어 있어도 된다.

[0015] 반도체층 1003의 소자(305)가 형성되는 주면 14와는 반대측의 주면 15 위에는, 광학 소자를 포함하는 구조체 1031이 배치되어 있다. 구조체 1031에는, 차광층, 충내 렌즈, 칼라필터 및 마이크로렌즈 등의 광학 소자가 배치되어 있어도 된다. 이를 광학 소자는, 영역 3b에 형성되는 절연체부 306에 대해 위치맞춤의 기준점으로서 형성되어도 된다. 구조체 1021과 구조체 1030은, 절연층들의 표면에 있어서 접합되어, 구조체 1025를 구성한다.

[0016] 반도체층 1002에 배치된 트랜지스터 205 등의 소자와 반도체층 1003에 배치된 소자(305) 등의 소자는, 플러그 전극(5) 및 배선 패턴 203을 거쳐 전기적으로 접속될 수 있다. 전술한 것과 같이, 구조체 1015는, 절연층 202 내부에 배치된 배선 패턴 203을 포함한다. 광전 변환 소자(소자(305))와 배선 패턴 203을 접속하도록 구성된 플러그 전극(5)이, 구조체 1025 및 반도체층 1002를 관통해서 배치된다. 반도체층 1002의 주면 13에 대한 정사영에 있어서, 반도체층 1002에는, 플러그 전극(5)을 둘러싸고 주면 12로부터 주면 13까지 반도체층 1002를 관통하는 절연체부 207이 배치되어 있다. 플러그 전극(5)은, 반도체층 1002에 있어서 절연체부 207 내에 형성된다. 이 것에 의해, 반도체층 1002와 플러그 전극(5) 사이의 절연성이 유지된다. 플러그 전극(5)이 배치되는 관통 비아의 가공 안정성 및 저항 안정성을 고려하면, 반도체층 1002는 얇게 형성될 수 있다. 반도체층 1001에 배치된 트랜지스터 106 등의 소자와 반도체층 1002에 배치된 트랜지스터 205 등의 소자는, 본딩 패드 107과 본딩 패드 208을 거쳐 전기적으로 접속된다.

[0017] 영역 3a에는, 반도체층 1003의 주면 14와는 반대측의 반도체층 1003의 주면 15로부터 구조체 1015에 배치된 패

드 전극(105)까지, 반도체층 1003, 구조체 1025 및 반도체층 1002를 관통하고, 패드 전극(105)을 노출시키는 개구부(6)가 배치된다. 개구부(6)는, 패드 전극(105)을 노출시키기 위해, 구조체 1031도 관통한다. 반도체층 1002의 주면 13에 대한 정사영에 있어서, 반도체층 1002의 영역 2와 개구부(6) 사이에는, 주면 12로부터 주면 13까지 반도체층 1002를 관통하는 절연체부 206이 배치되어 있다. 개구부(6)와 트랜지스터 205가 배치된 반도체층 1002 사이에서 절연성을 유지할 필요가 있다. 예를 들면, 개구부(6)에는, 반도체 장치(1)를 반도체 장치(1)의 외부의 장치에 접속하도록 구성된 패드 전극(105)에 접속된 금속 와이어가 배치된다. 이 와이어가 개구부(6)의 벽면에 접촉하더라도, 와이어와 반도체층 1002 사이의 절연성을 유지할 필요가 있다. 영역 2와 개구부(6) 사이에 절연체부 206이 배치되면, 와이어와 반도체층 1002 사이의 절연성을 유지할 수 있다. 즉, 예를 들어, 와이어를 흐르는 신호에 의해 발생하는, 반도체층 1002에 배치된 트랜지스터 205 등의 소자의 오동작이 억제되어, 반도체 장치(1)의 신뢰성 등의 특성이 향상된다.

[0018] 반도체층 1002의 주면 13에 대한 정사영에 있어서, 절연체부 206이 개구부(6)를 둘러싸도록 배치되어 있어도 된다. 절연체부 206이 개구부(6)를 둘러싸면, 더욱 확실하게 반도체층 1002의 영역 2와 개구부(6) 사이의 절연성을 유지할 수 있다. 또한, 도2에 나타낸 것과 같이, 절연체부 206이, 개구부(6) 중 반도체층 1002를 관통하는 부분의 벽면을 구성하고 있어도 된다. 반도체층 1002에 설치된 절연체부 206을 관통하도록 개구부(6)가 형성되어도 되며, 제조방법의 상세한 내용은 후술한다. 그렇지만, 본 발명은 이것에 한정되는 것은 아니고, 절연체부 206은, 반도체층 1003에 배치된 절연체부 306과 같이, 개구부(6)로부터 떨어져 있고, 개구부(6)의 벽면을 구성하지 않아도 된다.

[0019] 마찬가지로, 반도체층 1003에 있어서, 영역 2와 개구부(6) 사이에는 절연체부 306이 배치된다. 반도체층 1003의 주면 15에 대한 정사영에 있어서, 절연체부 306은 개구부(6)를 둘러싸도록 배치되어 있어도 된다. 이것에 의해, 개구부(6)와 반도체층 1003의 영역 2 사이의 절연성을 유지할 수 있다.

[0020] 상기한 것과 같이, 반도체층 1002는 박화될 수 있다. 이 때문에, 반도체층 1002의 기계적인 강도는 저하할 수 있다. 반도체층 1002의 기계적 강도의 관점에서, 영역 3 중 절연체부 206이 배치되는 영역 3a의 폭이 가능한 한 좁으면 강도 면에서 유리하다. 예를 들면, 반도체층 1002의 주면 13에 대한 정사영에 있어서, 반도체층 1002(반도체 장치(1))는 사각형 형상을 가질 수 있다. 따라서, 영역 3a의 폭이, 예를 들면, 반도체층 1002(반도체 장치(1))의 짧은 변의 길이의 1/100 이하이어도 된다. 개구부(6)의 배치도 절연체부 206의 배치에 따른다.

[0021] 반도체 장치(1)의 일례로서, 반도체층 1003에 배치되는 소자(305)가 광전 변환 소자를 포함하는, 소위 광전 변환장치를 사용하여 전술한 설명을 행하였다. 그렇지만, 본 개시는 이것에 한정되는 것은 아니고, 반도체층이 3층 적층된 다른 반도체 장치에 있어서도 전술한 것과 유사한 효과가 얻어질 수 있다. 예를 들면, 각각의 반도체 층에 메모리 등이 탑재되어 있어도 된다.

[0022] 도3은, 반도체층 1002의 주면 13을 나타내는 평면도다. 도3에 도시되는 절연체부 206 및 207의 배치에 주목하고, 플러그 전극(5) 등은 생략되어 있다. 상기한 것과 같이, 반도체 장치(1)는, 칩의 중앙으로부터 주연부를 향해서 영역 2, 영역 3a 및 영역 3b를 구비한다. 영역 3a에는, 반도체층 1002를 관통하는 절연체부 206이 배치되어 있다. 또한, 절연체부 206에 둘러싸이도록, 패드 전극(105)을 노출시키도록 구성된 개구부(6)가 배치되어 있다.

[0023] 도3에 도시되는 구성에서는, 반도체층 1002 중 영역 2에 배치되는 부분과 영역 3b에 배치되는 부분은 절연체부 206에 의해 분리되어 있다. 또한, 반도체층 1002 중 영역 2에 배치되는 부분에는, 절연체부 207이 설치되어 있다.

[0024] 도3에 나타낸 것과 같이, 반도체층 1002의 영역 2는, 반도체층 1002를 관통하는 절연체부 206에 의해 둘러싸여 있다. 반도체층 1002의 주면 13에 대한 정사영에 있어서, 절연체부 206이 복수의 개구부(6)에 대해 연속해서 배치되어 있다고도 할 수 있다. 이 때문에, 영역 2로부터 영역 3b에 이르는 경로에 항상 절연체부 206이 존재한다. 이와 같이 절연체부 206을 배치하면, 개구부(6)의 배치에 관해 자유도를 유지하면서, 개구부(6)와 반도체층 1002 중 영역 2에 배치된 부분 사이의 절연성을 유지할 수 있다.

[0025] 전술한 것과 같이, 반도체층 1002의 기계적 강도의 관점에서, 영역 3 중 절연체부 206이 배치되는 영역 3a의 폭이 가능한 한 좁으면, 강도 면에서 유리하다. 여기에서, 영역 3a의 폭은 도3에 도시되는 길이 W로 표시되어 있다. 도3에서는 설명의 편의상 디멘션이 다르지만, 전술한 것과 같이, 절연체부 206이 배치되는 영역 3a의 폭은, 예를 들면, 반도체 장치(1)의 칩의 짧은 변 폭의 1/100 이하이어도 된다. 이와 같은 구성에 의해 복수의 개구부(6)들 사이의 배치 간격을 작게 할 수 있으므로, 미세화가 가능하다.

- [0026] 도4는, 도3에 도시되는 반도체층 1002의 주면 13의 평면도의 변형예를 도시한 도면이다. 도4에 도시되는 구성에 있어서도, 도3에 도시되는 구성과 마찬가지로, 복수의 패드 전극(105)에 대응하도록 복수의 개구부(6)가 배치된다. 여기에서, 복수의 개구부 중, 서로 인접하는 개구부 6a와 개구부 6b에 주목한다. 반도체층 1002의 주면 13에 대한 정사영에 있어서, 절연체부 206은, 개구부 6a를 둘러싸는 부분 206a와, 개구부 6b를 둘러싸는 부분 206b를 포함하고, 부분 206a와 부분 206b 사이에 반도체층 1002의 일부가 배치되어 있다. 즉, 도3에 도시되는 구성과 달리, 절연체부 206이 연속적으로 배치되지 않고, 개구부(6)를 따라 단속적으로 배치되어 있다. 그렇지만, 개구부(6)를 둘러싸도록 절연체부 206이 배치되기 때문에, 개구부(6)와 반도체층 1002 중 영역 2에 배치된 부분 사이의 절연성을 유지할 수 있다.
- [0027] 도4에 나타낸 것과 같이, 절연체부 206이 단속적으로 배치된다. 이 때문에, 반도체층 1002 중 영역 2에 배치된 부분과, 반도체층 1002 중 복수의 개구부(6)와 반도체층 1002의 주연부 사이에 배치된 부분(예를 들면, 영역 3b)이, 반도체층 1002 중 절연체부 206이 배치되지 않는 영역 3a의 부분을 통해 연속되어 있다. 도4에 도시되는 구성에서는, 도3에 도시되는 구성과 달리, 영역 2와 영역 3b의 반도체층 1002가 절연체부 206에 의해 분리되지 않는다. 이 때문에, 도3에 도시되는 구성과 비교하여, 반도체층 1002의 기계적 강도를 향상시킬 수 있다.
- [0028] 도4에 도시되는 구성에 있어서도, 영역 3 중 절연체부 206이 배치되는 영역 3a의 폭(길이 W)이 가능한 한 좁은 것이 유리하다. 따라서, 영역 3a의 폭이, 예를 들면, 반도체층 1002(반도체 장치(1))의 짧은 변의 길이의 1/100 이하이어야 된다. 각 모서리부에서는, 1개의 절연체부 206에 2개의 개구부(6)가 배치된다. 다른 부분에 있어서도, 1개의 절연체부 206에 2개 이상의 개구부(6)가 배치되어도 된다. 보다 미세한 구성을 구현하면서, 기계적 강도를 향상시킬 수 있다.
- [0029] 도5는, 도2에 도시되는 반도체 장치(1)의 단면도의 변형예를 도시한 도면이다. 도5에 도시되는 반도체 장치(1)에 있어서, 구조체 1015 중 절연체부 206에 접하는 부분에, 절연층 202 및 절연체부 206과는 다른 재료를 사용한 부재 7이 배치되어 있다. 이 이외의 구성은, 도2에 도시되는 구성과 유사해도 되며, 이하, 부재 7에 대해 상세히 설명한다.
- [0030] 부재 7은, 반도체층 1002의 주면 12에 배치되는 트랜지스터 205의 게이트 전극 201과 같은 재료로 구성되어 있어도 된다. 예를 들면, 반도체층 1002의 주면 12 위에 트랜지스터 205의 게이트 전극 201을 형성할 때에, 1개의 재료층을 에칭함으로써, 게이트 전극 201과 부재 7을 형성한다. 부재 7의 재료로서, 같은 에칭 조건하에서 절연체부 206보다도 에칭 레이트가 느린 재료가 사용된다. 예를 들면, 절연체부 206으로서 산화 실리콘이 사용되는 경우, 게이트 전극 201 및 부재 7로서, 다결정 실리콘, 아모퍼스 실리콘, 단결정 실리콘 등이 선택될 수 있다.
- [0031] 반도체층 1002의 주면 13에 대한 정사영에 있어서, 개구부(6)는, 부재 7 및 절연체부 206의 내측에 형성된다. 이 때문에, 반도체층 1002에 있어서 개구부(6)의 주위가 절연체부 206으로 둘러싸이기 때문에, 개구부(6)와 반도체층 1002 사이의 절연성을 유지할 수 있다. 더구나, 개구부(6)를 형성하는 에칭단계에 있어서, 부재 7을 에치 스토퍼로 사용하여 절연체부 206을 에칭할 수 있다. 부재 7에서 일단 에칭이 멈추면, 에칭량의 격차에 기인하는 패드 전극(105)의 에칭을 억제할 수 있다.
- [0032] 도6은, 도5에 도시되는 반도체 장치(1)의 단면도의 변형예를 도시한 도면이다. 도2 및 도5에 도시되는 구성에서는, 개구부(6)는, 예를 들면, 구조체 1031 위에 배치된 1개의 마스크 패턴을 사용해서 형성될 수 있다. 한편, 도6에 도시되는 구성에서는, 개구부(6)는, 개구의 크기가 다른 개구부 6a, 6b 및 6c로 나뉘어져 있다. 도6에 도시되는 개구부 6a, 6b 및 6c는, 예를 들면, 이하의 단계를 사용해서 형성될 수 있다.
- [0033] 개구부 6a는, 1번째의 마스크 패턴을 사용해서 형성된다. 층내 렌즈, 칼라필터 및 마이크로렌즈 등의 광학 소자를 포함하는 구조체 1031과, 실리콘 등의 반도체로 구성되는 반도체층 1003 사이에서는, 큰 에칭 선택비가 얻어질 수 있다. 이 때문에, 개구부 6a를 형성할 때, 반도체층 1003에서 정밀하게 에칭을 멈출 수 있다.
- [0034] 이어서, 개구부 6b는, 2번째의 마스크 패턴을 사용해서 형성된다. 2번째의 마스크 패턴은, 1번째의 마스크 패턴의 내측에 개구가 배치되도록 형성된다. 상기한 것과 같이, 절연체부 206과 부재 7 사이에서는, 큰 에칭 선택비가 얻어진다. 이 때문에, 개구부 6b에서는, 부재 7에서 정밀하게 에칭을 멈출 수 있다. 이 단계에 의해, 반도체층 1003의 주면 15에 대한 정사영에 있어서, 개구부(6) 중 반도체층 1003, 구조체 1025 및 반도체층 1002를 관통하는 부분(개구부 6b)은, 개구부(6) 중 구조체 1031에 배치되는 부분(개구부 6a)의 내측에 배치된다.
- [0035] 개구부 6a 및 6b의 형성후, 개구부 6c는, 3번째의 마스크 패턴을 사용해서 형성된다. 3번째의 마스크 패턴은, 2번째의 마스크 패턴의 내측에 개구가 배치되도록 형성된다. 패드 전극(105)이 구조체 1015 중 반도체층 1002 위에 형성된 구조체 1020에 설치되어 있는 경우, 개구부 6c는 구조체 1020 만을 개구한다. 패드 전극(105)이 구조체 1015 중 반도체층 1002 위에 형성된 구조체 1020에 설치되어 있는 경우, 개구부 6c는 구조체 1020 만을 개구한다. 패드 전극(105)이 구조체 1015 중 반도체층 1002 위에 형성된 구조체 1020에 설치되어 있는 경우, 개구부 6c는 구조체 1020 만을 개구한다.

체 1015 중 반도체층 1001 위에 형성된 구조체 1010에 설치되어 있는 경우, 개구부 6c는 구조체 1020과 구조체 1010을 개구한다. 이 단계에 의해, 반도체층 1003의 주면 15에 대한 정사영에 있어서, 개구부(6) 중 구조체 1015에 배치되는 부분(개구부 6c)은, 개구부(6) 중 반도체층 1003, 구조체 1025 및 반도체층 1002를 관통하는 부분(개구부 6b)의 내측에 배치된다.

[0036] 이와 같이, 개구부(6)를 3회의 에칭단계를 사용해서 형성한다. 이 때문에, 1회의 에칭단계로 개구부(6)를 형성하는 경우와 비교하여, 에칭의 격차에 기인하는 패드 전극(105)의 과도한 에칭을 억제할 수 있다. 또한, 개구부 6as가 개구부 6c보다도 커지기 때문에, 와이어본딩을 용이하게 형성할 수 있다.

[0037] 도7은, 도2에 도시되는 반도체 장치(1)의 단면도의 변형예를 도시한 도면이다. 도7에 도시되는 구성에 있어서, 패드 전극(105)에 배선 패턴 104를 거쳐 보호 소자(401)가 배치되어 있다. 이 이외의 구성은, 도2에 도시되는 구성과 유사해도 되며, 여기에서는 보호 소자(401)를 중심으로 설명한다.

[0038] 패드 전극(105)은, 반도체 장치(1)의 외부에 배치된 장치에 접속된다. 패드 전극(105)에는, 예를 들면, 금속의 와이어가 본딩된다. 금속의 와이어가 본딩될 때, 서지 전압이 입력되는 일이 있어, 예를 들면, 트랜지스터 106에 전기적인 대미지를 미치는 일이 있다. 또한, 외부 기기로부터 와이어를 통한 노이즈의 혼입에 의해, 반도체 장치(1)가 오동작을 일으킬 가능성이 있다. 패드 전극(105)에 보호 소자(401)를 배치하면, 전기적 대미지나 노이즈의 혼입을 저감할 수 있다. 단면 구조 상, 보호 소자(401)는 패드 전극(105)의 바로 아래에 배치되어 된다.

[0039] 도8a 내지 도8c는, 보호 소자(401)의 구성예를 나타낸 회로도다. 도8a는, 전원 전위 VDD와 전위 GND 사이에 보호 다이오드(402)를 배치한 예다. 보호 소자(401)가, 전원 전위 VDD 및 전위 GND에 대한 전기적 대미지나 노이즈의 혼입을 억제한다. 도8b는, 신호선(403)과 전원 전위 VDD 사이, 및 신호선(403)과 전위 GND 사이에 보호 다이오드(402)를 배치한 예다. 신호선(403)에 접속되는 소자, 예를 들면, 트랜지스터 106에 대한 전기적 대미지나 노이즈 혼입이 억제된다. 도8c는, 도8b의 보호 다이오드(402) 대신에, 각각 게이트 전극이 접지된 p형 트랜지스터(404) 및 n형 트랜지스터(405)를 배치하는 보호 소자(401)의 예다. 보호 소자(401)의 구성은, 도8a 내지 도8c에 나타낸 구성예에 한정되지 않고, 반도체 장치(1)에 배치되는 회로 구성에 따라, 적절히, 적당한 구성을 사용할 수 있다.

[0040] 도9는, 보호 소자(401)를 반도체층 1002에 배치한 예다. 반도체 장치(1)에는, 전극 패드(105)를 거쳐 외부 기기로부터, 전원 전위나 반도체 장치(1)의 제어신호가 공급된다. 예를 들면, 외부 장치로부터 패드 전극(105), 본딩 패드 107, 본딩 패드 208 등을 거쳐, 반도체층 1002에 배치된 트랜지스터 205에 전원 전위가 접속되는 일이 있다. 즉, 외부 장치로부터 트랜지스터 205에 전기적 대미지나 노이즈가 혼입하는 경우가 있다. 이 때문에, 외부 장치로부터 트랜지스터 205까지의 접속 경로에, 보호 소자(401)가 배치되어 있어도 된다. 도9에 도시되는 구성과 같이, 반도체층 1002에 보호 소자(401)를 배치하면, 트랜지스터 205에의 전기적 대미지나 노이즈의 혼입을 억제할 수 있다. 여기에서, 도9에서는 보호 소자(401)를 영역 2에 설치하고 있다. 영역 3의 절연체부 206의 형상에 따라서는, 보호 소자(401)를 영역 3에 설치해도 된다. 예를 들면, 도4에 나타낸 복수의 절연체부 206의 사이에, 보호 소자(401)가 배치되어 있어도 된다.

[0041] 보호 소자(401)는, 패드 전극(105)이 주면 11 위에 형성되는 반도체층 1001에 배치되거나, 또는 다른 반도체층 1002 또는 1003에 배치되어도 된다. 1개의 패드 전극(105)에 대응하여 복수의 보호 소자(401)가 배치되어 있어도 된다. 이 경우, 보호 소자(401)는, 반도체층 1001 내지 1003 중 1개의 반도체층에 배치되거나, 또는 복수의 반도체층에 배치되어도 된다. 예를 들면, 1개의 패드 전극(105)에 대응하여, 보호 소자(401)가, 반도체층 1001 및 반도체층 1002에, 반도체층 1002 및 반도체층 1003에, 또는 반도체층 1001 내지 1003의 각각에 배치되어 있어도 된다. 이때, 패드 전극(105)의 아래의 부분을 포함하는 영역 3에는, 보호 소자(401) 이외에, 분리 구조가 되는 절연체나 트랜지스터의 게이트 전극의 재료로 이루어진 부재가 설치되어 있어도 된다. 즉, 절연체로 구성되는 패턴이나 다결정 실리콘으로 구성되는 패턴이 배치되어 있어도 된다. 이것에 의해, 반도체 장치(1)를 형성할 때의 패턴의 균일성을 향상시킬 수 있다.

[0042] 다음에, 도10a 내지 도10c와 도15a 및 도15b를 참조하여, 반도체 장치(1)의 제조방법에 대해 설명한다. 여기에서는, 전술한 도6에 도시된 구성을 구비한 반도체 장치(1)를 예로 들어 설명한다.

[0043] 반도체층 1003이 되는 반도체 기판 1003a가 준비된다. 반도체 기판 1003a는, 예를 들면, 실리콘 기판이여도 된다. 도10a에 나타낸 것과 같이, 영역 3a 및 3b가 되는 영역에, 포토리소그래피 단계 및 에칭 단계를 사용하여, 절연체부 306이 형성된다. 도10a에 도시되는 시점에서는, 절연체부 306은, 반도체 기판 1003a에 형성된 딥 트렌치 아이솔레이션(DTI)의 형상을 갖는다. DTI의 형성후, 셀로우 트렌치 아이솔레이션(STI) 등의 분리 구조가 형

성되어도 된다(미도시). 여기에서, 이하의 단계에 의해 박화하기 전의 반도체층 1003을, 편의상 반도체 기판 1003a로 부른다. 그렇지만, 박화된 후의 반도체층 1003은 "반도체 기판"으로 부르거나, 박화전의 반도체 기판 1003a를 "반도체층"으로 불러도 된다. 반도체층 1003과 반도체 기판 1003a는, 본질적으로 같은 부재를 나타내고 있다. 후술하는 반도체 기판 1002a에 대해서도 마찬가지이다.

[0044] 다음에, 도10b에 나타낸 것과 같이, 포토리소그래피 단계 및 이온주입 단계를 사용하여, 포토다이오드(303)가 형성된다. 더구나, 게이트 절연막(미도시)과 다결정 실리콘을 막형성한 후에, 포토리소그래피 단계 및 에칭 단계를 사용하여, 게이트 전극 301이 형성된다.

[0045] 게이트 전극 301의 형성후에, 도10c에 나타낸 것과 같이, 포토리소그래피 단계 및 이온주입 단계를 사용하여, 플로팅 디퓨전(304)이 형성된다. 전술한 것과 같이, 포토다이오드(303), 게이트 전극 301, 플로팅 디퓨전(304)은, 광전 변환 소자를 구성한다. 다음에, 산화 실리콘 등으로 구성되는 절연층 302가 형성된다. 이와 같이, 반도체 기판 1003a의 주면 14 위에 구조체 1030이 형성된다.

[0046] 반도체층 1002는 반도체 기판 1002a로부터 가공된다. 반도체 기판 1002a는, 예를 들면, 실리콘 기판이어도 된다. 도11a에 나타낸 것과 같이, 반도체 기판 1002의 주면 13 위에, 산화 실리콘 등으로 구성되는 구조체 1021이 형성된다.

[0047] 다음에, 도11b에 나타낸 것과 같이, 구조체 1021의 표면과 구조체 1030의 표면을 접합면으로 사용하여, 구조체 1021과 구조체 1030이 접합된다. 구조체 1021의 표면과 구조체 1030의 표면의 조합에 대해서는, 예를 들면, 이들 모두가 산화 실리콘 또는 질화 실리콘 등 같은 재료로 형성되거나, 이종 재료가 조합되어도 된다. 이 단계에 의해, 구조체 1021 및 구조체 1030을 포함하는 구조체 1025가 형성되고, 반도체층 1002(반도체 기판 1002a)와 반도체층 1003(반도체 기판 1003a)이 적층된다. 구조체 1021과 구조체 1030의 접합방법으로서, 구조체 1021 및 1030의 표면을 플라즈마 조사에 의해 활성화시켜 접합하는, 소위, 상온 접합법을 사용할 수 있다. 그러나, 방법이 이것에 한정되는 것은 아니다. 예를 들면, 접착제 등의 접합부재를 거쳐, 구조체 1021과 구조체 1030이 접합되어도 된다.

[0048] 구조체 1021과 구조체 1030의 접합후, 도11c에 나타낸 것과 같이, 반도체 기판 1002a를, 반도체 기판 1002a의 주면 12a 측으로부터 박화하여, 반도체층 1002를 형성한다. 박화의 방법으로서는, 그라인더 장치, 웨트에칭 장치, CMP장치 등을 사용하는 방법을 들 수 있다. 적당한 방법을 사용하여 반도체 기판 1002a를 박화할 수 있으면 된다.

[0049] 다음에, 도11d에 나타낸 것과 같이, 반도체층 1002 중 영역 3a가 되는 영역에 절연체부 206을 형성하고, 반도체층 1002 중 영역 2가 되는 부분에 절연체부 207을 형성된다. 절연체부 206과 절연체부 207은 동시에 형성되어도 된다. 예를 들면, 반도체층 1002에 대하여 포토리소그래피 단계 및 에칭 단계를 행하여, 반도체층 1002의 주면 12로부터 구조체 1021에 이르는 트렌치를 형성한다. 다음에, 반도체층 1002에 형성된 트렌치에 산화 실리콘을 매립하고, CMP장치 등을 사용해서 여분의 산화 실리콘을 제거함으로써, 절연체부 206 및 절연체부 207을 형성한다.

[0050] 절연체부 206 및 207의 형성후, 도12a에 나타낸 것과 같이, 게이트 절연막 및 다결정 실리콘(또는 아모퍼스 실리콘이나 단결정 실리콘)을 형성한 후에, 포토리소그래피 단계 및 에칭 단계를 사용하여, 게이트 전극 201 및 부재 7이 형성된다. 부재 7은, 반도체층 1002의 주면 12에 대한 정사영에 있어서, 절연체부 206과 겹치도록 형성된다. 게이트 전극 201의 형성후, 포토리소그래피 단계 및 이온주입 단계를 사용하여, 반도체층 1002에 확산층 204가 형성된다.

[0051] 이어서, 도12b에 나타낸 것과 같이, 절연층 202a를 형성하고, 게이트 전극 201이나 확산층 204에 이르는 콘택홀과, 게이트 전극 301과 플로팅 디퓨전(304)에 이르는 플러그 전극(5)이 형성된다. 플러그 전극(5)은 각각의 절연체부 207의 내부에 형성된다. 이것에 의해, 반도체층 1002와 플러그 전극(5) 사이의 절연성을 유지할 수 있다.

[0052] 더구나, 도12c에 나타낸 것과 같이, 절연층 202, 배선 패턴 203, 본딩 패드 208 등을 각각 적당한 단계를 사용해서 형성한다. 절연층 202는, 전술한 절연층 202a를 포함한다. 절연층 202에는, 산화 실리콘이 사용되어도 된다. 이와 달리, 절연층 202에, 질화 실리콘, 산질화 실리콘, 탄화 실리콘 등이 적절히 사용되어도 된다. 전술한 절연층 302에 대해서도, 절연층 202와 유사한 재료가 사용될 수 있다. 배선 패턴 203은, 통상의 알루미늄 배선 프로세스 또는 구리 배선 프로세스를 사용하여 형성되어도 된다. 본딩 패드 208은 통상의 구리 배선 프로세스에 의해 형성될 수 있다. 이와 같은 단계를 사용하여, 구조체 1020이 형성될 수 있다.

- [0053] 도13a는, 반도체층 1001의 주면 11 위에 구조체 1010을 형성하는 단계를 도시한 도면이다. 반도체층 1001은, 예를 들면, 실리콘 기판이어야 된다. 반도체층 1001의 주면 11에는, STI(미도시), 트랜지스터 106을 구성하는 확산층 101 및 게이트 전극 102 등이 형성된다. 다음에, 절연층 103, 배선 패턴 104, 패드 전극(105), 본딩 패드 107 등이 형성된다. 이와 같은 단계를 사용하여, 구조체 1010이 형성될 수 있다.
- [0054] 다음에, 도13b에 나타낸 것과 같이, 구조체 1010의 표면 및 구조체 1020의 표면을 접합면으로 사용하여, 구조체 1010과 구조체 1020이 접합된다. 구조체 1010의 표면과 구조체 1020의 표면의 조합에 대해, 예를 들면, 이들 모두가 산화 실리콘이나 질화 실리콘 등 같은 재료로 형성하거나, 또는, 이종 재료의 조합이어야 된다. 이 단계에 의해, 구조체 1010 및 구조체 1020을 포함하는 구조체 1015가 형성되고, 반도체층 1001, 반도체층 1002와 반도체층 1003(반도체 기판 1003a)이 적층된다. 이 접합 단계에 있어서, 절연층 103과 절연층 202가 접합되고, 동시에 본딩 패드 107과 본딩 패드 208이 접합된다. 접합 방법으로서는, 구조체 1010의 표면 및 구조체 1020의 표면을 플라즈마 조사에 의해 활성화시켜 접합하는, 소위, 상온 접합법을 사용할 수 있다. 그러나, 방법이 이것에 한정되는 것은 아니다. 예를 들면, 접착제 등의 접합부재를 거쳐, 구조체 1010과 구조체 1020이 접합되어도 된다.
- [0055] 구조체 1010과 구조체 1020을 접합시킨 후, 도14a에 나타낸 것과 같이, 반도체 기판 1003a를, 반도체 기판 1003a의 주면 15a의 측으로부터 절연체부 306이 노출될 때까지 박화하여, 반도체층 1003을 형성한다. 박화의 방법으로서는, 그라인더 장치, 웨트에칭 장치, CMP 장치 등을 사용하는 방법을 들 수 있다. 적당한 방법을 사용하여 반도체 기판 1003a를 박화할 수 있으면 된다.
- [0056] 반도체 기판 1003a를 박화하여 반도체층 1003을 형성한 후에, 도14b에 나타낸 것과 같이, 반도체층 1003의 주면 15 위에, 충내 렌즈, 칼라필터 및 마이크로렌즈 등의 광학 소자를 포함하는 구조체 1031이 형성된다. 구조체 1031은, 차광층, 충내 렌즈, 칼라필터 및 마이크로렌즈의 모두를 구비하거나, 또는 이들 중 한개, 2개 또는 3개를 구비하고 있어도 된다.
- [0057] 다음에, 도15a에 나타낸 것과 같이, 포토리소그래피 단계 및 에칭 단계를 사용하여, 영역 3a가 되는 영역에 개구부 6a를 형성한다. 도6을 참조해서 전술한 것과 같이, 구조체 1031과 반도체층 1003 사이에서, 에칭의 선택비를 크게 취할 수 있다. 이 때문에, 개구부 6a의 에칭은, 반도체층 1003의 주면 15에서 정밀하게 멈출 수 있다. 여기에서, 에칭시의 마스크 패턴은 도시하지 않고 있다.
- [0058] 개구부 6a의 형성 후, 도15b에 나타낸 것과 같이, 포토리소그래피 단계 및 에칭 단계를 사용하여, 개구부 6a의 내측에 개구부 6b를 형성한다. 개구부 6b를 형성할 때 사용된 마스크 패턴은, 개구부 6a를 형성할 때 사용된 마스크 패턴의 내측에 개구가 배치되도록 형성된다. 반도체층 1003에서, 개구부 6b는, 절연체부 306의 내측에 형성된다. 이것에 의해, 개구부(6)와 반도체층 1003 사이의 절연성을 유지할 수 있다. 또한, 반도체층 1002의 주면 13에 대한 정사영에 있어서, 개구부 6b는, 부재 7의 내측에 형성된다. 개구부 6b를 에칭할 때, 절연체부 206과 부재 7 사이에서 에칭의 선택비를 크게 취할 수 있기 때문에, 개구부 6b의 에칭은 부재 7의 표면에서 정밀하게 멈출 수 있다. 개구부 6b가 절연체부 206의 내부에 형성되기 때문에, 개구부 6b와 반도체층 1002 사이의 절연성을 유지할 수 있다.
- [0059] 본 실시형태에서는, 절연체부 206을 에칭하여, 개구부 6b(개구부(6))를 형성하는 예를 나타내고 있다. 절연체부 206으로서 산화 실리콘을 사용한 경우, 산화 실리콘을 사용할 수 있는 구조체 1025로부터 절연체부 206까지, 효율적으로 에칭할 수 있다. 또한, 트랜지스터 205의 게이트 전극 201과 동시에 형성가능한 부재 7을 에치 스토퍼로서 사용할 수 있다. 그렇지만, 본 발명은 이것에 한정되지 않고, 절연체부 206은, 절연체부 306과 같이, 개구부 6b로부터 떨어져 형성되어 있어도 된다. 이 경우, 실리콘 등을 사용하는 반도체층 1002를 에칭하여, 개구부 6b를 형성하게 된다. 그렇지만, 예를 들면, 부재 7을 형성하지 않고, 절연층 202를 에치 스토퍼로 사용하여, 개구부 6b를 형성하는 반도체층 1002의 에칭이 행해져도 된다.
- [0060] 개구부 6b의 형성후, 포토리소그래피 단계 및 에칭 단계를 사용하여, 개구부 6b의 내측에 개구부 6c를 형성한다. 개구부 6c를 형성할 때 사용되는 마스크 패턴은, 개구부 6b를 형성할 때 사용되는 마스크 패턴의 내측에 개구가 배치되도록 형성된다. 개구부 6c에 의해, 패드 전극(105)이 노출된다. 이상의 단계에 의해, 도6에 도시되는 반도체 장치(1)가 제조된다.
- [0061] 그런데, 복수의 반도체층 1001, 1002, 1003을 적층한 반도체 장치(1)에 있어서, 반도체 장치(1)의 칩의 주연부의 절단면이나 개구부(6)로부터 수분 등이 침입하여, 반도체 장치(1)의 신뢰성의 특성을 저하시킬 가능성이 있다. 이것을 방지하기 위해, 도16에 나타낸 것과 같이, 영역 3에, 구조체 1015로부터 구조체 1025로 뻗는 도전부

재(501)가 배치되어 있어도 된다. 도전부재(501)는, 도16에 나타낸 것과 같이, 절연체부 206을 관통하고 있어도 된다. 도전부재(501)를 배치하면, 반도체층 1001 내지 1003에 많은 소자(트랜ジ스터 105, 트랜ジ스터 205, 소자 305 등)가 형성된 영역 2에의 수분의 침입을 억제할 수 있다.

[0062] 도17a 내지 도17d는, 반도체층 1002의 주면 13에 있어서의 도전부재(501)의 배치예를 나타낸 평면도다. 도17a 내지 도17d에 도시되는 평면도에서는, 영역 2, 개구부(6) 및 도전부재(501)에 주목하고, 다른 구성요소는 적절히 생략되어 있다. 반도체층 1002의 주면 13에 대한 정사영에 있어서, 도전부재(501)는, 반도체층 1003에 복수의 소자(305)가 배치된 영역 2와 반도체층 1002의 주연부(반도체 장치(1), 반도체층 1001 및 1003의 주연부이기도 하다) 사이의 영역 3에 배치되어 있다.

[0063] 도17a에 나타낸 것과 같이, 도전부재(501)는, 반도체 장치(1)의 바깥쪽 가장자리부의 내측을 둘러싸도록 배치되어 있어도 된다. 도전부재(501)는, 영역 2 및 개구부(6)의 전체를 둘러싸고 있다고도 할 수 있다. 이 경우, 도전부재(501)는, 도17a에 나타낸 것과 같이, 영역 3b에 배치되거나, 또는 영역 3a에 배치되고, 절연체부 206을 관통하고 있어도 된다. 이와 달리, 도전부재(501)는, 도17b에 나타낸 것과 같이, 복수의 개구부(6)의 외측을 둘러싸도록 배치되거나, 또는, 도17c에 나타낸 것과 같이, 각 개구부(6)의 외측을 둘러싸도록 배치되어 있어도 된다. 이와 달리, 도전부재(501)는, 도17d에 나타낸 것과 같이, 영역 2와 개구부(6) 사이에 영역 2를 둘러싸도록 배치되어 있어도 된다.

[0064] 도전부재(501)는, 도17a 내지 도17d에 나타낸 것과 같은 패턴으로 연속적으로 배치되거나 단속적으로 배치되어 있어도 된다. 도17a 내지 도17d에 도시되는 예에서는, 도전부재(501)는, 한겹으로 개구부(6) 등을 둘러싼다. 그러나, 도전부재(501)는, 2겹 또는 3겹으로 배치되어 있어도 된다. 더구나, 도전부재(501)는, 도17a 내지 도17d의 패턴을 조합해서 배치되어 있어도 된다.

[0065] 도전부재(501)는, 배선 패턴 502와 함께, 도12b 및 도12c에 도시되는 플러그 전극(5) 및 배선 패턴 203을 형성하는 단계에 있어서, 플러그 전극(5) 및 배선 패턴 203과 동시에 형성될 수 있다. 따라서, 단계수를 증가시키지 않고, 도전부재(501)를 영역 3(영역 3a, 3b)의 원하는 영역에 원하는 형상으로 배치할 수 있다.

[0066] 3층 이상의 반도체층을 적층한 반도체 장치(1)에 있어서, 구조체 1015로부터 구조체 1025까지 뻗는 도전부재(501)가 영역 3에 배치된다. 이것에 의해, 반도체 장치(1)의 바깥쪽 가장자리부나 개구부(6)의 벽면으로부터 영역 2에의 수분의 침입을 억제할 수 있다. 따라서, 반도체 장치(1)의 신뢰성이 향상된다. 예를 들면, 반도체 장치(1)를 수송 기기에 탑재하여, 수송 기기의 외부의 활영이나 외부 환경의 측정을 행할 때에, 반도체 장치(1)의 영역 2에의 수분의 침입이 억제되어, 장기간에 걸쳐 우수한 화질의 유지나 높은 측정 정밀도를 얻을 수 있다.

[0067] 도18a 내지 도 18f 내지 도22a 및 도22b를 참조하여, 도전부재(501) 및 배선 패턴 502의 배치예에 대해 더 설명한다. 이하의 예에서는, 도전부재(501)가 3겹으로 개구부(6) 등을 둘러싸는 경우가 도시되어 있다. 그렇지만, 배치되는 도전부재(501)는, 한겹, 2겹, 또는 4겹 이상이어도 된다.

[0068] 도18a에 도시되는 구성에서는, 도전부재(501)가, 구조체 1015의 절연층 202 내부에 배치된 배선 패턴 502에 접하고 있다. 또한, 도전부재(501)는, 복수의 배선 패턴 502를 전기적으로 접속하고 있다. 그렇지만, 본 발명은 이것에 한정되지 않고, 도전부재(501)는 일부의 배선 패턴 502를 전기적으로 접속하지 않고 있어도 된다. 또한, 예를 들면, 도18b에 나타낸 것과 같이, 복수의 도전부재(501)가, 배선 패턴 502에 의해 서로 접속되어 있어도 된다. 내습성이 높은 도전부재(501) 및 배선 패턴 502를 서로 접속하면, 도전부재(501) 및 배선 패턴 502가 서로 접속되지 않고 있는 경우에 비해, 보다 내습성을 향상시킬 수 있다.

[0069] 도18c에 도시되는 구성에서는, 전술한 구성과 마찬가지로, 도전부재(501)는, 반도체층 1003의 주면 14에 접하고 있다. 한편, 반도체층 1003의 주면 14 중 도전부재(501)가 접하는 부분에 도핑층(503)이 형성되어 있다. 도핑층(503)은, 도10c에 도시되는 단계에 있어서, 플로팅 디퓨전(304)과 동시에 형성될 수 있다. 따라서, 반도체층 1003의 주면 14 중 도전부재(501)가 접하는 부분의 불순물 농도가, 광전 변환 소자에 배치된 플로팅 디퓨전(304)의 불순물 농도와 같아질 수 있다. 반도체층 1003의 영역 3의 하지 구조를 영역 2의 하지 구조에 가깝게 하면, 반도체층 1003 위에 구조체 1030을 형성하는 프로세스가 안정화될 수 있다. 도18c에 나타낸 것과 같이, 도전부재(501)마다 도핑층(503)이 배치되어 있어도 된다. 또한, 도18d에 나타낸 것과 같이, 1개의 도핑층(503)에 복수의 도전부재(501)가 접하고 있어도 된다.

[0070] 도18e에 나타낸 것과 같이, 구조체 1030 중 영역 3에는, 복수의 소자(305)에 포함되는 게이트 전극 301과 같은 재료로 구성되는 콘택트부재(504)가 배치되고, 도전부재(501)가 콘택트부재(504)에 접하고 있어도 된다. 이 경우, 콘택트부재(504)와 반도체층 1003의 주면 14 사이에는, 게이트 전극 201과 반도체층 1003의 주면 14 사이에 배치

된 게이트 절연막과 같은 재료로 구성되는 절연막 505가 배치될 수 있다. 절연막 505 및 콘택부재(504)는, 도10b에 도시되는 단계에 있어서, 게이트 절연막 및 게이트 전극 301과 동시에 형성될 수 있다. 또한, 반도체층 1003 중 콘택부재(504)에 겹치는 영역에, 절연층 506이 배치되어 있어도 된다. 절연층 506은, 반도체층 1003의 주면 14에 형성되는 STI 등의 분리 구조와 같은 단계에서 형성된다. 콘택부재(504)를 배치하면, 도전부재(501)가 매립되는 트렌치를 형성할 때에, 반도체층 1003의 예칭을 억제할 수 있다.

[0071] 또한, 도18f에 나타낸 것과 같이, 도전부재(501)와 반도체층 1003 사이에, 영역 2에 배치되는 게이트 구조를 모방한 패턴이 배치되어 있어도 된다. 예를 들면, 게이트 절연막과 같은 단계에서 형성되는 절연막 505, 게이트 전극 301과 같은 단계에서 형성되는 콘택부재(504), 및 트랜지스터 등의 소자(305)를 보호하기 위한 게이트 절연막과는 다른 재료로 형성된 절연막 507이 배치되어 있어도 된다. 영역 2에 배치되는 소자(305)와 같은 구조의 콘택 구조를 형성하면, 도전부재(501)를 매립하는 트렌치를 형성할 때, 프로세스의 안정성을 향상시킬 수 있고, 예를 들어, 예칭을 안정화할 수 있다.

[0072] 도19a에 나타낸 것과 같이, 도2에 도시되는 반도체 장치(1)와 마찬가지로, 반도체층 1003에 절연체부 306이 배치되어 있어도 된다. 즉, 영역 3에, 반도체층 1003의 주면 15로부터 주면 14를 향해서 반도체층 1003을 관통해서 연장되는 트렌치가 배치되고, 이 트렌치에 절연체가 매립되어 있어도 된다. 또한, 예를 들면, 트렌치의 벽면이 절연체로 덮이고, 또한 도전체가 매립되어 있어도 된다. 절연체부 306의 트렌치에 매립되는 절연체로서, 단층 또는 복수층의 산화 알루미늄, 산화 하프늄, 산화 탄탈이 형성되고, 산화 실리콘이나 질화 실리콘 막이 더 형성되어도 된다. 전술한 것과 같이, 절연체부 306은, 반도체층 1003과 개구부(6) 사이의 절연성을 유지한다. 절연체로 덮인 트렌치의 내부에 도전체를 매립하는 경우, 다결정 실리콘, 텅스텐, 구리 등이 매립되어도 된다. 도전체가 매립되면, 내습성의 향상과, 반도체 장치(1)의 바깥쪽 가장자리부나 개구부(6) 등으로부터 입사하는 미광의 억제의 효과가 얻어질 수 있다. 절연체부 306은, 예를 들면, 수 10nm 내지 수 100nm 정도의 폭으로 형성될 수 있다.

[0073] 또한, 도19b에 나타낸 것과 같이, 절연체부 306과 도전부재(501) 사이에, 반도체층 1003의 주면 14에 형성되는 STI 등의 분리 구조와 같은 단계에서 형성되는 절연층 506이 배치되어 있어도 된다. 절연층 506을 설치하면, 절연체부 306의 트렌치를 형성할 때에 절연층 506을 사용할 수 있고, 구조체 1030의 예칭을 억제할 수 있다. 환언하면, 절연체부 306을 형성하기 위한 트렌치가 구조체 1025(구조체 1030)에 배치되는 것을 방지할 수 있다. 도19a 및 도19b는, 개구부(6)를 둘러싸도록 도전부재(501)가 배치되는 예를 도시하고 있다. 그렇지만, 전술한 것과 같이, 도전부재(501)는, 반도체 장치(1)의 바깥쪽 가장자리부나 영역 2를 둘러싸도록 배치되어도 된다. 또한, 도19b 이외에, 상기한 것과 같이, 영역 3에 분리 구조를 설치함으로써, 패턴의 균일성을 향상시킬 수 있다.

[0074] 도20a에 나타낸 것과 같이, 구조체 1010과 구조체 1020을 접합할 때에 사용되는 본딩 패드 208에, 도전부재(501)가 접하고 있어도 된다. 반도체층 1003의 주면 15에 대한 정사영에 있어서, 본딩 패드 107 및 208은, 도21a에 나타낸 것과 같이, 단속적으로 형성되거나, 도21c에 나타낸 것과 같이, 연속적으로 형성되어 있어도 된다. 도전부재(501)를 본딩 패드 208에 접속하면, 내습성을 더욱 높일 수 있다. 한편, 도20b에 나타낸 것과 같이, 도전부재(501)가 본딩 패드 208에 근접할 뿐으로, 접하지 않고 있어도 된다.

[0075] 도전부재(501)의 근처에 본딩 패드 107 및 208이 배치된다. 본딩 패드 107 및 208은, 도21a에 나타낸 것과 같이, 단속적으로 형성되거나, 도21c에 나타낸 것과 같이 연속적으로 형성되어 있어도 된다. 반도체층 1003의 주면 15에 대한 정사영에 있어서, 본딩 패드 107 및 208은, 도21a 및 도21c에 나타낸 것과 같이, 도전부재(501)에 겹치도록 배치되거나, 다른 위치에 배치되어 있어도 된다. 더구나, 본딩 패드 107 및 208은, 도21b 및 도21d에 나타낸 것과 같이, 개구부(6)를 2겹 이상으로 둘러싸고 있어도 된다. 또한, 신뢰성이 높은 접합 계면을 형성하기 위해, 본딩 패드 107과 본딩 패드 208은, 단속적인 배치와 연속적인 배치를 혼재시켜 형성되어도 된다. 본딩 패드 107 및 208이 영역 2에 배치되면, 내습성을 향상시키는 동시에 영역 2에 있어서의 접합 강도를 향상시킬 수 있다.

[0076] 전술한 각 실시형태에서는, 패드 전극(105)이 구조체 1015 중 반도체층 1001 위에 형성되는 구조체 1010에 배치되는 예를 설명하였다. 그렇지만, 본 발명은 이것에 한정되지 않는다. 패드 전극(105)은, 구조체 1015 중 반도체층 1002의 주면 12 위에 형성되는 구조체 1020에 배치되어 있어도 된다. 패드 전극(105)이 구조체 1015 중 구조체 1020에 배치되면, 개구부(6)의 깊이를 얕게 할 수 있다. 그 결과, 반도체 장치(1)에 있어서, 와이어본딩시 발생되는 실장 불량이 억제된다. 즉, 반도체 장치(1)를 사용한 기기의 신뢰성을 높일 수 있다.

[0077] 전술한 실시형태에서는, 패드 전극(105)이, 도전부재(501)보다도 반도체층 1001에 가까운 위치에 배치되어 있는

예를 나타내었다. 그렇지만, 본 발명은 이것에 한정되지 않는다. 도22b에 나타낸 것과 같이, 구조체 1015는, 절연층 103 또는 절연층 202 중에, 패드 전극(105)과 같은 층에, 패드 전극(105)과 같은 재료로 구성되는 도체부(508)를 포함하고, 도전부재(501)가 도체부(508)에 접하고 있어도 된다. 예를 들면, 도전부재(501)를 매립하는 트렌치가, 도22b에 나타낸 것과 같이, 반도체층 1003의 주면 15로부터 형성될 수도 있다. 이 경우, 구조체 1015에 패드 전극(105)을 형성하는 단계에서 동시에 도체부(508)를 배치하면, 도전부재(501)를 매립하는 트렌치를 형성할 때에, 도전부재(501)가 예지 스토퍼로서 사용될 수 있다. 트렌치의 형성후에, CVD법이나 ALD법 등을 사용하여, 텅스텐 등의 재료를 매립하여, 반도체층 1003으로부터 구조체 1015에 걸쳐, 내습성을 구비한 도전부재(501)의 벽을 형성한다. 이와 같이 도전부재(501), 구조체 1025를 관통하고 반도체층 1003까지 연장되어 있어도 된다.

[0078] 전술한 것과 같이, 반도체 장치(1)의 반도체층 1003에 광전 변환 소자가 배치되어, 반도체 장치(1)를 광전 변환 장치로서 기능시키는 경우를 생각한다. 일본국 특개 2019-220703호 공보에는, 광전 변환 소자가 형성되는 실리콘 층의 산소 농도를 저감함으로써, 화상 중의 잔상의 발생이 억제되는 것이 개시되어 있다. 한편, 실리콘층 중에 포함되는 산소 농도가 낮아지면, 반도체층의 기계적 강도가 저하하여, 전위(dislocation) 등의 불량이 발생하기 쉬워진다. 그렇지만, 상기한 것과 같이, 본 실시형태에 따른 반도체 장치(1)는, 광전 변환 소자를 포함하는 소자(305)가 배치되는 반도체층 1003과, 반도체층 1002와, 반도체층 1001이 적층된 구성을 구비한다. 따라서, 반도체층 1001 내지 1003의 각각에 포함되는 산소 농도를 반도체층마다 독립하여 제어할 수 있다. 이하, 이 개념에 근거한, 반도체 장치(1)의 구성 및 제조방법에 대해 설명한다.

[0079] 반도체 장치(1)의 기본적인 구성을, 전술한 각 구성의 어느 한 개일 수 있다. 본 실시형태에 있어서도, 반도체층 1003에 광전 변환 소자를 포함하는 복수의 소자(305)가 배치되고, 반도체층 1002에 광전 변환 소자로부터 출력되는 신호를 증폭하는 트랜지스터 205를 포함하는 소자 회로가 배치되고, 반도체층 1001에 복수의 소자(305) 및 소자 회로를 구동하도록 구성된 구동회로가 배치된다. 각각의 반도체층 1001 내지 1003이 실리콘으로 구성되어 있는 것으로 가정하여 설명한다.

[0080] 전술한 것과 같이, 광전 변환 소자가 배치되는 반도체층 1003의 산소 농도가 저감될 필요가 있다. 따라서, 도10a에 도시되는 반도체 기판 1003a로서, 에피택셜층을 구비한 기판을 사용하면, 효과적으로 광전 변환 소자(소자(305))가 배치되는 반도체층 1003의 산소 농도를 낮게 하는 것이 가능해진다. 이 경우, 반도체 기판 1003a(반도체층 1003)에 관한 프로세스 중의 열부하를 저감함으로써, 반도체 기판 1003a의 벌크로부터 에피택셜층에의 산소의 확산을 억제하는 것이 가능해진다.

[0081] 또한, 예를 들면, 반도체 기판 1003a(반도체층 1003)의 최대 산소 농도가 반도체 기판 1002a(반도체층 1002)의 최대 산소 농도, 및 반도체층 1001의 최대 산소 농도보다도 낮아지도록, 각각의 반도체 기판(반도체층)이 준비되어도 된다. 또한, 전술한 것과 같이, 반도체 기판 1003a는, 박화됨으로써 반도체층 1003으로 변경된다. 박화되고 남는 반도체층 1003은, 광전 변환 소자가 배치된 에피택셜층의 부분이 많이 차지한다. 따라서, 반도체 기판 1003a로서 에피택셜 기판을 선택한 경우라도, 완성된 반도체 장치(1)에 있어서, 반도체층 1003의 최대 산소 농도는, 반도체층 1002 및 1003의 각각의 최대 산소 농도보다도 낮아질 수 있다.

[0082] 또한, 예를 들면, 반도체 기판 1003a(반도체층 1003)가, 복수의 소자(305)가 배치되는 영역 2에 배치된 트렌치형의 소자 분리 구조를 포함하지 않아도 된다. 이것에 의해, 반도체 기판 1003a(반도체층 1003)에 있어서, 소자 분리 구조의 근방에 걸리는 응력에 기인한 전위의 발생이 억제된다. 즉, 광전 변환 소자가 배치되는 영역 2에 있어서, 기계적 강도의 저하에 따른 결함의 발생을 억제하여, 화질의 저하를 억제할 수 있다.

[0083] 한편, 반도체층 1001 및 1002의 산소 농도는, 반도체층 1003의 산소 농도보다도 높다. 이것에 의해, 반도체층 1001 및 1002에 있어서, 기계적 강도의 저하가 억제된다. 이 때문에, 예를 들면, 반도체층 1001에는, 반도체층 1001에 배치되는 트랜지스터 106들을 소자 분리하도록 구성된 트렌치형의 소자 분리 구조가 배치되어 있어도 된다. 마찬가지로, 반도체층 1002에는, 반도체층 1002에 배치되는 트랜지스터 205들을 소자 분리하도록 구성된 트렌치형의 소자 분리 구조가 배치되어 있어도 된다.

[0084] 예를 들면, 반도체층 1003의 주면 15 측의 최대 산소 농도를 $1 \times 10^{17} \text{ atoms/cm}^3$ 이하로 설정한다. 반도체층 1002의 최대 산소 농도를 $1 \times 10^{17} \text{ atoms/cm}^3$ 로부터 $10^{17} \text{ atoms/cm}^3$ 대 중반으로 설정한다. 반도체층 1001의 최대 산소 농도를 $10^{17} \text{ atoms/cm}^3$ 대 중반으로부터 $10^{18} \text{ atoms/cm}^3$ 대로 설정한다. 이 구성의 경우, 반도체층 1001의 최대 산소 농도가, 반도체층 1002의 최대 산소 농도보다도 높고, 반도체층 1002의 최대 산소 농도가, 반도체층 1003의 최대 산소 농도보다도 높아진다. 이 구성에 의해, 반도체층 1을 사용해서 얻어진 화상의 잔상을 억제하면서, 기계

적 강도의 저하에 의해 발생된 결합의 발생 등을 효과적으로 억제하는 것이 가능해진다. 여기에서, 10^{17} atoms/cm³ 대 중반은, 예를 들면, 7×10^{17} atoms/cm³ 미만이다.

[0085] 또한, 예를 들면, 도11b에 도시되는, 반도체 기판 1003a와 반도체 기판 1002a를 적층하는 단계 전에, 반도체 기판 1002a에 소자 분리 영역 등을 형성하는 프로세스가 실시되어도 된다. 반도체 기판 1002a에 대한 프로세스의 적어도 일부를 반도체 기판 1003a와 반도체 기판 1002a의 적층 전에 행하면, 반도체 기판 1003a(반도체층 1003)에 걸리는 열부하가 저감된다. 그 결과, 반도체 기판 1003a(반도체층 1003)의 벌크로부터 에피택설층에의 산소의 이동이 억제되어, 광전 변환 소자가 배치되는 에피택설층의 산소 농도의 증가가 억제된다. 또한, 반도체층 1003(반도체 기판 1003a)이 겪는 단계의 수를 줄이면, 반도체 기판 1003a(반도체층 1003)에 걸리는 기계적인 부하가 저감된다. 그 결과, 반도체층 1003(반도체 기판 1003)의 기계적 강도의 저하에 기인하는 결합의 발생을 억제할 수 있다.

[0086] 또한, 반도체 기판 1003a(반도체층 1003)의 에피택설층의 산소 농도의 증가를 억제하기 위해, 다음과 같은 제조 단계를 사용해도 된다. 반도체층 1003의 열 이력(thermal budget)을 작게 하는 것이 효과적이다. 열 이력은, 시간, 온도 등에 의해 정해진다. 반도체층 1003의 열 이력을 작게 하는 방법으로서, 예를 들면, 다음과 같은 방법이 사용된다. 반도체 장치(1)의 제조단계에 있어서, 반도체층 1003(반도체 기판 1003a)에 대한 열처리의 최고 온도가, 반도체층 1002(반도체 기판 1002a) 및 반도체층 1001의 각각에 대한 열처리의 최고 온도보다도 낮게 한다. 또한, 예를 들면, 반도체 기판 1003a(반도체층 1001)와 반도체 기판 1002a(반도체층 1002)의 적층후(도11b 이후의 단계)의 열처리의 최고 온도가, 반도체 기판 1003a(반도체층 1003)와 반도체 기판 1002a(반도체층 1002)를 적층하기 전의 각각의 기판에 관한 열처리의 최고 온도보다도 낮게 한다.

[0087] 여기에서, 상기한 것과 같이, 플러그 전극(5)이 배치되는 관통 비아의 가공 안정성과 저항 안정성을 고려하여, 반도체층 1002는 얇게 형성될 수 있다. 즉, 박화된 반도체층 1002는, 반도체층 1001 및 반도체층 1003보다도 얇아질 수 있다. 이때, 반도체층 1001은, 반도체층 1003보다도 두꺼워도 된다. 따라서, 반도체층 1001은, 반도체 장치(1)의 지지 기판으로서도 기능할 수 있다.

[0088] 이와 같이, 반도체층 1002는, 반도체층 1001보다도 얇고, 기계적 강도가 저하하기 쉽다. 따라서, 반도체층 1002의 최대 산소 농도가, 반도체층 1001의 최대 산소 농도 및 반도체층 1003의 최대 산소 농도보다도 높아도 된다. 이 경우에도, 반도체층 1001의 최대 산소 농도는, 반도체층 1003의 최대 산소 농도보다도 높다. 바꾸어 말하면, 잔상을 억제하기 위해, 반도체층 1003의 산소 농도는, 반도체층 1001 및 1002보다도 낮아진다. 예를 들면, 반도체층 1003의 주면 15 측의 최대 산소 농도를 1×10^{17} atoms/cm³ 이하로 설정한다. 반도체층 1002의 최대 산소 농도를 10^{17} atoms/cm³ 대 중반으로부터 10^{18} atoms/cm³ 대로 설정한다. 반도체층 1001의 최대 산소 농도를 1×10^{17} atoms/cm³로부터 10^{17} atoms/cm³ 대 중반으로 설정한다. 이것에 의해, 기계적 강도가 저하하기 쉬운 얇은 반도체층 1002에 있어서, 결합의 발생이 억제된다. 그 결과, 반도체 장치(1)의 신뢰성 등의 특성이 향상된다. 여기에서, 10^{17} atoms/cm³ 대 중반은, 예를 들면, 7×10^{17} atoms/cm³ 미만이다.

[0089] 반도체층 1001 내지 1003의 각각에 포함되는 산소의 농도를 고려하면, 광전 변환장치로서 기능하는 반도체 장치(1)에 있어서 잔상이 억제된다. 또한, 반도체층 1001 내지 1003의 기계적 강도의 저하에 의한 결합의 발생을, 전술한 단계를 사용함으로써 억제하는 것이 가능하다. 이것에 의해, 반도체 장치(1)에 의해 얻어지는 화상의 품질과 반도체 장치(1)의 신뢰성 등, 반도체 장치(1)의 특성을 향상시킬 수 있다.

[0090] 반도체 기판 1002a에 대한 프로세스의 적어도 일부를 반도체 기판 1003a와 반도체 기판 1002a의 적층전에 행함으로써, 반도체 기판 1003a(반도체층 1003)에 걸리는 열적 및 기계적인 부하가 억제되는 것을 전술하였다. 한편, 반도체 기판 1003a(반도체층 1001)와 반도체 기판 1002a(반도체층 1002)를 접합하는 단계에 있어서, 구조체 1021의 표면에 접합전의 단계에 있어서 요철이 생기면, 구조체 1021과 구조체 1030 사이의 접합의 신뢰성이 저하할 수 있다. 그 결과, 반도체 장치(1)의 신뢰성이 저하할 수 있다.

[0091] 예를 들면, 반도체 기판 1002a의 주면 13 위에, 전술한 절연체부 207(의 전구 구조)을 형성한 후 구조체 1021과 구조체 1030을 접합하는 경우, 구조체 1021의 표면에 절연체부 207에 의해 단차가 생겨 버릴 가능성이 있다. 도23a 내지 도23d 과 도24a 및 도24b를 참조하여, 구조체 1021과 구조체 1030을 접합하기 전에 구조체 1021에 절연체부 207(의 전구 구조)을 형성한 경우에도, 구조체 1021의 표면을 평坦하게 하는 방법에 대해 설명한다. 이하에서 설명하는 단계는, 도11a 내지 도11d에 도시되는 각 단계를 치환하는 단계이다.

- [0092] 우선, 도23a에 나타낸 것과 같이, 반도체 기판 1002a의 주면 13 위에, 구조체 1021로서 절연층 1022 및 절연층 1023이 배치된다. 절연층 1022에는, 예를 들면, 산화 실리콘이 사용된다. 절연층 1023에는, 예를 들면, 질화 실리콘이 사용된다. 절연층 1023은, 나중의 단계에서 절연체부 207을 형성하기 위해 사용하는 절연체 2072와는 다른 재료로 구성된다.
- [0093] 이어서, 도23b에 나타낸 것과 같이, 마스크 패턴의 개구를 거쳐, 절연층 1023에 개구가 형성되고, 또한, 반도체 기판 1002a의 주면 13에 홈(2071)이 형성된다. 이때, 마스크 패턴을 사용해서 절연층 1023에 개구를 형성한 후에, 절연층 1023에 형성된 개구를 마스크로서 사용하여, 절연층 1022 및 반도체 기판 1002a가 에칭되어도 된다.
- [0094] 홈(2071)을 형성한 후에, 도23c에 나타낸 것과 같이, 홈(2071)을 매립하도록, 반도체 기판 1002a의 주면 13을 덮는 절연체 2072가 형성된다. 절연체 2072에는, 예를 들면, 산화 실리콘이 사용된다. 이와 같이, 절연층 1023과 절연체 2072에 대해서는 서로 다른 재료가 사용된다. 절연체 2072가 산화 실리콘으로 구성되는 경우, 절연층 1023은, 전술한 산화 실리콘 이외에, 예를 들면, 다결정 실리콘으로 구성되어도 된다.
- [0095] 절연체 2072를 막형성한 후, 도23d에 나타낸 것과 같이, 절연층 1023을 에칭 스텁퍼로서 사용해서 절연체 272를 평탄화하여, 구조체 1021의 표면인 접합면이 형성된다. 절연체 272의 평탄화는, 예를 들면, CMP 장치 등을 사용해서 행해진다. 전술한 것과 같이, 절연층 1023이, 절연체 2072와 다른 재료로 구성되어 있기 때문에, 평탄화의 조건을 적절히 설정하면, 절연층 1023의 에칭(연마)이 억제되어, 구조체 1021의 표면이 평탄해진다. 구조체 1021의 표면인 접합면은, 절연층 1023 및 홈(2071)에 매립된 절연체 2072로 구성된다. 도23b에 도시되는 홈(2071)을 형성할 때 에칭 조건에 따라, 홈(2071)의 폭이 구조체 1021의 표면인 접합면 측에서 더 넓은 테이퍼 형상을 가져도 된다. 이 경우, 후술하는 단계에 의해 형성되는 절연체부 206은, 홈(2071)에 따른 테이퍼 형상을 갖는다. 이때, 다음의 접합을 위해, 절연층 1023 위에 산화 실리콘을 형성해도 된다. 산화 실리콘은 평탄면에 형성되기 때문에 평활한 면을 가질 수 있다. 더구나, 절연층 1023 위에 배치된 산화 실리콘에 대해 평탄화 처리가 행해져도 된다. 이에 따라, 평탄성이 향상된 접합면을 얻을 수 있다.
- [0096] 이어서, 도24a에 나타낸 것과 같이, 반도체 기판 1003a의 주면 14 위로 형성된 구조체 1030의 표면과, 반도체 기판 1002의 주면 13 위에 형성된 구조체 1021의 전술한 접합면이 접합된다. 이에 따라, 반도체 기판 1003a(반도체층 1003)와 반도체 기판 1002a(반도체층 1002)가, 적층된다. 상기한 것과 같이, 구조체 1021의 표면인 접합면은 평탄하게 형성할 수 있기 때문에, 구조체 1021의 표면 위의 요철에 의해 발생하는 구조체 1021과 구조체 1030 사이의 접합 강도가 저하해 버리는 것을 억제할 수 있다.
- [0097] 반도체 기판 1003a(반도체층 1003)와 반도체 기판 1002a(반도체층 1002)를 적층한 후에, 반도체 기판 1002a 중 구조체 1021이 형성된 주면 13과는 반대측의 주면 12a의 측으로부터 반도체 기판 1002a가 박화된다. 이에 따라, 도24b에 나타낸 것과 같이, 절연체부 207을 구비한 반도체층 1002가 형성된다. 반도체 기판 1002a를 박화할 때에, 절연체 2072를 에칭 스텁퍼로서 사용해서 에칭(연마)이 행해져도 된다. 이 이후의 단계로서, 도12a에 도시되는 단계 이후의 각 단계가 행해진다.
- [0098] 전술한 예에서는, 반도체 기판 1002에 절연체부 207(의 전구 구조)을 형성하는 경우에 대해 설명하였다. 그러나, 본 발명은 이것에 한정되지 않는다. 예를 들면, 절연체부 207(의 전구 구조)이 절연체부 206(의 전구 구조)과 동시에 형성되어도 된다.
- [0099] 도23a 내지 도23d와 도24a 및 도24b에 도시되는 단계를 사용하면, 반도체 기판 1003a(반도체층 1003)와 반도체 기판 1002a(반도체층 1002)를 접합하는 단계에 있어서, 접합 강도의 저하를 억제할 수 있다. 또한, 반도체 기판 1002a에 대한 프로세스의 일부가, 반도체 기판 1003a와 반도체 기판 1002a의 적층전에 행할 수 있다. 이 때문에, 반도체층 1003에 대한 프로세스와 관련된 부하를 저감시킬 수 있다. 즉, 반도체 장치(1)의 신뢰성이 향상되고, 반도체 장치(1)에 의해 얻어지는 화상의 화질이 향상된다. 그 결과, 반도체 장치(1)의 특성의 향상을 실현할 수 있다.
- [0100] 전술한 각 실시형태는, 적절히 조합할 수 있다. 예를 들면, 반도체 기판 1002a와 반도체 기판 1003a의 적층전에 절연체부 207(의 전구 구조)을 형성하는 단계는, 도2, 도5 내지 도7, 도9 및 도16에 도시되는 반도체 장치(1)의 각각의 구성에 끼워넣을 수 있다.
- [0101] 본 명세서의 개시는, 이하에서 설명하는 반도체 장치 및 반도체 장치의 제조방법을 포함한다.
- [0102] (항목 1)
- [0103] 제1반도체층, 제2반도체층 및 제3반도체층이 적층된 반도체 장치로서,

- [0104] 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,
- [0105] 서로 마주보는 상기 제1반도체층의 제1주면과 상기 제2반도체층의 제2주면 사이에는, 제1절연층을 포함하는 제1구조체가 배치되고,
- [0106] 서로 마주보는 상기 제2반도체층의 제3주면과 상기 제3반도체층의 제4주면 사이에는, 제2절연층을 포함하는 제2구조체가 배치되고,
- [0107] 상기 제4주면에 대한 정사영에 있어서, 상기 제3반도체층에 복수의 소자가 배치된 영역을 제1영역으로 정의하고, 상기 제1영역과 상기 제3반도체층의 주연부 사이의 영역을 제2영역으로 정의하고,
- [0108] 상기 제2영역에는, 상기 제1구조체에 배치된 패드 전극을 노출시키도록 구성된 개구부가 배치되고,
- [0109] 상기 개구부는, 상기 제3반도체층의 상기 제4주면과는 반대측의 제5주면으로부터 상기 패드 전극까지, 상기 제3반도체층, 상기 제2구조체, 및 상기 제2반도체층을 관통하고,
- [0110] 상기 제3주면에 대한 정사영에 있어서, 상기 제2반도체층의 상기 제1영역과 상기 개구부 사이에는, 상기 제2주면으로부터 상기 제3주면까지 상기 제2반도체층 1002를 관통하는 절연체부가 배치되어 있는 반도체 장치.
- [0111] (항목 2)
- [0112] 상기 제3주면에 대한 정사영에 있어서, 상기 절연체부가 상기 개구부를 둘러싸도록 배치되어 있는 항목 1에 기재된 반도체 장치.
- [0113] (항목 3)
- [0114] 상기 절연체부가, 상기 개구부 중 상기 제2반도체층을 관통하는 부분의 벽면을 구성하고 있는 항목 2에 기재된 반도체 장치.
- [0115] (항목 4)
- [0116] 상기 패드 전극 및 상기 개구부를 포함하는 복수의 패드 전극 및 복수의 개구부가 배치되고,
- [0117] 상기 제3주면에 대한 정사영에 있어서, 상기 절연체부가, 상기 복수의 개구부에 대해 연속해서 배치되어 있는 항목 3에 기재된 반도체 장치.
- [0118] (항목 5)
- [0119] 상기 패드 전극 및 상기 개구부를 포함하는 복수의 패드 전극 및 복수의 개구부가 배치되고,
- [0120] 상기 복수의 개구부는, 서로 인접하는 제1개구부와 제2개구부를 포함하고,
- [0121] 상기 제3주면에 대한 정사영에 있어서, 상기 절연체부는, 상기 제1개구부를 둘러싸는 제1부분과, 상기 제2개구부를 둘러싸는 제2부분을 포함하고,
- [0122] 상기 제1부분과 상기 제2부분 사이에, 상기 제2반도체층의 일부가 배치되어 있는 항목 3에 기재된 반도체 장치.
- [0123] (항목 6)
- [0124] 상기 제2반도체층 중 상기 제1영역에 배치된 부분과, 상기 제2반도체층 중 상기 복수의 개구부와 상기 제2반도체층의 주연부 사이에 배치된 부분이, 상기 제2반도체층의 상기 일부를 통해 연속되어 있는 항목 5에 기재된 반도체 장치.
- [0125] (항목 7)
- [0126] 상기 제1구조체 중 상기 절연체부에 접하는 부분에, 상기 제1절연층 및 상기 절연체부와는 다른 재료를 사용한 부재가 배치되어 있는 항목 3 내지 6 중 어느 1 항목에 기재된 반도체 장치.
- [0127] (항목 8)
- [0128] 상기 제2주면에는 트랜지스터가 배치되고,
- [0129] 상기 트랜지스터의 게이트 전극과 상기 부재가 같은 재료로 구성되어 있는 항목 7에 기재된 반도체 장치.
- [0130] (항목 9)

- [0131] 상기 부재가 다결정 실리콘, 아모퍼스 실리콘 및 단결정 실리콘 중 적어도 1개를 포함하는 항목 7 또는 8에 기재된 반도체 장치.
- [0132] (항목 10)
- [0133] 상기 제5주면에 대한 정사영에 있어서, 상기 개구부 중 상기 제1구조체에 배치되는 부분이, 상기 개구부 중 상기 제3반도체층, 상기 제2구조체 및 상기 제2반도체층을 관통하는 부분의 내측에 배치되어 있는 항목 7 내지 9 중 어느 1 항목에 기재된 반도체 장치.
- [0134] (항목 11)
- [0135] 상기 제2영역에, 상기 제1구조체로부터 상기 제2반도체층을 관통하여 상기 제2구조체까지 연장되는 도전부재가 더 배치되어 있는 항목 1 내지 10 중 어느 1 항목에 기재된 반도체 장치.
- [0136] (항목 12)
- [0137] 상기 도전부재가 상기 제1영역을 둘러싸도록 배치되어 있는 항목 11에 기재된 반도체 장치.
- [0138] (항목 13)
- [0139] 상기 도전부재가 상기 개구부를 둘러싸도록 배치되어 있는 항목 11 또는 12에 기재된 반도체 장치.
- [0140] (항목 14)
- [0141] 상기 복수의 소자가 광전 변환 소자를 포함하는 항목 1 내지 13 중 어느 1 항목에 기재된 반도체 장치.
- [0142] (항목 15)
- [0143] 상기 제2주면에, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치되고,
- [0144] 상기 제1주면에, 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치되어 있는 항목 14에 기재된 반도체 장치.
- [0145] (항목 16)
- [0146] 상기 절연체부를 제1절연체부로 정의하고,
- [0147] 상기 제1구조체는 상기 제1절연층 내에 배치된 배선 패턴을 포함하고,
- [0148] 상기 광전 변환 소자와 상기 배선 패턴을 접속하도록 구성된 플러그 전극이 상기 제2구조체 및 상기 제2반도체층을 관통하도록 배치되고,
- [0149] 상기 제3주면에 대한 정사영에 있어서, 상기 제2반도체층에는, 상기 플러그 전극을 둘러싸고 상기 제2주면으로부터 상기 제3주면까지 상기 제2반도체층을 관통하는 제2절연체부가 배치되어 있는 항목 15에 기재된 반도체 장치.
- [0150] (항목 17)
- [0151] 상기 제1절연체부와 상기 제2절연체부가 같은 재료로 구성되어 있는 항목 16에 기재된 반도체 장치.
- [0152] (항목 18)
- [0153] 상기 제2절연층이, 상기 제2반도체층에 접하는 제1층과, 상기 제1층과 상기 제3반도체층 사이에 배치되고 상기 제1층에 접하는 제2층을 포함하고,
- [0154] 상기 제2층이 상기 제2절연체부와는 다른 재료로 구성되어 있는 항목 16 또는 17에 기재된 반도체 장치.
- [0155] (항목 19)
- [0156] 상기 제2절연체부가 산화 실리콘으로 구성되고,
- [0157] 상기 제2층이 질화 실리콘 또는 다결정 실리콘으로 구성되어 있는 항목 18에 기재된 반도체 장치.
- [0158] (항목 20)
- [0159] 상기 제5주면 위에, 광학 소자를 포함하는 제3구조체가 더 배치되어 있는 항목 14 내지 19 중 어느 1 항목에 기

재된 반도체 장치.

[0160] (항목 21)

상기 광학 소자는 총내 렌즈, 칼라필터 및 마이크로렌즈 중 적어도 1개를 포함하는 항목 20에 기재된 반도체 장치.

[0162] (항목 22)

상기 개구부는, 상기 제3구조체를 더 관통하고,

상기 제5주면에 대한 정사영에 있어서, 상기 개구부 중 상기 제3반도체층, 상기 제2구조체 및 상기 제2반도체층을 관통하는 부분이, 상기 개구부 중 상기 제3구조체에 배치되는 부분의 내측에 배치되어 있는 항목 21 또는 22에 기재된 반도체 장치.

[0165] (항목 23)

상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층이 실리콘으로 구성되고,

[0167] 상기 제1반도체층의 최대 산소 농도가 상기 제2반도체층의 최대 산소 농도보다도 높고,

[0168] 상기 제2반도체층의 최대 산소 농도가 상기 제3반도체층의 최대 산소 농도보다도 높은 항목 14 내지 22 중 어느 1 항목에 기재된 반도체 장치.

[0169] (항목 24)

상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층이 실리콘으로 구성되고,

[0171] 상기 제2반도체층의 최대 산소 농도가, 상기 제1반도체층의 최대 산소 농도 및 상기 제3반도체층의 최대 산소 농도보다도 높은 항목 14 내지 22 중 어느 1 항목에 기재된 반도체 장치.

[0172] (항목 25)

[0173] 상기 제1반도체층의 최대 산소 농도가 상기 제3반도체층의 최대 산소 농도보다도 높은 항목 24에 기재된 반도체 장치.

[0174] (항목 26)

[0175] 상기 제3주면에 대한 정사영에 있어서,

[0176] 상기 제2반도체층은 사각형 형상을 갖고,

[0177] 상기 제2영역 중 상기 절연체부가 배치되는 영역의 폭이 상기 제2반도체층의 짧은 변의 길이의 1/100 이하인 항목 1 내지 25 중 어느 1 항목에 기재된 반도체 장치.

[0178] (항목 27)

[0179] 제1반도체층, 제2반도체층 및 제3반도체층이 적층된 반도체 장치로서,

[0180] 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,

[0181] 서로 마주보는 상기 제1반도체층의 제1주면과 상기 제2반도체층의 제2주면 사이에는, 제1절연층을 포함하는 제1구조체가 배치되고,

[0182] 서로 마주보는 상기 제2반도체층의 제3주면과 상기 제3반도체층의 제4주면 사이에는, 제2절연층을 포함하는 제2구조체가 배치되고,

[0183] 상기 제4주면에 대한 정사영에 있어서, 상기 제3반도체층에 복수의 소자가 배치된 영역을 제1영역으로 정의하고, 상기 제1영역과 상기 제3반도체층의 주연부 사이의 영역을 제2영역으로 정의하고,

[0184] 상기 제2영역에, 상기 제1구조체로부터 상기 제2구조체로 연장되는 도전부재가 배치되는 반도체 장치.

[0185] (항목 28)

[0186] 상기 도전부재가, 상기 제1영역을 둘러싸도록 배치되어 있는 항목 27에 기재된 반도체 장치.

[0187] (항목 29)

- [0188] 상기 제2영역에, 상기 제1 구조체에 배치된 패드 전극을 노출시키도록 구성된 개구부가 배치되고,
- [0189] 상기 개구부는, 상기 제3반도체층의 상기 제4주면과는 반대측의 제5주면으로부터 상기 패드 전극까지, 상기 제3 반도체층, 상기 제2구조체, 및 상기 제2반도체층을 관통하는 항목 27 또는 28에 기재된 반도체 장치.
- [0190] (항목 30)
- [0191] 상기 도전부재가, 상기 개구부를 둘러싸도록 배치되어 있는 항목 29에 기재된 반도체 장치.
- [0192] (항목 31)
- [0193] 상기 제3주면에 대한 정사영에 있어서, 상기 개구부를 둘러싸도록 상기 제2주면으로부터 상기 제3주면까지 상기 제2반도체층을 관통하는 절연체부가 배치되고,
- [0194] 상기 도전부재가, 상기 절연체부를 관통하고 있는 항목 29 또는 30에 기재된 반도체 장치.
- [0195] (항목 32)
- [0196] 상기 패드 전극이, 상기 도전부재보다도 상기 제1반도체층에 더 가까운 위치에 배치되어 있는 항목 29 내지 31의 어느 1 항목에 기재된 반도체 장치.
- [0197] (항목 33)
- [0198] 상기 제1구조체는, 상기 제1절연층 내부에, 상기 패드 전극과 같은 층에 형성되고 상기 패드 전극과 같은 재료로 구성되는 도체부를 포함하고,
- [0199] 상기 도전부재가, 상기 도체부에 접하고 있는 항목 29 내지 31의 어느 1 항목에 기재된 반도체 장치.
- [0200] (항목 34)
- [0201] 상기 제1구조체는, 상기 제1절연층 내부에 배치된 배선 패턴을 포함하고,
- [0202] 상기 도전부재가, 상기 배선 패턴에 접하고 있는 항목 27 내지 33의 어느 1 항목에 기재된 반도체 장치.
- [0203] (항목 35)
- [0204] 상기 도전부재를 포함하는 복수의 도전부재가 배치되고,
- [0205] 상기 복수의 도전부재가, 상기 배선 패턴에 의해 서로 접속되어 있는 항목 34에 기재된 반도체 장치.
- [0206] (항목 36)
- [0207] 상기 도전부재가, 상기 제4주면에 접하고 있는 항목 27 내지 35의 어느 1 항목에 기재된 반도체 장치.
- [0208] (항목 37)
- [0209] 상기 복수의 소자가, 광전 변환 소자를 포함하고,
- [0210] 상기 제4주면 중 상기 도전부재와 접하는 부분의 불순물 농도가, 상기 광전 변환 소자에 배치된 플로팅 디퓨전의 불순물 농도와 같은 항목 36에 기재된 반도체 장치.
- [0211] (항목 38)
- [0212] 상기 제1구조체의 상기 제2영역에는, 상기 복수의 소자에 포함되는 게이트 전극과 같은 재료로 구성되는 콘택트부재가 배치되고,
- [0213] 상기 도전부재가, 상기 콘택트부재에 접하고 있는 항목 27 내지 35의 어느 1 항목에 기재된 반도체 장치.
- [0214] (항목 39)
- [0215] 상기 콘택트부재와 상기 제4주면 사이에, 상기 게이트 전극과 상기 제4주면 사이에 배치된 게이트 절연막과 같은 재료로 구성되는 절연막이 배치되어 있는 항목 38에 기재된 반도체 장치.
- [0216] (항목 40)
- [0217] 상기 제2영역에, 상기 제3반도체층의 상기 제4주면과는 반대측의 제5주면으로부터 상기 제4주면을 향해서 연장되는 트렌치가 배치되어 있는 항목 27 내지 39의 어느 1 항목에 기재된 반도체 장치.

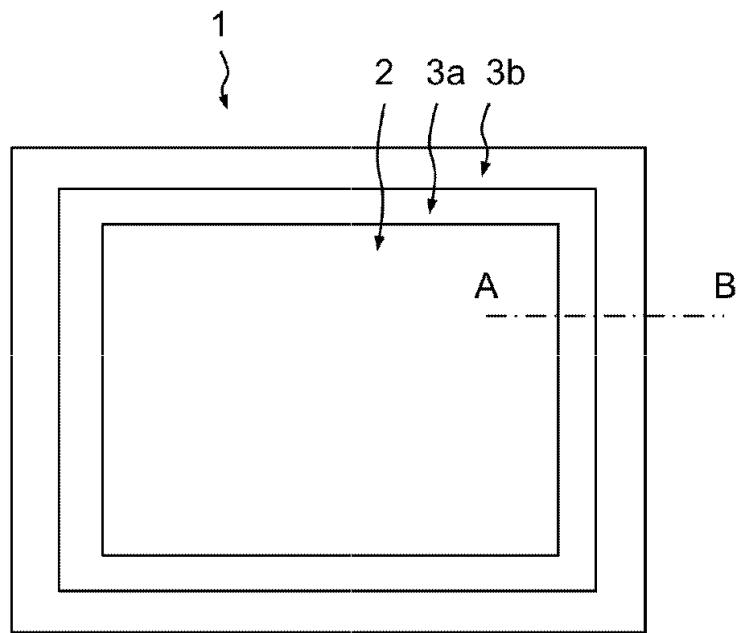
- [0218] (항목 41)
- [0219] 상기 트렌치에 절연체가 매립되어 있는 항목 40에 기재된 반도체 장치.
- [0220] (항목 42)
- [0221] 상기 트렌치의 벽면이 절연체로 덮이고, 상기 트렌치 내부에 도전체가 매립되어 있는 항목 40에 기재된 반도체 장치.
- [0222] (항목 43)
- [0223] 상기 트렌치가, 상기 제3반도체층을 관통하는 항목 40 내지 42의 어느 1 항목에 기재된 반도체 장치.
- [0224] (항목 44)
- [0225] 상기 트렌치가, 상기 제2구조체에 배치되어 있지 않은 항목 40 내지 43의 어느 1 항목에 기재된 반도체 장치.
- [0226] (항목 45)
- [0227] 상기 도전부재가, 상기 제2구조체를 관통하여, 상기 제3반도체층까지 연장되어 있는 항목 27 내지 44의 어느 1 항목에 기재된 반도체 장치.
- [0228] (항목 46)
- [0229] 제1반도체층, 제2반도체층 및 제3반도체층이 적층된 반도체 장치로서,
- [0230] 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,
- [0231] 상기 제3반도체층에, 광전 변환 소자를 포함하는 복수의 소자가 배치되고,
- [0232] 상기 제2반도체층에, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치되고,
- [0233] 상기 제1반도체층에, 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치되고,
- [0234] 상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층이, 실리콘으로 구성되고,
- [0235] 상기 제1반도체층의 최대 산소 농도가, 상기 제2반도체층의 최대 산소 농도보다도 높고,
- [0236] 상기 제2반도체층의 최대 산소 농도가, 상기 제3반도체층의 최대 산소 농도보다도 높은 반도체 장치.
- [0237] (항목 47)
- [0238] 제1반도체층, 제2반도체층 및 제3반도체층이 적층된 반도체 장치로서,
- [0239] 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,
- [0240] 상기 제3반도체층에, 광전 변환 소자를 포함하는 복수의 소자가 배치되고,
- [0241] 상기 제2반도체층에, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치되고,
- [0242] 상기 제1반도체층에, 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치되고,
- [0243] 상기 제1반도체층, 상기 제2반도체층 및 상기 제3반도체층이, 실리콘으로 구성되고,
- [0244] 상기 제2반도체층의 최대 산소 농도가, 상기 제1반도체층의 최대 산소 농도 및 상기 제3반도체층의 최대 산소 농도보다도 높은 반도체 장치.
- [0245] (항목 48)
- [0246] 상기 제1반도체층의 최대 산소 농도가, 상기 제3반도체층의 최대 산소 농도보다도 높은 항목 47에 기재된 반도체 장치.
- [0247] (항목 49)
- [0248] 상기 제3반도체층에 있어서, 상기 복수의 소자가 배치되는 영역에는 트렌치형의 소자 구조가 배치되지 않고,

- [0249] 상기 제2반도체층에는, 트렌치형의 소자 분리 구조가 배치되어 있는 항목 47 또는 48에 기재된 반도체 장치.
- [0250] (항목 50)
- [0251] 상기 제2반도체층이, 상기 제1반도체층 및 상기 제3반도체층보다도 얇은 항목 47 내지 49의 어느 1 항목에 기재된 반도체 장치.
- [0252] (항목 51)
- [0253] 상기 제1반도체층이, 상기 제3반도체층보다도 두꺼운 항목 50에 기재된 반도체 장치.
- [0254] (항목 52)
- [0255] 광전 변환 소자를 포함하는 복수의 소자가 배치된 제1반도체층과, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치된 제2반도체층과, 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치된 제3반도체층이 적층된 반도체 장치의 제조방법으로서,
- [0256] 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,
- [0257] 상기 반도체 장치의 제조단계에 있어서, 상기 제3반도체층에 대한 열처리의 최고 온도가, 상기 제1반도체층 및 상기 제2반도체층 각각에 대한 열처리의 최고 온도보다도 낮은 제조방법.
- [0258] (항목 53)
- [0259] 광전 변환 소자를 포함하는 복수의 소자가 배치된 제1반도체층과, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치된 제2반도체층과, 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치된 제3반도체층이 적층된 반도체 장치의 제조방법으로서,
- [0260] 상기 제1반도체층과 상기 제3반도체층 사이에 상기 제2반도체층이 배치되고,
- [0261] 상기 제1반도체층과 상기 제2반도체층을 적층하는 단계를 포함하고,
- [0262] 상기 제1반도체층과 상기 제2반도체층이 적층된 후의 열처리의 최고 온도가, 상기 제1반도체층과 상기 제2반도체층을 적층하기 전의 열처리의 최고 온도보다도 낮은 제조방법.
- [0263] (항목 54)
- [0264] 광전 변환 소자를 포함하는 복수의 소자를 포함하는 구조체가 배치된 제1반도체층과, 상기 광전 변환 소자로부터 출력되는 신호를 증폭하도록 구성된 트랜지스터를 포함하는 소자 회로가 배치된 제2반도체층이 적층된 반도체 장치의 제조방법으로서,
- [0265] 상기 제1반도체층을 준비하는 단계와,
- [0266] 상기 제2반도체층의 제1주면 위에, 절연층을 형성하는 단계와,
- [0267] 마스크 패턴의 개구를 거쳐, 상기 절연층에 개구를 형성하고, 상기 제1주면에 흄을 형성하는 단계와,
- [0268] 상기 흄을 매립하도록, 상기 제1주면을 덮는 절연체를 형성하는 단계와,
- [0269] 상기 절연층을 에칭 스텁퍼로서 사용해서 상기 절연체를 평탄화하여, 접합면을 형성하는 단계와,
- [0270] 상기 구조체의 표면과 상기 접합면을 접합함으로써, 상기 제1반도체층과 상기 제2반도체층을 적층하는 단계를 포함하고,
- [0271] 상기 접합면이, 상기 절연층 및 상기 흄에 매립된 상기 절연체로 구성되는 제조방법.
- [0272] (항목 55)
- [0273] 상기 절연층이, 상기 절연체와는 다른 재료로 구성되어 있는 항목 54에 기재된 제조방법.
- [0274] (항목 56)
- [0275] 상기 절연층이, 질화 실리콘 또는 다결정 실리콘으로 구성되고,
- [0276] 상기 절연체가, 산화 실리콘으로 구성되어 있는 항목 54 또는 55에 기재된 제조방법.
- [0277] (항목 57)

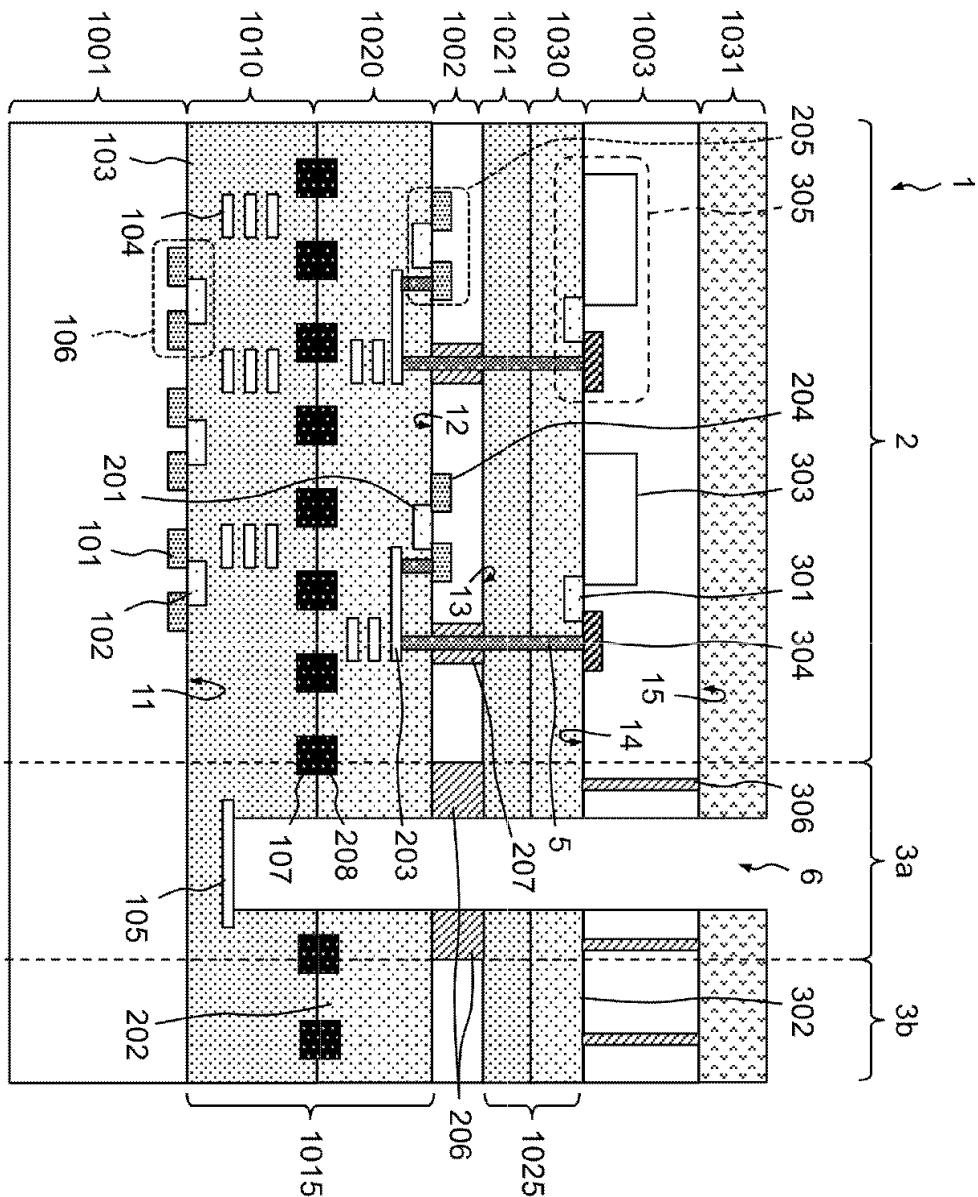
- [0278] 상기 제1반도체층과 상기 제2반도체층이 적층된 후에, 상기 제2반도체층의 상기 제1주면과는 반대측의 제2주면의 측으로부터 상기 제2반도체층을 박화하는 단계를 더 포함하고,
- [0279] 상기 제2반도체층을 박화할 때, 상기 절연체를 예칭 스톱퍼로서 사용하는 항목 54 내지 56의 어느 1 항목에 기재된 제조방법.
- [0280] (항목 58)
- [0281] 상기 복수의 소자 및 상기 소자 회로를 구동하도록 구성된 구동회로가 배치된 제3반도체층을 준비하는 단계와,
- [0282] 상기 제2반도체층과 상기 제3반도체층을 적층하는 단계를 더 포함하는 항목 54 내지 57의 어느 1 항목에 기재된 제조방법.
- [0283] (항목 59)
- [0284] 상기 제2반도체층과 상기 제3반도체층을 적층한 후에, 상기 제1반도체층을 박화하는 단계를 더 포함하는 항목 58에 기재된 제조방법.
- [0285] (항목 60)
- [0286] 상기 제2반도체층을 박화한 후에, 상기 소자 회로를 형성하는 단계를 더 포함하는 항목 54 내지 59의 어느 1 항목에 기재된 제조방법.
- [0287] (항목 61)
- [0288] 상기 홈은, 상기 접합면 측의 폭이 더 넓은 테이퍼 형상을 갖는 항목 54 내지 60의 어느 1 항목에 기재된 제조방법.
- [0289] 본 발명은 상기 실시형태에 제한되는 것은 아니고, 발명의 정신 및 범위에서 이탈하지 않고, 다양한 변경 및 변형이 가능하다. 따라서, 발명의 범위를 명확하게 하기 위해 청구항을 첨부한다.
- [0290] 본 발명에 따르면, 복수의 반도체층이 적층된 반도체 장치의 특성의 향상에 유리한 기술을 제공할 수 있다.
- [0291] 예시적인 실시형태들을 참조하여 본 발명을 설명하였지만, 본 발명이 이러한 실시형태에 한정되지 않는다는 것은 자명하다. 이하의 청구범위의 보호범위는 가장 넓게 해석되어 모든 변형, 동등물 구조 및 기능을 포괄하여야 한다.

도면

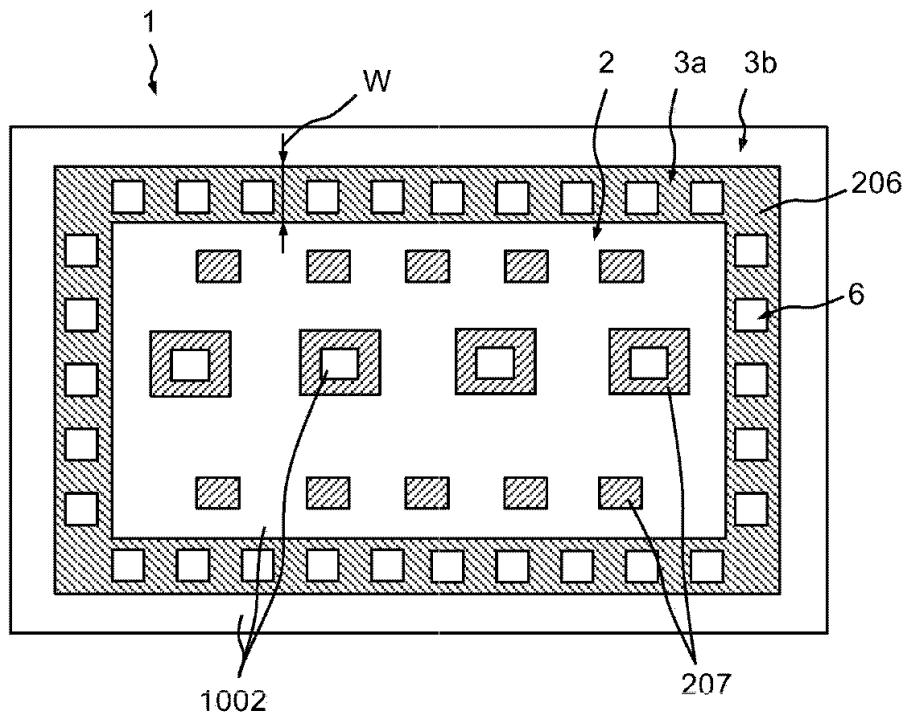
도면1



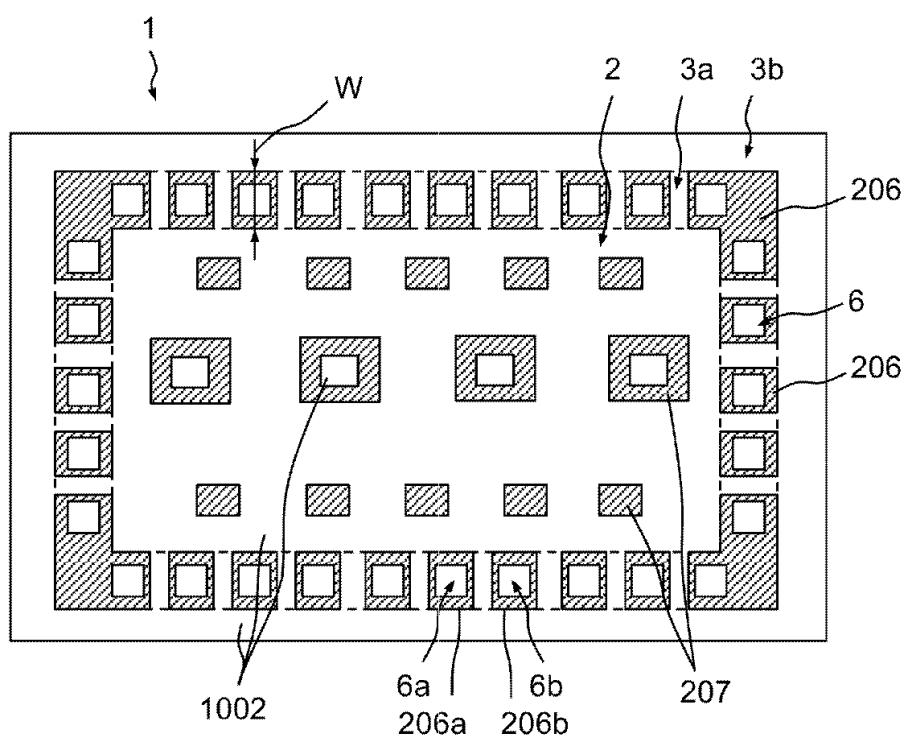
도면2



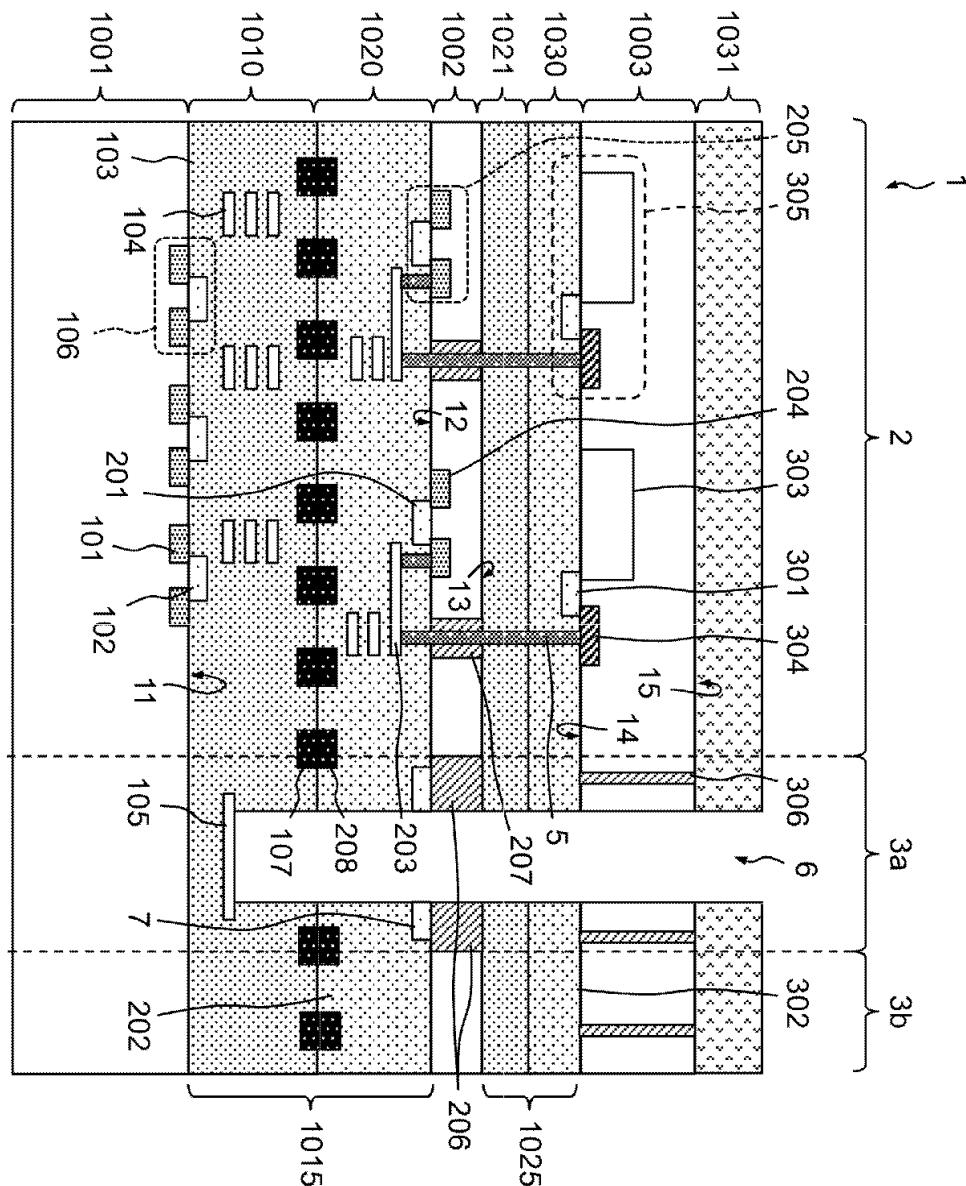
도면3



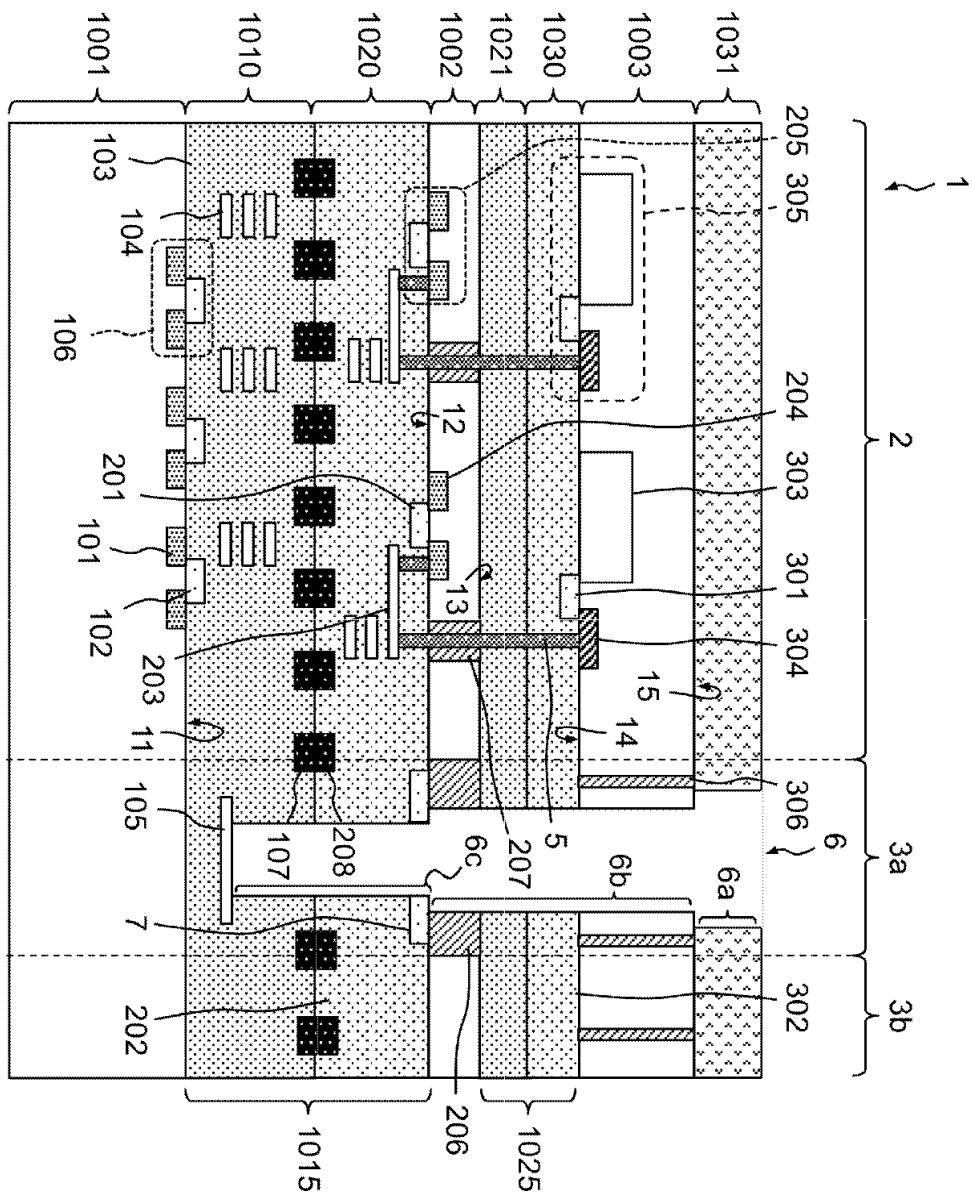
도면4



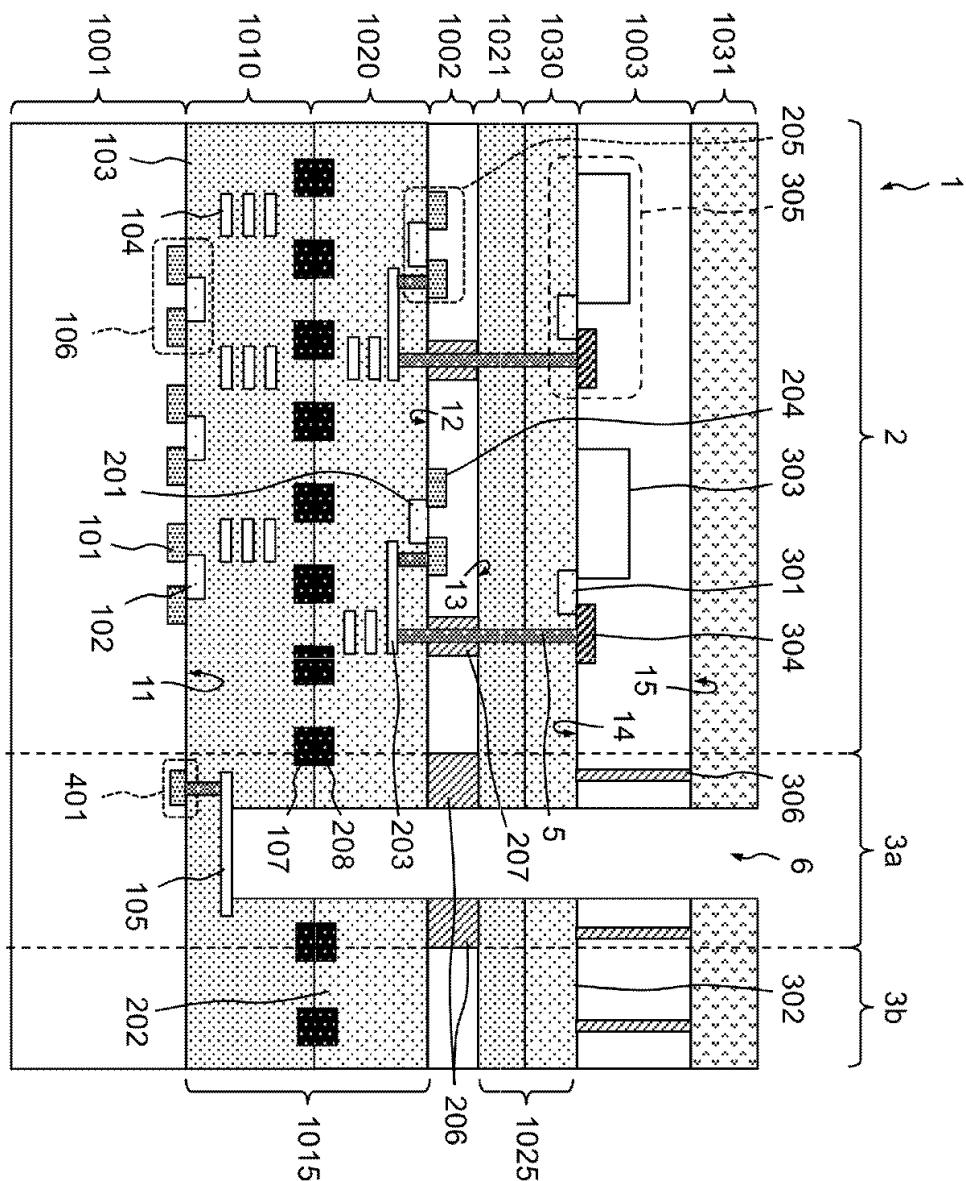
도면5



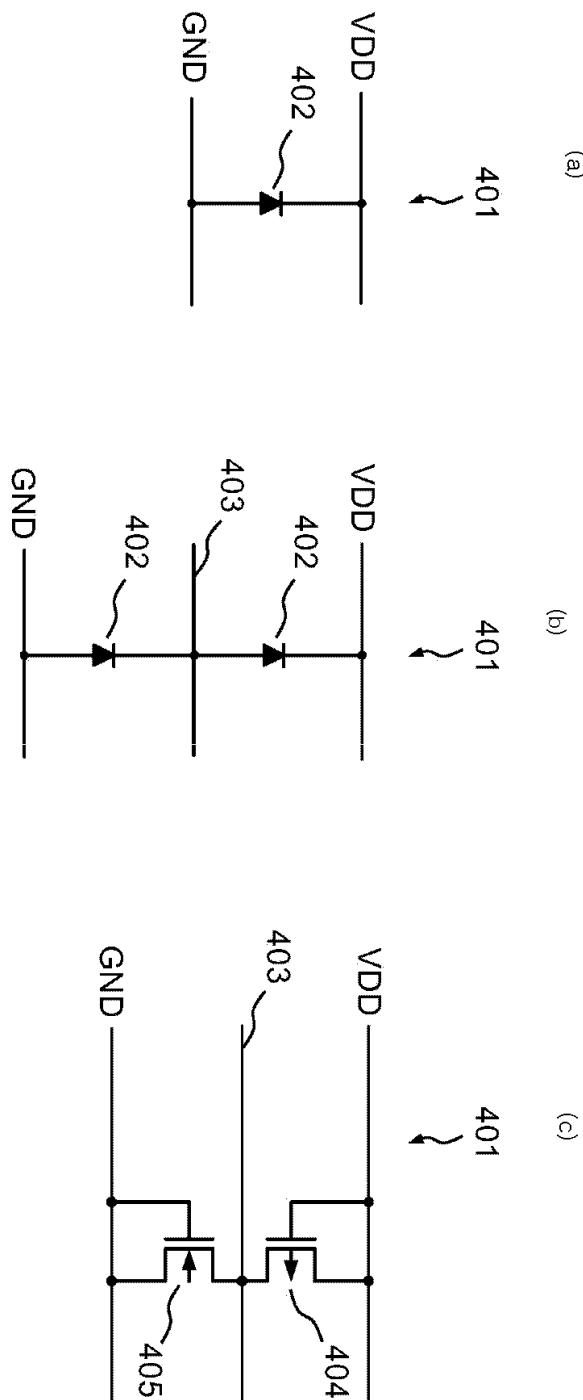
도면6



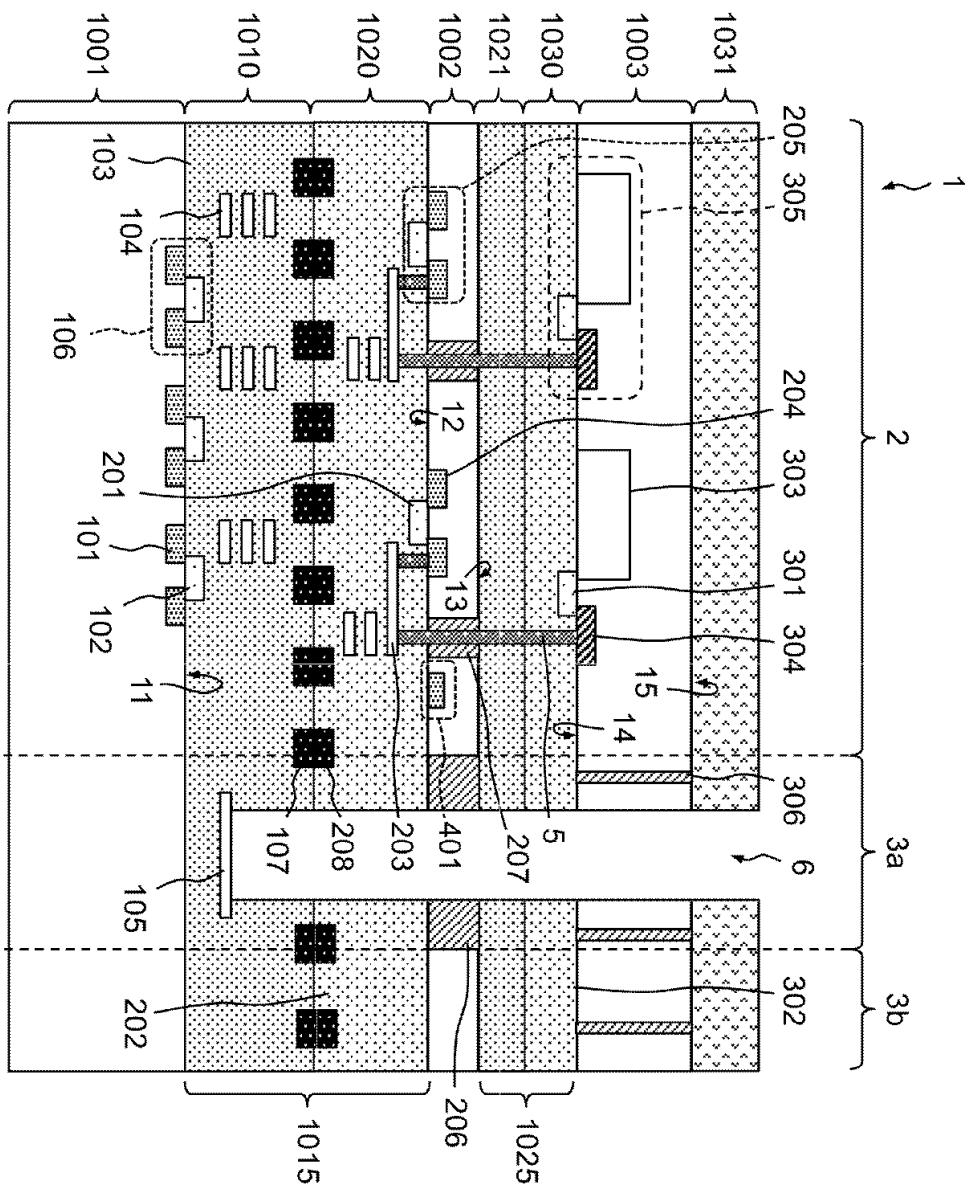
도면7



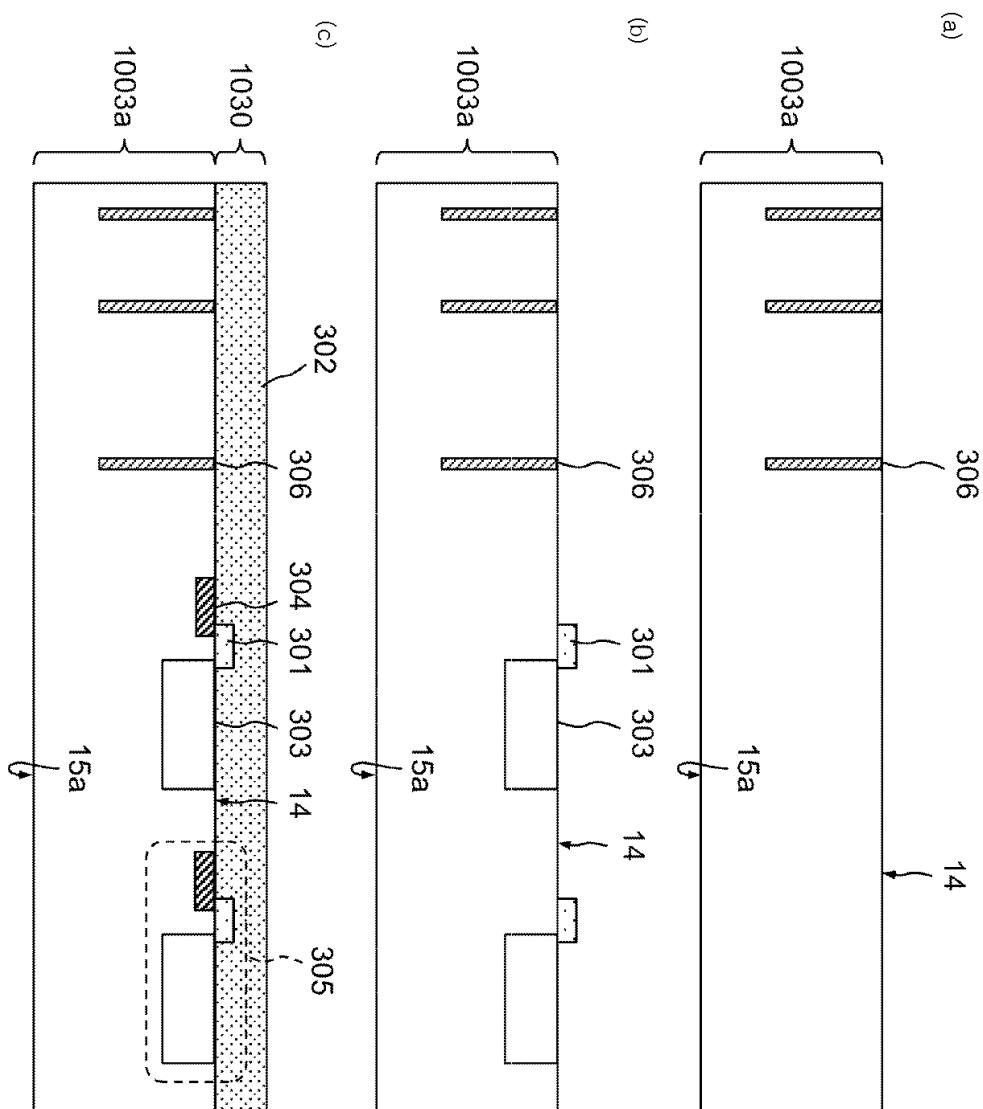
도면8



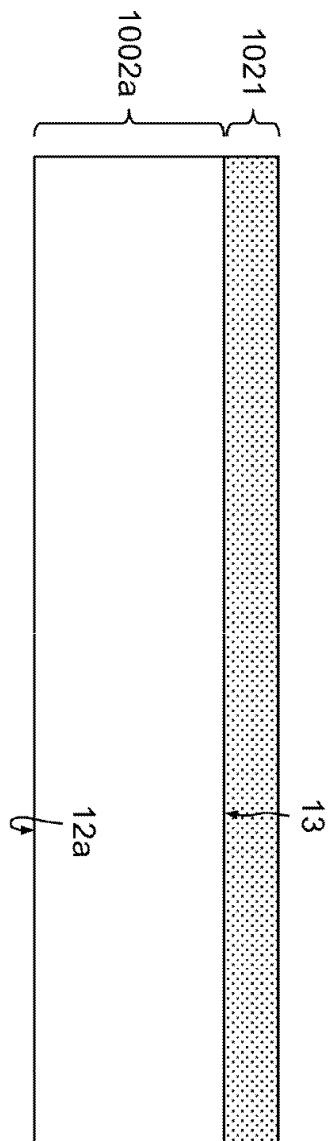
도면9



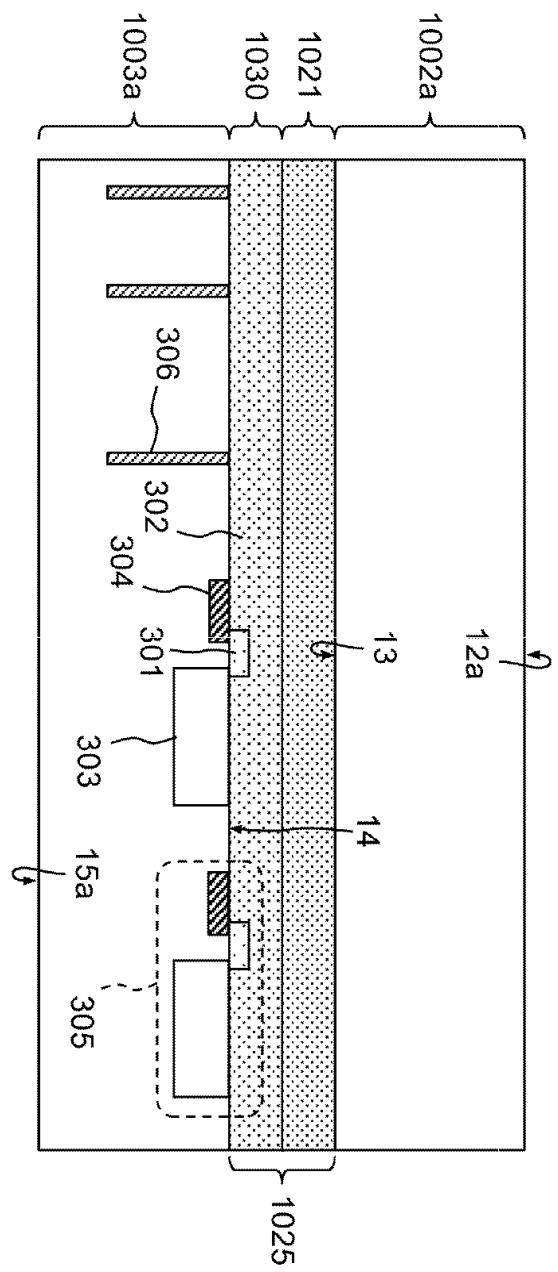
도면10



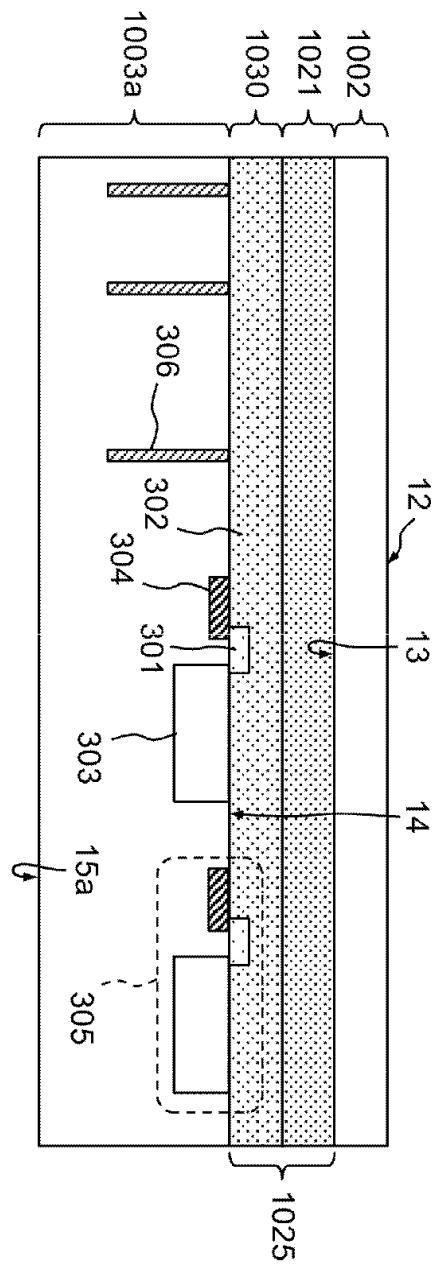
도면11a



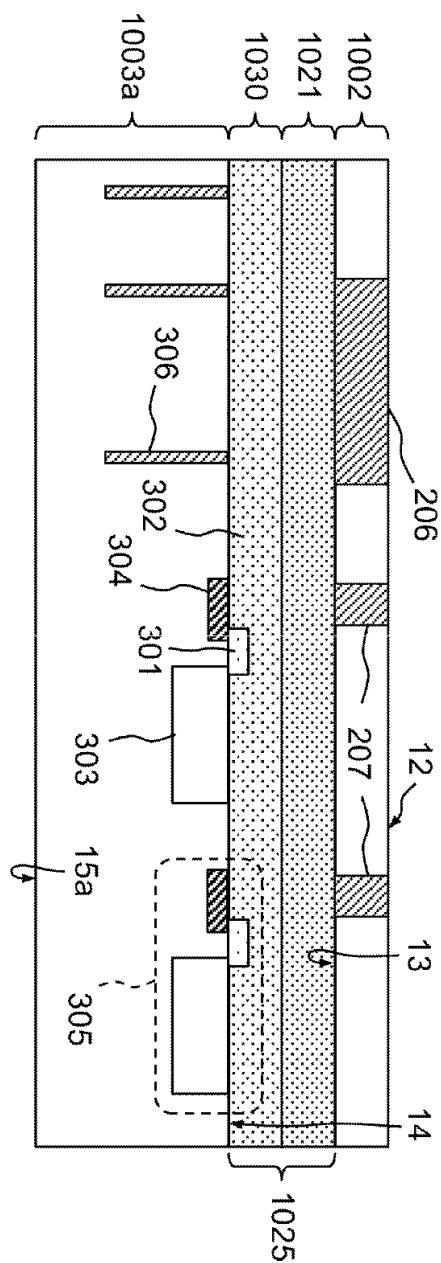
도면11b



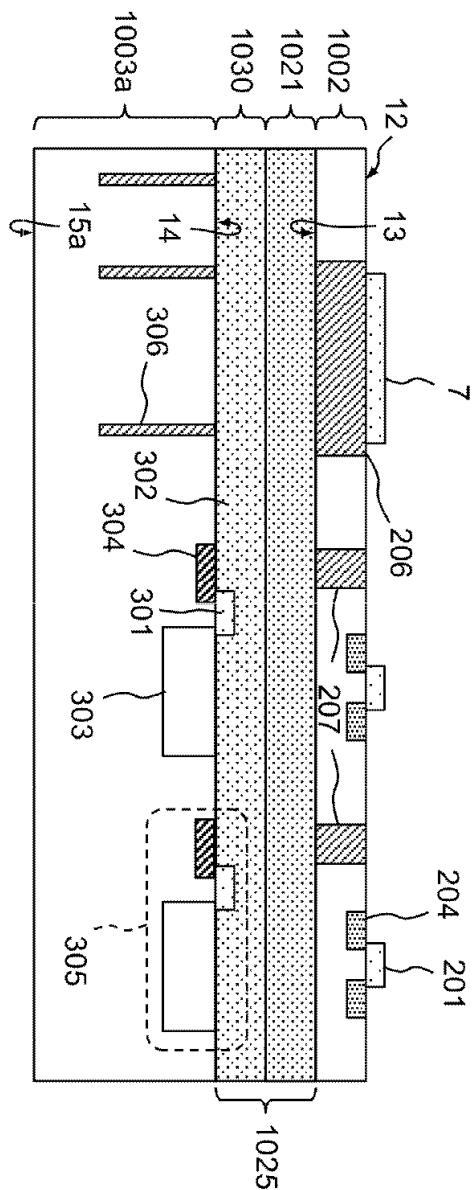
도면11c



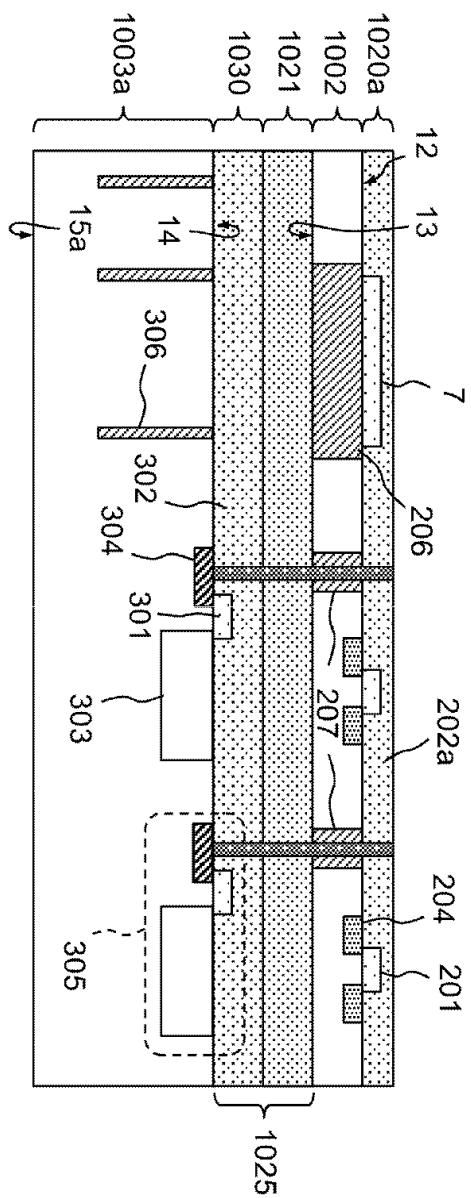
도면11d



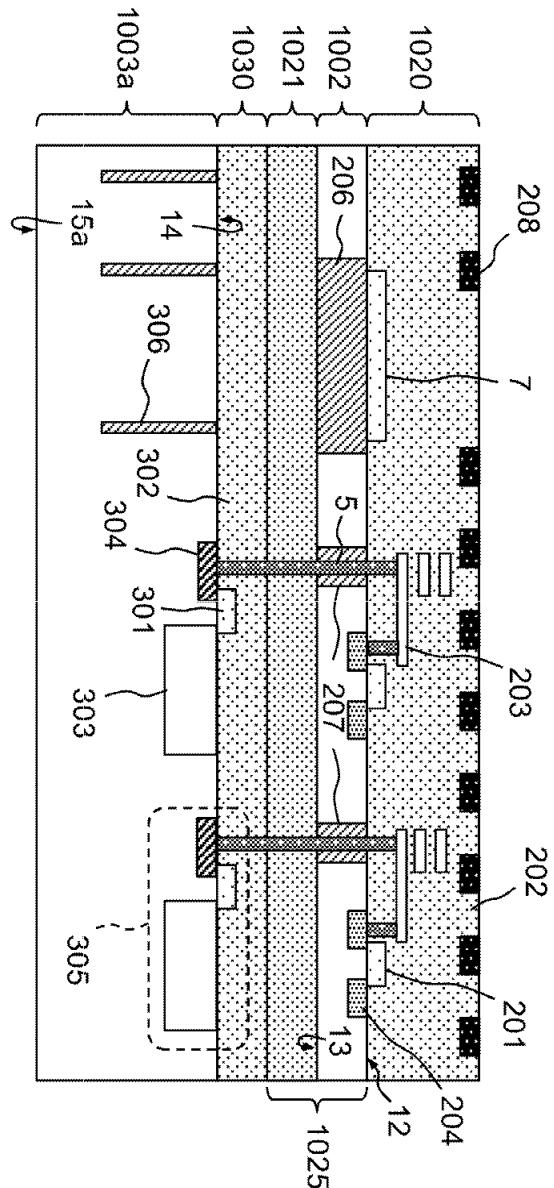
도면12a



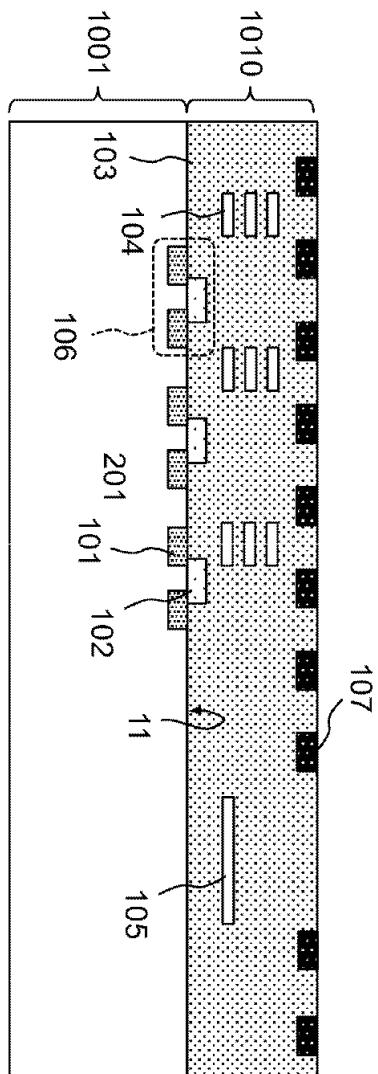
도면12b



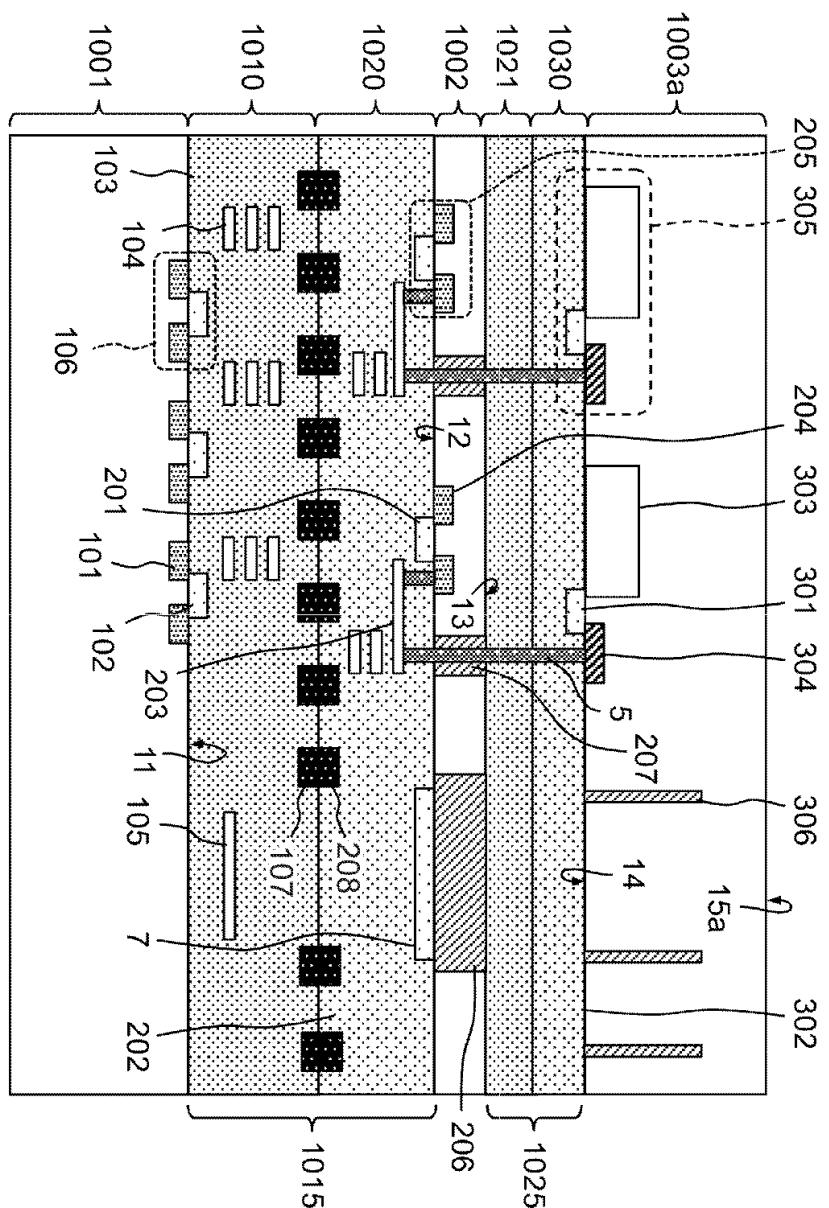
도면 12c



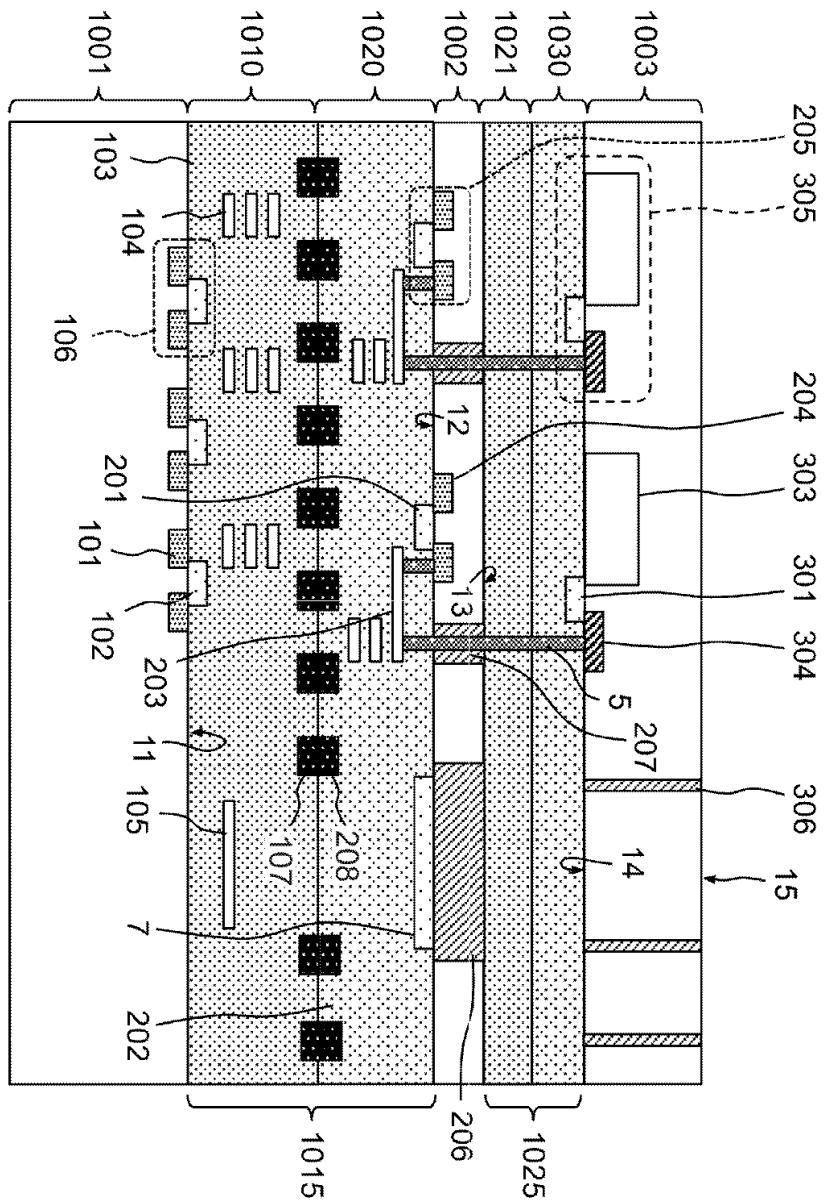
도면 13a



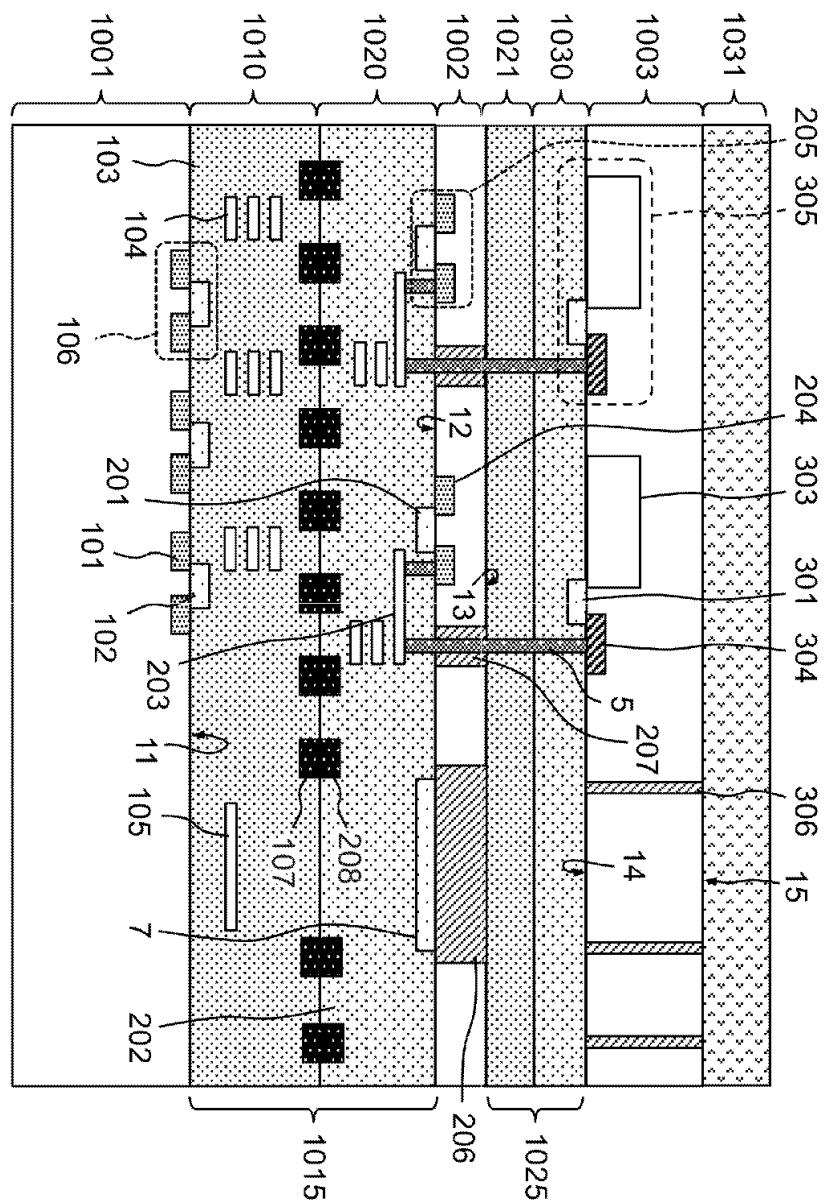
도면13b



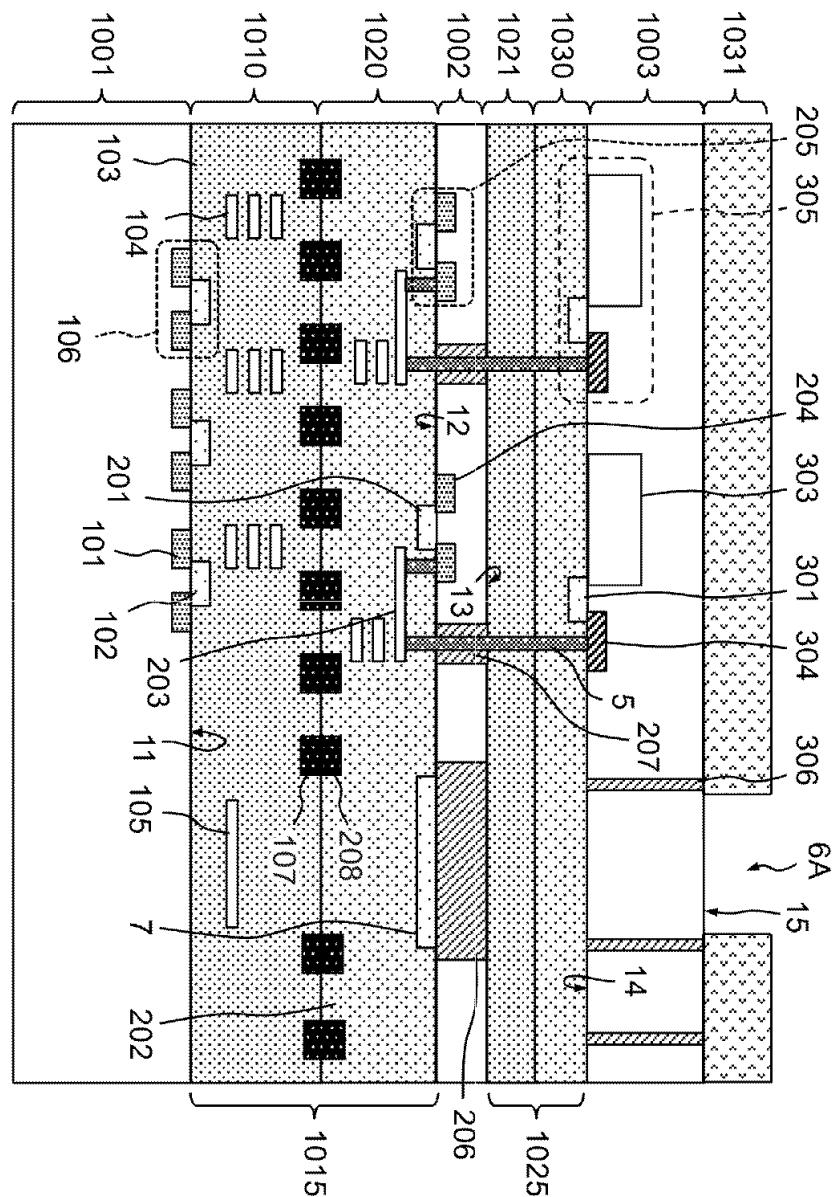
도면14a



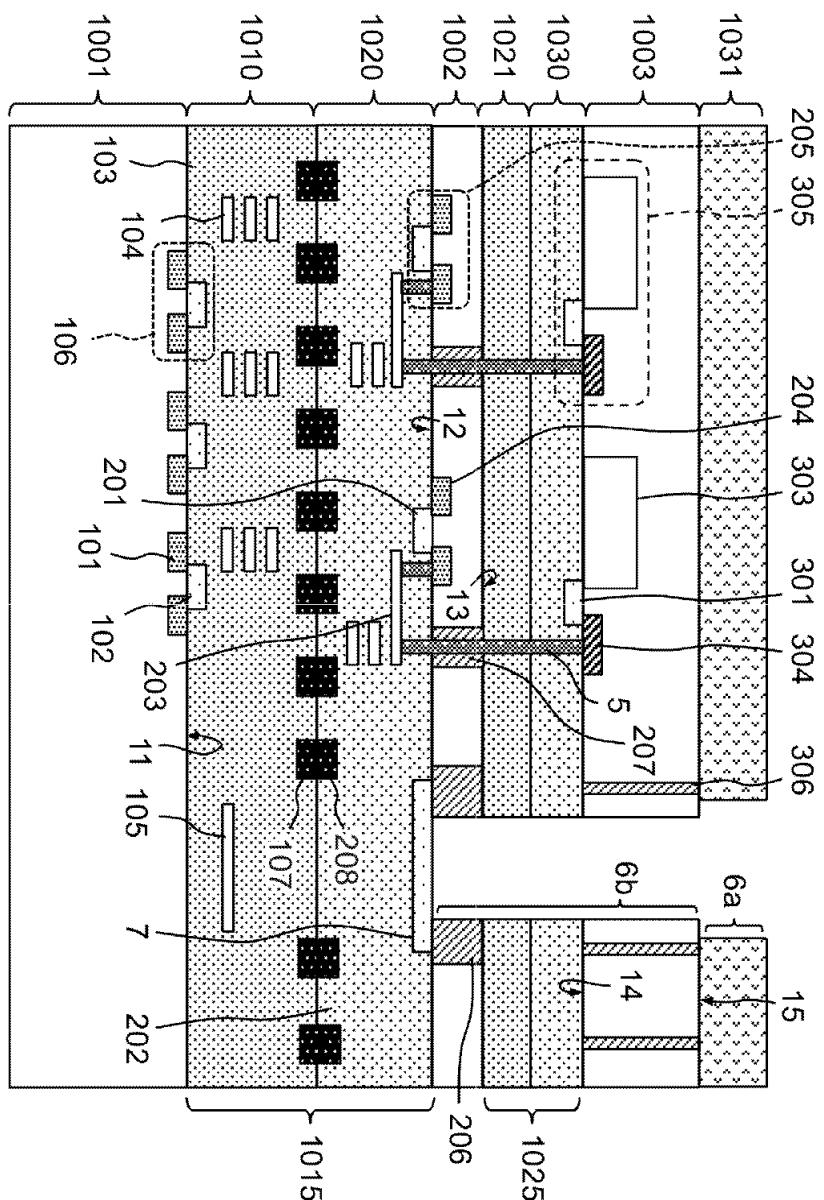
도면14b



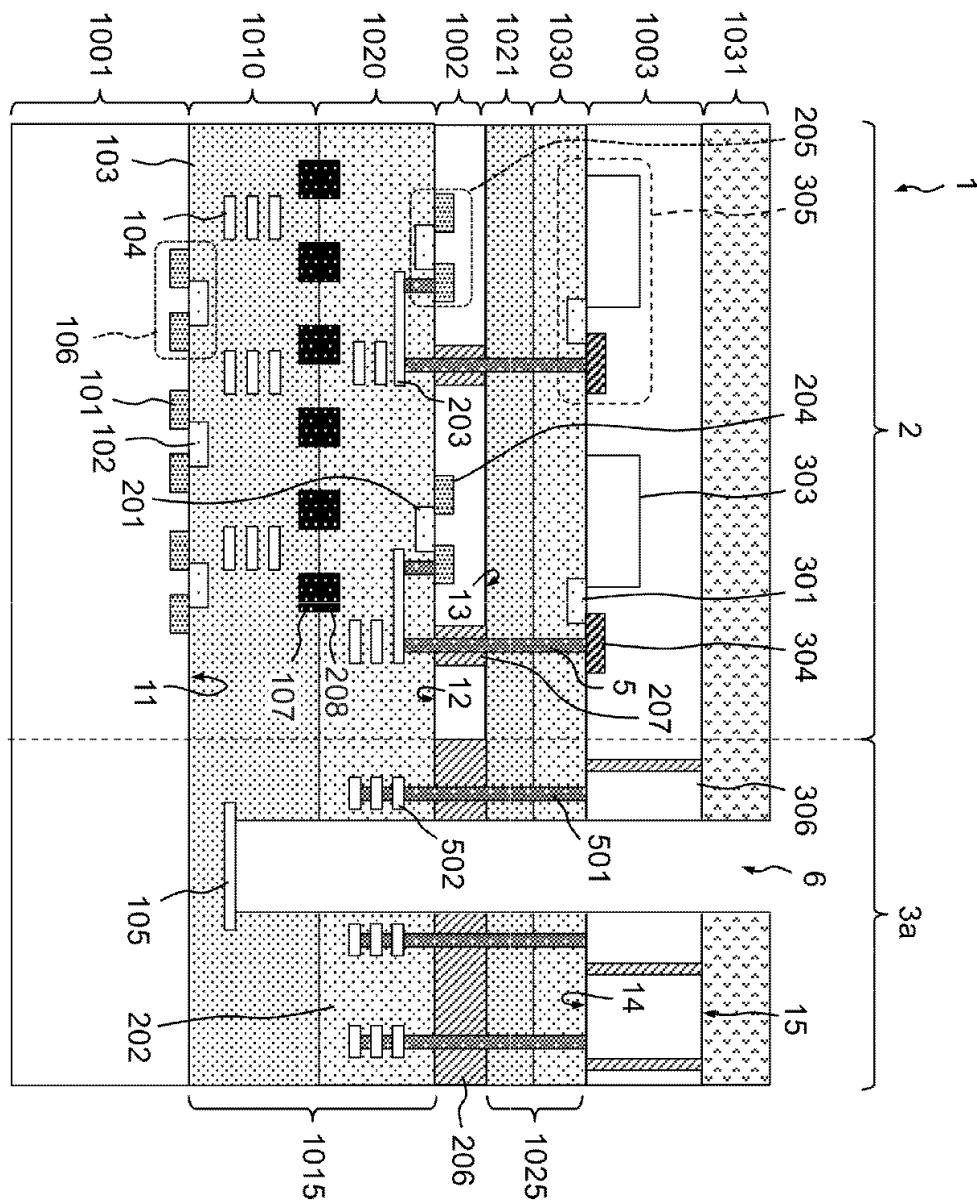
도면15a



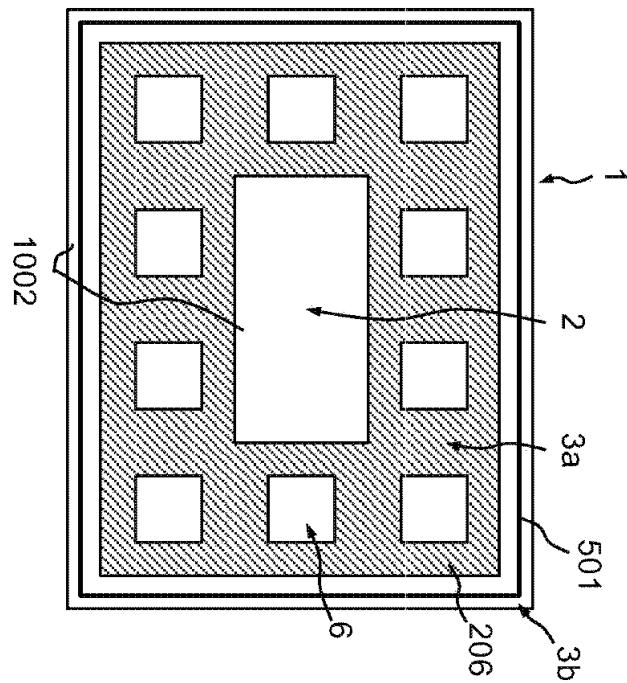
도면 15b



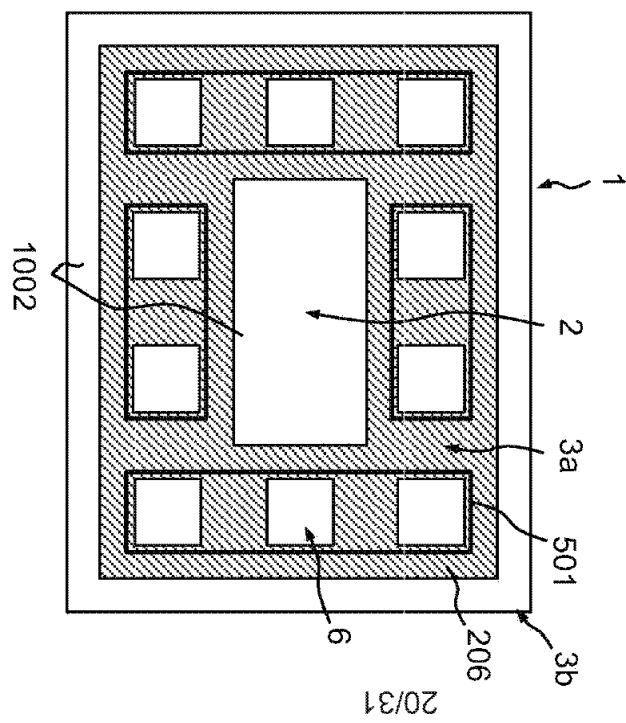
도면16



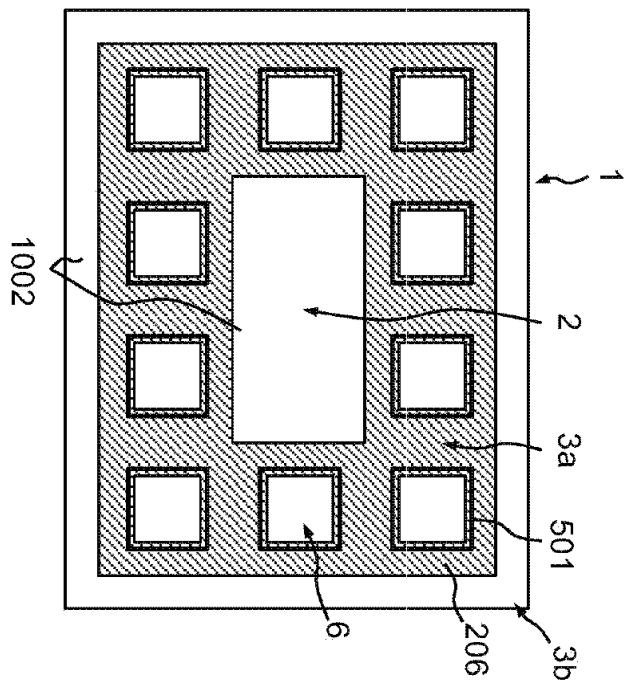
도면17a



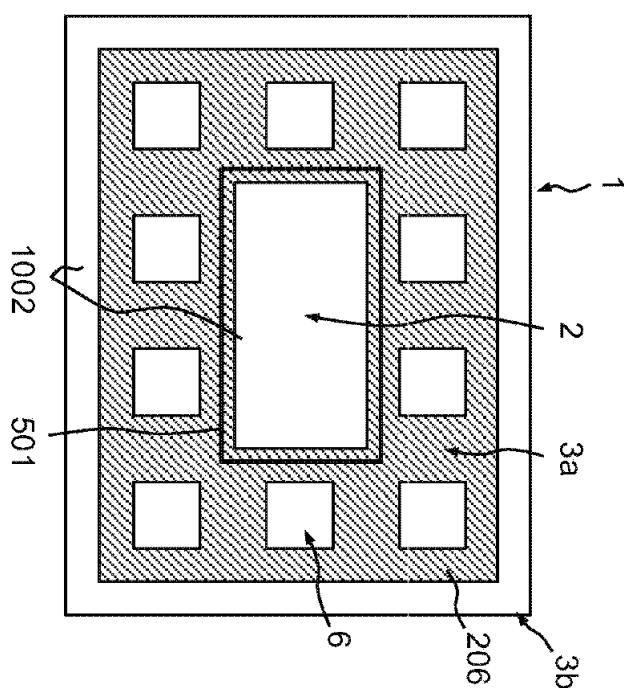
도면17b



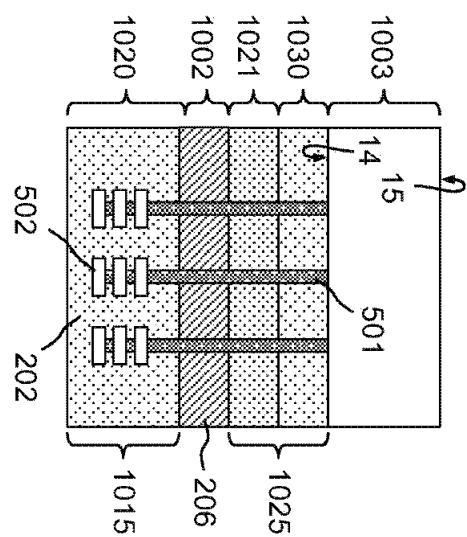
도면17c



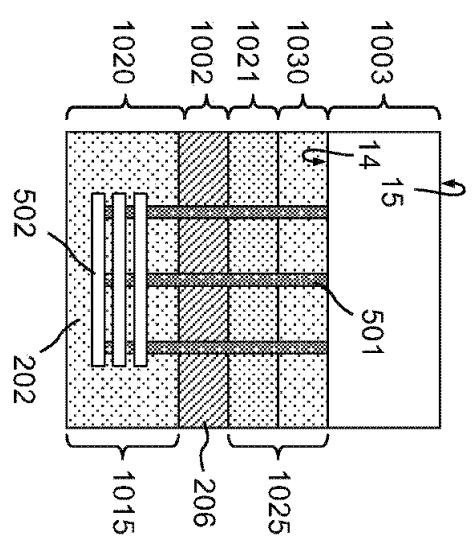
도면17d



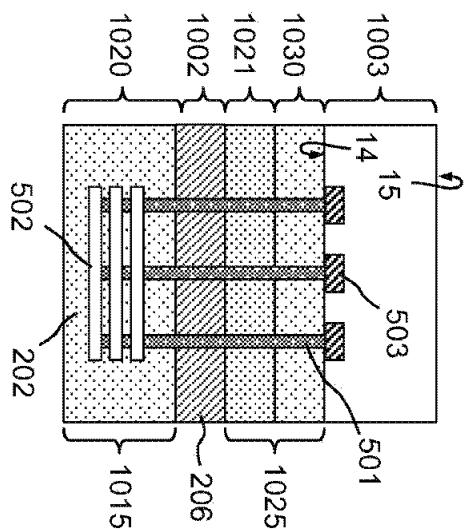
도면18a



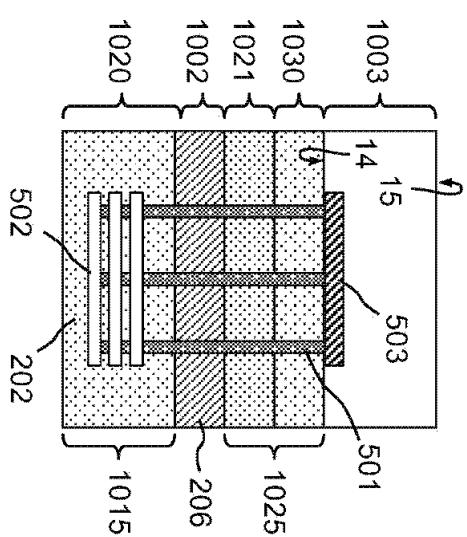
도면18b



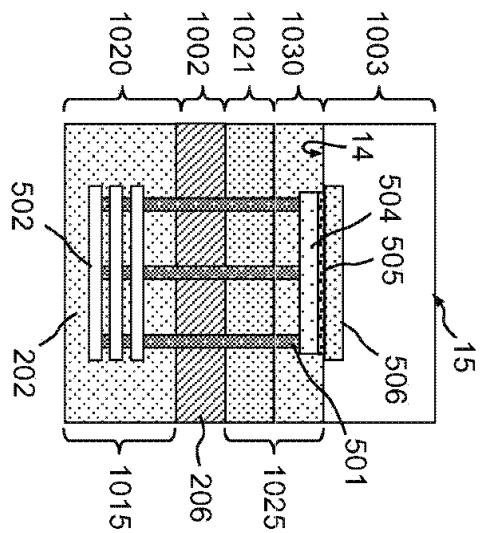
도면 18c



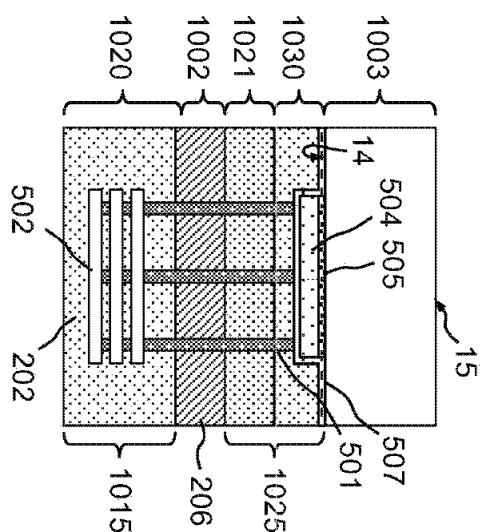
도면 18d



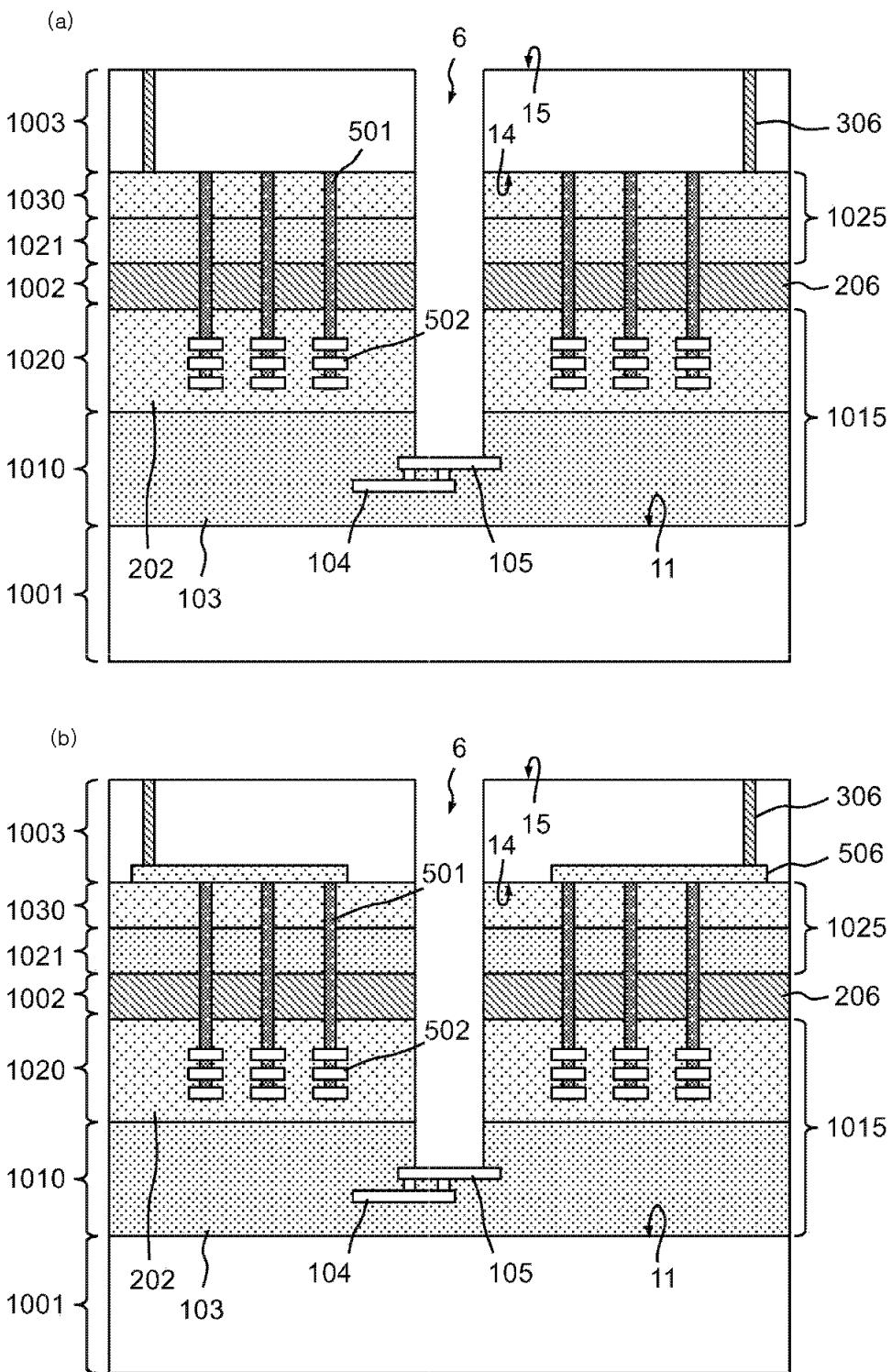
도면 18e



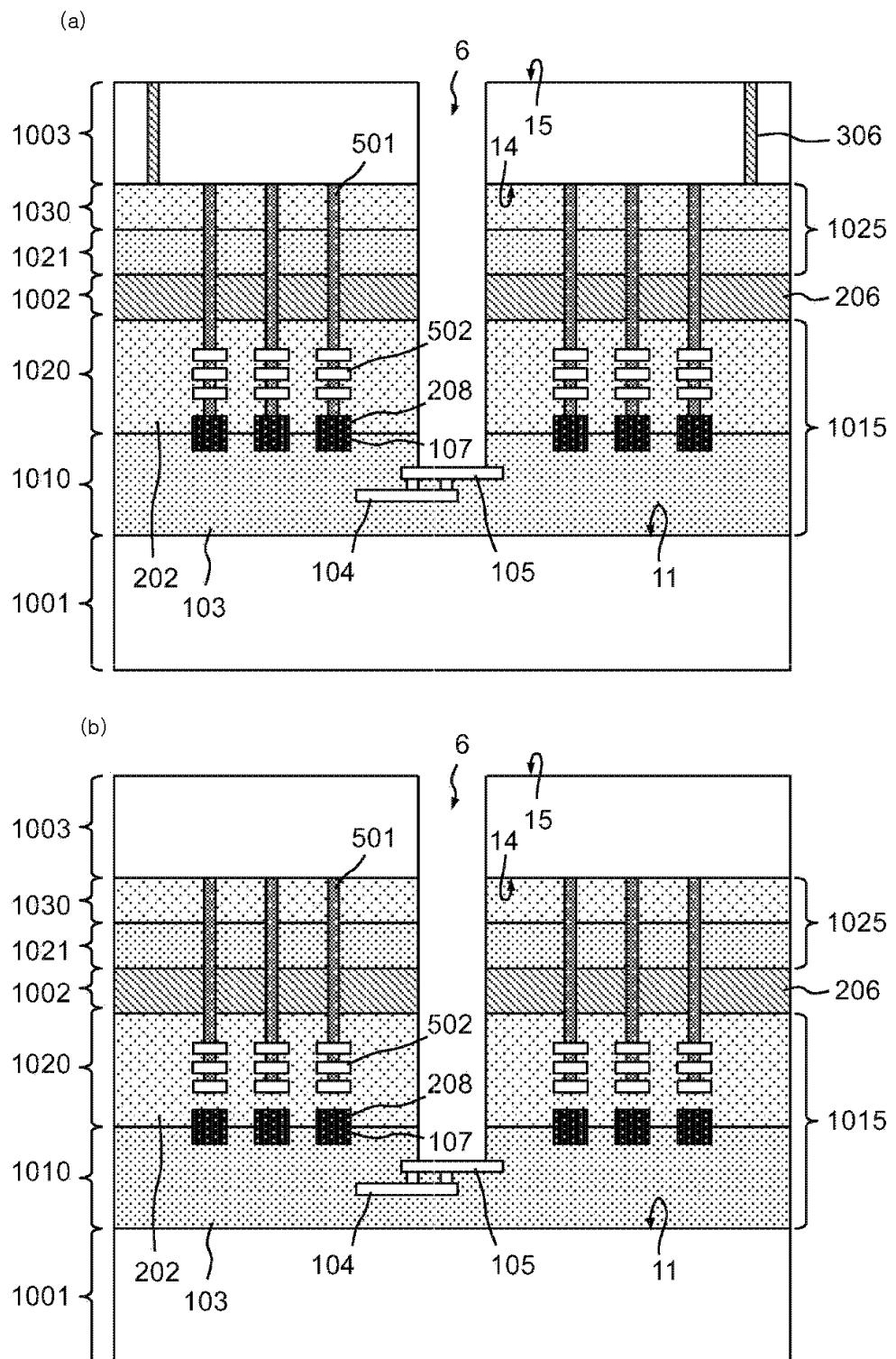
도면 18f



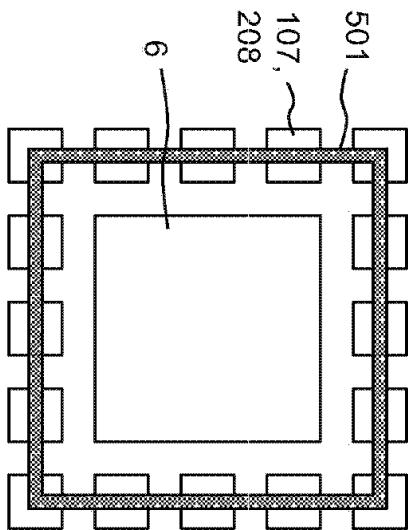
도면19



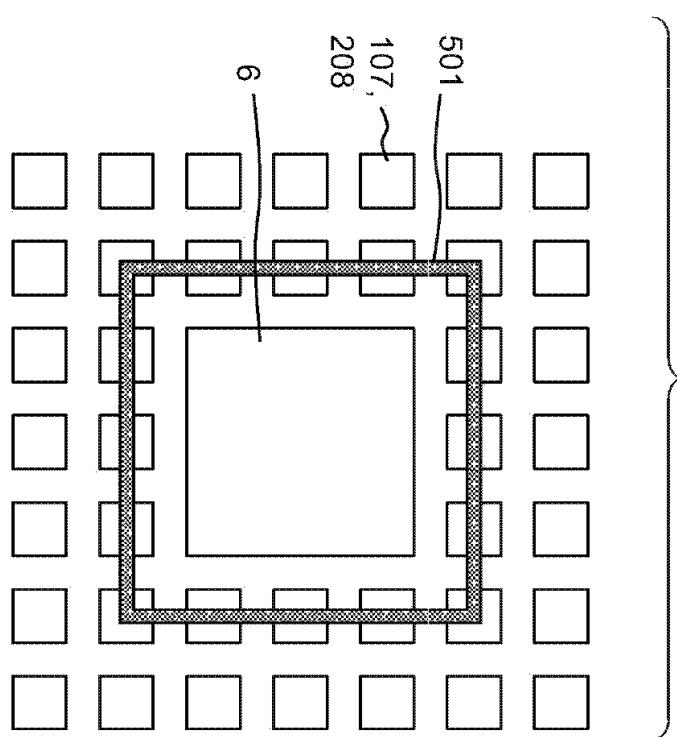
도면20



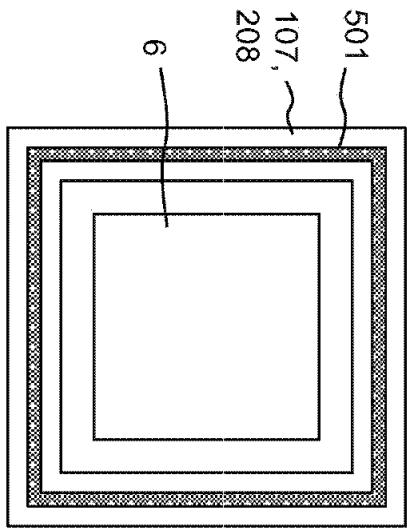
도면21a



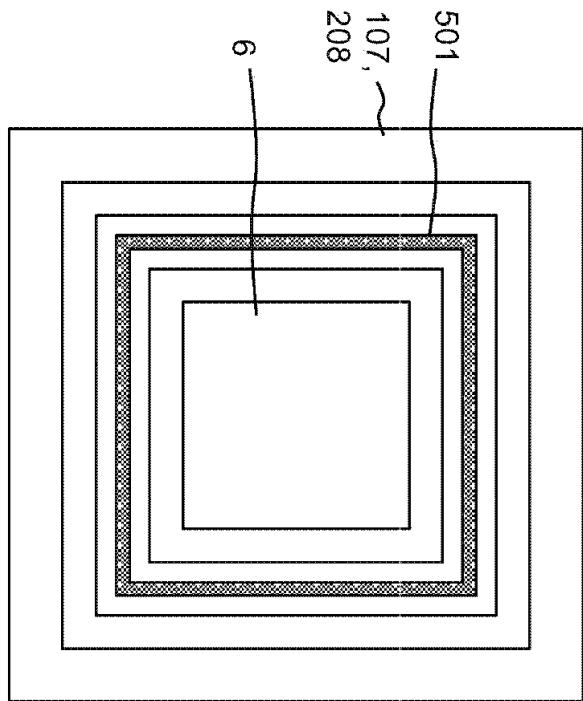
도면21b



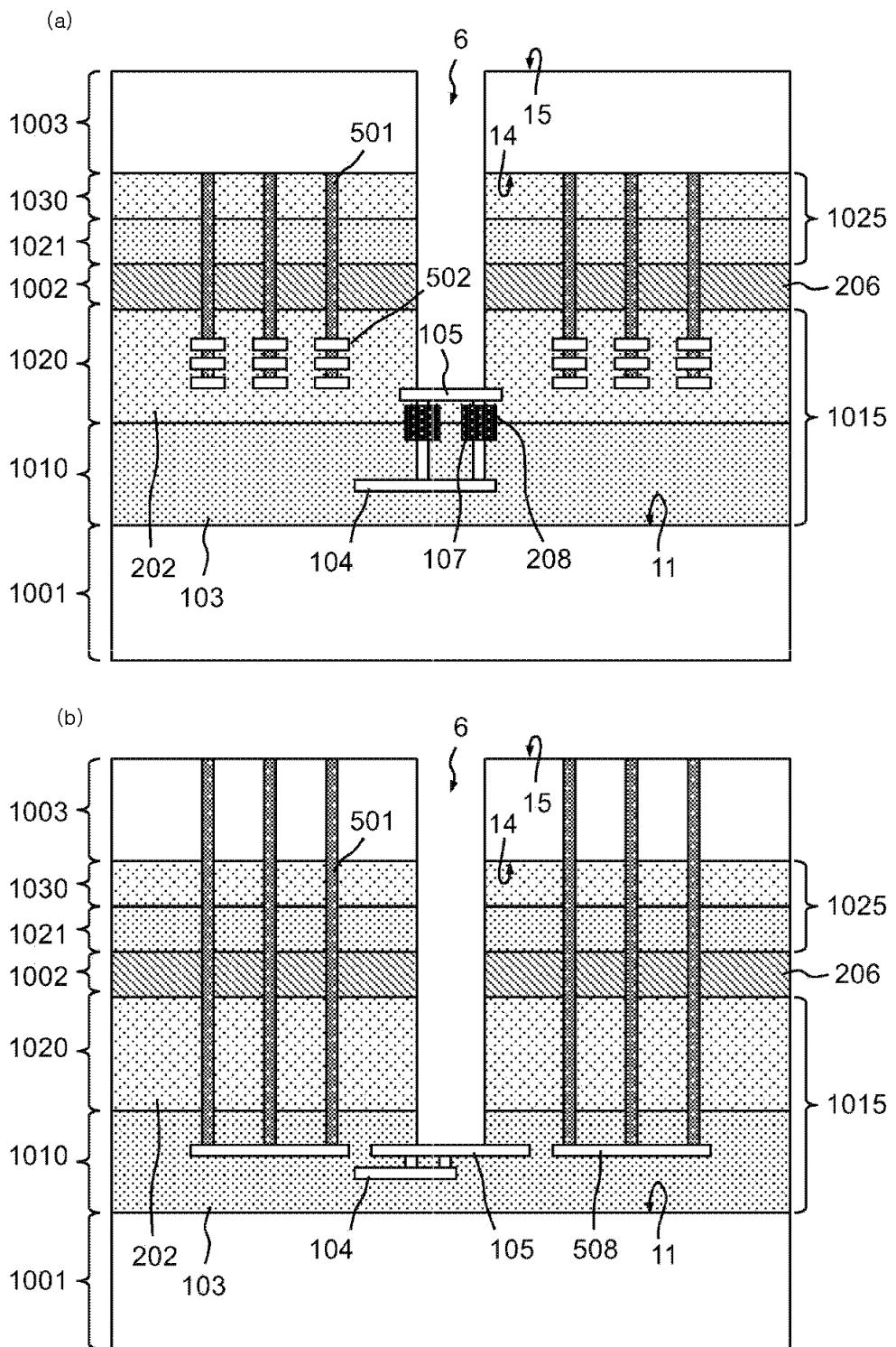
도면21c



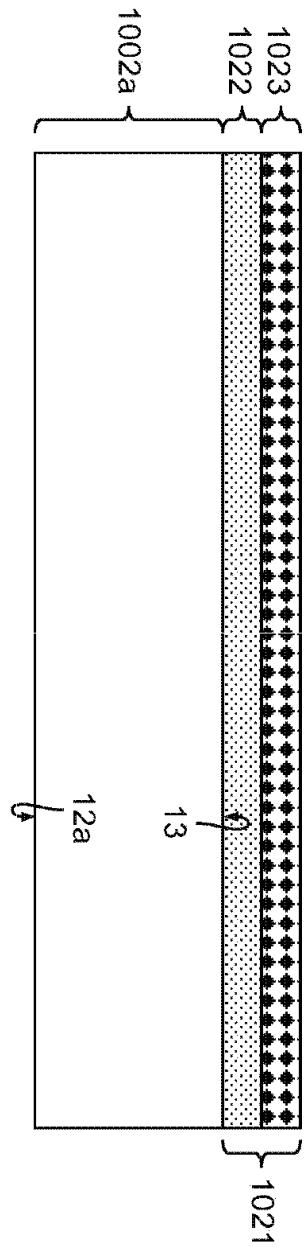
도면21d



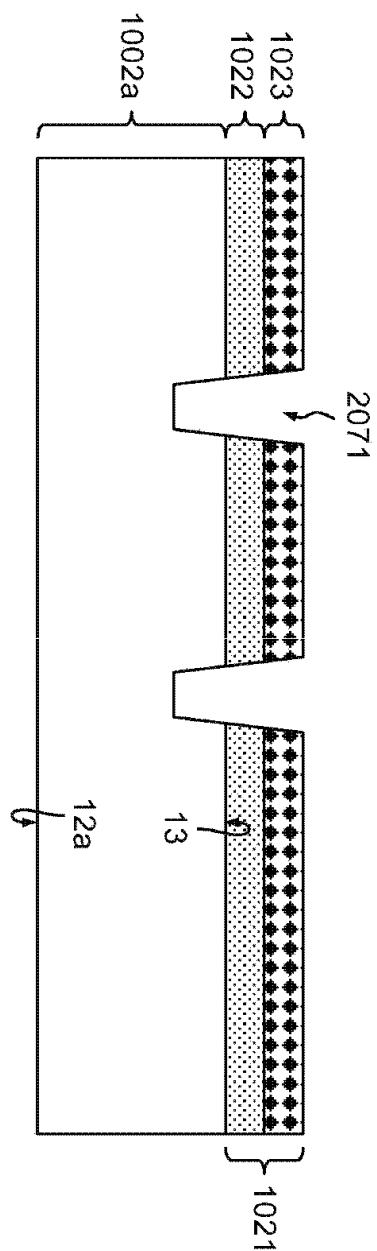
도면22



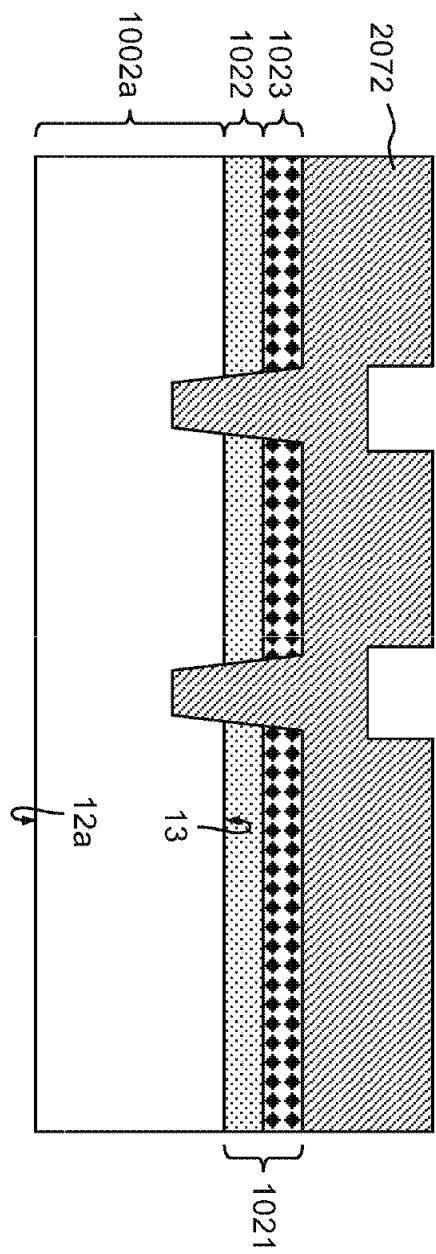
도면23a



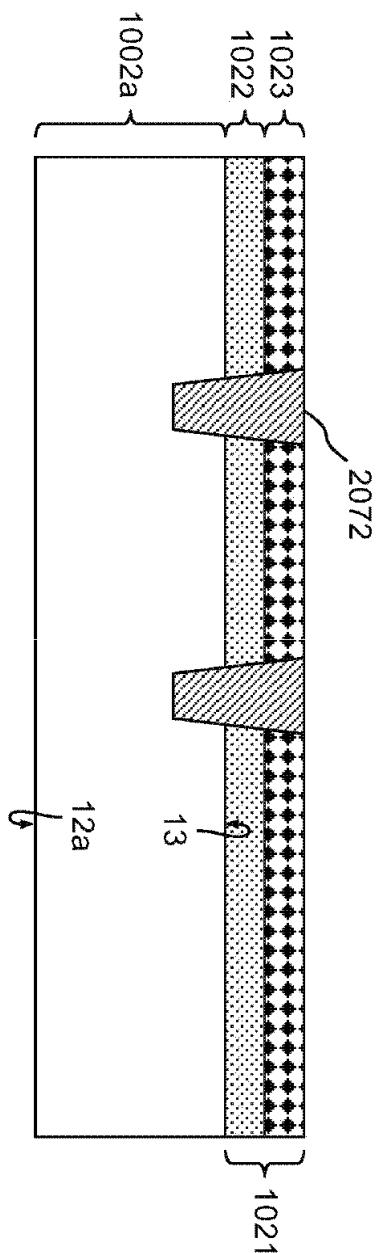
도면23b



도면23c



도면23d



도면24

