



등록특허 10-2401406



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월23일
(11) 등록번호 10-2401406
(24) 등록일자 2022년05월19일

(51) 국제특허분류(Int. Cl.)
HO4N 19/30 (2014.01) *HO4N 19/159* (2014.01)
HO4N 19/169 (2014.01) *HO4N 19/172* (2014.01)
HO4N 19/187 (2014.01) *HO4N 19/70* (2014.01)

(52) CPC특허분류
HO4N 19/30 (2015.01)
HO4N 19/105 (2015.01)

(21) 출원번호 10-2016-7035361

(22) 출원일자(국제) 2015년06월19일
심사청구일자 2020년06월03일

(85) 번역문제출일자 2016년12월16일

(65) 공개번호 10-2017-0022997

(43) 공개일자 2017년03월02일

(86) 국제출원번호 PCT/US2015/036607

(87) 국제공개번호 WO 2015/196028
국제공개일자 2015년12월23일

(30) 우선권주장
62/015,197 2014년06월20일 미국(US)
14/743,327 2015년06월18일 미국(US)

(56) 선행기술조사문헌
G. Tech, et al. MV-HEVC Draft Text 8. JCT-3V
of ITU-T and ISO/IEC. JCT3V-H1002 Ver.5, Jun.
3, 2014, pp.1-148*
WO2014011567 A1*
A. K. Ramasubramonian, et al. MV-HEVC/SHVC
HLS: Clarifications to the specification of
end of sequence (EOS) NAL unit. JCT-VC of
ITU-T and ISO/IEC. JCTVC-R0224 Ver.1, Jun.
21, 2014, pp.1-4

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 27 항

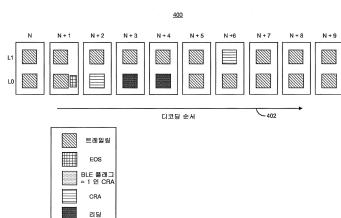
심사관 : 이상래

(54) 발명의 명칭 시퀀스 종료 네트워크 추상화 계층 유닛을 사용한 개선된 비디오 코딩

(57) 요 약

비디오 데이터를 디코딩하고 프로세싱하기 위한 기술 및 시스템 제공한다. 예를 들어, 비디오 데이터를 디코딩하는 방법은 다중 계층들을 포함하는 인코딩된 비디오 비트스트림을 액세스하는 단계를 포함한다. 인코딩된 비디오 비트스트림은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하는 제 1 액세스 유닛을 갖는 다중 액세스(뒷면에 계속)

대 표 도



스 유닛들을 포함한다. 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 뷍처를 포함하고, 제 1 액세스 유닛에 뒤따르는 디코딩 순서에서 다음의 후속 액세스 유닛이다. 상기 방법은 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 상기 다음 액세스 유닛이 되는 상기 제 2 액세스 유닛에 기초하여 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 단계를 더 포함한다.

(52) CPC특허분류

H04N 19/159 (2015.01)

H04N 19/172 (2015.01)

H04N 19/187 (2015.01)

H04N 19/188 (2015.01)

H04N 19/70 (2015.01)

명세서

청구범위

청구항 1

비디오 데이터를 디코딩하는 방법으로서,

다중 계층들을 포함하는 인코딩된 비디오 비트스트림을 액세스하는 단계로서, 상기 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고, 제 1 액세스 유닛은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 및 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 핵처를 포함하고 디코딩 순서에서 상기 제 1 액세스 유닛에 후속하는 액세스 유닛인, 상기 액세스하는 단계;

디코딩이 상기 제 2 액세스 유닛에서 재 초기화되어야 한다는 것을 나타내는 값이 되도록 재 초기화 플래그를 도출하는 단계로서, 상기 재 초기화 플래그는 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 값이 되도록 도출되는, 상기 재 초기화 플래그를 도출하는 단계; 및

상기 재 초기화 플래그의 상기 값에 기초하여 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 단계로서, 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 단계는 디코딩 순서에서 상기 제 2 액세스 유닛에 속하거나 상기 제 2 액세스 유닛의 뒤를 잇는 핵처들의 예측을 위해 디코딩 순서에서 상기 제 2 액세스 유닛에 속하거나 상기 제 2 액세스 유닛의 뒤를 잇는 핵처들만을 사용하는 것을 포함하는, 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 단계를 포함하는, 비디오 데이터를 디코딩하는 방법.

청구항 2

제 1 항에 있어서,

디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 제 2 액세스 유닛에서 상기 다중 계층들 각각의 디코딩을 재 초기화하는 단계를 더 포함하는, 비디오 데이터를 디코딩하는 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 액세스 유닛은 상기 인코딩된 비디오 비트스트림의 베이스 계층에서 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 상기 제 2 액세스 유닛은 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 핵처를 포함하며,

상기 디코딩은, 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛이고 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 핵처를 포함하는 상기 제 2 액세스 유닛에 기초하여, 상기 제 2 액세스 유닛에서 재 초기화되는, 비디오 데이터를 디코딩하는 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 액세스 유닛의 상기 인트라 랜덤 액세스 포인트 핵처는 순간적인 디코딩 리프레시 핵처를 포함하는, 비디오 데이터를 디코딩하는 방법.

청구항 5

제 1 항에 있어서,

상기 제 2 액세스 유닛의 상기 인트라 랜덤 액세스 포인트 핵처는 클린 랜덤 액세스 핵처를 포함하는, 비디오 데이터를 디코딩하는 방법.

청구항 6

삭제

청구항 7

제 5 항에 있어서,

상기 플래그는 NoClearsOutputFlag 를 포함하고, 상기 값은 1 의 값인, 비디오 데이터를 디코딩하는 방법.

청구항 8

제 1 항에 있어서,

상기 제 2 액세스 유닛에서 상기 디코딩을 재 초기화하는 단계는,

상기 제 2 액세스 유닛과 관련된 하나 이상의 크로스 - 계층 랜덤 액세스 스kip된 리딩 픽처 또는 하나 이상의 랜덤 액세스 스kip된 리딩 픽처를 폐기하는 단계를 포함하는, 비디오 데이터를 디코딩하는 방법.

청구항 9

장치로서,

비디오 데이터를 저장하도록 구성된 메모리; 및

프로세서를 포함하고,

상기 프로세서는

상기 메모리로부터 다중 계층들을 포함하는 인코딩된 비디오 비트스트림을 액세스하는 것으로서, 상기 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고, 제 1 액세스 유닛은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 및 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 픽처를 포함하고 디코딩 순서에서 상기 제 1 액세스 유닛에 후속하는 액세스 유닛인, 상기 인코딩된 비디오 비트스트림을 액세스하고;

디코딩이 상기 제 2 액세스 유닛에서 재 초기화되어야 한다는 것을 나타내는 값이 되도록 재 초기화 플래그를 도출하는 것으로서, 상기 재 초기화 플래그는 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 값이 되도록 도출되는, 상기 재 초기화 플래그를 도출하며; 및

상기 재 초기화 플래그의 상기 값에 기초하여 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 것으로서, 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 것은 디코딩 순서에서 상기 제 2 액세스 유닛에 속하거나 상기 제 2 액세스 유닛의 뒤를 잇는 픽처들의 예측을 위해 디코딩 순서에서 상기 제 2 액세스 유닛에 속하거나 상기 제 2 액세스 유닛의 뒤를 잇는 픽처들만을 사용하는 것을 포함하는, 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하도록 구성된, 장치.

청구항 10

제 9 항에 있어서,

상기 프로세서는 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 제 2 액세스 유닛에서 상기 다중 계층들 각각의 디코딩을 재 초기화하도록 구성된, 장치.

청구항 11

제 9 항에 있어서,

상기 제 1 액세스 유닛은 상기 인코딩된 비디오 비트스트림의 베이스 계층에서 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 상기 제 2 액세스 유닛은 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 픽처를 포함하며,

상기 디코딩은 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속

하는 상기 액세스 유닛이고, 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 픽처를 포함하는 상기 제 2 액세스 유닛에 기초하여, 상기 제 2 액세스 유닛에서 재 초기화되는, 장치.

청구항 12

제 9 항에 있어서,

상기 제 2 액세스 유닛의 상기 인트라 랜덤 액세스 포인트 픽처는 적어도 하나 이상의 순간적인 디코딩 리프레시 픽처 또는 클린 랜덤 액세스 픽처를 포함하는, 장치.

청구항 13

삭제

청구항 14

제 9 항에 있어서,

상기 제 2 액세스 유닛에서 상기 디코딩을 재 초기화하는 것은, 상기 제 2 액세스 유닛과 관련된 하나 이상의 크로스 - 계층 랜덤 액세스 스킵된 리딩 픽처 또는 하나 이상의 랜덤 액세스 스kip된 리딩 픽처를 폐기하는 것을 포함하는, 장치.

청구항 15

비디오 데이터를 프로세싱하는 방법으로서,

다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하는 단계로서, 상기 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 상기 제 1 인코딩된 비디오 비트스트림을 획득하는 단계;

다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하는 단계로서, 상기 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 상기 제 2 인코딩된 비디오 비트스트림을 획득하는 단계;

상기 제 1 인코딩된 비디오 비트스트림의 액세스 유닛들을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛들과 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 상기 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써, 제 3 인코딩된 비디오 비트스트림을 생성하는 단계로서, 상기 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 픽처를 포함하고, 디코딩 순서에서 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 상기 제 1 액세스 유닛에 후속하는 액세스 유닛인, 상기 제 3 인코딩된 비디오 비트스트림을 생성하는 단계; 및

상기 제 3 인코딩된 비디오 비트스트림을 송신하는 단계로서, 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 디코딩이 상기 제 2 액세스 유닛에서 재 초기화되게 하고, 액세스 유닛에서 디코딩을 재 초기화하는 것은 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들의 예측을 위해 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들만을 사용하는 것을 포함하는, 상기 제 3 인코딩된 비디오 비트스트림을 송신하는 단계를 포함하며,

상기 제 2 액세스 유닛이 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛 일 때, 상기 제 2 액세스 유닛의 플래그가 상기 디코딩이 상기 제 2 액세스 유닛에서 재 초기화될 것임을 나타내는 값으로 설정되는, 비디오 데이터를 프로세싱하는 방법.

청구항 16

제 15 항에 있어서,

상기 제 3 인코딩된 비디오 비트스트림이 디코딩되는 것을 결정하는 단계로서, 상기 제 3 인코딩된 비트스트림은 상기 제 1 액세스 유닛을 포함하여 상기 제 1 인코딩된 비디오 비트스트림에서의 액세스 유닛들까지를 포함하고, 상기 제 2 액세스 유닛을 포함하여 상기 제 2 인코딩된 비디오 비트스트림에서의 액세스 유닛들이 후속하는, 제 3 인코딩된 비디오 비트스트림이 디코딩되는 것을 결정하는 단계;

상기 제 2 인코딩된 비디오 비트스트림의 디코딩은 상기 인트라 랜덤 액세스 포인트 픽처를 포함하는 상기 제 2

액세스 유닛에서 재 초기화되는 것을 결정하는 단계; 및

상기 제 1 액세스 유닛을 포함하여 상기 제 1 인코딩된 비디오 비트스트림에서의 액세스 유닛들을, 상기 제 2 액세스 유닛을 포함하여 상기 제 2 인코딩된 비디오 비트스트림에서의 액세스 유닛들을 결합함으로써, 그리고 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 상기 제 1 액세스 유닛에 삽입함으로써, 상기 제 3 인코딩된 비디오 스트림을 생성하는 단계를 더 포함하는, 비디오 데이터를 프로세싱하는 방법.

청구항 17

제 15 항에 있어서,

상기 제 1 인코딩된 비디오 비트스트림 및 상기 제 2 인코딩된 비디오 비트스트림은 동일한 인코딩된 비디오 비트스트림의 부분이고, 및 상기 제 2 액세스 유닛은 상기 동일한 인코딩된 비디오 비트스트림에서 상기 제 1 액세스 유닛에 후속하는 디코딩 순서에서 후속하는 액세스 유닛이 되는, 비디오 데이터를 프로세싱하는 방법.

청구항 18

제 15 항에 있어서,

상기 제 3 인코딩된 비디오 비트스트림의 다중 계층들의 각 계층의 디코딩은, 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 제 2 액세스 유닛에서 재 초기화되는, 비디오 데이터를 프로세싱하는 방법.

청구항 19

제 15 항에 있어서,

상기 시퀀스 종료 네트워크 추상화 계층 유닛은, 상기 제 3 인코딩된 비디오 비트스트림의 베이스 계층에서 상기 제 1 액세스 유닛에 삽입되고, 상기 제 2 액세스 유닛은 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 핵처를 포함하며,

디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛이고 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 핵처를 포함하는 상기 제 2 액세스 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 디코딩이 상기 제 2 액세스 유닛에서 재 초기화되게 하는, 비디오 데이터를 프로세싱하는 방법.

청구항 20

제 15 항에 있어서,

상기 제 2 액세스 유닛의 상기 인트라 랜덤 액세스 포인트 핵처는 순간적인 디코딩 리프레시 핵처를 포함하는, 비디오 데이터를 프로세싱하는 방법.

청구항 21

제 15 항에 있어서,

상기 제 2 액세스 유닛의 상기 인트라 랜덤 액세스 포인트 핵처는 클린 랜덤 액세스 핵처를 포함하는, 비디오 데이터를 프로세싱하는 방법.

청구항 22

삭제

청구항 23

제 15 항에 있어서,

상기 플래그는 NoClearsOutputFlag 를 포함하고, 상기 값은 1 의 값인, 비디오 데이터를 프로세싱하는 방법.

청구항 24

제 15 항에 있어서,

상기 제 2 액세스 유닛에서 상기 디코딩을 재 초기화하는 것은,

상기 제 2 액세스 유닛과 관련된 하나 이상의 크로스-계층 랜덤 액세스 스킵된 리딩 픽처 또는 하나 이상의 랜덤 액세스 스킵된 리딩 픽처를 폐기하는 것을 포함하는, 비디오 데이터를 프로세싱하는 방법.

청구항 25

장치로서,

비디오 데이터를 저장하도록 구성된 메모리;

프로세서로서,

상기 메모리로부터 다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하되, 상기 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고;

상기 메모리로부터 다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하되, 상기 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고;

상기 제 1 인코딩된 비디오 비트스트림의 액세스 유닛들을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛들과 결합함으로써, 및 시퀀스 종료 네트워크 추상화 계층 유닛을 상기 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써 제 3 인코딩된 비디오 비트스트림을 생성하되, 상기 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 픽처를 포함하고, 디코딩 순서에서 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 상기 제 1 액세스 유닛에 후속하는 액세스 유닛이도록 구성된, 상기 프로세서; 및

상기 제 3 인코딩된 비디오 비트스트림을 송신하도록 구성된 송신기를 포함하고,

디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 디코딩이 상기 제 2 액세스 유닛에서 재 초기화되게 하고, 액세스 유닛에서 디코딩을 재 초기화하는 것은 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들의 예측을 위해 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들만을 사용하는 것을 포함하며,

상기 제 2 액세스 유닛이 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛 일 때, 상기 제 2 액세스 유닛의 플래그가 상기 디코딩이 상기 제 2 액세스 유닛에서 재 초기화될 것임을 나타내는 값으로 설정되는, 장치.

청구항 26

제 25 항에 있어서,

상기 프로세서는,

상기 제 3 인코딩된 비디오 비트스트림이 디코딩되는 것을 결정하되, 상기 제 3 인코딩된 비트스트림은 상기 제 1 액세스 유닛을 포함하여 상기 제 1 인코딩된 비디오 비트스트림에서의 액세스 유닛들까지를 포함하고, 상기 제 2 액세스 유닛을 포함하여 상기 제 2 인코딩된 비디오 비트스트림에서의 액세스 유닛들이 후속하는 것이고;

상기 제 2 인코딩된 비디오 비트스트림의 디코딩은 상기 인트라 랜덤 액세스 포인트 픽처를 포함하는 상기 제 2 액세스 유닛에서 재 초기화되는 것을 결정하고; 그리고

상기 제 1 액세스 유닛을 포함하여 상기 제 1 인코딩된 비디오 비트스트림에서의 액세스 유닛들을, 상기 제 2 액세스 유닛을 포함하여 상기 제 2 인코딩된 비디오 비트스트림에서의 액세스 유닛들을 결합함으로써, 그리고 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 상기 제 1 액세스 유닛에 삽입함으로써, 상기 제 3 인코딩된 비디오 스트림을 생성하도록 구성되는, 장치.

청구항 27

제 25 항에 있어서,

상기 제 1 인코딩된 비디오 비트스트림 및 상기 제 2 인코딩된 비디오 비트스트림은 동일한 인코딩된 비디오 비트스트림의 부분이고, 및 상기 제 2 액세스 유닛은 상기 동일한 인코딩된 비디오 비트스트림에서 상기 제 1 액세스 유닛에 후속하는 디코딩 순서에서 후속의 액세스 유닛인, 장치.

청구항 28

제 25 항에 있어서,

상기 제 3 인코딩된 비디오 비트스트림의 다중 계층들의 각 계층의 디코딩은, 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 제 2 액세스 유닛에서 재 초기화되는, 장치.

청구항 29

제 25 항에 있어서,

상기 시퀀스 종료 네트워크 추상화 계층 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 베이스 계층에서 상기 제 1 액세스 유닛에 삽입되고, 상기 제 2 액세스 유닛은 상기 베이스 계층에 상기 인트라 랜덤 액세스 포인트 픽처를 포함하고,

디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛이고 상기 베이스 계층에서 상기 인트라 랜덤 액세스 포인트 픽처를 포함하는 상기 제 2 액세스 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 디코딩이 상기 제 2 액세스 유닛에서 재 초기화되게 하는, 장치.

청구항 30

제 25 항에 있어서,

상기 제 2 액세스 유닛의 상기 인트라 랜덤 액세스 포인트 픽처는 적어도 하나 이상의 순간적인 디코딩 리프레이시 픽처 또는 클린 랜덤 액세스 픽처를 포함하는, 장치.

발명의 설명

기술 분야

[0001]

본 개시물은, 일반적으로 비디오 코딩에 관한 것으로, 보다 구체적으로는 시퀀스 종료 네트워크 추상화 계층 유닛을 사용하여 비디오 코딩을 개선하기 위한 기술 및 시스템에 관한 것이다.

배경 기술

[0002]

많은 디바이스 및 시스템은 비디오 데이터가 처리되고 소비를 위해 출력되는 것을 허용한다. 디지털 비디오 데이터에는 소비자 및 비디오 공급자의 요구를 충족시키기 위한 많은 양의 데이터가 포함된다. 예를 들어, 비디오 데이터 소비자는 높은 정확도, 해상도, 프레임 속도 등과 같은 최상의 품질의 비디오를 원한다. 결과적으로, 이러한 요구를 충족시키기 위해 요구되는 많은 양의 비디오 데이터는 비디오 데이터를 처리하고 저장하는 통신 네트워크 및 디바이스에 부담을 준다.

[0003]

다양한 비디오 코딩 기술들이 비디오 데이터를 압축하는데 사용될 수 있다. 비디오 코딩은 하나 이상의 비디오 코딩 표준에 따라 수행된다. 예를 들어, 비디오 코딩 표준은 고효율 비디오 코딩 (HEVC), 어드밴스드 비디오 코딩 (AVC), 동영상 전문가 그룹 (MPEG) 코딩 등을 포함한다. 비디오 코딩은 일반적으로 비디오 이미지 또는 시퀀스에 존재하는 리던던시 (redundancy)를 이용하는 예측 방법 (예를 들어, 인터-예측, 인트라-예측 등)을 이용한다. 비디오 코딩 기술의 중요한 목표는 비디오 품질의 열화를 피하거나 최소화하면서 낮은 비트 전송률을 사용하는 형태로 비디오 데이터를 압축하는 것이다. 끊임없이 전화하는 비디오 서비스가 가능하게 됨에 따라, 더 나은 코딩 효율을 갖는 인코딩 기술이 필요로 하게 되었다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0004]

일부 실시형태들에서, 시퀀스 종료 (EOS; end of sequence) 네트워크 추상화 계층 (NAL) 유닛을 사용하여 비디오 코딩을 개선하기 위한 기술 및 시스템이 설명된다. 비트스트림은 일련의 하나 이상의 코딩된 비디오 시퀀스이다. 코딩된 비디오 시퀀스 (CVS) 는, 베이스 계층에서 랜덤 액세스 포인트 퍽처를 포함하고 특정 속성 (출원의 후반부에 설명된 대로) 을 갖는 액세스 유닛으로 시작하여 베이스 계층에서 랜덤 액세스 포인트 퍽처를 포함하고 특정 속성을 갖는 다음 액세스 유닛까지는 포함하지 않는, 일련의 액세스 유닛을 포함한다. 액세스 유닛 (AU) 은 하나 이상의 코딩된 퍽처 및 동일한 출력 시간을 공유하는 코딩된 퍽처에 대응하는 제어 정보를 포함한다. EOS NAL 유닛은 코딩된 비디오 시퀀스의 종료를 나타내는 비트스트림의 NAL 유닛이다. 예를 들어, EOS NAL 유닛은 그 NAL 유닛이 소정의 CVS 의 마지막 NAL 유닛임을 나타낼 수 있다. 다른 예에서, EOS NAL 유닛은 NAL 유닛이 CVS 의 계층의 마지막 NAL 유닛임을 나타낼 수 있다. EOS NAL 유닛을 포함하는 AU 에 뒤따르는 AU에서 시작하여 AU의 디코딩이 재 초기화되도록 디코딩 프로세스를 변경하기 위한 실시예들이 여기에 설명된다.

[0005]

시퀀스 종료 네트워크 추상화 계층 유닛을 사용하여 비디오 코딩을 개선하는 적어도 하나의 예에 따르면, 다중 계층들을 포함하는 인코딩된 비디오 비트스트림에 액세스하는 것을 포함하는 비디오 데이터를 디코딩하는 방법이 제공된다. 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 제 1 액세스 유닛은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 퍽처를 포함하고, 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛이다. 상기 방법은 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 디코딩을 재 초기화하는 단계를 더 포함한다.

[0006]

다른 예에서, 비디오 데이터를 저장하도록 구성된 메모리 및 프로세서를 포함하는 장치가 제공된다. 프로세서는 메모리로부터 다중 계층들을 포함하는 인코딩된 비디오 비트스트림으로 액세스하도록 구성되고 액세스할 수 있다. 인코딩된 비디오 비트스트림은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하는 제 1 액세스 유닛 및 인트라 랜덤 액세스 포인트 퍽처를 포함하는 제 2 액세스 유닛을 갖는 다중 액세스 유닛들을 포함한다. 제 2 액세스 유닛은 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛이다. 프로세서는 또한, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인, 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 디코딩을 재 초기화하도록 구성되고 재 초기화할 수 있다.

[0007]

다른 예에서, 프로세서에 의해 실행될 때, 다음을 포함하는 방법을 수행하는 명령들을 그 내부에 저장하는 컴퓨터 관독 가능 매체가 제공된다: 다중 계층들을 포함하는 인코딩된 비디오 비트스트림에 액세스하는 것으로서, 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고, 제 1 액세스 유닛은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 퍽처를 포함하고, 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인, 액세스하는 것; 및 상기 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 액세스 유닛인 상기 제 2 액세스 유닛에 기초하여 상기 제 2 액세스 유닛에서 디코딩을 재 초기화하는 것.

[0008]

다른 예에서, 다중 계층들을 포함하는 인코딩된 비디오 비트스트림에 액세스하기 위한 수단을 포함하는 장치가 제공되며, 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고, 제 1 액세스 유닛은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 퍽처를 포함하고, 상기 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛이다. 장치는 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 디코딩을 재 초기화하는 수단을 더 포함한다.

[0009]

비디오 데이터 디코딩을 위한 위에 설명된 방법, 장치 및 컴퓨터 관독 가능 매체는, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 각각의 다중 계층들의 디코딩을 재 초기화하는 것을 더 포함할 수도 있다.

[0010]

일부 양태들에서, 제 1 액세스 유닛은 인코딩된 비디오 비트스트림의 베이스 계층에서 시퀀스 종료 네트워크 추

상화 계층 유닛을 포함하고, 제 2 액세스 유닛은 베이스 계층에서 인트라 랜덤 액세스 포인트 핵처를 포함한다.

베이스 계층에 존재하고, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여, 디코딩이 제 2 액세스 유닛에서 재 초기화된다.

[0011] 일부 양태들에서, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 핵처는 순간적인 디코딩 리프레시 핵처를 포함한다. 일부 양태들에서, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 핵처는 클린 랜덤 액세스 핵처를 포함한다.

[0012] 일부 양태들에서, 제 2 액세스 유닛이 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛일 때 제 2 액세스 유닛의 플래그가 일 값으로 설정된다. 그 값은 디코딩이 제 2 액세스 유닛에서 재 초기화됨을 나타낸다. 일부 예에서, 플래그는 NoClrasOutputFlag 를 포함하고 값은 1 의 값이다.

[0013] 일부 양태들에서, 제 2 액세스 유닛에서 디코딩을 재 초기화하는 것은, 하나 이상의 랜덤 액세스 스kip된 리딩 핵처 또는 상기 제 2 액세스 유닛과 연관된 하나 이상의 크로스 - 계층 랜덤 액세스 스kip된 리딩 핵처를 폐기하는 것을 포함한다.

[0014] 시퀀스 종료 네트워크 추상화 계층 유닛을 사용하여 비디오 코딩을 개선하는 다른 예에서, 다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하는 단계를 포함하는 비디오 데이터를 처리하는 방법이 제공된다. 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 상기 방법은 다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하는 단계를 더 포함한다. 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 방법은, 제 1 인코딩된 비디오 비트스트림의 액세스 유닛들을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛들과 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써 제 3 인코딩된 비디오 비트스트림을 생성하는 단계를 더 포함한다. 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은, 인트라 랜덤 액세스 포인트 핵처를 포함하고, 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 제 1 액세스 유닛을 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛이다. 방법은 제 3 인코딩된 비디오 비트스트림을 송신하는 단계를 더 포함한다. 제 3 인코딩된 비디오 비트스트림의 디코딩은, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여, 제 2 액세스 유닛에서 재 초기화된다.

[0015] 다른 예에서, 비디오 데이터를 저장하도록 구성된 메모리 및 프로세서를 포함하는 장치가 제공된다. 프로세서는 메모리로부터 다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하도록 구성되고 획득할 수도 있다. 제 1 인코딩된 데이터는 다중 액세스 유닛들을 포함한다. 프로세서는 또한, 메모리로부터 다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하도록 구성되고 획득할 수도 있다. 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 프로세서는 또한, 제 1 인코딩된 비디오 비트스트림의 액세스 유닛을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛과 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써, 제 3 인코딩된 비디오 비트스트림을 생성하도록 구성되고 생성할 수도 있다. 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 핵처를 포함하고, 시퀀스 종료 네트워크 추상화 계층 유닛을 갖는 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛이다. 상기 장치는 송신기를 더 포함한다. 송신기는 제 3 인코딩된 비디오 비트스트림을 송신하도록 구성되고 송신할 수 있다. 제 3 인코딩된 비디오 비트스트림의 디코딩은, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화된다.

[0016] 다른 예에서, 프로세서에 의해 실행될 때, 다음을 포함하는 방법을 수행하는 명령들을 그 내부에 저장하는 컴퓨터 판독 가능 매체가 제공된다: 다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하는 것으로서, 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하고, 다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하고, 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 제 1 인코딩된 비디오 비트스트림을 획득하는 것; 제 1 인코딩된 비디오 비트스트림의 액세스 유닛과 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛을 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써, 제 3 인코딩된 비디오 비트스트림을 생

성하는 것으로서, 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은, 인트라 랜덤 액세스 포인트 픽처를 포함하고, 시퀀스 종료 네트워크 추상화 계층 유닛을 갖는 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인, 제 3 인코딩된 비트스트림을 생성하는 것; 및 제 3 인코딩된 비디오 비트스트림을 송신하는 것으로서, 제 3 인코딩된 비디오 비트스트림의 디코딩은, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화되는, 제 3 인코딩된 비트스트림을 송신하는 것.

[0017] 다른 예에서, 다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하기 위한 수단을 포함하는 장치가 제공되며, 상기 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 장치는 다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하기 위한 수단을 더 포함하며, 상기 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 상기 장치는 제 1 인코딩된 비디오 비트스트림의 액세스 유닛을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛과 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써 제 3 인코딩된 비디오 비트스트림을 생성하는 수단을 더 포함하고, 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은, 인트라 랜덤 액세스 포인트 픽처를 포함하고, 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 제 1 액세스 유닛을 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛이다. 상기 장치는 상기 제 3 인코딩된 비디오 비트스트림을 송신하는 수단을 더 포함하고, 제 3 인코딩된 비디오 비트스트림의 디코딩은 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화된다.

[0018] 비디오 데이터를 처리하기 위해 위에서 설명된 방법, 장치들 및 컴퓨터 판독 가능 매체는 제 3 인코딩된 비디오 비트스트림이 디코딩될 것으로 결정하는 것을 더 포함하고, 제 3 인코딩된 비트스트림은, 제 1 액세스 유닛을 포함하여 제 1 인코딩된 비디오 비트스트림까지의 액세스 유닛들과, 이에 후속하여, 제 2 액세스 유닛을 포함하여, 그로부터 시작되는 제 2 인코딩된 비디오 비트스트림에서의 액세스 유닛들을 포함한다. 방법, 장치들 및 컴퓨터 판독 가능 매체는 제 2 인코딩된 비디오 비트스트림의 디코딩이 인트라 랜덤 액세스 포인트 픽처를 포함하는 제 2 액세스 유닛에서 재 초기화되어야 한다고 결정하는 것, 및 제 1 액세스 유닛을 포함하여 제 1 인코딩된 비디오 비트스트림까지의 액세스 유닛들과, 제 2 액세스 유닛을 포함하여 그로부터 시작되는 제 2 인코딩된 비디오 비트스트림에서의 액세스 유닛들을 결합함으로써, 또한 시퀀스 종료 네트워크 추상화 계층 유닛에 제 1 액세스 유닛을 삽입함으로써, 제 3 인코딩된 비디오 비트스트림을 생성하는 것을 더 포함한다.

[0019] 일부 양태들에서, 제 1 인코딩된 비디오 비트스트림 및 제 2 인코딩된 비디오 비트스트림은 동일한 인코딩된 비디오 비트스트림이고, 제 2 액세스 유닛은 동일한 인코딩된 비디오 비트스트림에서 제 1 액세스 유닛에 뒤따르는 디코딩 순서의 후속하는 액세스 유닛이다.

[0020] 일부 양태들에서, 제 3 인코딩된 비디오 비트스트림의 다중 계층들의 각각의 계층의 디코딩은 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화된다.

[0021] 일부 양태들에서, 시퀀스 종료 네트워크 추상화 계층 유닛은 제 3 인코딩된 비디오 비트스트림의 베이스 계층에서 제 1 액세스 유닛에 삽입되고, 상기 제 2 액세스 유닛은 베이스 계층에서 인트라 랜덤 액세스 포인트 픽처를 포함한다. 디코딩은 베이스 계층에 존재하고 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화된다.

[0022] 일부 양태들에서, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 픽처는 순간적인 디코딩 리프레시 픽처를 포함한다. 일부 양태들에서, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 픽처는 클린 랜덤 액세스 픽처를 포함한다.

[0023] 일부 양태들에서, 제 2 액세스 유닛이 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서의 다음 후속하는 액세스 유닛일 때 제 2 액세스 유닛의 플래그가 일 값으로 설정된다. 이 값은 디코딩이 제 2 액세스 유닛에서 재 초기화됨을 나타낸다. 일부 예에서, 플래그는 NoClearsOutputFlag 를 포함하고 값은 1 의 값이다.

[0024] 일부 양태들에서, 제 2 액세스 유닛에서의 디코딩을 재 초기화하는 것은 하나 이상의 랜덤 액세스 스kip된 리딩 픽처 또는 상기 제 2 액세스 유닛과 연관된 하나 이상의 크로스-계층 랜덤 액세스 스kip된 리딩 픽처를 폐기하는

것을 포함한다.

[0025] 이러한 과제의 해결 수단은 청구된 주제의 핵심 또는 필수적인 특징을 식별하기 위한 의도가 아니며, 또한, 청구된 주제의 범위를 결정하기 위해 단독으로 사용하기 위한 것이 아니다. 청구물은 이 특허의 전체 명세서, 일부 또는 모든 도면 및 각 청구항의 적절한 부분을 참조하여 이해되어야 한다.

[0026] 전술한 내용은 다른 특징 및 실시예와 함께 다음의 명세서, 청구 범위 및 첨부 도면을 참조하면 더욱 명백해질 것이다.

도면의 간단한 설명

[0027] 본 발명의 예시적인 실시예가 아래의 도면을 참조하여 이하에 상세히 설명된다.

도 1은 일부 실시예에 따른, 인코딩 디바이스 및 디코딩 디바이스의 예를 도시하는 블록도이다.

도 2는 일부 실시예에 따른, 인코딩된 비디오 비트스트림의 픽처들의 예이다.

도 3은 일부 실시예에 따른, 인코딩된 비디오 비트스트림의 액세스 유닛의 예이다.

도 4는 일부 실시예에 따른, 인코딩된 비디오 비트스트림의 액세스 유닛의 다른 예이다.

도 5는 일부 실시예에 따른, 인코딩된 비디오 비트스트림의 액세스 유닛의 다른 예이다.

도 6은 일부 실시예들에 따른, 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 비디오 데이터를 디코딩하는 프로세스의 일 실시예를 도시하는 흐름도이다.

도 7은 일부 실시예에 따른, 시퀀스 종료 네트워크 추상화 계층 유닛을 사용하여 비디오 데이터를 처리하는 프로세스의 실시예를 도시하는 흐름도이다.

도 8은 일부 실시예에 따른, 인코딩된 비디오 비트스트림의 액세스 유닛의 예이다.

도 9는 일부 실시예에 따른 예시적인 비디오 인코딩 디바이스를 나타내는 블록도이다.

도 10은 일부 실시예에 따른 예시적인 비디오 인코딩 디바이스를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 개시물의 특정 측면 및 실시예가 이하에 제공된다. 이러한 양태들 및 실시예들 중 일부는 독립적으로 적용될 수 있고 그것을 중 일부는 당업자에게 자명한 바와 같이 조합하여 적용될 수 있다. 이하의 설명에서, 설명의 목적을 위해, 본 발명의 실시예들의 완전한 이해를 제공하기 위해 특정 세부 사항들이 설명된다. 그러나, 다양한 실시예들이 이러한 특정 세부 사항들 없이 실시될 수 있다는 것은 명백할 것이다. 도면 및 설명은 제한하는 의도되지 않는다.

[0029] 후속하는 설명은 단지 예시적인 실시예들을 제공하며, 본 개시물의 범위, 적용 가능성 또는 구성을 제한하려는 것은 아니다. 오히려, 예시적인 실시예들의 후속하는 설명은 당업자에게 예시적인 실시예를 구현하기 위한 설명을 제공할 것이다. 첨부된 청구 범위에 설명된 바와 같이 본 발명의 사상 및 범위를 벗어나지 않으면서 요소들의 기능 및 배열에 다양한 변경이 가능할 수 있음을 이해해야 한다.

[0030] 상세한 설명은 실시예들의 완전한 이해를 제공하기 위해 다음의 설명에서 주어진다. 그러나, 당업자는 실시예가 이러한 특정 세부사항 없이 실시될 수 있음을 이해할 것이다. 예를 들어, 회로, 시스템, 네트워크, 프로세스 및 다른 컴포넌트는 불필요한 세부사항으로 실시예를 모호하게 하지 않기 위해 블록도 형태의 컴포넌트로 도시될 수 있다. 다른 예들에서, 잘 알려진 회로, 프로세스, 알고리즘, 구조 및 기술은 실시예를 모호하게 하는 것을 피하기 위해 불필요한 세부사항 없이 도시될 수 있다.

[0031] 또한, 개개의 실시예는 플루우 차트, 플로우 다이어그램, 데이터 플로우 다이어그램, 구조 다이어그램 또는 블록 다이어그램으로서 도시된 프로세스로서 설명될 수 있다. 비록 플로우 차트가 순차적인 프로세스로서 동작들을 설명할 수 있더라도, 많은 동작들은 병렬로 또는 동시에 수행될 수 있다. 또한 동작 순서를 재정렬 될 수 있다. 프로세스는 동작이 완료되면 종료되지만 그림에 포함되지 않은 추가 단계가 있을 수 있다. 프로세스는 메소드, 함수, 프로시저, 서브루틴, 서브 프로그램등에 해당 할 수 있습니다. 프로세스가 함수에 해당할 때 함수의 종료는 메인 함수 또는 호출 함수에서 함수의 리턴에 해당한다.

[0032] "컴퓨터 판독 가능 매체"라는 용어는 휴대용 또는 비 휴대용 저장 장치, 광학 저장 장치, 및 명령(들) 및/또는

데이터를 저장, 포함 또는 운반할 수 있는 다양한 다른 매체를 포함하지만 이에 한정되지는 않는다. 컴퓨터 판독 가능 매체는 데이터가 저장될 수 있고 반송과 및/또는 무선 또는 유선 연결을 통해 전파되는 일시적인 전자 신호를 포함하지 않는 비 일시적인 매체를 포함할 수 있다. 비 일시적인 매체의 예로는 자기 디스크 또는 테이프, 콤팩트 디스크 (CD) 또는 디지털 다기능 디스크 (DVD)와 같은 광 저장 매체, 플래시 메모리, 메모리 또는 메모리 장치가 있으나, 이에 한정되는 것은 아니다. 컴퓨터 판독 가능 매체는 절차, 기능, 서브 프로그램, 프로그램, 루틴, 서브 루틴, 모듈, 소프트웨어 패키지, 클래스 또는 명령, 데이터 구조 또는 프로그램 명령문의 임의의 조합을 나타낼 수 있는 코드 및/또는 기계-실행 가능 명령어를 저장할 수 있다. 코드 세그먼트는 정보, 데이터, 아규먼트, 파라미터 또는 메모리 내용을 수신 및/또는 전달함으로써 다른 코드 세그먼트 또는 하드웨어 회로에 연결될 수 있다. 정보, 아규먼트, 파라미터, 데이터 등은 메모리 공유, 메시지 전달, 토큰 전달, 네트워크 송신 등을 포함하는 임의의 적절한 수단을 통해 전달, 포워딩 또는 송신될 수 있다.

[0033] 또한, 실시예들은 하드웨어, 소프트웨어, 펌웨어, 미들웨어, 마이크로 코드, 하드웨어 기술 언어, 또는 이들의 임의의 조합에 의해 구현될 수 있다. 소프트웨어, 펌웨어, 미들웨어 또는 마이크로코드로 구현되는 경우, 필요한 작업 (예를 들어, 컴퓨터 프로그램 제품)을 수행하기 위한 프로그램 코드 또는 코드 세그먼트는 컴퓨터 판독 가능 또는 기계 판독 가능 매체에 저장될 수 있다. 프로세서가 필요한 작업을 수행할 수 있다.

[0034] 비디오 인코더, 디코더 및 다른 코딩 처리 장치를 사용하는 비디오 코딩의 여러 시스템 및 방법이 여기에 설명된다. 예를 들어, 하나 이상의 시스템 및 코딩 방법은, 고효율 비디오 코딩 (HEVC)을 사용하여 동작하는 코덱과 같은 다중-계층 코덱에서 시퀀스 종료 네트워크 추상화 층 유닛의 사양을 개선하는 코딩 시스템 및 방법에 관한 것이다.

[0035] 더 많은 장치 및 시스템이 소비자에게 디지털 비디오 데이터를 소비할 수 있는 능력을 제공함에 따라 효율적인 비디오 코딩 기술의 필요성이 더 중요해지고 있다. 비디오 코딩은 디지털 비디오 데이터에 있는 다양한 데이터를 처리하는 데 필요한 저장 및 송신 요구사항을 줄이기 위해 필요하다. 다양한 비디오 코딩 기술은 높은 비디오 품질을 유지하면서 낮은 비트 레이트를 사용하는 형태로 비디오 데이터를 압축하는데 사용될 수 있다.

[0036] 도 1은 인코딩 디바이스 (104) 및 디코딩 디바이스 (112)를 포함하는 시스템 (100)의 예를 도시하는 블록도이다. 인코딩 디바이스 (104)는 소스 디바이스의 일부일 수 있고, 디코딩 디바이스 (112)는 수신 디바이스의 일부일 수 있다. 소스 디바이스 및/또는 수신 디바이스는 모바일 또는 고정 전화 핸드셋 (예를 들어, 스마트 폰, 셀룰러 폰 등), 데스크탑 컴퓨터, 랩탑 또는 노트북 컴퓨터, 태블릿 컴퓨터, 셋톱박스, 텔레비전, 카메라, 디스플레이 장치, 디지털 미디어 플레이어, 비디오 게임 콘솔, 비디오 스트리밍 장치, 또는 임의의 다른 적절한 전자 장치일 수 있다. 일부 예에서, 소스 디바이스 및 수신 디바이스는 무선 통신을 위한 하나 이상의 무선 송수신기를 포함할 수 있다. 여기에 설명된 코딩 기술은 스트리밍 비디오 송신 (예를 들어, 인터넷을 통한), 텔레비전 방송 또는 송신, 데이터 저장 매체상의 저장을 위한 디지털 비디오의 인코딩, 데이터 저장 매체상의 디지털 비디오의 디코딩, 또는 다른 애플리케이션을 포함하여, 다양한 멀티미디어 어플리케이션에 비디오 코딩에 적용할 수 있다. 일부 예에서, 시스템 (100)은 비디오 컨퍼런싱, 비디오 스트리밍, 비디오 재생, 비디오 방송, 게임 및/또는 핵심 전화와 같은 애플리케이션을 지원하기 위해 단방향 또는 양방향 비디오 송신을 지원할 수 있다.

[0037] 인코딩 디바이스 (104) (또는 인코더)는 인코딩된 비디오 비트스트림을 생성하기 위해 비디오 코딩 표준 또는 프로토콜을 사용하여 비디오 데이터를 인코딩하는데 사용될 수 있다. 비디오 코딩 표준은 SVC (Scalable Video Coding) 및 MVC (Multiview Video Coding) 확장을 포함하여 ITU-T H.261, ISO/IEC MPEG-1 Visual, ITU-T H.262 또는 ISO/IEC MPEG-2 Visual, ITU-T H.263, ISO/IEC MPEG-4 Visual 및 (ISO/IEC MPEG-4 AVC로 알려진) ITU-T H.264를 포함한다. 최근의 비디오 코딩 표준인 HEVC (High-Efficiency Video Coding)는 ITU-T 비디오 코딩 전문가 그룹 (VCEG) 및 ISO/IEC 모션 핵심 전문가 그룹 (MPEG)의 비디오 코딩에서 공동 협력 팀 (JCT-VC)에 의해 완성되었다. HEVC에 대한 다양한 확장은 다중-계층 비디오 코딩을 다루고 있고, JCT-VC에 의해 개발되고 있으며, MV-HEVC라고 불리는 HEVC에 대한 멀티뷰 확장 및 SHVC라고 불리는 HEVC에 대한 확장 가능한 확장 또는 임의의 다른 적절한 코딩 프로토콜을 포함한다. HEVC 초안 스펙은 http://phenix.it-sudparis.eu/jct/doc_end_user/documents/17_Valencia/wg11/JCTVC-Q1003-v1.zip에서 얻을 수 있다. MV-HEVC의 작업 초안은 http://phenix.it-sudparis.eu/jct/doc_end_user/documents/8_Valencia/wg11/JCT3V-H1002-v5.zip에서 얻을 수 있다. SHVC의 작업 초안은 http://phenix.it-sudparis.eu/jct/doc_end_user/documents/17_Valencia/wg11/JCTVC-Q1008

v2.zip에서 얻을 수 있다.

[0038] 여기에 설명된 많은 실시예는 HEVC 표준 또는 그 확장을 사용하는 예를 설명한다. 그러나 여기에 설명된 시스템들 및 기술들은 또한 AVC, MPEG, 그 확장들 또는 다른 적절한 코딩 표준들과 같은 다른 코딩 표준들에도 적용 가능할 수 있다. 따라서, 여기에 설명된 시스템 및 기술들은 특정 비디오 코딩 표준을 참조하여 설명될 수 있지만, 당업자는 이 설명이 그러한 특정 기준에만 적용되도록 해석되지 않아야 한다는 것을 이해할 것이다.

[0039] 비디오 소스 (102)는 비디오 데이터를 인코딩 디바이스 (104)에 제공할 수 있다. 비디오 소스 (102)는 소스 디바이스의 일부일 수 있거나, 소스 디바이스 이외의 디바이스의 일부일 수 있다. 비디오 소스 (102)는 비디오 캡처 디바이스 (예를 들어, 비디오 카메라, 카메라 폰, 비디오 폰 등), 저장된 비디오를 포함하는 비디오 아카이브, 비디오 데이터를 제공하는 비디오 서버 또는 콘텐츠 제공자, 비디오 서버 또는 콘텐츠 제공자로부터 비디오를 수신하는 비디오 퍼드 인터페이스, 컴퓨터 그래픽 비디오 데이터를 생성하는 컴퓨터 그래픽 시스템, 그러한 소스의 조합 또는 임의의 다른 적합한 비디오 소스를 포함할 수 있다.

[0040] 비디오 소스 (102)로부터의 비디오 데이터는 하나 이상의 입력 픽처들 또는 프레임들을 포함할 수 있다. 픽처 또는 프레임은 비디오의 일부인 정지 이미지이다. 인코딩 디바이스 (104)의 인코더 엔진 (106) (또는 인코더)은 인코딩된 비디오 비트스트림을 생성하기 위해 비디오 데이터를 인코딩한다. 일부 예에서, 인코딩된 비디오 비트스트림 (또는 "비트스트림")은 일련의 하나 이상의 코딩된 비디오 시퀀스이다. 코딩된 비디오 시퀀스 (CVS)는 베이스 계층에서의 랜덤 액세스 포인트 픽처와 특정 속성을 갖는 AU로 시작하여, 베이스 계층에서 랜덤 액세스 포인트 픽처와 특정 속성을 가진 다음 AU 까지는 포함하지 않는, 일련의 액세스 유닛 (AU)들을 포함한다. 예를 들어, CVS를 시작하는 랜덤 액세스 포인트 픽처의 특정 속성은 1과 동일한 RASL 플래그 (예를 들면, NoRas1OutputFlag)를 포함할 수 있다. 그렇지 않으면, (RASL 플래그가 0인) 랜덤 액세스 포인트 픽처는 CVS를 시작하지 않는다. 액세스 유닛 (AU)은 하나 이상의 코딩된 픽처 및 동일한 출력 시간을 공유하는 코딩된 픽처에 대응하는 제어 정보를 포함한다. HEVC 비트스트림은, 예를 들어, NAL (Network Abstraction Layer) 유닛들이라고 불리는 데이터 유닛들을 포함하는 하나 이상의 CVS들을 포함할 수 있다. NAL 유닛의 두 분류들은 HEVC 표준에 존재하며, 비디오 코딩 계층 (VCL) NAL 유닛들 및 비-VCL NAL 유닛들을 포함한다. VCL NAL 유닛은 코딩된 픽처 데이터의 하나의 슬라이스 또는 슬라이스 세그먼트 (이하 설명됨)를 포함하고, 비-VCL NAL 유닛은 하나 이상의 코딩된 픽처와 관련된 제어 정보를 포함한다. HEVC AU는 코딩된 픽처 데이터를 포함하는 VCL NAL 유닛 및 코딩된 픽처 데이터에 대응하는 비-VCL NAL 유닛 (있다면)을 포함한다.

[0041] NAL 유닛들은 비디오 내의 코딩된 표현과 같은 비디오 데이터의 코딩된 표현 (예를 들어, 인코딩된 비디오 비트스트림, 비트스트림의 CVS 등)을 형성하는 비트들의 시퀀스를 포함할 수 있다. 인코더 엔진 (106)은 각각의 픽처를 다중 슬라이스들로 분할함으로써 픽처들의 코딩된 표현들을 생성한다. 슬라이스는 다른 슬라이스와 독립적이어서 동일한 픽처 내의 다른 슬라이스의 데이터에 종속되지 않고 슬라이스의 정보가 코딩된다. 슬라이스는 독립 슬라이스 세그먼트를 포함하는 하나 이상의 슬라이스 세그먼트들과, 존재하는 경우 이전 슬라이스 세그먼트에 의존하는 하나 이상의 종속 슬라이스 세그먼트를 포함하는 하나 이상의 슬라이스 세그먼트들을 포함한다. 그 후 슬라이스는 루마 샘플들 및 크로마 샘플들의 코딩 트리 블록 (CTB)들로 분할된다. 루마 샘플들의 CTB와 하나 이상의 크로마 샘플의 CTB들을, 샘플들의 신팩스와 함께, 코딩 트리 유닛 (CTU)이라고 지칭한다. CTU는 HEVC 인코딩의 기본 처리 단위이다. CTU는 다양한 크기의 다중 코딩 유닛 (CU)들로 분할될 수 있다. CU는 코딩 블록 (CB)이라고 하는 루마 및 크로마 샘플 어레이들을 포함한다.

[0042] 루마 및 크로마 CB들은 예측 블록 (PB)들로 더 분할될 수 있다. PB는 인터-예측에 대해 동일한 모션 파라미터를 사용하는 루마 또는 크로마 성분의 샘플 블록이다. 루마 PB 및 하나 이상의 크로마 PB들은, 관련된 신팩스와 함께 예측 유닛 (PU)을 형성한다. 한 세트의 모션 파라미터는 각 PU에 대해 비트스트림으로 시그널링되고, 루마 PB 및 하나 이상의 크로마 PB들의 인터-예측에 사용된다. CB는 또한 하나 이상의 변환 블록 (TB)들로 분할될 수 있다. TB는 예측 잔여 신호를 코딩하기 위해 동일한 2차원 변환이 적용되는 컬러 성분의 샘플의 정사각형 블록을 나타낸다. 변환 유닛 (TU)은 루마와 크로마 샘플들의 TB들, 및 대응하는 신팩스 엘리먼트들을 나타낸다.

[0043] CU의 크기는 코딩 노드의 크기에 해당하며 정사각형이다. 예를 들어, CU의 크기는 8x8 샘플, 16x16 샘플, 32x32 샘플, 64x64 샘플 또는 해당 CTU의 크기까지의 다른 적절한 크기일 수 있다. "N×N"이라는 문구는 수직 및 수평 치수의 관점에서의 비디오 블록의 픽셀 치수 (예를 들어, 8 픽셀×8 픽셀)를 지칭하기 위해 본 명세서에서 사용된다. 블록의 픽셀은 행과 열로 정렬될 수 있다. 일부 실시예에서, 블록은 수직 방향에

서와 같이 수평 방향으로 동일한 수의 픽셀을 가질 수 없다. CU 와 관련된 신택스 데이터는, 예를 들어, CU 를 하나 이상의 PU 로 분할하는 것을 설명할 수도 있다. 분할 모드는 CU 가 인트라-예측 모드로 인코딩되는지 또는 인터-예측 모드로 인코딩되는지 간에 달라질 수 있다. PU 들은 비정사각형으로 분할될 수 있다. CU 와 연관된 신택스 데이터는 또한, 예를 들어, CTU 에 따라 CU 가 하나 이상의 TU 로 분할되는 것을 설명할 수 있다. TU 는 정사각형 또는 비정사각형일 수 있다.

[0044] HEVC 표준에 따르면, 변환은 변환 유닛 (TU) 들을 사용하여 수행될 수 있다. TU 들은 상이한 CU 들에 대해 다를 수도 있다. TU 들은 소정의 CU 내의 PU 들의 크기에 기초하여 크기가 정해질 수 있다. TU 는 PU 들보다 크기가 작거나 같을 수 있다. 일부 예에서, CU 에 대응하는 잔여 샘플들은 잔여 쿼드 트리 (residual quad tree; RQT) 로 알려진 쿼드 트리 구조를 사용하여 더 작은 유닛들로 세분될 수 있다. RQT 의 리프 노드는 TU 에 대응할 수 있다. TU 와 관련된 픽셀 차이 값은 변환 계수를 생성하도록 변환될 수 있다. 변환 계수는 인코더 엔진 (106) 에 의해 양자화될 수 있다.

[0045] 일단 비디오 데이터의 픽처들이 CU 들로 분할되면, 인코더 엔진 (106) 은 예측 모드를 사용하여 각각의 PU 를 예측한다. 그리고 나서 예측은 잔상을 얻기 위해 원본 비디오 데이터에서 덜어낸다 (아래 설명 참조). 각각의 CU 에 대해서, 예측 모드는 신택스 데이터를 사용하여 비트스트림 내부에 시그널링 될 수 있다. 예측 모드는 인트라-예측 (또는 인트라-픽처 예측) 또는 인터-예측 (또는 인터-픽처 예측) 을 포함할 수 있다. 인트라-예측을 사용하여, 각각의 PU 는, 예를 들어, PU 에 대한 평균값을 발견하기 위해 DC 예측, PU 에 대한 평탄한 표면에 맞추는 평면 예측, 근처의 데이터로부터 외삽하여 추정한 방향 예측, 또는 임의의 다른 적절한 예측 유형을 사용하여 동일한 픽처 내의 인접한 이미지 데이터로부터 예측된다. 인터-예측을 사용하여, 각각의 PU 는 하나 이상의 참조 픽처 (출력 순서의 현재 픽처 전후) 의 픽처 데이터로부터의 모션 보상 예측을 사용하여 예측된다. 인터-픽처 또는 인트라-픽처 예측을 사용하여 픽처 영역을 부호화할지 여부는, 예를 들어, CU 레벨에서 결정될 수 있다.

[0046] PU 는 예측 프로세스와 관련된 데이터를 포함할 수 있다. 예를 들어, PU 가 인트라-예측을 사용하여 인코딩 되는 경우, PU 는 PU 에 대한 인트라-예측 모드를 설명하는 데이터를 포함할 수 있다. 다른 예로서, PU 가 인터-예측을 사용하여 인코딩되는 경우, PU 는 PU 에 대한 모션 벡터를 정의하는 데이터를 포함할 수 있다. PU 에 대한 모션 벡터를 정의하는 데이터는, 예를 들어, 모션 벡터의 수평 성분, 모션 벡터의 수직 성분, 모션 벡터에 대한 해상도 (예를 들어, 1/4 화소 정밀도 또는 1/8 화소 정밀도), 모션 벡터가 가리키는 참조 픽처, 및 /또는 모션 벡터에 대한 참조 픽처 리스트 (예를 들어, List 0, List 1 또는 List C) 를 설명할 수 있다.

[0047] 그 후 인코더 (104) 는 변환 및 양자화를 수행할 수 있다. 예를 들어, 예측에 뒤이어, 인코더 엔진 (106) 은 PU 에 대응하는 잔여 값을 계산할 수 있다. 잔여 값은 픽셀 차이 값을 포함한다. 예측이 수행된 후에 남을 수 있는 임의의 잔여 데이터는 블록 변환을 사용하여 변환되고, 이 블록 변환은 이산 코사인 변환, 이산 사인 변환, 정수 변환, 웨이브렛 변환 또는 다른 적절한 변환 함수에 기초할 수 있다. 일부 경우에, 하나 이상의 블록 변환 (예를 들어, 32x32, 16x16, 8x8, 4x4 크기 등) 이 각각의 CU 의 잔여 데이터에 적용될 수 있다. 일부 실시예에서, TU 는 인코더 엔진 (106) 에 의해 구현되는 변환 및 양자화 프로세스에 사용될 수 있다. 하나 이상의 PU 를 갖는 소정의 CU 는 또한 하나 이상의 TU 들을 포함할 수 있다. 후술하는 바와 같이, 잔여 값을 블록 변환을 사용하여 변환 계수로 변환되고, 그 다음, 엔트로피 코딩을 위한 적렬 변환 계수를 생성하기 위해 TU 를 사용하여 양자화되고 스캔될 수 있다.

[0048] CU의 PU들을 사용하는 인트라-예측 또는 인터-예측 코딩에 후속하는 일부 실시예에서, 인코더 엔진 (106) 은 CU 의 TU 들에 대한 잔여 데이터를 계산할 수 있다. PU 는 공간 도메인 (또는 픽셀 도메인) 의 픽셀 데이터를 포함할 수 있다. TU 는 블록 변환의 적용에 후속하여 변환 도메인에서 계수들을 포함할 수 있다. 이전에 언급된 바와 같이, 잔여 데이터는 인코딩되지 않은 픽처의 픽셀들과 PU 에 대응하는 예측값들 사이의 픽셀 차이 값에 대응할 수 있다. 인코더 엔진 (106) 은 CU 에 대한 잔여 데이터를 포함하는 TU 를 형성할 수 있고, 그 다음 CU 에 대한 변환 계수를 생성하기 위해서 TU 를 변환할 수 있다.

[0049] 인코더 엔진 (106) 은 변환 계수들의 양자화를 수행할 수 있다. 양자화는 계수를 나타내기 위해 사용되는 데이터의 양을 줄이기 위해 변환 계수를 양자화함으로써 더 많은 압축을 제공한다. 예를 들어, 양자화는 계수의 일부 또는 전부와 관련된 비트 깊이를 감소시킬 수 있다. 일 예에서, n 이 m 보다 클 때, n-비트 값은 계수는 양자화 동안 m-비트 값으로 절삭될 수 있다.

[0050] 일단 양자화가 수행되면, 코딩된 비트스트림은 양자화된 변환 계수, 예측 정보 (예를 들어, 예측 모드, 모션 벡터 등), 분할 정보, 및 다른 신택스 데이터와 같은 임의의 다른 적절한 데이터를 포함한다. 그 다음, 코딩

된 비트스트림의 다른 엘리먼트들은 인코더 엔진 (106)에 의해 엔트로피 인코딩될 수 있다. 몇몇 예에서, 인코더 엔진 (106)은 엔트로피 인코딩될 수 있는 일련화된 (serialized) 벡터를 생성하기 위해 양자화된 변환 계수들을 스캔하도록 미리 정의된 스캔 순서를 이용할 수 있다. 몇몇 예에서, 인코더 엔진 (106)은 적응성 스캔을 수행할 수 있다. 일차원 벡터를 형성하기 위해 양자화된 변환 계수를 스캔한 후, 인코더 엔진 (106)은 일차원 벡터를 엔트로피 인코딩할 수 있다. 예를 들어, 인코더 엔진 (106)은 컨텍스트 적응형 가변 길이 코딩, 컨텍스트 적응형 이진 산술 코딩, 신택스-기반 컨텍스트 적응형 이진 산술 코딩, 확률 간격 분할 엔트로피 코딩 또는 다른 적절한 엔트로피 인코딩 기술을 사용할 수 있다.

[0051] 인코딩 디바이스 (104)의 출력 (110)은 통신 링크 (120)를 통해 인코딩된 비디오 데이터를 구성하는 NAL 유닛들을 수신 디바이스의 디코딩 디바이스 (112)로 전송할 수 있다. 디코딩 디바이스 (112)의 입력 (114)은 NAL 유닛을 수신할 수 있다. 통신 링크 (120)는 무선 네트워크, 유선 네트워크, 또는 유선 및 무선 네트워크의 조합을 사용하여 송신된 신호를 포함할 수 있다. 무선 네트워크는 임의의 무선 인터페이스 또는 무선 인터페이스 조합을 포함할 수 있으며, 임의의 적절한 무선 네트워크 (예를 들어, 인터넷 또는 다른 광역 네트워크, 패킷 기반 네트워크, WiFi™, 무선 주파수 (RF), UWB, WiFi- 다이렉트, 셀룰러, LTE (Long-Term Evolution), WiMax™ 등)를 포함할 수 있다. 유선 네트워크는 임의의 유선 인터페이스 (예를 들어, 광섬유, 이더넷, 전력선 이더넷, 동축 케이블상의 이더넷, DSL 등)를 포함할 수 있다. 유선 및/또는 무선 네트워크는 기지국, 라우터, 액세스 포인트, 브리지, 게이트웨이, 스위치 등과 같은 다양한 장비를 사용하여 구현될 수 있다. 인코딩된 비디오 데이터는 무선 통신 프로토콜과 같은 통신 표준에 따라 변조되고, 수신 디바이스로 송신될 수 있다.

[0052] 몇몇 예에서, 인코딩 디바이스 (104)는 인코딩된 비디오 데이터를 저장 장치 (108)에 저장할 수 있다. 출력 (110)은 인코더 엔진 (106) 또는 출력 (110)으로부터 인코딩된 비디오 데이터를 취출할 수 있다. 저장 장치 (108)는 다양한 분산되거나 또는 로컬로 액세스된 데이터 저장 매체 중 임의의 것을 포함할 수 있다. 예를 들어, 저장 장치 (108)는 하드 드라이브, 저장 디스크, 플래시 메모리, 휴발성 메모리, 또는 인코딩된 비디오 데이터를 저장하기 위한 임의의 다른 적절한 디지털 저장 매체를 포함할 수 있다.

[0053] 입력 (114)은 인코딩된 비디오 데이터를 수신하고, 디코더 엔진 (116)에 의한 나중의 사용을 위해 디코더 엔진 (116) 또는 저장 장치 (118)로 비디오 데이터를 제공할 수 있다. 디코더 엔진 (116)은, 인코딩된 비디오 데이터를 구성하는 코딩된 비디오 시퀀스의 요소들을 엔트로피 디코딩 (예를 들어, 엔트로피 디코더를 사용)하고 추출함으로써 인코딩된 비디오 데이터를 디코딩할 수 있다. 그 다음, 디코더 엔진 (116)은 인코딩된 비디오 데이터를 재스케일하고 역변환할 수 있다. 그 다음, 잔여물들은 디코더 엔진 (116)의 예측 단계로 전달된다. 그 다음, 디코더 엔진 (116)은 픽셀들의 블록 (예를 들어, PU)을 예측한다. 몇몇 예에서, 예측은 역변환의 출력에 더해진다.

[0054] 디코딩 디바이스 (112)는, 디스플레이 또는 컨텐츠의 소비자에게 디코딩된 비디오 데이터를 디스플레이하기 위한 다른 출력 장치를 포함하는, 비디오 목적지 디바이스 (122)에서 디코딩된 비디오를 출력할 수 있다. 일부 양태들에서, 비디오 목적지 디바이스 (122)는 디코딩 디바이스 (112)를 포함하는 수신 디바이스의 일부일 수 있다. 일부 양태들에서, 비디오 목적지 디바이스 (122)는 수신 장치가 아닌 별도의 장치의 일부일 수 있다.

[0055] 일부 실시예에서, 비디오 인코딩 디바이스 (104) 및/또는 비디오 디코딩 디바이스 (112)는 오디오 인코딩 디바이스 및 오디오 디코딩 디바이스 각각에 통합될 수 있다. 비디오 인코딩 디바이스 (104) 및/또는 비디오 디코딩 디바이스 (112)는 또한 하나 이상의 마이크로 프로세서, 디지털 신호 프로세서 (DSP), 주문형 집적 회로 (ASIC), 필드 프로그램 가능 게이트 어레이 (FPGA), 이산 로직, 소프트웨어, 하드웨어, 펌웨어 또는 이들의 임의의 조합과 같은 위에 설명된 코딩 기술을 수행하기 위해 필요한 다른 소프트웨어 또는 하드웨어를 포함할 수 있다. 비디오 인코딩 디바이스 (104) 및 비디오 디코딩 디바이스 (112)는 각각의 디바이스에서의 조합된 인코더/디코더 (코덱)의 일부로서 통합될 수 있다. 인코딩 디바이스 (104)의 특정 세부 사항의 예는 도 9를 참조하여 아래에 설명된다. 디코딩 디바이스 (112)의 특정 세부 사항의 예는 도 10을 참조하여 아래에 설명된다.

[0056] HEVC 표준의 확장에는 MV-HEVC라고 하는 멀티뷰 비디오 코딩 확장과, SHVC라고 하는 스케일러블 비디오 코딩 확장이 포함된다. MV-HEVC 및 SHVC 확장은 인코딩된 비디오 비트스트림이 포함된 다양한 계층을 가진 계층화된 코딩의 개념을 공유한다. 코딩된 비디오 시퀀스의 각 계층은 고유 계층 식별자 (ID)로 불린다. 계층 ID는 NAL 유닛과 관련된 계층을 식별하기 위해 NAL 유닛의 헤더에서 존재한다. MV-HEVC에서, 상이한

계층들은 대개 비디오 비트스트림에서 동일한 장면의 다른 뷰들을 나타낸다. SHVC에서, 서로 다른 공간 해상도 (또는 광각 해상도) 또는 서로 다른 재구성 정확도로 비디오 비트스트림을 나타내는 상이한 스케일러블 계층들이 제공된다. 스케일러블 계층들은 (계층 ID = 0 인) 베이스 계층 및 (계층 ID = 1, 2, ..., n 인) 하나 이상의 확장 계층을 포함할 수 있다. 베이스 계층은 HEVC의 제 1 버전의 프로파일을 따를 수 있고, 비트스트림에서 이용 가능한 가장 낮은 계층을 나타낸다. 확장 계층은 베이스 계층과 비교하여, 공간 해상도, 시간 해상도 또는 프레임 속도 및/또는 재구성 충실도 (또는 품질)를 증가시킨다. 확장 계층은 계층적으로 구성되고, 하위 계층들에 종속될 수도 있다 (그렇지 않을 수도 있다). 일부 예들에서, 상이한 계층들은 단일 표준 코덱 (예컨대, 모든 층들이 HEVC, SHVC, 또는 다른 코딩 표준을 사용하여 인코딩됨)을 사용하여 코딩될 수 있다. 일부 예들에서, 상이한 계층들은 다중 표준 코덱을 사용하여 코딩될 수 있다. 예를 들어, 베이스 계층은 AVC를 사용하여 코딩될 수 있는 반면, 하나 이상의 확장 계층은 HEVC 표준에 대한 SHVC 및/또는 MV-HEVC 확장을 사용하여 코딩될 수 있다.

[0057] 일반적으로, 계층은 VCL NAL 유닛들의 세트 및 비-VCL NAL 유닛들의 대응하는 세트를 포함한다. NAL 유닛들은 특정 계층 ID 값이 할당된다. 계층은 계층이 하위 계층에 종속될 수 있다는 점에서 계층적일 수 있다.

계층 세트는 자체-포함된 비트스트림 내에서 나타나는 계층들의 세트를 지칭하고, 계층 세트 내에 계층은 계층 세트에서 다른 계층들에 종속될 수 있지만, 디코딩을 위한 다른 임의의 계층에 종속되지 않는다는 것을 의미한다. 따라서, 계층 세트 내의 계층들은 비디오 컨텐츠를 나타낼 수 있는 독립적인 비트스트림을 형성할 수 있다. 계층 세트에서 계층들의 세트는 서브-비트스트림 추출 프로세스의 동작에 의해 다른 비트스트림으로부터 획득될 수 있다. 계층 세트는 디코더가 특정 파라미터에 따라 동작하기를 원할 때, 디코딩될 계층의 세트에 대응할 수 있다.

[0058] 전술한 바와 같이, HEVC 비트스트림은 VCL NAL 유닛 및 비-VCL NAL 유닛을 포함하는 NAL 유닛의 그룹을 포함한다. 비-VCL NAL 유닛은, 다른 정보에 추가로, 인코딩된 비디오 비트스트림에 관한 높은 레벨의 정보를 갖는 파라미터 세트를 포함한다. 예를 들어, 파라미터 세트는 비디오 파라미터 세트 (VPS), 시퀀스 파라미터 세트 (SPS) 및 광각 파라미터 세트 (PPS)를 포함할 수 있다. 파라미터 세트의 목표는 비트 전송률 효율성, 오류 복원력이고, 시스템 계층 인터페이스들을 제공하는 것이다. 각각의 슬라이스는 디코딩 디바이스 (112)가 슬라이스를 디코딩하기 위해 사용할 수 있는 정보에 액세스하기 위해서 단일의 활성 PPS, SPS 및 VPS를 참조한다. 식별자 (ID)는 VPS ID, SPS ID 및 PPS ID를 포함하여 각 파라미터 세트에 대해 코딩될 수 있다. SPS는 SPS ID 및 VPS ID를 포함한다. PPS는 PPS ID 및 SPS ID를 포함한다. 각 슬라이스 헤더는 PPS ID를 포함한다. ID를 사용하여, 활성 파라미터 세트는 소정의 슬라이스에 대해 식별될 수 있다.

[0059] PPS는 소정의 광각의 모든 슬라이스들에 적용되는 정보를 포함한다. 이 때문에 광각의 모든 슬라이스들은 동일한 PPS를 지칭한다. 상이한 광각들의 슬라이스들 역시 동일한 PPS를 지칭할 수 있다. SPS는 동일한 코딩된 비디오 시퀀스 또는 비트스트림에서 모든 광각에 적용되는 정보를 포함한다. 코딩된 비디오 시퀀스는, 랜덤 액세스 포인트 광각 (즉, 순간적인 디코딩 리프레시 (IDR) 광각 또는 단절된 링크 액세스 (BLA) 광각 또는 다른 적절한 랜덤 액세스 포인트 광각)로 시작하여, 거기까지의 모든 액세스 유닛을 포함하지만, 다음 랜덤 액세스 포인트 광각 (또는 비트스트림 종료)는 포함하지 않는, 일련의 액세스 유닛들이다. SPS의 정보는 통상적으로는 코딩된 비디오 시퀀스 내에서 광각에서 광각으로 변경되지 않는다. 코딩된 비디오 시퀀스에서 모든 광각은 동일한 SPS를 사용한다. VPS는 코딩된 비디오 시퀀스 또는 비트스트림 내의 모든 계층에 적용되는 정보를 포함한다. VPS는 전체 코딩된 비디오 시퀀스에 적용되는 싱택스 엘리먼트들을 갖는 싱택스 구조를 포함한다. 일부 실시예들에서, VPS, SPS 또는 PPS는 인코딩된 비트스트림으로 대역 내 (in-band) 송신될 수 있다. 일부 실시예에서, VPS, SPS 또는 PPS는 코딩된 비디오 데이터를 포함하는 NAL 유닛들과는 별도의 송신으로 대역 외 (out-of-band) 송신될 수 있다.

[0060] VCL NAL 유닛들은 코딩된 비디오 비트스트림을 형성하는 코딩된 광각 데이터를 포함한다. 다양한 타입의 VCL NAL 유닛들이 아래의 표 1에 예시된 바와 같이 HEVC 표준에 정의되어 있다.

표 1

NAL 유닛 타입 값	NAL 유닛 타입 싱택스 이름	NAL 유닛의 컨텐츠 (광각)	광각의 설명
트레일링 비-IRAP 광각들			
0	TRAIL_N	비-TSA, 비-STSA 트레일링 광각의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조

1	TRAIL_R	비-TSA, 비-STSA 트레일링 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
2	TSA_N	TSA (Temporal Sub-Layer Access) 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
3	TSA_R	TSA 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
4	STSA_N	STSA (Step-Wise Temporal Sub-Layer) 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
5	STSA_R	STSA 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
리딩 팩처들			
6	RADL_N	RADL (Random Access Decodable Leading) 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
7	RADL_R	RADL 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
8	RASL_N	RASL (Random Access Skipped Leading) 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
9	RASL_R	RASL 팩처의 코딩된 슬라이스 (또는 슬라이스 세그먼트)	서브-계층 비-참조
예약된			
10-15	RSV	예약된 비-IRAP	
22-23	RSV	예약된 IRAP	
24-31	RSV	예약된 비-IRAP	
IRAP 팩처들			
16	BLA_W_LP	BLA (Broken Link Access) 팩처의 슬라이스 (또는 슬라이스 세그먼트)	리딩 팩처를 가질 수 있음
17	BLA_W_RADL	BLA 팩처의 슬라이스 (또는 슬라이스 세그먼트)	리딩 팩처를 가질 수 있음
18	BLA_N_LP	BLA 팩처의 슬라이스 (또는 슬라이스 세그먼트)	리딩 팩처 없음
19	IDR_W_RADL	IDR (Instantaneous Decoding Refresh) 팩처의 슬라이스 (또는 슬라이스 세그먼트)	리딩 팩처를 가질 수 있음
20	IDR_N_LP	IDR 팩처의 슬라이스 (또는 슬라이스 세그먼트)	리딩 팩처 없음
21	CRA	CRA (Clean Random Access) 팩처의 슬라이스 (또는 슬라이스 세그먼트)	리딩 팩처를 가질 수 있음

[0062] 단일-계층 비트스트림에서, 제 1 HEVC 표준에서 정의된 바와 같이, AU에 포함된 VCL NAL 유닛은 AU의 타입 및 AU 내의 코딩된 팩처의 타입을 정의하는 NAL 유닛 타입 값을 갖는, 동일한 NAL 유닛 타입 값을 갖는다. 예를 들어, 특정 AU의 VCL NAL 유닛들 AU를 IDR AU로 만들고 코딩된 AU의 팩처를 IDR 팩처로 만드는, 순간적인 디코딩 리프레시 (IDR) NAL 유닛 (값 19)을 포함할 수 있다. VCL NAL 유닛 소정의 타입은 VCL NAL 유닛에 포함된 팩처 또는 그 일부분 (예를 들어, VCL NAL 유닛에서 팩처의 슬라이스 또는 슬라이스 세그먼트)과 관련된다. 팩처의 3 가지 클래스들이 리딩 팩처, 트레일링 팩처 및 IRAP (Intra random access) 팩처를 포함하여 HEVC 표준에 정의되어 있다. 다중-계층 비트스트림에서, AU 내의 팩처의 VCL NAL 유닛은 동일한 NAL 유닛 타입 값과 동일한 타입의 코딩된 팩처를 갖는다.

[0063] 도 2는 IRAP 팩처 I1 및 IRAP 팩처 I1과 관련된 리딩 및 트레일링 팩처를 포함하는 인코딩된 비디오 비트스트림의 팩처들의 예이다. 팩처들은 화살표 (202)의 방향으로 출력 순서로 선형적으로 표시되고, 숫자 1-8 (I1, B2, B3, B4, P5, B6, B7, B8)은 팩처의 디코딩 순서를 나타낸다. IRAP 팩처는 디코딩이 시작될 수 있는 비트스트림에서의 포인트들을 제공한다. 예를 들어, 디코딩은 IRAP 팩처에서 시작할 수 있으며, 디코딩 순서로 IRAP 팩처에 선행하는 모든 팩처가 비트스트림 (예를 들어, 비트스트림 슬라이싱 등)으로부터 폐기된다.

고 하더라도, 출력 순서로 IRAP 팩처에 뒤따르는 팩처는 출력될 수 있다. IRAP 팩처에서 디코딩을 시작하는 것이 가능하기 때문에, IRAP 팩처는 비트스트림의 다른 팩처에 종속되지 않는다. 예를 들어, IRAP 팩처는 시간적 서브-계층 0에 속하고, 참조 데이터로서 임의의 다른 팩처의 컨텐츠를 사용하지 않고 (예를 들어, 인트라-예측 코딩이 사용됨) 코딩된다. 비트스트림의 첫 번째 팩처는 IRAP 팩처이며, 다른 IRAP 팩처도 비트스 트림에 존재할 수 있다. 다중-계층 비트스트림에서, 계층 ID가 0보다 큰 (베이스 계층 이외의 계층) IRAP 팩처들은 인터-계층 예측을 사용할 수 있다. 예를 들어, IRAP 팩처는 동일한 액세스 유닛에 속하고 더 낮은 계층 ID를 갖는 팩처에 기초하여 인터-계층 예측을 사용할 수 있다.

[0064] 팩처 B2, B3 및 B4는 IRAP 팩처 I1의 리딩 팩처를 포함한다. 리딩 팩처는, 디코딩 순서로 IRAP 팩처를 따르지만, 출력 순서에서 IRAP 팩처를 앞서는 팩처다. 도 2에 도시된 바와 같이, 리딩 팩처 B2, B3 및 B4는 디코딩 순서로 IRAP 팩처 I1 후에 있고, 출력 순서로 IRAP 팩처 I1 전에 온다. 일부 실시예에서, 리딩 팩처들은 상기 표 A에 나타난 리딩 팩처 NAL 유닛 타입 6-9 중 하나를 사용한다.

[0065] 팩처 P5, B6, B7 및 B8은 IRAP 팩처 I1의 트레일링 팩처를 포함한다. 트레일링 팩처는 디코딩 순서 및 출력 순서에서 IRAP 팩처를 뒤따르는 팩처다. 도 2에 도시된 바와 같이, 트레일링 팩처들 (P5, B6, B7 및 B8)은 디코딩 순서 및 출력 순서로 IRAP 팩처 I1을 뒤따른다. 트레일링 팩처들은 위의 표 A에 나타난 트레일링 팩처 NAL 유닛 타입 0-5 중 하나를 사용한다.

[0066] 리딩 팩처 및 트레일링 팩처는 디코딩 순서에서 가장 가까운 IRAP 팩처와 연관된다 (도 2의 팩처 I1). 일부 실시예들에서, IRAP 팩처 및 그와 연관된 트레일링 및 리딩 팩처들의 디코딩 순서는 리딩 및 트레일링 팩처 상의 특정 조건에 기초하여 정의된다. 예를 들어, 트레일링 팩처들은 관련된 IRAP 팩처 및 동일한 IRAP 팩처의 다른 트레일링 팩처들에 종속한다. IRAP 팩처와 연관된 트레일링 팩처들은 어떠한 리딩 팩처들에도 종속되지 않고, 이전 IRAP 팩처의 어떠한 트레일링 팩처들에도 종속되지 않는다. IRAP 팩처와 연관된 리딩 팩처들은 동일한 IRAP 팩처와 연관된 트레일링 팩처들에 (디코딩 순서에서) 앞선다. 이러한 조건들 및 여기에 열거되지 않은 유사한 다른 조건들에 기초하여, IRAP 팩처 I1 및 그 관련된 트레일링 및 리딩 팩처들의 디코딩 순서는, 트레일링 팩처들 B2, B3, B4가 뒤따르고, 리딩 팩처 P5, B6, B7, B8가 뒤따르는, IRAP 팩처 I1이다.

[0067] 다양한 타입의 트레일링 팩처들, 리딩 팩처들 및 IRAP 팩처들이 이용 가능하다. 예를 들어, 트레일링 팩처들은 시간적 서브-계층 액세스 (TSA) 팩처들, 계단식 일시적 서브-계층 액세스 (STSA) 팩처들 및 일반적인 트레일링 (TRAIL) 팩처들을 포함한다. TSA 팩처는 스위칭이 임의의 상위 서브-계층까지 일어날 수 있는 시간적 서브-계층 스위칭 포인트를 나타낸다. STSA 팩처는 스위칭이 STSA 팩처와 동일한 시간적 계층 식별자를 가진 서브-계층에 일어날 수 있는 시간적 서브-계층 스위칭 포인트를 나타낸다. TSA 및 STSA 팩처는 0보다 큰 시간적 식별자를 갖는 시간적 서브-계층들에 속한다. TRAIL 팩처는 임의의 시간적 서브-계층에 속할 수 있고, 시간적 서브-계층 스위칭 포인트를 나타내지 않는다. 다중 계층 비트스트림들에서, 계층 ID가 0보다 큰 계층에 속하는 STSA 팩처는 시간적 서브-계층이 0과 동일한 시간적 서브-계층에도 속할 수 있다.

[0068] 리딩 팩처 타입들은 RADL (random access decodable leading) 및 RASL (random access skipped leading) 팩처를 포함한다. RADL 팩처는 랜덤 액세스가 RADL 팩처가 연고나된 IRAP 팩처에서 수행될 때, 디코딩 할 수 있는 리딩 팩처다. 일부 실시예에서, RADL 팩처는, 예측 목적으로, 연관된 IRAP 팩처 및 IRAP 팩처와 관련된 다른 RADL 팩처만을 참조한다. RASL 팩처는 랜덤 액세스가 관련된 IRAP 팩처에서 수행될 때, 디코딩 할 수 없는 리딩 팩처다. RASL 팩처를 참조를 위해 사용하는 팩처가 디코딩 순서에서 IRAP 팩처를 앞설 때, RASL 팩처는 디코딩 할 수 없다. IRAP 팩처에서 랜덤 액세스를 수행하는 디코더는 디코딩 순서에서 IRAP 팩처를 앞서는 팩처를 디코딩하지 않을 것이고, 실제로 RASL 팩처를 디코딩하지 않을 것이기 때문에, RASL 팩처는 디코딩 할 수 없을 것이다. RASL 팩처들은 다른 타입의 팩처들 (예를 들어, IRAP 팩처, 다른 RASL 팩처, RADL 팩처 등)을 참조할 수 있다. 일부 예들에서, RASL 팩처들만이 다른 RASL 팩처들에 종속될 수 있으며, 이 경우 RASL 팩처에 의존하는 모든 팩처는 RASL 팩처다.

[0069] 상이한 타입들의 IRAP 팩처들은 비디오 데이터를 코딩하는데 사용되고, IDR (Instantaneous Decoding Refresh) 팩처, CRA (Clean Random Access) 팩처 및 BLA (Broken Link Access) 팩처를 포함한다. IDR 팩처는 디코더에서 디코딩 프로세스를 완전히 리프레시하거나 다시 초기화하고 새로운 CVS를 시작하는 인트라-팩처 (I-팩처)이다. 일부 예들에서, IDR 팩처 및 디코딩 순서에서 IDR 팩처에 뒤이은 임의의 팩처는 디코딩 순서에서 IDR 팩처 전에 오는 임의의 팩처에 종속될 수 없다. 일부 경우에서, RASL 팩처가 IDR 팩처와 연관되는 것이 허용되지 않는다. CRA 팩처 또한 I-팩처다. CRA 팩처는 디코더를 리프레시하지 않고, 새로운

CVS 를 시작하지 않으며, CRA 팩처의 리딩 팩처가 디코딩 순서로 CRA 팩처 전에 오는 팩처에 종속하는 것을 허용한다. 일부 예에서, CRA 팩처는 RADL 팩처들 및 RASL 팩처들 연관시킬 수 있다. 랜덤 액세스는, CRA 팩처, 디코딩 순서에서 CRA 팩처 전에 오는 임의의 팩처에 종속적이지 않은 CRA 팩처와 연관된 리딩 팩처, 및 디코딩과 출력 순서 모두에서 CRA 를 뒤따르는 모든 연관된 팩처들을 디코딩함으로써, CRA 팩처에서 행해진다.

일부 경우에, CRA 팩처는 리딩 팩처에 연관되지 않을 수 있다. 다중-계층의 경우, 계층 ID 가 0 보다 큰 계층에 속하는 IDR 또는 CRA 팩처는 P 팩처 또는 B 팩처 일 수 있으나, 이러한 팩처는 IDR 또는 CRA 팩처와 동일한 액세스 유닛에 속하고, IDR 또는 CRA 팩처를 포함하는 계층보다 작은 계층 ID 를 가진 다른 팩처로부터 인터-계층 예측만을 사용할 수 있다.

[0070] IRAP 팩처는 비트스트림들을 함께 스플라이스 (splice) 하는 능력을 제공한다. 예를 들어, 인코더, 비트스트림 편집기 (또는 "편집기"), 스플라이서 또는 기타 네트워크 장치는 IRAP 팩처를 사용하여 비트스트림을 함께 스플라이스 할 수 있다. 비트스트림 스플라이싱은 하나의 압축된 비디오 비트스트림에서 다른 압축된 비디오 비트스트림으로 원활하게 전환하는 것을 허락한다. 예를 들어, 스플라이싱은 제 1 IRAP AU 및 제 1 압축된 비트스트림의 모든 후속하는 AU 들을 제 2 IRAP AU 및 제 2 압축된 비트스트림의 후속하는 AU 들로 대체함으로써 발생한다. CRA 팩처들은 (이전에 설명된 바와 같이 랜덤 액세스에 더하여) 압축 비디오 비트스트림들을 스플라이스하는데 사용될 수 있다. 예를 들어, 제 1 및 제 2 IRAP AU 는 CRA 팩처들을 포함할 수 있다. 일부 실시예에서, IDR 팩처는 압축된 비디오 비트스트림들을 스플라이싱하기 위해 사용될 수 있다.

일부 경우에서, 제 1 AU 는 IRAP 팩처가 포함될 필요가 없다. 다중-계층 비트스트림들에서, 제 2 AU 가 베이스 계층에 속하는 IRAP 팩처가 포함할 때 스플라이싱이 발생할 수 있다.

[0071] 일부 경우에서, 스플라이싱이 발생한 후에, 디코딩 순서에서 CRA 팩처에 뒤따르는 RASL 팩처는 RASL 팩처가 스플라이싱 후에 비트스트림에서 더이상 하나 이상의 팩처를 참조할 수 없는 경우, 디코딩될 수 없을 수 있다.

일부 예에서, 인코더, 편집기, 스플라이서 또는 다른 장치는 스플라이싱 동안에 RASL 팩처를 폐기할 수 있다. 다른 예들에서, 깨어진 링크 스플라이싱 옵션은, RASL 팩처들이 종속할 수 있는 CRA 팩처에 (디코딩 순서에서) 앞서는 팩처들로부터의 예측 뿐만 아니라, 팩처 순서 카운트 타임라인에 스플라이싱이 행해질 때에 깨어졌음을 나타내기 위해서 사용될 수 있다.

[0072] BLA 팩처라고 불리우는, 제 3 타입의 IRAP 팩처는 디코더에 스플라이싱 동작이 발생했을 때를 알리기 위해 사용되어, 디코더가 연관된 RASL 팩처들이 디코딩되어야 하는지를 결정할 수 있게 한다. 스플라이싱 동안에는, 스플라이싱에 사용되는 새로운 비트스트림의 CRA 팩처는 BLA 팩처로 처리된다. 깨어진 링크 스플라이싱이 수행될 때, RASL 팩처들은 유지될 수 있고, 그러한 BLA 팩처를 우연히 발견한 디코더는 BLA 팩처와 관련된 RASL 팩처들을 폐기할 수 있다. 디코더가 CRA 팩처를 만나게 된 경우, 디코더는 CRA 팩처와 연관된 RASL 팩처를 디코딩할 것이다. 디코더가 BLA 팩처 또는 CRA 팩처를 만나게 되면, 디코더는 BLA 및 CRA 팩처 각각에 연관된 모든 RADL 팩처들을 디코딩할 것이다. BLA 팩처는 디코더에서 디코딩 프로세스를 리프레시하거나 재초기화하고 새로운 CVS 를 시작한다. 일부 실시예에서, 스플라이싱이 발생하지 않은 경우에도, BLA 팩처가 사용될 수 있다.

[0073] 비트스트림을 디코더에 전송하는 인코더, 편집기 또는 다른 장치는 CRA 팩처가 BLA 팩처로서 취급될 것이라는 것을 디코더에 지시할 수 있다. 하나의 예에서, 스플라이싱 동안에, 스플라이싱에 사용되는 새로운 비트스트림에서 CRA 팩처는 BLA 팩처로 명칭이 변경된다. 예를 들어, 디바이스 (편집기, 스플라이서 또는 기타 네트워크 엔티티) 는 CRA NAL 유닛 타입을 BLA NAL 유닛 타입으로 변경할 수 있다. 이 예에서, 디바이스는 NAL 유닛 타입을 변경하기 위해 비트스트림의 비트들을 변경한다.

[0074] 다른 예에서, CRA 팩처가 BLA 팩처로서 취급될 것이라는 것을 디코더로 나타내는 BLA 플래그가 제공될 것이다.

하나의 예에서, BLA 플래그는 HandleCraAsBlaFlag 일 수 있다. BLA 플래그는 특정한 CRA 팩처를 BLA 팩처로서 다루도록 디코더에 알리기 위해 특정 값으로 설정될 수 있다. 일부 실시예에서, BLA 플래그는 CRA 팩처가 BLA 팩처로서 취급될 것이라는 것을 디코더로 나타내기 위해 1의 값으로 설정될 수 있다. BLA 플래그의 값이 0 인 경우, 디코더는 CRA 팩처를 (BLA 팩처가 아닌) CRA 팩처로서 취급할 것이다. 다른 실시예에서, BLA 플래그는 CRA 팩처가 BLA 팩처로서 취급되어야 함을 나타내기 위해 0 의 값으로 설정될 수 있다.

일부의 경우에서, BLA 플래그는 인코딩된 비디오 비트스트림 (예를 들어, 하나 이상의 비-VCL NAL 유닛들에서 HEVC 코덱에 의해 송신됨) 과 함께 대역-내로 송신된다. 일부의 경우에서, BLA 플래그는 인코딩된 비디오 비트스트림을 제공하는 코덱 이외의 장치에서 송신될 수 있는, 외부에서 특정되는 표시이다. 예를 들어, 외부 소스 (예를 들어, AVC 코덱, 편집기, 스플라이서 또는 다른 장치) 는 대역-외 통신에서 BLA 플래그를 전송할

수 있다.

[0075] 도 3 은 BLA 플래그를 갖는 인코딩된 비디오 비트스트림 (300) 의 예를 도시한다. 인코딩된 비디오 비트스트림 (300) 은 액세스 유닛들 N 내지 N+9 를 포함한다. 액세스 유닛들 N 내지 N+9 는 제 1 계층 L0 (예를 들어, 계층 ID = 0) 및 제 2 계층 L1 (예를 들어, 계층 ID = 1)에서 다양한 픽처를 포함한다. 일부 실시예들에서, 제 1 계층 (L0) 은 베이스 계층을 포함할 수 있고, 제 2 계층 (L1) 은 확장 계층을 포함할 수 있다. 액세스 유닛들 N 내지 N+9 은 화살표 (302) 로 표시된 바와 같이, 디코딩 순서로 도시된다. 액세스 유닛 N, N+1, N+2, N+5, N+7, N+8 및 N+9 은 L0 및 L1 계층 모두에서 트레일링 픽처들을 포함한다. 액세스 유닛들 N+3 및 N+4 는 L0 계층의 리딩 픽처들과 L1 계층의 트레일링 픽처들을 포함한다. 리딩 픽처들은 RASL 픽처들이 포함될 수 있다. 액세스 유닛 N+6 은 계층 0 에 트레일링 픽처를, L1 계층에서 CRA 픽처를 포함한다. 액세스 유닛 N+2 는 L0 계층에서 값 1 로 설정된 BLA 플래그를 갖는 CRA 픽처를, L1 계층에서 트레일링 픽처를 포함한다. 비트스트림 (300) 을 수신하고 디코딩하면, 디코더는 N+2 액세스 유닛 내의 CRA 픽처를 BLA 픽처로서 취급할 수 있다.

[0076] 재 초기화 플래그는 디코딩 프로세스가 IRAP AU 의 특정 IRAP 픽처에서 리프레시되거나 재 초기화되어야 한다는 것을 디코더에 표시할 수 있다. 하나의 예에서, 재 초기화 플래그는 NoClrasOutputFlag 일 수 있다. 일부 실시예들에서, 재 초기화 플래그는 디코딩이 인코딩된 비디오 비트스트림의 모든 계층들에 걸쳐 다시 초기화 되게끔 할 수 있다. 재 초기화 플래그는 디코딩 프로세스를 재 초기화하는 디코더에 지시하는 특정 값으로 유도될 수 있다. 일부 실시예들에서, 재 초기화 플래그에 대한 값 1 은 디코딩 프로세스가 재 초기화될 것이라는 것을 디코더에 표시할 수 있다. 재 초기화 플래그의 값이 디코더에 의해 0 으로 유도되는 경우, 디코더는 디코딩 순서에서 더 일찍 발생하고, IRAP AU (예를 들어, RASL 픽처가 디코딩될 때, 크로스-계층 RASL 픽처 등) 이전에 디코딩되는 픽처들을 참조하는 것을 계속할 것이다. 다른 실시예들에서, 재 초기화 플래그에 대한 0 의 값은 디코딩이 재 초기화되어야 함을 나타낼 수 있다. 몇몇 경우들에서, 재 초기화 플래그는 디코딩 프로세스의 일부로서 디코더에 의해 유도될 수 있다. 예를 들어, 재 초기화 플래그는 인코딩된 비디오 비트스트림에 제공될 수 있다. 일부의 경우들에서, 재 초기화 플래그는 외부 소스에 의해 디코더에 특정될 수 있다. 예를 들어, 재 초기화 플래그는 인코딩된 비디오 비트스트림과 별도로 대역-외 통신에서 제공될 수 있다. 외부 소스는 (HEVC 프로토콜 이외의 코딩 프로토콜을 사용하는) 인코더, (HEVC 프로토콜 이외의 코딩 프로토콜을 사용하는) 디코더, 편집기, 스플라이서 또는 재 초기화 플래그를 제공하는 다른 네트워크 장치를 포함할 수 있다. 일 예시에서, (HEVC 프로토콜 이외의 코딩 프로토콜을 사용하는) 디코더는 재 초기화 플래그를 디코딩할 수 있고, HEVC 디코더에 재 초기화 플래그를 제공할 수 있다.

[0077] 디코더는 재 초기화 플래그의 값을 결정할 수 있고, 결정된 값에 기초하여 디코딩 프로세스를 다시 초기화할 수 있다. 디코더는 IRAP AU 에서의 픽처들에서 시작하여, 디코딩 순서에서 IRAP AU 를 뒤따르는 픽처들로 계속되는, 새로운 예측 경계를 시작함으로써 디코딩 프로세스를 재 초기화할 수 있다. 일부의 경우에서, 디코딩 순서에서 IRAP AU 에 앞서는 픽처는 디코딩 프로세스가 재 초기화된 후에 참조를 위해 이용가능하지 않다. 예를 들어, 디코더는 IRAP AU 에서 디코딩 프로세스를 재 초기화하고 디코딩 순서에서 IRAP AU 앞서는 모든 픽처를 폐기할 수 있다. 다른 경우에, 재 초기화는, 적어도 부분적으로, 하나 이상의 RASL 픽처 또는 하나 이상의 CL-RAS (cross-layer random access skipped leading) 픽처를 폐기함으로써 수행된다. CL-RAS 픽처는 IRAP AU 와 관련된 픽처들이고, 0 보다 큰 계층 ID 를 가진 계층 (베이스 계층이 아닌 계층)에 속한 픽처들이다. 일부의 경우에서, 디코딩이 IRAP AU 로부터 시작하거나 재 초기화할 때, CL-RAS 픽처가 올바르게 디코딩되지 않을 수 있다. 이러한 경우에 있어서, 이러한 픽처의 하나 이상은 디코딩 순서에서 IRAP AU 를 앞서고, 이용가능하지 않은 픽처를 참조 (직접 또는 간접적으로) 할 수 있기 때문에, CL-RAS 픽처들은 올바르게 디코딩될 수 없다.

[0078] 일부 실시예들에서, BLA 플래그가 베이스 계층에 속하는 CRA 픽처가 BLA 픽처로서 취급될 것이라는 것을 나타내는 값으로 설정될 때 (도 3 에 도시 된 바와 같이), 재 초기화 플래그는 BLA 픽처로서 취급되는 CRA 픽처를 포함하는 IRAP AU 에서 디코딩 프로세스가 재 초기화되어야 함을 나타내는 값이 되도록 디코더에 의해서 유도된다. 예를 들어, 액세스 유닛 N+2 가 1 로 설정된 (BLA 픽처로서 CRA 픽처를 취급하도록 디코더에 지시하는) BLA 플래그를 가진 CRA 픽처를 포함하는 것으로 결정하는 경우에, 디코더는 N+2 액세스 유닛에서 재 초기화 플래그를 1 로 유도할 것이다. 이러한 실시예에서, 디코더는 CRA 픽처의 BLA 플래그가 1 로 설정된다는 결정에 기초하여 N+2 액세스 유닛에서 디코딩 프로세스를 재 초기화할 것이다.

[0079] 일부 실시예에서, AU는 EOS (End of Sequence) NAL 유닛을 포함할 수 있다. 일부 예에서, EOS NAL 유닛은 특정 CVS 의 마지막 NAL 유닛으로서, NAL 을 나타내기 위해 비트스트림에 삽입될 수 있다. 일부 예에서,

EOS NAL 유닛은 계층-특정 기초로 사용될 수 있다. 그러한 예들에서, EOS NAL 유닛은 계층 식별자 (ID) 가 할당될 수 있다. 특정 계층 ID 가 할당된 EOS NAL 유닛은 계층 ID 가 또한 할당된 특정 계층의 시퀀스 종료로서 NAL 유닛을 표시하는데 사용된다. 일부의 경우에서, EOS NAL 유닛을 가진 액세스 유닛에 즉시 따르는 액세스 유닛은 IRAP 팩처를 포함한다.

[0080] 도 4 는 EOS NAL 유닛 및 디코딩 순서에서 EOS NAL 유닛에 따르는 CRA 팩처를 갖는 인코딩된 비디오 비트스트림 (400) 의 예를 도시한다. 인코딩된 비디오 비트스트림 (400) 은 액세스 유닛들 (N 내지 N+9) 을 포함한다. 액세스 유닛들 (N 내지 N+9) 은 제 1 계층 (L0) (예를 들어, 계층 ID = 0) 및 제 2 계층 (L1) (예를 들어, 계층 ID = 1) 에서 다양한 팩처들을 포함한다. 일부 실시예들에서, 제 1 계층 (L0) 은 베이스 계층을 포함할 수 있고, 제 2 계층 (L1) 은 확장 계층을 포함할 수 있다. 액세스 유닛들 (N 내지 N+9) 은 화살표 (402) 로 표시된 바와 같이, 디코딩 순서로 도시된다. 액세스 유닛 N, N+1, N+5, N+7, N+8 및 N+9 는 L0 및 L1 계층 모두에서 트레일링 팩처를 포함한다. 액세스 유닛 N+3 및 N+4 는 L0 계층에서 리딩 팩처와 L1 계층에서 트레일링 팩처를 포함한다. 리딩 팩처들은 RASL 팩처들을 포함할 수 있다. 액세스 유닛 N+2 는 L0 계층에서 CRA 팩처와 L1 계층에서 트레일링 팩처를 포함한다. 액세스 유닛 N+6 은 계층 0 에서 트레일링 팩처를, L1 계층에서 CRA 팩처를 포함한다. 액세스 유닛 N+1 에서 트레일링 팩처에 더하여, EOS NAL 유닛은 NAL 유닛의 시퀀스 종료 (예를 들어, 전체 CVS 종료 또는 L0 계층의 시퀀스 종료)을 나타내기 위해 액세스 유닛 N+1에 삽입된다.

[0081] 도 5 는 디코딩 순서에서 EOS NAL 유닛을 뒤따르는 EOS NAL 유닛 및 IDR 팩처를 가진 인코딩된 비디오 비트스트림 (500) 의 다른 예를 도시한다. 인코딩된 비디오 비트스트림 (500) 은 액세스 유닛들 (N 내지 N+9) 을 포함한다. 액세스 유닛들 (N 내지 N+9) 은 제 1 계층 L0 (예를 들어, 계층 ID = 0) 및 제 2 계층 L1 (예를 들어, 계층 ID = 1) 의 다양한 팩처를 포함한다. 일부 실시예들에서, 제 1 계층 (L0) 은 베이스 계층을 포함할 수 있고, 제 2 계층 (L1) 은 확장 계층을 포함할 수 있다. 액세스 유닛들 (N 내지 N+9) 은 화살표 (502) 로 표시된 바와 같이, 디코딩 순서로 도시된다. 액세스 유닛 N, N+1, N+3, N+4, N+8 및 N+9 는 L0 및 L1 계층 모두에서 트레일링 팩처를 포함한다. 액세스 유닛 N+6 및 N+7 은 L0 계층에서 트레일링 팩처 및 L1 계층에서 리딩 팩처 팩처를 포함한다. 리딩 팩처에는 RASL 팩처가 포함될 수 있다. 액세스 유닛 N+2 는 L0 계층에서 IDR 팩처와 L1 계층에서 트레일링 팩처를 포함한다. 액세스 유닛 N+5 는 계층 0에서 트레일링 팩처를, L1 계층에서 CRA 팩처를 포함한다. 액세스 유닛 N+1 에서 트레일링 팩처에 더하여, EOS NAL 유닛은 NAL 유닛의 시퀀스 종료 (예를 들어, 전체 CVS 의 종료 또는 L0 계층의 시퀀스 종료)을 나타내기 위해 액세스 유닛 N+1에 삽입된다.

[0082] EOS NAL 유닛에 따르는 IRAP 팩처는 새로운 디코딩 프로세스의 시작으로 취급되어야 하고, 재 초기화 플래그는 디코딩이 재 초기화되어야 함을 나타내는 값으로 유도되어야 한다. 그러나, HEVC 표준에 따르면, IRAP 팩처 (예를 들어, CRA 팩처 또는 IDR 팩처) 이 EOS NAL 유닛을 따를 때, 재 초기화 플래그는 디코더에 의해 1 로 유도되지 않는다. 예를 들어, 도 3과 관련하여 전술한 바와 같이, 0 과 동일한 계층 ID (예컨대, nuh_layer_id) 를 가진 CRA 팩처가 1 과 동일한 BLA 플래그를 가질 때, 재 초기화 플래그의 값은 1 로 유도된다. 그러나, 도 4 및 도 5 에 도시된 바와 같이, 0 과 동일한 계층 ID 를 가진 CRA 팩처 또는 IDR 팩처가 디코딩 순서에서 EOS NAL 유닛에 연속하는 제 1 팩처일 때 (액세스 유닛 (N+2) 의 CRA 팩처에 의해 예시된 바와 같이), 재 초기화 플래그는 CRA 팩처 또는 IDR 팩처에 대해 1 로 유도되지 않는다.

[0083] 게다가, EOS NAL 유닛을 사용하는 일 목적은 일시적인 예측 체인의 종료를 나타내는 것이다. 예를 들어, 도 5 에 도시된 바와 같이, N+1 액세스 유닛에서 EOS NAL 유닛은 비트스트림 (500) 에서 스플라이스 포인트의 표시를 가능하게 한다. 일부의 예들에서, N+2 액세스 유닛에서 IDR 팩처 내의 플래그 값은 스플라이스 포인트를 나타내기 위해 설정될 수 있다. 그러나, 플래그가 재 초기화를 나타내도록 설정되지 않고, 재 초기화 플래그가 디코딩이 재 초기화되어야 한다는 것을 나타내는 값 (현재 HEVC 표준하에 있지 않음) 과 동일하게 되도록 유도되지 않으면, 일시적인 예측 체인은 디코더에 의해 재 초기화되지 않을 것이다.

[0084] 여기에 설명된 실시예들은, IRAP 팩처가 EOS NAL 유닛을 따를 때, 디코더가 디코딩이 IRAP 팩처에서 재 초기화되어야 함을 나타내는 값으로 재 초기화 플래그를 유도하도록 디코딩 프로세스를 수정하는 단계를 포함한다.

IRAP 팩처는 (도 4 에 도시된 바와 같은) CRA 팩처 또는 (도 5 에 도시된 바와 같은) IDR 팩처를 포함할 수 있다. 디코더는 디코딩 순서에서 EOS NAL 유닛을 뒤따르는 IRAP 팩처를 포함하는 액세스 유닛에서 시작하는 계층들의 일부 또는 전부에 걸쳐 디코딩을 재 초기화할 수 있다.

[0085] 일부의 예들에서, 재 초기화 플래그의 값은 디코딩 순서에서 EOS NAL 유닛에 연속하는 제 1 팩처인 CRA 팩처에

대해 1 (디코딩 프로세스의 재 초기화를 지시 함) 과 동일하게 유도된다. 일부의 경우에서, 재 초기화 플래그의 값은 디코딩 순서에서 EOS NAL 유닛에 연속되는 제 1 픽처인 0 과 동일한 계층 ID 를 가진 CRA 픽처에 대해 1 로 유도될 수 있다. 그러한 예들에서, 디코딩 순서에서 EOS NAL 유닛에 뒤따르는 제 1 IRAP AU 에 포함된 CRA 픽처들 (예를 들어, 임의의 계층 ID 또는 계층 ID 가 0 인 경우) 및 1 과 동일한 BLA 플래그를 가진 CRA 픽처들은 디코더가 BLA 픽처를 처리하는 것과 동일한 방식으로 디코더에 의해 처리된다. 일부의 예에서, 디코딩은 모든 계층에 대해 재 초기화될 수 있다. 다른 예들에서, 디코딩은 CRA 픽처의 계층 ID 와 동일하거나 더 높은 계층 ID 를 가진 계층들에 대해서만 재 초기화될 수 있다.

[0086] 도 4 를 예로 들면, 액세스 유닛 N+2 의 CRA 픽처는 디코딩 순서로 액세스 유닛 N+1 의 EOS NAL 유닛을 따르는 제 1 픽처다. 디코더는 액세스 유닛 N+2 가 CRA 픽처를 포함하고, 액세스 유닛 N+2 가 디코딩 순서로 EOS NAL 유닛에 연속하는 제 1 픽처를 포함하는 것을 결정할 수 있다. 디코더는 그 다음 CRA 픽처에 대한 재 초기화 플래그를 CRA 픽처에서 디코딩이 다시 초기화되어야 함을 나타내는 값 (예를 들어, 값 1) 이 되도록 유도할 수 있다. 일부 실시예들에서, 디코더는 (베이스 계층 LO 에 있음을 나타내는) 0 과 동일한 계층 ID 를 가진 CRA 픽처에 기초하여 재 초기화 플래그의 값을 유도하기 위한 결정에 더 기초할 수 있다. 이러한 실시예들에서, CRA 픽처가 0 (예를 들면, 하나 이상의 확장 계층의 CRA 픽처) 을 제외한 수와 동일한 계층 ID 를 가지는 경우에, 디코더는 디코딩 순서로 EOS NAL 유닛에 따르는 CRA 픽처에 대한 재 초기화 플래그의 값을 1 (또는 디코딩이 재 초기화됨을 나타내는 다른 값) 이 되도록 유도하지 않을 수 있다.

[0087] 일부 예에서, 디코딩 순서에서 (스플라이스 포인트를 나타낼 수 있는) EOS NAL 유닛 이후의 제 1 액세스 유닛이 IDR 픽처를 포함하는 IRAP 액세스 유닛일 때, IDR 픽처에 대한 재 초기화 플래그의 값은 1 (디코딩 프로세스의 재 초기화를 나타냄) 과 동일하게 유도된다. 일부의 경우에서, 디코딩 순서로 EOS NAL 유닛 이후의 제 1 액세스 유닛인 0 과 동일한 계층 ID 를 가진 IDR 픽처에 대한 재 초기화 플래그의 값은 1 과 동일하게 유도된다.

일부 예에서, 디코딩은 재 초기화 플래그가 1 과 동일하게 유도될 때, 모든 계층에 대해 재 초기화 될 수 있다. 다른 예들에서, 디코딩은 IDR 픽처의 계층 ID 와 동일하거나 높은 계층 ID 를 가진 계층들에 대해서만 재 초기화될 수 있다.

[0088] 예로서 도 5 에서 언급한 바와 같이, 액세스 유닛 N+2 는 IDR 픽처를 포함하고, 디코딩 순서로 액세스 유닛 N+1 의 EOS NAL 유닛을 따르는 제 1 액세스 유닛이다. 디코더는 액세스 유닛 N+2 이 IDR 픽처를 포함하고, 액세스 유닛 N+2 이 디코딩 순서로 EOS NAL 유닛에 연속하는 제 1 픽처를 포함하는 것을 결정할 수 있다. 디코더는 그 다음 IDR 픽처에 대한 재 초기화 플래그를 IDR 픽처에서 디코딩이 재 초기화되어야 함을 나타내는 값 (예를 들어, 1 의 값) 이 되도록 유도할 수 있다. 일부 실시예들에서, 디코더는 또한 0 (베이스 계층 (LO) 에 있음을 나타내는) 과 동일한 계층 ID 를 가진 IDR 픽처에 기초하여 재 초기화의 값을 유도하는 결정에 기초할 수 있다. 그러한 실시예들에서, IDR 픽처가 0 이외의 수 (예를 들면, 하나 이상의 확장 계층의 IDR 픽처) 와 동일한 계층 ID 를 가지는 경우에, 디코더는 디코딩 순서로 EOS NAL 유닛에 따르는 IDR 픽처에 대한 재 초기화 플래그의 값을 1 (또는 디코딩이 재 초기화됨을 나타내는 다른 값) 이 되도록 유도되지 않을 수 있다.

[0089] 전술한 기술을 구현하는 HEVC 표준의 변경 예는 다음을 포함할 수 있다 :

[0090] 현재 픽처가 IRAP 픽처이고 0 과 동일한 nuh_layer_ID 를 가질 때, 다음이 적용된다:

[0091] 변수 NoClrasOutputFlag 는 다음과 같이 특정된다:

[0092] 만약 현재 픽처가 비트스트림의 제 1 픽처라면 NoClrasOutputFlag 가 1 과 동일하게 설정된다.

[0093] 그렇지 않으면, 만약 현재 픽처가 BLA 픽처이거나 또는, HandleCraAsBlaFlag 가 1 인 CRA 픽처라면, NoClrasOutputFlag 는 1 과 동일하게 설정된다.

[0094] 그렇지 않으면, 만약 현재 픽처가 CRA 픽처이고 현재 액세스 유닛이 디코딩 순서로 시퀀스 종료 NAL 유닛에 뒤따르는 제 1 액세스 유닛인 경우, NoClrasOutputFlag 는 1 과 동일하게 설정된다.

[0095] 그렇지 않으면, 만약 현재 픽처가 1 과 동일한 cross_layer_bla_flag 를 가진 IDR 픽처라면, NoClrasOutputFlag 는 1 과 동일하게 설정된다.

[0096] 그렇지 않으면, 만약 이 사양서에 특정되지 않은 일부 외부 수단들이 NoClrasOutputFlag 를 설정하기 위해 얻어질 수 있다면 NoClrasOutputFlag 가 외부 수단들에 의해 설정된다.

[0097] 그렇지 않으면, NoClrasOutputFlag 가 0으로 설정된다.

[0098] NoClrasOutputFlag 가 1 과 동일할 때, 변수 LayerInitializedFlag[i] 는 0 부터 vps_max_layer_id 을 포함한 값까지 모든 i 값이 0 과 동일하게 설정되고, 변수 FirstPicInLayerDecodedFlag[i] 는 0 부터 vps_max_layer_id 을 포함한 값까지 모든 i 값을 0 과 동일하게 설정한다.

[0099] 대안적으로, NoClrasOutputFlag 의 유도는 다음과 같이 수정된다:

[0100] 현재 픽처가 IRAP 픽처이고, 0 과 동일한 nuh_layer_ID 를 가질 때, 다음이 적용된다:

[0101] 변수 NoClrasOutputFlag 는 다음과 같이 특정된다.

[0102] 현재 픽처가 비트스트림의 제 1 픽처가면 NoClrasOutputFlag 가 1 과 동일하게 설정된다.

[0103] 그렇지 않으면, 만약 현재 픽처가 BLA 픽처이거나 또는, HandleCraAsBlaFlag 가 1 인 CRA 픽처가면, NoClrasOutputFlag 는 1 과 동일하게 설정된다.

[0104] 그렇지 않으면, 만약 현재 픽처가 IRAP 픽처이고 현재 액세스 유닛이 디코딩 순서로 시퀀스 종료 NAL 유닛에 따르는 제 1 액세스 유닛인 경우, NoClrasOutputFlag 는 1 과 동일하게 설정된다.

[0105] 그렇지 않으면, 만약 현재 픽처가 1 과 동일한 cross_layer_bla_flag 를 가진 IDR 픽처가면, NoClrasOutputFlag 는 1 로 설정된다.

[0106] 그렇지 않으면, 만약 이 사양서에 특정되지 않은 일부 외부 수단들이 NoClrasOutputFlag 를 설정하기 위해 얻어질 수 있다면 NoClrasOutputFlag 가 외부 수단들에 의해 설정된다.

[0107] 그렇지 않으면, NoClrasOutputFlag 가 0 으로 설정된다.

[0108] 대안적으로, HandleCraAsBlaFlag 의 유도는 다음과 같이 수정된다.

[0109] 현재 픽처가 IRAP 픽처일 때, 변수 HandleCraAsBlaFlag 는 다음과 같이 특정된다.

[0110] 현재 픽처가 CRA 픽처이고 디코딩 순서로 시퀀스 종료 NAL 유닛에 따르는 제 1 픽처인 경우, 변수 HandleCraAsBlaFlag 는 1 과 동일하게 설정된다.

[0111] 그렇지 않으면, 만약 이 사양서에 특정되지 않은 일부 외부 수단이 변수 HadndleCraAsBlaFlag 를 현재 픽처의 값으로 설정하기 위해 얻어질 수 있다면 HandleCraAsBlaFlag 는 외부 수단에 의해 제공된 값과 동일하게 설정된다.

[0112] 그렇지 않으면, 변수 NoClrasOutputFlag 가 0 으로 설정된다.

[0113] 도 6 은 비디오 데이터를 디코딩하는 프로세스 (600) 의 일 실시예를 도시한다. 프로세스 (600) 는 시퀀스 종료 네트워크 추상화 계층 유닛을 고려하여 디코딩을 재 초기화하도록 구현된다. 일부의 양태에서, 프로세스 (600) 는 도 1 또는 도 10에 도시된 디코딩 디바이스 (112) 와 같은, 컴퓨팅 디바이스 또는 장치에 의해 수행될 수 있다. 예를 들어, 컴퓨팅 디바이스 또는 장치는 디코더, 또는 프로세서, 마이크로프로세서, 마이크로컴퓨터, 또는 프로세스 (600) 의 단계들을 수행하도록 구성된 디코더의 다른 컴포넌트를 포함할 수 있다.

[0114] 프로세스 (600) 는 논리 플로우 다이어그램으로서 도시되고, 그 동작은 하드웨어, 컴퓨터 명령들, 또는 이들의 조합으로 구현될 수 있는 일련의 동작들을 나타낸다. 컴퓨터 명령어의 관점에서, 동작들은 하나 이상의 프로세서에 의해 실행될 때, 인용된 동작을 수행하는 하나 이상의 컴퓨터 판독 가능 저장 매체에 저장된 컴퓨터-실행가능 명령들을 나타낸다. 일반적으로, 컴퓨터-실행가능 명령들은 특정 기능을 수행하거나 특정 데이터 유형을 구현하는 루틴, 프로그램, 객체, 컴포넌트, 데이터 구조 등을 포함한다. 그러한 동작이 설명되는 순서는 제한으로서 해석되지 않으며, 설명된 동작의 임의의 수는 프로세스를 구현하기 위해 병렬로 및/또는 임의의 순서로 결합될 수 있다.

[0115] 부가적으로, 프로세스 (600) 는 실행-가능 명령들로 구성된 하나 이상의 컴퓨터 시스템들의 제어하에 수행될 수 있으며, 하드웨어 또는 이들의 조합에 의한 하나 또는 그 이상에서 집합적으로 실행되는 코드 (예를 들어, 실행-가능 명령들, 하나 이상의 컴퓨터 프로그램들, 또는 하나 이상의 애플리케이션들) 로서 실행될 수 있다. 전술한 바와 같이, 코드는 예를 들어, 하나 이상의 프로세서에 의해 실행 가능한 복수의 명령을 포함하는 컴퓨터 프로그램의 형태로 컴퓨터 판독 가능 또는 기계 판독 가능 저장 매체에 저장될 수 있다. 컴퓨터 판독 가

능 또는 기계 판독 가능 저장 매체는 비 일시적일 수 있다.

[0116] 단계 (602)에서, 비디오 데이터를 디코딩하는 프로세스 (600)는 다중 계층들을 포함하는 인코딩된 비디오 비트스트림에 액세스하는 것을 포함한다. 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하며, 제 1 액세스 유닛은 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 및 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 픽처를 포함하고, 제 1 액세스 유닛에 뒤이어 디코딩 순서에서 다음으로 후속하는 액세스 유닛이다.

일부의 예에서, 인코딩된 비디오 비트스트림은 도 4에 도시된 비트스트림 (400)을 포함한다. 이러한 예에서, 제 1 액세스 유닛은 N+1 액세스 유닛을 포함하고, 제 2 액세스 유닛은 N+2 액세스 유닛을 포함하고, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 픽처는 클린 랜덤 액세스 (CRA) 픽처를 포함한다. 일부 예에서, 인코딩된 비디오 비트스트림은 도 5에 도시된 비트스트림 (500)을 포함한다. 이러한 예에서, 제 1 액세스 유닛은 N+1 액세스 유닛을 포함하고, 제 2 액세스 유닛은 N+2 액세스 유닛을 포함하고, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 픽처는 순간적인 디코딩 리프레시 (IDR) 픽처를 포함한다. 당업자는 인코딩된 비디오 비트스트림이 여기에 설명된 것 이외의 인코딩된 비디오 비트스트림들을 포함할 수 있음을 이해할 것이다.

[0117] 단계 (604)에서, 프로세스 (600)는 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서로 다음으로 후속하는 액세스 유닛인 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 디코딩을 재 초기화하는 단계를 포함한다. 일부 실시예들에서, 프로세스 (600)는 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 다중 계층들의 각각의 디코딩을 재 초기화하는 단계를 포함할 수 있다. 예를 들어, 디코딩은 인코딩된 비디오 비트스트림의 모든 계층에 대해 재 초기화된다.

[0118] 일부 실시예들에서, 제 1 액세스 유닛은 인코딩된 비디오 비트스트림의 베이스 계층에 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하고, 제 2 액세스 유닛은 베이스 계층에 인트라 랜덤 액세스 포인트 픽처를 포함한다.

이러한 실시예에서, 디코딩은 베이스 계층에 되고, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 디코딩이 재 초기화된다.

[0119] 일부 실시예들에서, 제 2 액세스 유닛이 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛일 때, 제 2 액세스 유닛의 플래그 (예를 들어, 재 초기화 플래그)가 일 값으로 설정되거나 유도된다. 플래그의 값은 디코딩이 제 2 액세스 유닛에서 재 초기화됨을 나타낸다. 일부의 예에서, 플래그는 NoClearsOutputFlag를 포함하고 값은 1의 값이다. 일부 예에서, 값은 0의 값이다.

[0120] 일부 실시예에서, 제 2 액세스 유닛에서 디코딩을 재 초기화하는 것은 제 2 액세스 유닛과 관련된 하나 이상의 랜덤 액세스 스kip된 리딩 픽처 또는 하나 이상의 크로스 계층 랜덤 액세스 스kip된 리딩 픽처를 폐기하는 것을 포함한다.

[0121] 도 7은 비디오 데이터를 처리하는 프로세스 (700)의 일 실시예를 도시한다. 프로세스 (700)는 디코딩 프로세스가 디코더에서 재 초기화되도록 시퀀스 종료 네트워크 추상화 계층 유닛을 포함하는 인코딩된 비디오 비트스트림을 생성하도록 구현된다. 일부 양태들에서, 프로세스 (700)는 비트스트림 편집기, 비트스트림 스플라이어 또는 도 1 또는 도 9에 도시된 인코딩 디바이스 (104)와 같은 인코더와 같은 컴퓨팅 디바이스 또는 장치에 의해 수행될 수 있다. 예를 들어, 컴퓨팅 디바이스 또는 장치는 비트스트림 편집기, 비트스트림 스플라이어, 인코더, 또는 프로세서, 마이크로프로세서, 마이크로컴퓨터, 또는 프로세스 (700)의 단계들을 수행하도록 구성된 그러한 장치들의 다른 컴포넌트를 포함할 수 있다.

[0122] 프로세스 (700)는 논리 플로우 다이어그램으로서 도시되고, 그 동작은 하드웨어, 컴퓨터 명령들, 또는 이들의 조합으로 구현될 수 있는 일련의 동작들을 나타낸다. 컴퓨터 명령들의 관점에서, 동작들은 하나 이상의 프로세서에 의해 실행될 때, 인용된 동작을 수행하는 하나 이상의 컴퓨터 판독 가능 저장 매체에 저장된 컴퓨터-실행가능 명령들을 나타낸다. 일반적으로, 컴퓨터- 실행가능 명령은 특정 기능을 수행하거나 특정 데이터 유형을 구현하는 루틴, 프로그램, 객체, 컴포넌트, 데이터 구조 등을 포함한다. 동작이 설명되는 순서는 제한으로서 해석되지 않으며, 설명된 동작의 임의의 수는 프로세스를 구현하기 위해 병렬적 및/또는 임의의 순서로 결합될 수 있다.

[0123] 부가적으로, 프로세스 (700)는 실행-가능 명령들로 구성된 하나 이상의 컴퓨터 시스템들의 제어하에 수행될 수

있으며, 하드웨어 또는 이들의 조합에 의한 하나 또는 그 이상에서 집합적으로 실행되는 코드 (예를 들어, 실행-가능 명령들, 하나 이상의 컴퓨터 프로그램들, 또는 하나 이상의 애플리케이션들)로써 실행될 수 있다. 전술한 바와 같이, 코드는 예를 들어, 하나 이상의 프로세서에 의해 실행 가능한 복수의 명령을 포함하는 컴퓨터 프로그램의 형태로 컴퓨터 판독 가능 또는 기계 판독 가능 저장 매체에 저장될 수 있다. 컴퓨터 판독 가능 또는 기계 판독 가능 저장 매체는 비 일시적일 수 있다.

[0124] 단계 (702)에서, 비디오 데이터를 처리하는 프로세스 (700)는 다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하는 것을 포함하며, 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다.

제 1 인코딩된 비디오 비트스트림은 HEVC, AVC, MPEG 또는 다른 적절한 비디오 코딩 기술과 같은 코딩 기술을 사용하여 코딩될 수 있다.

[0125] 단계 (704)에서, 프로세스 (700)는 다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하는 것을 포함하고, 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함한다. 제 2 인코딩된 비디오 비트스트림은 HEVC, AVC, MPEG 또는 다른 적절한 비디오 코딩 기술과 같은 코딩 기술을 사용하여 코딩될 수 있다.

[0126] 단계 (706)에서, 프로세스 (700)는 제 1 인코딩된 비디오 비트스트림의 액세스 유닛과 제 2 인코딩된 비디오 비트스트림의 액세스 유닛과 결합함으로써, 및 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써 제 3 인코딩된 비디오 비트스트림을 생성하는 것을 포함한다.

제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 꾹처를 포함하고, 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 제 1 액세스 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이다. 일부 예에서, 제 3 인코딩된 비디오 비트스트림은 제 1 및 제 2 인코딩된 비디오 비트스트림의 인트라 랜덤 액세스 포인트 꾹처에서 함께 제 1 및 제 2 인코딩된 비디오 비트스트림을 스플라이싱함으로써 생성될 수 있다. 예를 들어, 스플라이싱은, 제 1 인코딩된 비디오 비트스트림의 인트라 랜덤 액세스 포인트 꾹처 및 모든 후속의 액세스 유닛을 포함하는 액세스 유닛을, 제 2 인코딩된 비디오 비트스트림의 인트라 랜덤 액세스 포인트 꾹처 및 후속하는 액세스 유닛을 포함하는 제 2 액세스 유닛으로 대체함으로써 발생한다. 프로세스 (700)는 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 액세스 유닛에 삽입하여 제 3 인코딩된 비디오 비트스트림의 디코딩이 제 2 액세스 유닛에서 재 초기화될 것이다. 디코딩 재 초기화는 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 발생한다.

[0127] 일부 실시예에서, 제 3 인코딩된 비디오 비트스트림을 생성하는 단계는, 제 3 인코딩된 비디오 비트스트림이 디코딩되는지를 결정하는 단계를 포함하고, 제 3 인코딩된 비트스트림은, 제 1 액세스 유닛을 포함하는 제 1 인코딩된 비디오 비트스트림의 액세스 유닛들까지와, 이에 후속하는 제 2 액세스 유닛을 포함하는 제 2 인코딩된 비디오 비트스트림의 그로부터 시작되는 액세스 유닛들을 포함한다. 제 3 인코딩된 비디오 비트스트림을 생성하는 단계는, 제 2 인코딩된 비디오 비트스트림의 디코딩이 인트라 랜덤 액세스 포인트 꾹처를 포함하는 제 2 액세스 유닛에서 재 초기화될지를 결정하는 단계, 및 제 1 액세스 유닛을 포함하여 제 1 인코딩된 비디오 비트스트림에서까지의 액세스 유닛들과 제 2 액세스 유닛을 포함하여 제 2 인코딩된 비디오 비트스트림의 그로부터 시작되는 액세스 유닛들을 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 제 1 액세스 유닛에 삽입함으로써 제 3 인코딩된 비디오 비트스트림을 생성하는 단계를 더 포함한다.

[0128] 단계 (708)에서, 프로세스 (700)는 제 3 인코딩된 비디오 비트스트림을 송신하는 단계를 포함하며, 제 3 인코딩된 비디오 비트스트림의 디코딩은 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화된다. 일부 실시예들에서, 제 3 인코딩된 비디오 비트스트림의 다중 계층들의 각각의 계층의 디코딩은 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 제 2 액세스 유닛에서 재 초기화된다. 예를 들어, 디코딩은 인코딩된 비디오 비트스트림의 모든 계층에 대해 다시 초기화된다.

[0129] 일부 실시예들에서, 제 1 인코딩된 비디오 비트스트림 및 제 2 인코딩된 비디오 비트스트림은 전술한 바와 같이, 함께 스플라이스되는 별도의 인코딩된 비디오 비트스트림들이다. 일부 실시예들에서, 제 1 인코딩된 비디오 비트스트림 및 제 2 인코딩된 비디오 비트스트림은 동일한 인코딩된 비디오 비트스트림이고, 및 제 2 액세스 유닛은 동일한 인코딩된 비디오 비트스트림에서 제 1 액세스 유닛에 뒤따르는 디코딩 순서에서 후속하는 액세스 유닛이다. 예를 들어, $t_1 < t_2 < t_3 < t_4$ 에서, 제 1 인코딩된 비디오 비트스트림은 시간 t_1 에서 시

간 t3 까지의 비트스트림의 제 1 부분 일 수 있고, 제 2 인코딩된 비디오 비트스트림은 시간 t2 에서 t4 까지의 동일한 비트스트림의 제 2 부분일 수 있다. 예를 들어, 제 1 및 제 2 부분은 사용자가 인코딩된 비디오 비트스트림에서 시간 t2 에서 다시 탐색할 때, 함께 스플라이스되거나 스티치 될 수 있다. 예를 들어, 인코딩된 비디오 비트스트림의 제 1 및 제 2 부분은 시간 t3 에서 인트라 랜덤 액세스 포인트 핵처 및 모든 후속의 액세스 유닛을 포함하는 액세스 유닛을 시간 t2 에서 인트라 랜덤 액세스 포인트 핵처 및 후속 액세스 유닛을 포함하는 액세스 유닛으로 대체함으로써 스플라이스 될 수 있다.

[0130] 일부 실시예에서, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 핵처는 순간적인 디코딩 리프레시 핵처를 포함한다. 일부 실시예들에서, 제 2 액세스 유닛의 인트라 랜덤 액세스 포인트 핵처는 클린 랜덤 액세스 핵처를 포함한다.

[0131] 일부의 실시예에서, 시퀀스 종료 네트워크 추상화 계층 유닛은 제 3 인코딩된 비디오 비트스트림의 베이스 계층의 제 1 액세스 유닛에 삽입되고, 제 2 액세스 유닛은 베이스 계층의 인트라 랜덤 액세스 포인트 핵처를 포함한다. 이러한 실시예에서, 디코딩은 제 2 액세스 유닛은 베이스 계층에 있고, 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛이 되는 제 2 액세스 유닛에 기초하여 재 초기화된다.

[0132] 일부 실시예들에서, 제 2 액세스 유닛의 플래그 (예를 들어, 재 초기화 플래그) 는 제 2 액세스 유닛이 제 1 액세스 유닛의 시퀀스 종료 네트워크 추상화 계층 유닛에 뒤따르는 디코딩 순서에서 다음 후속하는 액세스 유닛일 때의 값으로 설정된다. 플래그의 값은 디코딩이 제 2 액세스 유닛에서 재 초기화됨을 나타낸다. 일부의 예에서, 플래그는 NoClrasOutputFlag 를 포함하고 값은 1 의 값이다. 일부의 예에서, 값은 0 의 값이다.

[0133] 일부 실시예에서, 제 2 액세스 유닛에서 디코딩을 재 초기화하는 것은 제 2 액세스 유닛과 관련된 하나 이상의 크로스 계층 랜덤 액세스 스kip된 리딩 핵처 또는 하나 이상의 랜덤 액세스 스kip 된 리딩 핵처를 폐기하는 것을 포함한다.

[0134] 시퀀스 종료 네트워크 추상화 계층 유닛을 사용하는 전술한 기술을 사용하여, 디코더에 의해 사용되는 디코딩 프로세스는 인코딩된 비디오 비트스트림의 특정 부분에서 디코딩하는 것을 더 효과적으로 재 초기화하도록 수정될 수 있다. 예를 들어, 디코딩 프로세스는 디코딩 순서로 EOS NAL 유닛을 따르는 제 1 핵처인 CRA 핵처의 디코딩이 1 (또는 CRA 핵처가 BLA 핵처로서 취급될 것이라는 것을 나타내는 다른 값) 과 동일한 BLA 플래그를 가진 CRA 핵처와 유사하게 정의되도록 수정된다 (예를 들면, 재 초기화 플래그 유도). 또한, 디코딩 순서로 EOS NAL 유닛을 포함하는 액세스 유닛에 따르는 액세스 유닛에서 모든 계층의 디코딩이 재 초기화되도록 (예를 들어, 재 초기화 플래그가 1 과 동일하게 설정되도록) 디코딩 프로세스가 수정된다. 이러한 수정은 시스템 엔티티가 비트스트림에서 임의의 선택스 엘리먼트를 수정하는 것을 필요로 하지 않음으로써, 그리고 임의의 플래그가 이러한 목적으로 외부 수단들에 의해 제공되어지는 것을 필요로 하지 않음으로써, 스플라이싱 동작을 간소화한다.

[0135] 다른 실시예에서, RASL 플래그의 값이 특정 상황에서만 특정 값으로 도출되도록 디코딩 프로세스를 수정하기 위한 기술 및 시스템들이 설명된다. 일부 예에서, IRAP 핵처는 대응하는 RASL 플래그 (예를 들어, NoRas1OutputFlag) 를 가질 수 있다. IRAP 핵처가 1 과 동일한 RASL 플래그를 가진 경우, (예를 들어, 스플라이싱, 랜덤 액세스 또는 핵처들이 비트스트림에 더이상 존재하지 않게 하는 다른 기능 후에) RASL 핵처는 비트스트림에 존재하지 않는 핵처들에 대한 참조를 포함할 수도 있기 때문에, 그 IRAP 와 관련된 RASL 핵처는 출력되지 않으며 정확하게 디코딩 가능하지 않을 수도 있다. 일부의 예에서, RASL 플래그는 RASL 핵처가 정확하게 디코딩 가능하지 않음을 표시하기 위해서 0 으로 설정된다.

[0136] 도 8은 디코딩 순서로 EOS NAL 유닛에 따르는 IDR 핵처 및 EOS NAL 유닛을 가진 인코딩된 비디오 비트스트림 (800) 의 예를 도시한다. 인코딩된 비디오 비트스트림 (800) 은 액세스 유닛 N 내지 N+9를 포함한다. 액세스 유닛 N 내지 N+9 는 제 1 계층 L0 (예를 들어, 계층 ID = 0) 및 제 2 계층 L1 (예를 들어, 계층 ID = 1)의 다양한 핵처를 포함한다. 일부 실시예들에서, 제 1 계층 (L0) 은 베이스 계층을 포함할 수 있고, 제 2 계층 (L1) 은 확장 계층을 포함할 수 있다. 액세스 유닛 N 내지 N+9 는 화살표 (802) 로 표시된 바와 같이 디코딩 순서로 도시된다. 액세스 유닛 N, N+1, N+8 및 N+9 는 L0 및 L1 계층 모두에서 트레일링 핵처를 포함한다. 액세스 유닛 N+3 및 N+4 는 L0 계층에서 트레일링 핵처를 포함하고 L1 계층에서 핵처를 포함하지 않는다. 액세스 유닛 N+6 및 N+7은 L0 계층에서 트레일링 핵처 및 L1 계층에서 리딩 핵처를 포함한다. 리딩 핵처에는 RASL 핵처 또는 RADL 핵처가 포함될 수 있다. 액세스 유닛 N+2 는 L0 계층에서 IDR 핵처를 포함하고 L1 계층에서 핵처를 포함하지 않는다. 일부의 예에서, 액세스 유닛 N+2 는 CRA 핵처 또는 BLA 핵

처와 같은 다른 IRAP 팩처를 포함할 수 있다. 액세스 유닛 N+5 는 계층 0에서 트레일링 팩처를, L1 계층에서 CRA 팩처를 포함한다. 액세스 유닛 N+1의 트레일링 팩처에 더하여, EOS NAL 유닛은 시퀀스 종료 NAL 유닛 (예를 들어, 전체 CVS 종료 또는 L0 계층에 대한 시퀀스 종료) 을 나타내기 위해 액세스 유닛 N+1에 삽입된다.

[0137] 일부 예에서, 특정 계층 ID 를 가진 현재 팩처가 IDR 팩처, BLA 팩처, 디코딩 순서로 비트스트림 내의 특정 계층 ID 를 갖는 제 1 팩처, 또는 디코딩 순서로 EOS NAL 유닛에 따르는 특정 계층 ID 를 갖는 제 1 팩처일 때, RASL 플래그는 1 (예를 들어, 디코더에 의해 1의 값으로 유도되는) 로 설정될 수 있다. HEVC 표준에 따르면, EOS NAL 유닛은 디코딩 순서로 EOS NAL 유닛에 연속하는 제 1 액세스 유닛에서 팩처들의 디코딩에 영향을 미치고, 또한 제 1 액세스 유닛에 연속하는 후속하는 액세스 유닛들에 영향을 미친다. 예를 들어, 특정 계층의 IRAP 팩처가 EOS NAL 유닛에 따르는 해당 계층에서 제 1 팩처라면, 심지어 해당 IRAP 팩처가 디코딩 순서로 EOS NAL 유닛에 즉시 뒤따르지 않는 액세스 유닛이 포함되지 않을 때, 팩처의 RASL 플래그는 1 과 같다. 예를 들어, 도 8 에 도시된 비트스트림 (800)에서, 액세스 유닛 N+1에서 EOS 의 존재는 액세스 유닛 N+5의 CRA 팩처가 1 과 동일한 RASL 플래그를 가지게 한다.

[0138] 실시예는 EOS NAL 유닛이 EOS NAL 유닛을 따르는 제 1 후속 액세스 유닛에서 팩처의 디코딩에 오직 직접적으로 영향을 미치는 것을 제한하기 위해 여기에 설명된다. 예를 들어, 디코딩 프로세스는 EOS NAL 유닛이 디코딩 순서로 EOS NAL 유닛을 포함하는 액세스 유닛을 따르는 제 1 액세스 유닛에 속하는 오직 그러한 팩처들만 디코딩에 직접 영향을 미치도록 수정된다 (예를 들어, RASL 플래그의 도출). 예를 들어, RASL 플래그는 디코딩 순서로 EOS NAL 유닛을 포함하는 액세스 유닛에 뒤따르는 다음 후속하는 액세스 유닛에 대해서 오직 1로 유도된다. 따라서, 다음 후속하는 액세스 유닛과 관련된 오직 RASL 팩처들만이 정확하게 디코딩 가능하지 않은 것으로 표시된다. 일부 실시예들에서, EOS NAL 유닛이 디코딩 순서로 EOS NAL 유닛을 포함하는 액세스 유닛에 따르는 제 1 액세스 유닛에 속하는 0과 동일한 계층 ID (예를 들어, 베이스 계층) 를 가진 팩처만이 오직 디코딩에 직접적으로 영향을 미치도록 디코딩 프로세스가 수정된다 (예를 들어, RASL 플래그의 도출).

[0139] 도 8 을 예로 들면, 액세스 유닛 N+2 가 스플라이싱 포인트 (예를 들어, 2 개의 비트스트림이 함께 스플라이스되는 포인트, 동일한 비트스트림의 2 개의 부분이 함께 스플라이스되는 포인트 등) 가 아닌 경우, 액세스 유닛 N+6 및 N+7에서의 RASL 팩처는 정확하게 디코딩될 수 있기 때문에 (예를 들어, N+6 및 N+7 액세스 유닛의 리딩 팩처가 RADL 팩처로 표시될 수 있다), EOS NAL 유닛에서의 제한은 효과적이다. AU N+2 가 스플라이스 포인트일 때, HEVC 표준의 LayerInitializedFlag 에 기초한 RASL 플래그의 현재 유도는 액세스 유닛 N+5의 CRA 팩처가 1과 동일한 것으로 유도된 RASL 플래그를 갖는 것을 보장한다.

[0140] RASL 플래그와 관련하여 전술한 기술을 구현하는 HEVC 표준의 변경 예는 다음을 포함한다 :

[0141] 현재 팩처가 IRAP 팩처인 경우 다음이 적용된다:

[0142] 만약 nuh_layer_id 의 특정 값을 갖는 현재 팩처가 IDR 팩처, BLA 팩처, 디코딩 순서로 비트스트림에서 nuh_layer_id 의 특정 값을 갖는 제 1 팩처이거나, 또는 nuh_layer_id 의 특정 값을 갖는 팩처를 포함하는 액세스 유닛이 디코딩 순서로 시퀀스 종료 NAL 유닛에 뒤따르는 제 1 액세스 유닛인 경우, 변수 NoRaslOutputFlag 는 1과 동일하게 설정된다.

[0143] 그렇지 않으면, 만약 refLayerId [nuh_layer_id][j] 와 동일한 refLayerId 의 모든 값에 대해, LayerInitializedFlag[nuh_layer_id] 는 0과 동일하고, LayerInitializedFlag [refLayerId] 가 1과 동일하면, 변수 NoRaslOutputFlag 는 1과 동일하게 설정되고, 여기서, j 는 0 내지 NumDirectRefLayers[nuh_layer_id]-1 를 포함하는 범위이다.

[0144] 그렇지 않으면, 변수 NoRaslOutputFlag 는 HandleCraAsBlaFlag 와 동일하게 설정된다.

[0145] 여기서 논의된 코딩 기술은 예시적인 비디오 인코딩 및 디코딩 시스템 (예를 들어, 시스템 (100))에서 구현될 수 있다. 시스템은 목적지 디바이스에 의해 나중에 디코딩될 인코딩된 비디오 데이터를 제공하는 소스 디바이스를 포함한다. 특히, 소스 디바이스는 컴퓨터 판독 가능 매체를 통해 목적지 디바이스에 비디오 데이터를 제공한다. 소스 디바이스 및 목적지 디바이스는 데스크탑 컴퓨터, 노트북 (즉, 랩톱) 컴퓨터, 태블릿 컴퓨터, 셋톱 박스, 소위 "스마트" 폰, 소위 "스마트" 패드로 불리는 것과 같은 전화기 핸드셋, 텔레비전, 카메라, 디스플레이 장치, 디지털 미디어 플레이어, 비디오 게임 콘솔, 비디오 스트리밍 장치 등을 포함하여, 광범위한 장치 중 어느 하나를 포함할 수 있다. 일부의 사례에서, 소스 디바이스 및 목적지 디바이스는 무선 통신을 위해 장착될 수 있다.

[0146]

목적지 디바이스는 컴퓨터 판독 가능 매체를 통해 디코딩된 비디오 데이터를 수신할 수 있다. 컴퓨터 판독 가능 매체는 소스 디바이스로부터 목적지 디바이스로 인코딩된 비디오 데이터를 이동시킬 수 있는 임의의 유형의 매체 또는 디바이스를 포함할 수 있다. 하나의 예시에서, 컴퓨터 판독 가능 매체는 소스 디바이스가 실시간으로 목적지 디바이스에 인코딩된 비디오 데이터를 직접 송신할 수 있게하는 통신 매체를 포함할 수 있다. 인코딩된 비디오 데이터는 무선 통신 프로토콜과 같은 통신 표준에 따라 변조되고, 및 목적지 디바이스로 송신될 수 있다. 통신 매체는 무선 주파수 (RF) 스펙트럼 또는 하나 이상의 물리적 송신 라인과 같은 임의의 무선 또는 유선 통신 매체를 포함할 수 있다. 통신 매체는 로컬 지역 네트워크 (LAN), 광역 네트워크 (wide-area network) 또는 인터넷과 같은 글로벌 네트워크와 같은 패킷 기반 네트워크의 일부를 형성할 수 있다. 통신 매체는 라우터, 스위치, 기지국 또는 소스 디바이스로부터 목적지 디바이스로의 통신을 용이하게 하는데 유용한 다른 장치를 포함할 수 있다.

[0147]

일부 예들에서, 인코딩된 데이터는 출력 인터페이스로부터 저장 디바이스로 출력될 수 있다. 유사하게, 인코딩된 데이터는 입력 인터페이스에 의해 저장 장치로부터 액세스될 수 있다. 저장 디바이스는 하드 드라이브, Blu-ray 디스크, DVD, CD-ROM, 플래시 메모리, 휴발성 또는 비휘발성 메모리 또는 인코딩된 비디오 데이터를 저장하기 위한 임의의 다른 적합한 디지털 저장 매체와 같은 임의의 다양한 분산된 또는 로컬 데이터 저장 매체를 포함한다. 다른 예에서, 저장 디바이스는 소스 디바이스에 의해 생성된 인코딩된 비디오를 저장할 수 있는 다른 중간 저장 디바이스 또는 파일 서버에 대응할 수 있다. 목적지 디바이스는 스트리밍 또는 다운로드를 통해 저장 디바이스로부터 저장된 비디오 데이터에 액세스할 수 있다. 파일 서버는 인코딩된 비디오 데이터를 저장하고 그 인코딩된 비디오 데이터를 목적지 디바이스에 송신할 수 있는 임의의 유형의 서버일 수 있다. 파일 서버의 예로는 웹 서버 (예를 들면, 웹 사이트), FTP 서버, NAS (Network Attached Storage) 장치 또는 로컬 디스크 드라이브가 있다. 목적지 디바이스는 인터넷 연결을 포함하여 임의의 표준 데이터 연결을 통해 인코딩된 비디오 데이터에 액세스할 수 있다. 이는 무선 채널 (예를 들어, Wi-Fi 연결), 유선 연결 (예를 들어, DSL, 케이블 모뎀 등) 또는 파일 서버에 저장된 인코딩된 비디오 데이터에 액세스하기에 적합한 두 가지 조합을 포함할 수 있다. 저장 디바이스로부터 인코딩된 비디오 데이터의 송신은 스트리밍 송신, 다운로드 송신 또는 이들의 조합일 수 있다.

[0148]

본 명세서의 기술들은 무선 애플리케이션 또는 설정에 반드시 제한되는 것은 아니다. 기술들은 공중 텔레비전 방송, 케이블 텔레비전 송신, 위성 텔레비전 송신, HTTP를 통한 동적 적응형 스트리밍 (DASH) 와 같은 인터넷 스트리밍 비디오 송신, 데이터 저장 매체에 인코딩된 디지털 비디오, 데이터 저장 매체에 저장된 디지털 비디오의 디코딩 또는 다른 애플리케이션의 임의의 다양한 멀티미디어 애플리케이션을 지원하는 비디오 코딩에 적용될 수 있다. 일부의 예에서, 시스템은 비디오 스트리밍, 비디오 재생, 비디오 브로드 캐스팅 및/또는 비디오 텔레포니와 같은 애플리케이션을 지원하기 위해 단방향 또는 양방향 비디오 송신을 지원하도록 구성될 수 있다.

[0149]

하나의 예에서, 소스 디바이스는 비디오 소스, 비디오 인코더 및 출력 인터페이스를 포함한다. 목적지 디바이스는 입력 인터페이스, 비디오 디코더 및 디스플레이 디바이스를 포함할 수 있다. 소스 디바이스의 비디오 인코더는 여기에 개시된 기술들을 적용하도록 구성될 수 있다. 다른 예에서, 소스 디바이스 및 목적지 디바이스는 다른 컴포넌트 또는 장치를 포함할 수 있다. 예를 들어, 소스 디바이스는 외부 카메라와 같은 외부 비디오 소스로부터 비디오 데이터를 수신할 수 있다. 마찬가지로, 목적지 디바이스는 통합된 디스플레이 장치를 포함하기보다는 외부 디스플레이 장치와 인터페이스 할 수 있다.

[0150]

위 예시 시스템은 단지 하나의 예이다. 비디오 데이터를 병렬로 처리하는 기술은 임의의 디지털 비디오 인코딩 및/또는 디코딩 디바이스에 의해 수행될 수 있다. 일반적으로, 본 개시의 기술들은 비디오 인코딩 디바이스에 의해 수행되지만, 이 기술들은 일반적으로 "코덱 (CODEC)" 으로 지칭되는 비디오 인코더/디코더에 의해 수행될 수도 있다. 더욱이, 본 개시의 기술들은 또한 비디오 전처리기에 의해 수행될 수 있다. 소스 디바이스 및 목적지 디바이스는 소스 디바이스가 목적지 디바이스로의 송신을 위해 코딩된 비디오 데이터를 생성하는 코딩 디바이스의 예에 불과하다. 일부의 예에서, 소스 및 목적지 디바이스는 각각의 디바이스가 비디오 인코딩 및 디코딩 컴포넌트를 포함하도록 실질적으로 대칭적인 방식으로 동작할 수 있다. 따라서, 예시적인 시스템들은, 예를 들어, 비디오 스트리밍, 비디오 재생, 비디오 브로드 캐스팅 또는 비디오 텔레포니와 같은 비디오 장치들 사이의 단방향 또는 양방향 비디오 송신을 지원할 수 있다.

[0151]

비디오 디바이스는 비디오 카메라, 이전에 캡처된 비디오를 포함하는 비디오 아카이브 및/또는 비디오 컨텐츠 제공자로부터 비디오를 수신하기 위한 비디오 퍼드 인터페이스와 같은 비디오 캡처 디바이스를 포함할 수 있다. 또 다른 대안으로서, 비디오 소스는 소스 비디오, 즉 라이브 비디오, 보관된 비디오 및 비디오 생성시키는

컴퓨터의 조합으로서 컴퓨터 그래픽 기반 데이터를 생성할 수 있다. 일부의 경우에서, 만약 비디오 소스가 비디오 카메라인 경우, 소스 디바이스 및 목적지 디바이스는 소위 카메라 폰 또는 비디오 폰을 형성할 수 있다. 그러나, 전술한 바와 같이, 본 명세서에서 설명된 기술들은 일반적으로 비디오 코딩에 적용 가능할 수 있고, 무선 및/또는 유선 애플리케이션들에 적용될 수 있다. 각각의 경우에, 캡처된, 미리 캡처된 또는 컴퓨터 생성된 비디오는 비디오 인코더에 의해 인코딩될 수 있다. 인코딩된 비디오 정보는 그 다음 컴퓨터 판독 가능 매체 상에 출력 인터페이스에 의해 출력될 수 있다.

[0152] 언급된 바와 같이, 컴퓨터 판독 가능 매체는 무선 브로드 캐스트 또는 유선 네트워크 송신과 같은 일시적인 매체 또는 하드 디스크, 플래시 드라이브, 콤팩트 디스크, 디지털 비디오 디스크, Blu-ray 디스크 또는 다른 컴퓨터 판독 가능 매체와 같은 저장 매체 (즉, 비일시적 저장 매체)를 포함할 수 있다. 일부 예에서, 네트워크 서버 (도시되지 않음)는 소스 디바이스로부터 인코딩된 비디오 데이터를 수신하고, 예를 들어 네트워크 송신을 통해, 인코딩된 비디오 데이터를 목적지 디바이스에 제공할 수 있다. 유사하게, 디스크 스탬핑 서비스와 같은 매체 생산 설비의 컴퓨팅 디바이스는 소스 디바이스로부터 인코딩된 비디오 데이터를 수신하고, 인코딩된 비디오 데이터를 포함하는 디스크를 생성할 수 있다. 따라서, 컴퓨터 판독 가능 매체는 다양한 예에서 다양한 형태의 하나 이상의 컴퓨터 판독 가능 매체를 포함하는 것으로 이해될 수 있다.

[0153] 목적지 디바이스의 입력 인터페이스는 컴퓨터 판독 가능 매체로부터 정보를 수신한다. 컴퓨터 판독 가능 매체의 정보는 비디오 디코더에 의해 정의되고, 비디오 디코더에 의해서 역시 사용되는 특성들 및/또는 예를 들면, GOP (group of pictures) 인 다른 코딩된 유닛의 처리를 설명하는 신택스 엘리먼트를 포함하는 신택스 정보를 포함한다. 디스플레이 디바이스는 디코딩된 비디오 데이터를 사용자에게 보여주고, CRT (Cathode Ray Tube), LCD (Liquid Crystal Display), 플라즈마 디스플레이, 유기 발광 다이오드 (Organic Light Emitting Diode, OLED) 디스플레이, 또는 다른 유형의 디스플레이 디바이스와 같은 임의의 다양한 디스플레이를 포함할 수 있다. 본 발명의 다양한 실시예가 설명되었다.

[0154] 인코딩 디바이스 (104) 및 디코딩 디바이스 (112)의 특정 세부 사항은 도 9 및 도 10에 도시된다. 도 9는 본 명세서에 설명된 하나 이상의 기술을 구현할 수 있는 예시적인 인코딩 디바이스 (104)를 나타내는 블록도이다. 인코딩 디바이스 (104)는 예를 들어, 여기에 설명된 신택스 구조 (예를 들어, VPS, SPS, PPS 또는 다른 신택스 엘리먼트의 신택스 구조)를 생성할 수 있다. 인코딩 디바이스 (104)는 비디오 슬라이스를 내의 비디오 블록들의 인트라-예측 및 인터-예측 코딩을 수행할 수 있다. 전술한 바와 같이, 인트라-코딩은 주어진 비디오 프레임 또는 꾹쳐 내의 공간 여분을 감소시키거나 제거하기 위해 공간 예측에 적어도 부분적으로 의존한다. 인터-코딩은 비디오 시퀀스의 인접 또는 주변 프레임 내의 시간적 여분을 감소시키거나 제거하기 위해 시간 예측에 적어도 부분적으로 의존한다. 인트라-모드 (I 모드)는 임의의 여러 공간 기반 압축 모드를 지칭한다. 단방향 예측 (P 모드) 또는 양방향 예측 (B 모드)과 같은 인터-모드는 임의의 여러 시간 기반 압축 모드를 지칭한다.

[0155] 인코딩 디바이스 (104)는 분할 유닛 (35), 예측 처리 유닛 (41), 필터 유닛 (63), 꾹쳐 메모리 (64), 합산기 (50), 변환 처리 유닛 (52), 양자화 유닛 (54) 및 엔트로피 인코딩 유닛 (56)을 포함한다. 예측 처리 유닛 (41)은 모션 추정 유닛 (42), 모션 보상 유닛 (44) 및 인트라-예측 처리 유닛 (46)을 포함한다. 비디오 블록 재구성을 위해, 인코딩 디바이스 (104)는 역양자화 유닛 (58), 역변환 처리 유닛 (60)을 역시 포함한다. 필터 유닛 (63)은 디-블로킹 필터, 적응형 루프 필터 (ALF) 및 샘플 적응형 오프셋 (SAO) 필터와 같은 하나 이상의 루프 필터를 나타내기 위한 것이다. 비록 필터 유닛 (63)이 루프 필터, 다른 구성들이 되도록 도 9에 도시되더라도, 필터 유닛 (63)은 포스트 루프 필터로서 구현될 수 있다. 후 처리 장치 (57)는 인코딩 디바이스 (104)에 의해 생성된 인코딩된 비디오 데이터에 대한 추가적인 프로세싱을 수행할 수 있다. 본 개시의 기술들은 일부의 예에서, 인코딩 디바이스 (104)에 의해 구현될 수 있다. 그러나, 다른 예시들에서, 본 개시의 하나 이상의 기술은 후 처리 장치 (57)에 의해 구현될 수 있다.

[0156] 도 9에 도시된 바와 같이, 인코딩 디바이스 (104)는 비디오 데이터를 수신하고, 분할 유닛 (35)은 데이터를 비디오 블록들로 분할한다. 또한, 분할은 예를 들어 LCU 및 CU의 쿼드트리 구조에 따른 비디오 블록 분할뿐만 아니라 슬라이스, 슬라이스 세그먼트, 타일 또는 다른 큰 유닛으로의 분할을 포함할 수 있다. 인코딩 디바이스 (104)는 일반적으로 인코딩될 비디오 슬라이스 내의 비디오 블록을 인코딩하는 컴포넌트를 도시한다.

슬라이스는 다중 비디오 블록들으로 (가능하면 타일로 지정되는 비디오 블록 세트로) 분할될 수 있다. 예측 처리 유닛 (41)은 오류 결과 (예를 들면, 코딩율 및 왜곡 정도 등) 들에 기초하여 현재 비디오 블록에 대해 복수의 인트라 예측 코딩 모드들 중 하나 또는 복수의 인터 예측 코딩 모드들 중 하나와 같은 가능한 다수의 코딩 모드들 중 하나를 선택할 수 있다. 예측 처리 유닛 (41)은 결과적인 인트라- 또는 인터-코딩된 블록

을 잔차 블록 데이터를 생성하기 위해 합산기 (50)에 제공하고, 참조 픽처로써 사용되는 인코딩된 블력을 재구성하기 위해 합산기 (62)에 제공할 수 있다.

[0157] 예측 처리 유닛 (41) 내의 인트라 예측 처리 유닛 (46)은 공간 압축을 제공하기 위해 코딩될 현재 블록과 동일한 프레임 또는 슬라이스 내의 하나 이상의 주변 블록에 대해 현재 비디오 블록의 인트라 예측 코딩을 수행할 수 있다. 예측 처리 유닛 (41) 내의 모션 추정 유닛 (42) 및 모션 보상 유닛 (44)은 시간 압축을 제공하기 위해 하나 이상의 참조 픽처 내의 하나 이상의 예측 블록에 대해 현재 비디오 블록의 인터-예측 코딩을 수행한다.

[0158] 모션 추정 유닛 (42)은 비디오 시퀀스에 대한 미리 결정된 방식에 따라 비디오 슬라이스에 대한 인터-예측 모드를 결정하도록 구성될 수 있다. 미리 결정된 방식은 P 슬라이스, B 슬라이스, 또는 GPB 슬라이스로서 시퀀스 내의 비디오 슬라이스를 지정할 수 있다. 모션 추정 유닛 (42) 및 모션 보상 유닛 (44)은 고도로 통합될 수 있지만, 개념적 목적을 위해 개별적으로 도시된다. 모션 추정 유닛 (42)에 의해 수행되는 모션 추정은 비디오 블록에 대한 모션을 추정하는 모션 백터를 생성하는 프로세스이다. 모션 백터는 예를 들어, 참조 픽처 내의 예측 블록에 대한 현재 비디오 프레임 또는 픽처 내의 비디오 블록의 예측 유닛 (PU)의 변위를 나타낼 수 있다.

[0159] 예측 블록은 절대 차의 합 (SAD), 제곱의 차의 합 (SSD) 또는 다른 차이 행렬에 의해 결정될 수 있는 픽셀 차이의 관점에서 코딩될 비디오 블록의 PU 와 매우 일치하는 것으로 발견된 블록이다. 일부 예에서, 인코딩 디바이스 (104)는 참조 메모리 (64)에 저장된 참조 픽처의 서브-정수 픽셀 위치에 대한 값을 계산할 수 있다. 예를 들어, 인코딩 디바이스 (104)는 참조 픽처의 1/4 픽셀 위치, 1/8 픽셀 위치 또는 다른 분수 픽셀 위치의 값을 보간할 수 있다. 따라서, 모션 추정 유닛 (42)은 전체 픽셀 위치 및 일부 픽셀 위치에 대한 모션 검색을 수행할 수 있고, 분수 픽셀 정밀도를 갖는 모션 백터를 출력할 수 있다.

[0160] 모션 추정 유닛 (42)은 참조 픽처의 예측 블록의 위치와 PU 의 위치를 비교함으로써 인터-코딩된 슬라이스 내의 비디오 블록의 PU에 대한 모션 백터를 계산한다. 참조 픽처는 제 1 참조 픽처 리스트 (List 0) 또는 제 2 참조 픽처 리스트 (List 1)로부터 선택될 수 있고, 각각은 픽처 메모리 (64)에 저장된 하나 이상의 참조 픽처를 식별한다. 모션 추정 유닛 (42)은 계산된 모션 백터를 엔트로피 인코딩 유닛 (56) 및 모션 보상 유닛 (44)에 전송한다.

[0161] 모션 보상 유닛 (44)에 의해 수행되는 모션 보상은 모션 추정에 의해 결정된 모션 백터에 기초하여 예측 블록을 생성 또는 폐칭하고, 아마도 서브-픽셀 정밀도로 보간을 수행하는 것을 포함할 수 있다. 현재 비디오 블록의 PU에 대한 모션 백터를 수신하면, 모션 보상 유닛 (44)은 모션 백터가 참조 픽처 리스트에서 가리키는 예측 블록을 위치시킬 수 있다. 인코딩 디바이스 (104)는 코딩되는 현재 비디오 블록의 픽셀 값으로부터 예측 블록의 픽셀 값을 빼서, 픽셀 차이 값을 형성함으로써 잔여 비디오 블록을 형성한다. 픽셀 차이 값은 블록에 대한 잔여 데이터를 형성하며, 루마 및 크로마 차이 성분 모두를 포함할 수 있다. 합산기 (50)는 이 감산 작업을 수행하는 컴포넌트 또는 컴포넌트들을 나타낸다. 모션 보상 유닛 (44)은 또한 비디오 슬라이스의 비디오 블록을 디코딩 디바이스 (112)에 의해 사용하기 위해 비디오 블록 및 비디오 슬라이스와 관련된 신택스 엘리먼트를 생성할 수 있다.

[0162] 인트라 예측 처리 유닛 (46)은 전술한 바와 같이, 모션 추정 유닛 (42) 및 모션 보상 유닛 (44)에 의해 수행된 인터-예측의 대안으로서 현재 블록을 인트라 예측할 수 있다. 특히, 인트라-예측 처리 유닛 (46)은 현재 블록을 인코딩하는데 사용하기 위한 인트라-예측 모드를 결정할 수 있다. 일부 실시예들에서, 인트라-예측 처리 유닛 (46)은 예를 들어, 개별 인코딩 전달들 동안, 다양한 인트라-예측 모드들을 사용하여 현재의 블록을 인코딩할 수 있으며, 인트라-예측 유닛 프로세싱 (46) (또는 일부 예에서 모드 선택 유닛 (40)) 테스트된 모드로부터 사용할 적절한 인트라-예측 모드를 선택한다. 예를 들어, 인트라 예측 처리 유닛 (46)은 다양한 테스트된 인트라-예측 모드들에 대한 비율-왜곡 분석을 사용하여 비율-왜곡 값을 계산할 수 있고, 테스트된 모드들 중에서 최상의 비율-왜곡 특성을 갖는 인트라-예측 모드를 선택할 수 있다. 비율-왜곡 분석은 일반적으로 인코딩된 블록과 원래, 인코딩되지 않은 블록 사이에 인코딩된 블록을 생성하기 위해 사용된 비트 전송률 (즉, 많은 비트들) 뿐만 아니라, 인코딩된 블력을 생성하기 위해 인코딩된 왜곡 (즉, 에러) 양을 결정한다. 인트라-예측 처리 유닛 (46)은 어떤 인트라-예측 모드가 블록에 대해 최상의 비율-왜곡 값을 나타내는지를 결정하기 위해 다양한 인코딩된 블록에 대한 왜곡 및 비율로부터 비율을 계산할 수 있다.

[0163] 임의의 경우에, 블록에 대한 인트라-예측 모드를 선택한 후에, 인트라-예측 처리 유닛 (46)은 블록에 대해 선택된 인트라-예측 모드를 나타내는 정보를 엔트로피 인코딩 유닛 (56)에 제공할 수 있다. 엔트로피 인코딩

유닛 (56)은 선택된 인트라 예측 모드를 나타내는 정보를 인코딩할 수 있다. 인코딩 디바이스 (104)는, 컨텍스트의 각각에 대한 사용을 위한 가장 가능성 있는 인트라-예측 모드, 인트라-예측 모드 인덱스 테이블 및 변경된 인트라-예측 모드 인덱스 테이블의 표시를 뿐만 아니라, 송신된 비트스트림 구성 데이터 내에 다양한 블록들에 대한 인코딩 컨텍스트들의 정의들을 포함할 수 있다. 비트스트림 구성 데이터는 복수의 인트라 예측 모드 인덱스 테이블 및 복수의 변형 된 인트라 예측 모드 인덱스 테이블 (코드 워드 맵핑 테이블이라고도 지칭되는)을 포함할 수 있다.

[0164] 예측 처리 유닛 (41)이 인터-예측 또는 인트라-예측을 통해 현재 비디오 블록에 대한 예측 블록을 생성한 후에, 인코딩 디바이스 (104)는 현재 비디오 블록으로부터 예측 블록을 감산함으로써 잔여 비디오 블록을 형성한다. 잔여 블록에서 잔여 비디오 데이터는 하나 이상의 TU에 포함될 수 있고, 변환 프로세싱 유닛 (52)에 적용될 수 있다. 변환 처리 유닛 (52)은 이산 코사인 변환 (DCT) 또는 개념적으로 유사한 변환과 같은 변환을 사용하여 잔여 비디오 데이터를 잔여 변환 계수로 변환한다. 변환 처리 유닛 (52)은 잔여 비디오 데이터를 픽셀 도메인으로부터 주파수 도메인과 같은 변환 도메인으로 변환할 수 있다.

[0165] 변환 처리 유닛 (52)은 결과적인 변환 계수를 양자화 유닛 (54)에 전송할 수 있다. 양자화 유닛 (54)은 비트 전송률을 더 감소시키기 위해 변환 계수를 양자화한다. 양자화 프로세스는 계수의 일부 또는 전부와 관련된 비트 깊이를 감소시킬 수 있다. 양자화의 정도는 양자화 파라미터를 조정함으로써 수정될 수 있다. 일부 예에서, 양자화 유닛 (54)은 양자화된 변환 계수를 포함하는 행렬의 스캔을 수행할 수 있다. 대안으로, 엔트로피 인코딩 유닛 (56)은 스캔을 수행할 수 있다.

[0166] 양자화 후에, 엔트로피 인코딩 유닛 (56)은 양자화된 변환 계수를 엔트로피 인코딩한다. 예를 들어, 엔트로피 인코딩 유닛 (56)은 컨텍스트 적응형 가변 길이 코딩 (CAVLC), 컨텍스트 적응형 이진 산술 코딩 (CABAC), 신팩스-기반 컨텍스트 적응형 이진 산술 코딩 (SBAC), 확률 간격 분할 엔트로피 (PIPE) 코딩 또는 다른 엔트로피 인코딩 기술을 수행할 수 있다. 엔트로피 인코딩 유닛 (56)에 의한 엔트로피 인코딩 후에, 인코딩된 비트스트림은 디코딩 디바이스 (112)로 송신되거나, 디코딩 디바이스 (112)에 의해 나중에 송신 또는 검색되도록 보관될 수 있다. 엔트로피 인코딩 유닛 (56)은 또한 모션 벡터 및 코딩되는 현재 비디오 슬라이스에 대한 다른 신팩스 엘리먼트를 엔트로피 인코딩할 수 있다.

[0167] 역양자화 유닛 (58) 및 역변환 처리 유닛 (60)은 참조 픽처의 참조 블록으로 나중에 사용하기 위해 픽셀 영역의 잔여 블록을 재구성하기 위해 각각 역양자화 및 역변환을 적용한다. 모션 보상 유닛 (44)은 참조 픽처 리스트 내의 참조 픽처 중 하나의 예측 블록에 잔여 블록을 더함으로써 참조 블록을 계산할 수 있다. 모션 보상 유닛 (44)은 또한 모션 추정에 사용을 위한 서브-정수 픽셀 값을 계산하기 위해 재구성된 잔여 블록에 하나 이상의 보간 필터를 적용할 수 있다. 합산기 (62)는 픽처 메모리 (64)에 저장하기 위한 참조 블록을 생성하기 위해 모션 보상 유닛 (44)에 의해 생성된 모션 보상된 예측 블록에 재구성된 잔여 블록을 더한다. 참조 블록은 후속의 비디오 프레임 또는 픽처에서 블록을 인터-예측 (inter-predict)하기 위해 참조 블록으로서 모션 추정 유닛 (42) 및 모션 보상 유닛 (44)에 의해 사용될 수 있다.

[0168] 이러한 방식으로, 도 9의 인코딩 디바이스 (104)는 인코딩된 비디오 비트스트림에 대한 신팩스를 생성하도록 구성된 비디오 인코더의 일례를 나타낸다. 인코딩 디바이스 (104)는 예를 들어, 전술한 바와 같이 VPS, SPS 및 PPS 파라미터 세트를 생성할 수 있다. 인코딩 디바이스 (104)는 도 6 및 도 7과 관련하여 위에 설명된 프로세스를 포함하여, 여기에서 설명된 임의의 기술을 수행할 수 있다. 본 명세서의 기술들은 일반적으로 인코딩 디바이스 (104)에 관하여 설명되었지만, 전술한 바와 같이, 본 명세서의 기술 중 일부는 후 처리 장치 (57)에 의해 구현될 수도 있다.

[0169] 도 10은 예시적인 디코딩 디바이스 (112)를 도시하는 블록도이다. 디코딩 디바이스 (112)는 엔트로피 디코딩 유닛 (80), 예측 처리 유닛 (81), 역양자화 유닛 (86), 역변환 처리 유닛 (88), 합산기 (90), 필터 유닛 (91), 및 픽처 메모리 (92)를 포함한다. 예측 처리 유닛 (81)은 모션 보상 유닛 (82)과 인트라 예측 처리 유닛 (84)을 포함한다. 디코딩 디바이스 (112)는 일부 예들에서, 도 9로 부터의 인코딩 디바이스 (104)와 관련하여 설명된 인코딩 전달에 일반적으로 상반적인 디코딩 전달을 수행할 수 있다.

[0170] 디코딩 프로세스 동안에, 디코딩 디바이스 (112)는 인코딩된 비디오 슬라이스의 비디오 블록 및 인코딩 디바이스 (104)에 의해 전송된 관련 신팩스 엘리먼트를 나타내는 인코딩된 비디오 비트스트림을 수신한다. 일부 실시예에서, 디코딩 디바이스 (112)는 인코딩 디바이스 (104)로부터 인코딩된 비디오 비트스트림을 수신할 수 있다. 일부 실시예들에서, 디코딩 디바이스 (112)는 서버, 미디어 인식 네트워크 요소 (MANE), 비디오 편집기/스플라이서, 또는 위에 설명된 하나 또는 그 이상의 기술을 구현하도록 구성된 다른 장치와 같은 네트워크

엔티티 (79)로부터 인코딩된 비디오 비트스트림을 수신할 수 있다. 네트워크 엔티티 (79)는 인코딩 디바이스 (104)를 포함하거나 포함하지 않을 수 있다. 본 명세서에서 설명된 기술 중 일부는 인코딩된 비디오 비트스트림을 디코딩 디바이스 (112)로 송신하는 네트워크 엔티티 (79)에 앞선 네트워크 엔티티 (79)에 의해 구현될 수 있다. 일부 비디오 디코딩 시스템에서, 네트워크 엔티티 (79) 및 디코딩 디바이스 (112)는 개별 장치의 일부분 일 수 있고, 다른 예에서는 네트워크 엔티티 (79)와 관련하여 설명된 기능이 디코딩 디바이스 (112)를 포함하는 동일한 디바이스에 의해 수행될 수 있다.

[0171] 디코딩 디바이스 (112)의 엔트로피 디코딩 유닛 (80)은 양자화된 계수, 모션 벡터 및 다른 신택스 엘리먼트를 생성하기 위해 비트스트림을 엔트로피 디코딩한다. 엔트로피 디코딩 유닛 (80)은 모션 벡터 및 다른 신택스 엘리먼트를 예측 처리 유닛 (81)에 전달한다. 디코딩 디바이스 (112)는 비디오 슬라이스 레벨 및/또는 비디오 블록 레벨에서 신택스 엘리먼트를 수신할 수 있다. 엔트로피 디코딩 유닛 (80)은 VPS, SPS 및 PPS와 같은 하나 이상의 파라미터 세트에서 고정-길이 신택스 엘리먼트 및 가변-길이 신택스 엘리먼트를 둘 다 처리 및 분해할 수 있다.

[0172] 비디오 슬라이스가 인트라-코딩된 (I) 슬라이스로서 코딩될 때, 예측 처리 유닛 (81)의 인트라 예측 처리 유닛 (84)은 신호된 인트라-예측 모드 및 현재 프레임 또는 픽처의 이전 디코딩된 블록으로부터의 데이터에 기초하여 현재 비디오 슬라이스의 비디오 블록에 대한 예측 데이터를 생성할 수 있다. 비디오 프레임이 인터-코딩된 (즉, B, P 또는 GPB) 슬라이스로서 코딩될 때, 예측 처리 유닛 (81)의 모션 보상 유닛 (82)은 모션 벡터 및 엔트로피 디코딩 유닛 (80)으로부터 수신된 다른 신택스 엘리먼트에 기초하여 현재 비디오 슬라이스의 비디오 블록에 대한 예측 블록을 생성한다. 예측 블록은 참조 픽처 리스트 내의 참조 픽처 중 하나로부터 생성될 수 있다. 디코딩 디바이스 (112)는 픽처 메모리 (92)에 저장된 참조 픽처에 기초한 디플트 구성 기술을 사용하여 참조 프레임 리스트, 리스트 0 및 리스트 1을 구성할 수 있다.

[0173] 모션 보상 유닛 (82)은 모션 벡터 및 다른 신택스 엘리먼트를 분해함으로써 현재 비디오 슬라이스의 비디오 블록에 대한 예측 정보를 결정하고, 디코딩되는 현재 비디오 블록에 대한 예측 블록을 생성하기 위해 예측 정보를 사용한다. 예를 들어, 모션 보상 유닛 (82)은 비디오 슬라이스의 비디오 블록을 코딩하는데 사용되는 예측 모드 (예를 들어, 인트라- 또는 인터-예측), 인터-예측 슬라이스 타입 (예를 들어, B 슬라이스, P 슬라이스 또는 GPB 슬라이스), 슬라이스에 대한 하나 이상의 참조 픽처 리스트에 대한 구성 정보, 슬라이스의 각각의 인터-인코딩된 비디오 블록에 대한 모션 벡터, 슬라이스의 각각의 인터-코딩된 비디오 블록 대한 인터-예측 상태, 및 현재 비디오 슬라이스에서 비디오 블록을 디코딩하기 위한 다른 정보를 결정하기 위해 파라미터 세트 내의 하나 이상의 신택스 엘리먼트를 사용할 수 있다.

[0174] 모션 보상 유닛 (82)은 또한 보간 필터들에 기초하여 보간을 수행할 수 있다. 모션 보상 유닛 (82)은 참조 블록들의 서브-정수 픽셀들에 대한 보간된 값들을 계산하기 위해 비디오 블록들의 인코딩 동안에, 인코딩 디바이스 (104)에 의해 사용되는 보간 필터들을 사용할 수 있다. 이러한 경우에, 모션 보상 유닛 (82)은 수신된 신택스 엘리먼트들로부터 인코딩 디바이스 (104)에 의해 사용된 보간 필터들을 결정할 수 있고, 예측 블록들을 생성하기 위해 보간 필터들을 사용할 수 있다.

[0175] 역양자화 유닛 (86)은 비트스트림에 제공되고 엔트로피 디코딩 유닛 (80)에 의해 디코딩된 양자화된 변환 계수를 역양자화 또는 비양자화한다. 역양자화 프로세스는 양자화의 정도 및 마찬가지로 적용되어야 하는 역양자화의 정도를 결정하기 위해 비디오 슬라이스에서 각 비디오 블록에 대해 인코딩 디바이스 (104)에 의해 계산된 양자화 파라미터의 사용을 포함할 수 있다. 역변환 처리 유닛 (88)은 픽셀 도메인에서 잔여 블록을 생성하기 위해 변환 계수에 역변환 (예를 들어, 역 DCT 또는 다른 적절한 역변환), 역 정수 변환 또는 개념적으로 유사한 역변환 프로세스를 적용한다.

[0176] 모션 보상 유닛 (82)이 모션 벡터 및 다른 신택스 엘리먼트들에 대해 현재 비디오 블록에 대한 예측 블록을 생성한 후에, 디코딩 디바이스 (112)는 역변환 프로세싱 유닛 (88)으로부터의 잔여 블록과 모션 보상 유닛 (82)에 의해 생성된 대응하는 예측 블록과 합산함으로써 디코딩된 비디오 블록을 형성한다. 합산기 (90)은 이러한 합산 연산을 수행하는 구성 컴포넌트 또는 컴포넌트들을 나타낸다. 바람직하게는, 루프 필터들 (코딩 루프 또는 코딩 루프 이후 중 하나)은 픽셀 전환을 부드럽게 하거나 비디오 품질을 향상시키기 위해 사용된다. 필터 유닛 (91)은 디 블로킹 필터, 적응형 루프 필터 (ALF) 및 샘플 적응형 오프셋 (SAO) 필터와 같은 하나 이상의 루프 필터를 나타내기 위한 의도이다. 필터 유닛 (91)이 도 1에 도시되어 있지만, 도 10에 도시된 바와 같이, 다른 구성에서, 비록 필터 유닛 (91)은 루프 필터, 다른 구성들로 존재로써 도 10에 도시되더라도, 필터 유닛 (91)은 포스트 루프 필터로서 구현될 수 있다. 주어진 프레임 또는 픽처 내의 디코딩된

비디오 블록은 후속의 모션 보상을 위해 사용되는 참조 픽처를 저장하는 픽처 메모리 (92)에 저장된다. 픽처 메모리 (92)는 또한 도 1에 도시된 비디오 목적지 디바이스 (122)와 같은 디스플레이 디바이스에서 나중에 표시하기 위해 디코딩된 비디오를 저장한다.

[0177] 전술한 설명에서, 출원의 양태는 특정 실시 양태에 관하여 설명되었지만, 그러나 당업자는 본 발명이 이에 제한되지 않는다는 것을 인식할 것이다. 따라서, 본 출원의 예시적인 실시예가 이에 상세하게 설명되었지만, 본 발명의 개념은 달리 다양하게 구체화되고 채택될 수 있으며, 첨부된 청구 범위는 선행 기술에 의해 한정된 것으로 제외하고 그러한 변형을 포함하는 것으로 해석되기 위해 의도된 것으로 이해될 것이다. 전술한 본 발명의 다양한 특징 및 양태는 개별적으로 또는 공동으로 사용될 수 있다. 또한, 실시예는 명세서의 더 넓은 사상 및 범위를 벗어나지 않으면서 이에 설명된 것을 넘어서 임의의 수의 환경 및 애플리케이션에서 이용될 수 있다. 따라서, 상세한 설명 및 도면은 제한적인 것이 아니라 예시적인 것으로 간주되어야 한다. 예시의 목적에 대해, 방법들은 특정 순서로 설명되었다. 대안적인 실시예들에서, 상기 방법들은 설명된 것과 다른 순서로 수행될 수 있다는 것을 이해해야 한다.

[0178] 컴포넌트들이 특정 동작을 수행하도록 "구성된"으로 설명되는 경우, 그러한 구성은 예를 들어, 전자 회로 또는 동작을 수행하기 위한 다른 하드웨어를 설계함으로써, 동작을 수행하기 위한 프로그래밍 가능한 전자 회로 (예를 들어, 마이크로 프로세서 또는 다른 적절한 전자 회로)를 프로그래밍함으로써, 또는 이들의 임의의 조합에 의해 성취될 수 있다.

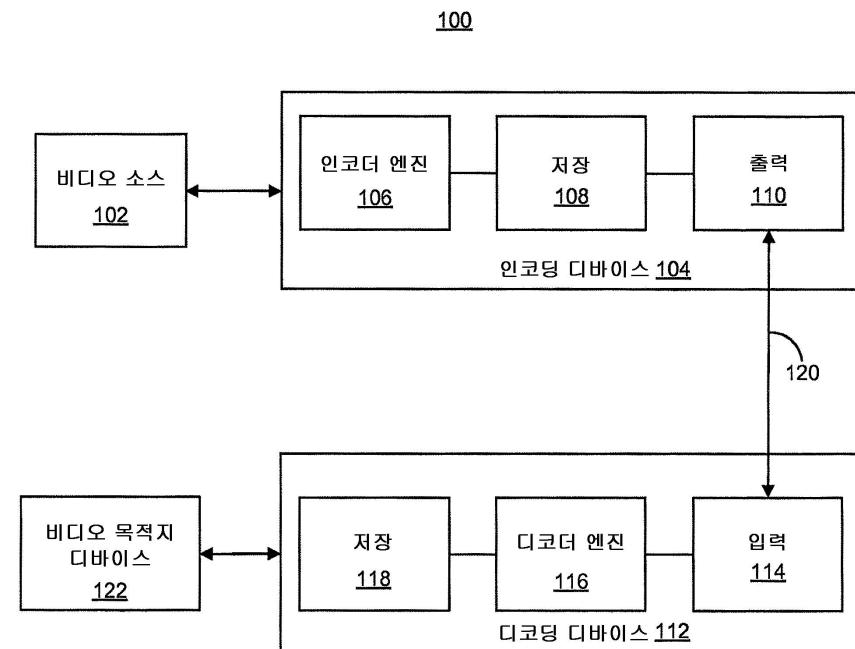
[0179] 여기에 개시된 실시예와 관련하여 설명된 다양한 예시적인 논리 블록, 모듈, 회로 및 알고리즘 단계는 전자 하드웨어, 컴퓨터 소프트웨어, 펌웨어 또는 이들의 조합으로서 구현될 수 있다. 하드웨어 및 소프트웨어의 이러한 상호 교환 가능성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트, 블록, 모듈, 회로 및 단계가 일반적으로 기능의 관점에서 전술되었다. 이러한 기능이 하드웨어 또는 소프트웨어로 구현되는지 여부는 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약 사항에 따라 달라진다. 숙달된 기술자는 각 특정 애플리케이션에 대해 다양한 방식으로 설명된 기능을 구현할 수 있지만, 이러한 구현 결정은 본 발명의 범위를 벗어나는 것으로 해석되어서는 안된다.

[0180] 여기에 설명된 기술들은 또한 전자 하드웨어, 컴퓨터 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 이러한 기술은 일반적인 목적 컴퓨터, 무선 통신 장치 핸드셋, 또는 무선 통신 장치 핸드셋 및 다른 장치에서의 응용을 포함하는 다중 용도를 갖는 집적 회로 장치와 같은 임의의 다양한 장치 중에서 구현될 수 있다. 모듈 또는 컴포넌트로 설명된 임의의 기능은 통합된 논리 디바이스에서 함께 구현되거나 상호 운용 가능한 디바이스로 별도로 개별적으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기술은 실행될 때, 전술한 방법 중 하나 이상을 수행하는 명령을 포함하는 프로그램 코드를 포함하는 컴퓨터 판독 가능 데이터 저장 매체에 의해 적어도 부분적으로 실현될 수 있다. 컴퓨터 판독 가능 데이터 저장 매체는 패키징 재료를 포함할 수 있는 컴퓨터 프로그램 제품의 일부를 형성할 수 있다. 컴퓨터 판독 가능 매체는 동기식 동적 랜덤 액세스 메모리 (SDRAM)과 같은 랜덤 액세스 메모리 (RAM), 판독 전용 메모리 (ROM), 비 휘발성 랜덤 액세스 메모리 (NVRAM), 전기적 소거 가능 프로그램 가능 판독 전용 메모리 (EEPROM), 플래시 메모리, 자기 또는 광학 데이터 저장 매체 등을 같은 데이터 저장 매체를 포함할 수 있다. 상기 기술들은 부가적으로 또는 대안적으로, 명령 또는 데이터 구조의 형태로 프로그램 코드를 운반 또는 전달하고, 전파된 신호 또는 웨이브와 같이 컴퓨터에 의해 액세스, 판독 및/또는 실행될 수 있는 컴퓨터 판독 가능 통신 매체에 의해 적어도 부분적으로 실현될 수 있다.

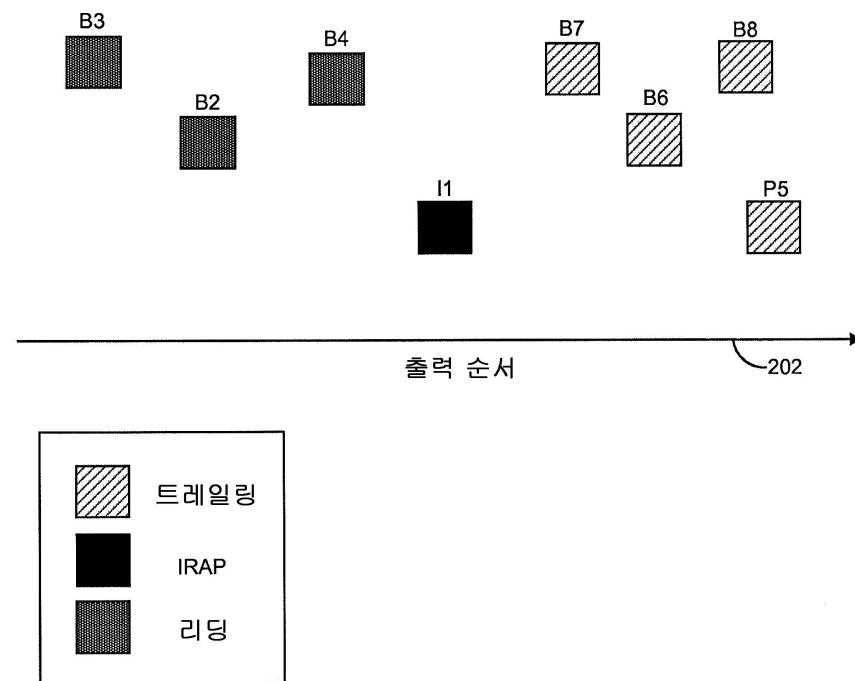
[0181] 프로그램 코드는 하나 이상의 디지털 신호 프로세서 (DSP), 범용 마이크로 프로세서, 주문형 집적 회로 (ASIC), 필드 프로그램 가능 논리 어레이 (FPGA) 또는 다른 동등한 집적 회로 또는 이산 논리 회로 등과 같은 하나 이상의 프로세서를 포함할 수 있는 프로세서에 의해 실행될 수 있다. 이러한 프로세서는 본 개시에서 설명된 임의의 기술을 수행하도록 구성될 수 있다. 범용 프로세서는 마이크로 프로세서일 수 있다; 그러나 대안적으로, 프로세서는 임의의 종래 프로세서, 제어기, 마이크로 제어기 또는 상태 머신일 수 있다. 프로세서는 또한 예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서, DSP 코어와 관련된 하나 이상의 마이크로프로세서, 또는 임의의 다른 그러한 구성인 컴퓨팅 디바이스들의 조합으로서 구현될 수 있다. 따라서, 이에 사용되는 "프로세서"라는 용어는 임의의 전술한 구조, 전술한 구조의 임의의 조합, 이에 설명된 기술들의 구현에 적합한 임의의 다른 구조 또는 장치를 지칭할 수 있다. 또한, 일부 양태들에서, 이에 설명된 기능성은 인코딩 및 디코딩을 위해 구성된 전용 소프트웨어 모듈 또는 하드웨어 모듈 내에 제공되거나, 조합된 비디오 인코더-디코더 (CODEC)에 통합될 수 있다.

도면

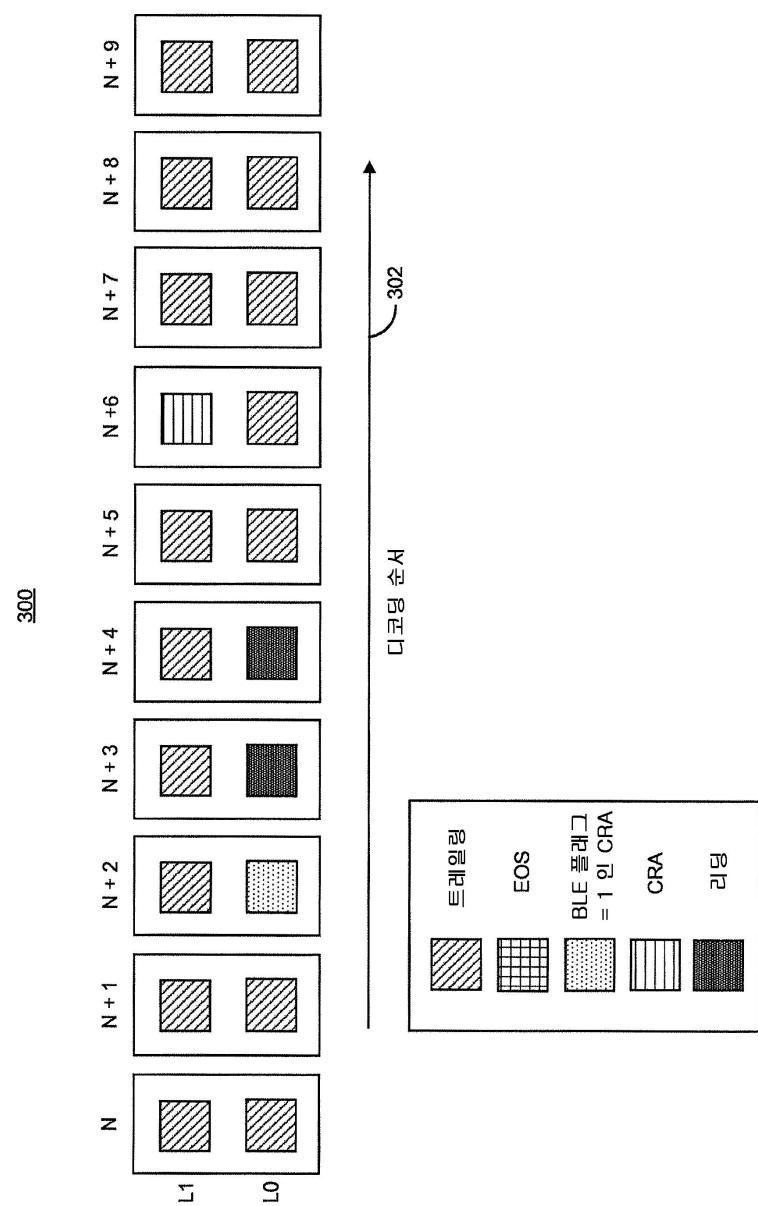
도면1



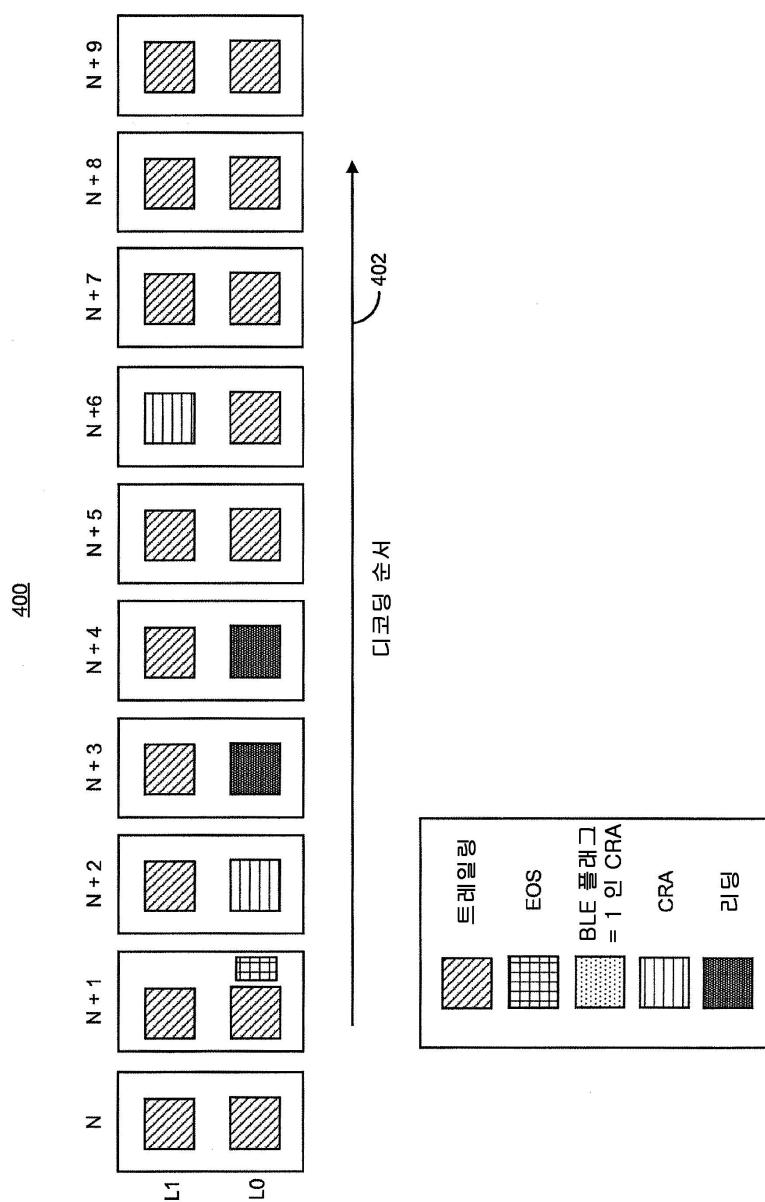
도면2



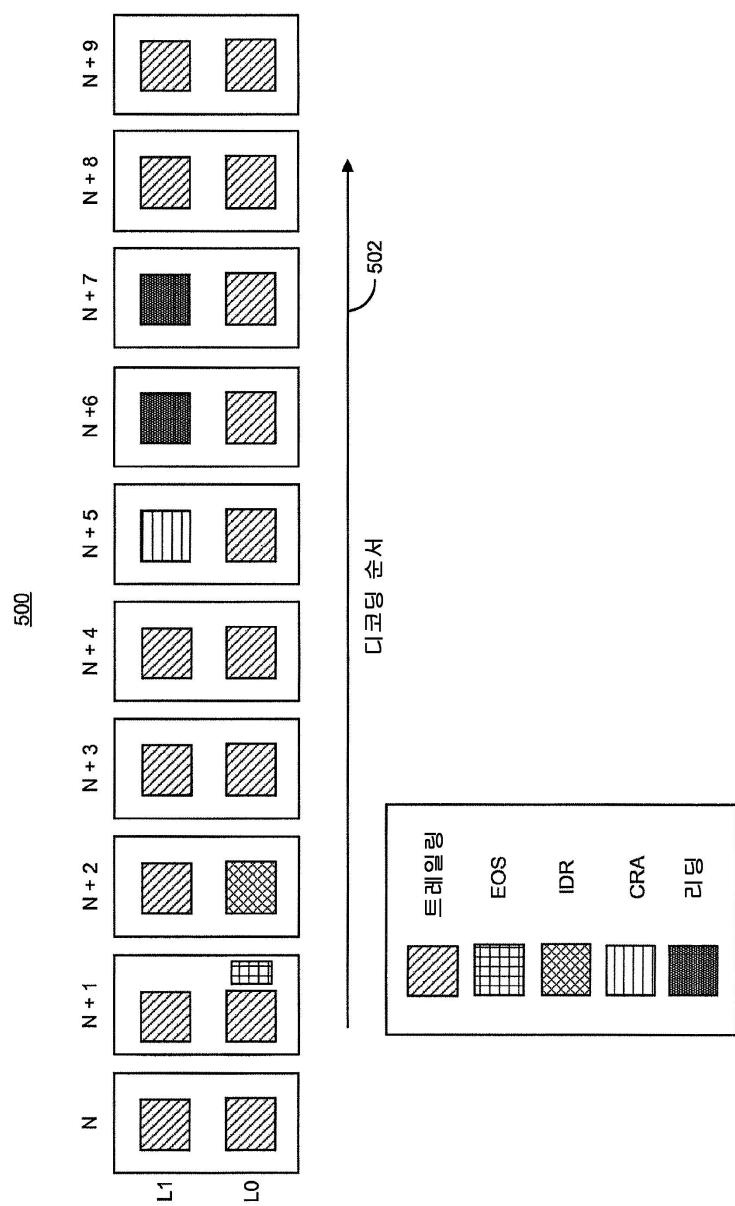
도면3



도면4



도면5



도면6

600

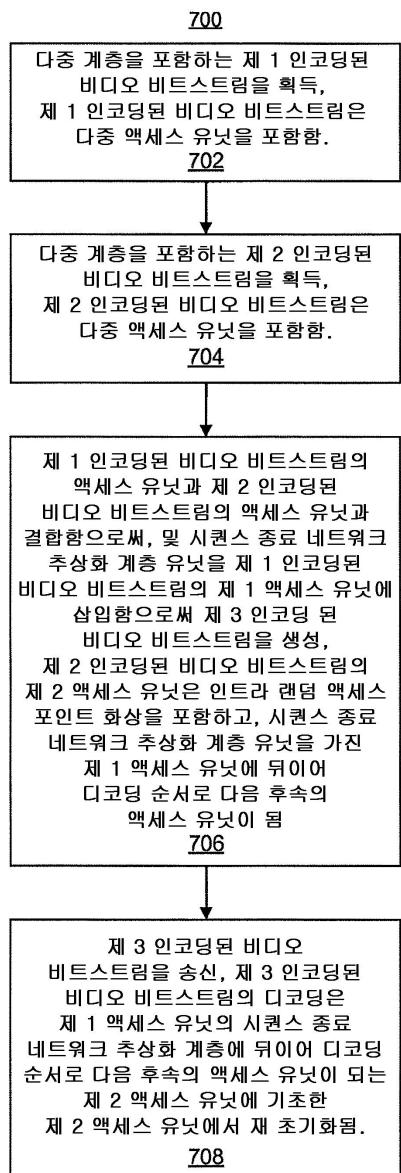
다중 계층들을 포함하는 인코딩된 비디오
비트스트림에 액세스, 인코딩된 비디오
비트스트림은 다중 액세스 유닛을 포함하며,
제 1 액세스 유닛은 시퀀스 종료 네트워크
추상화 계층 유닛을 포함하고, 및
제 2 액세스 유닛은 인트라 랜덤 액세스
포인트 화상을 포함하고, 제 1 액세스
유닛에 뒤이어 디코딩 순서로
다음 후속의 액세스 유닛이 됨.

602

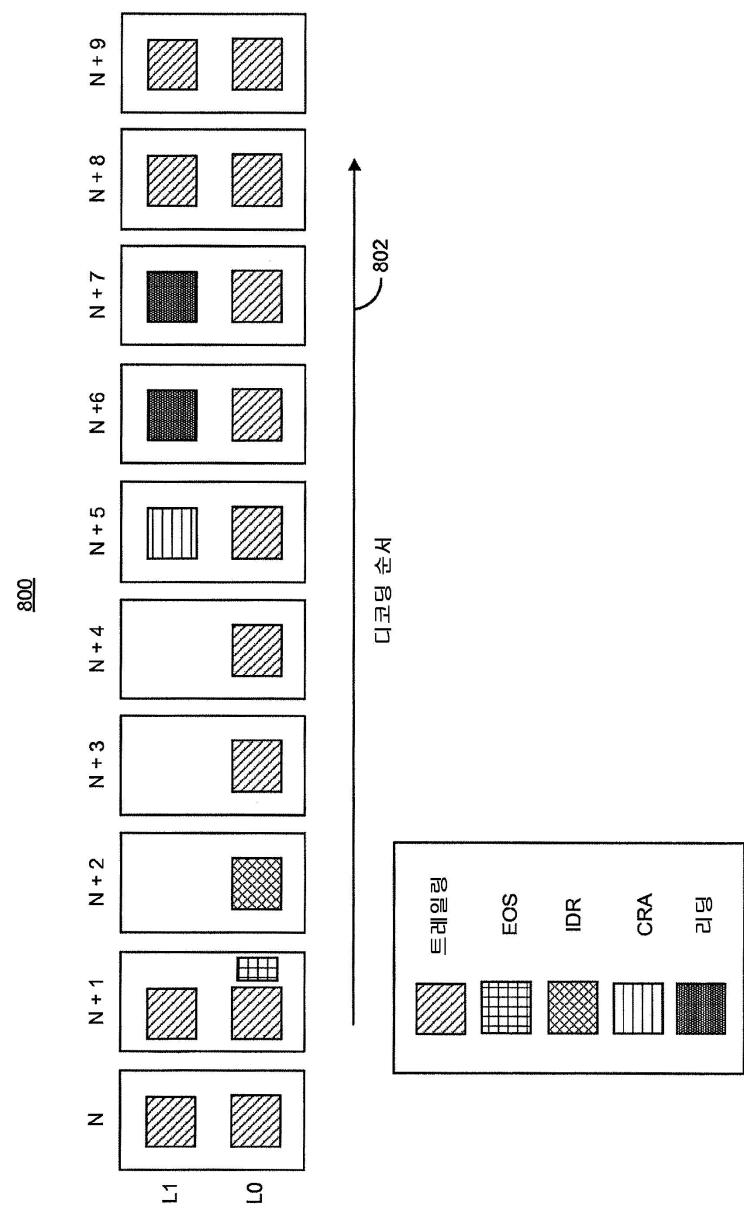
제 1 액세스 유닛의 시퀀스 종료
네트워크 추상화 계층 유닛에 뒤이어
디코딩 순서로 다음 후속의 액세스
유닛이 되는 제 2 액세스 유닛에 기초하여
제 2 액세스 유닛에서 디코딩을
재 초기화함.

604

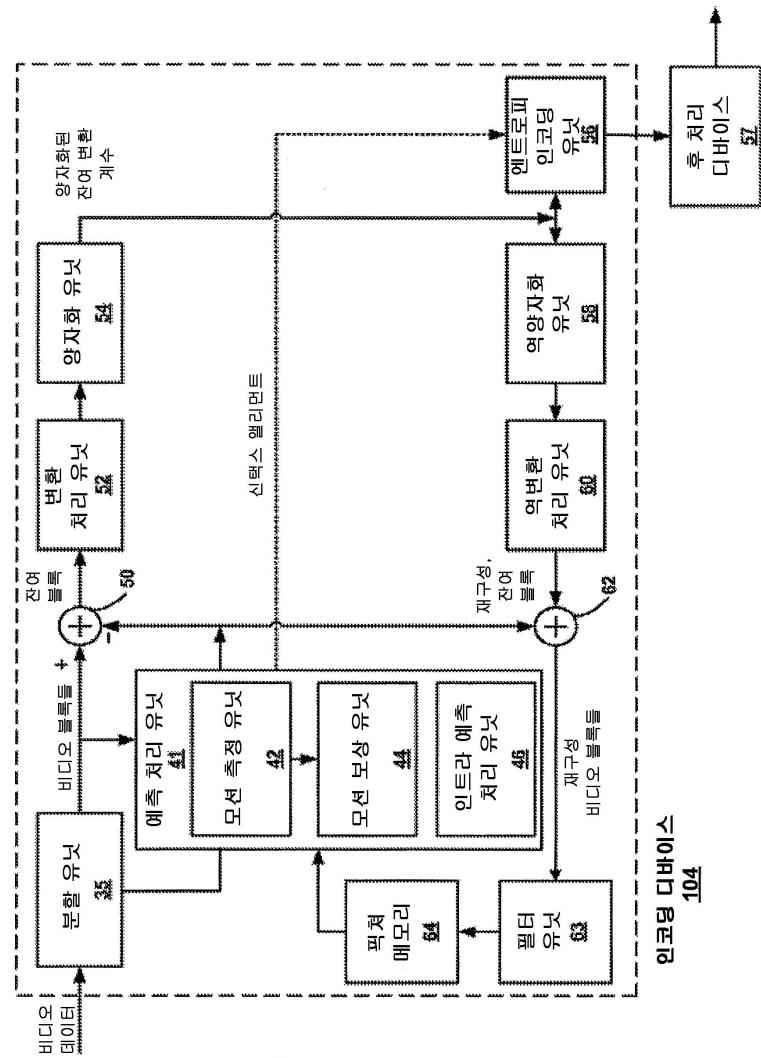
도면7



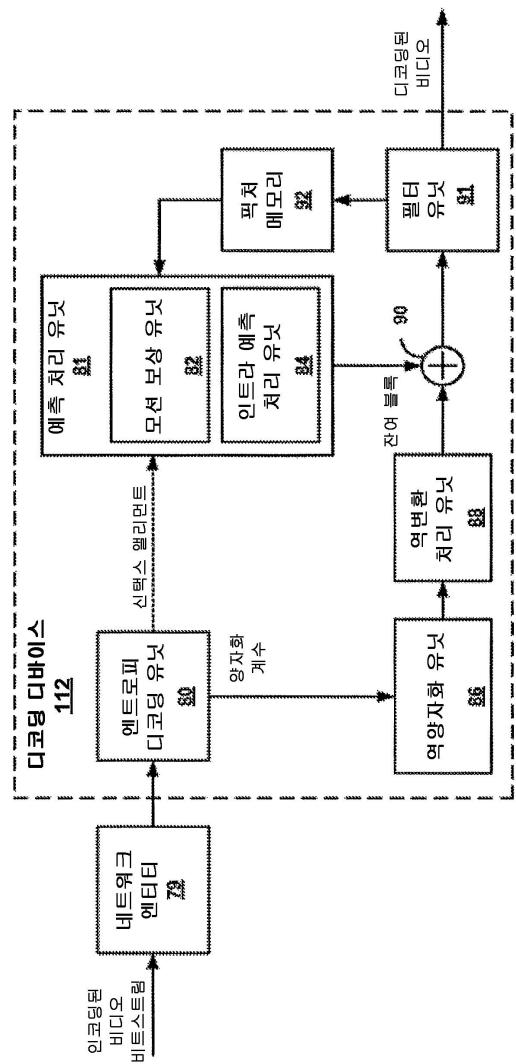
도면8



도면9

인코딩 디바이스
104

도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 15

【변경】

비디오 데이터를 프로세싱하는 방법으로서,

다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하는 단계로서, 상기 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 상기 제 1 인코딩된 비디오 비트스트림을 획득하는 단계;

다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하는 단계로서, 상기 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 상기 제 2 인코딩된 비디오 비트스트림을 획득하는 단계;

상기 제 1 인코딩된 비디오 비트스트림의 액세스 유닛들을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛들과 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 상기 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써, 제 3 인코딩된 비디오 비트스트림을 생성하는 단계로서, 상기 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 픽처를 포함하고, 디코딩 순서에서 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 상기 제 1 액세스 유닛에 후속하는 액세스 유닛인, 상기 제 3 인코딩된 비디오 비트스트림을 생성하는 단계; 및

상기 제 3 인코딩된 비디오 비트스트림을 송신하는 단계로서, 디코딩 순서에서 상기 제 1 액세스 유닛의 상기

시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 디코딩이 상기 제 2 액세스 유닛에서 재 초기화되게 하고, 액세스 유닛에서 디코딩을 재 초기화하는 것은 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들의 예측을 위해 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들만을 사용하는 것을 포함하는, 상기 제 3 인코딩된 비디오 비트스트림을 송신하는 단계를 포함하며,

상기 제 2 액세스 유닛이 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 다음 후속하는 액세스 유닛 일 때, 상기 제 2 액세스 유닛의 플래그가 상기 디코딩이 상기 제 2 액세스 유닛에서 재 초기화될 것임을 나타내는 값으로 설정되는, 비디오 데이터를 프로세싱하는 방법.

【변경후】

비디오 데이터를 프로세싱하는 방법으로서,

다중 계층들을 포함하는 제 1 인코딩된 비디오 비트스트림을 획득하는 단계로서, 상기 제 1 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 상기 제 1 인코딩된 비디오 비트스트림을 획득하는 단계;

다중 계층들을 포함하는 제 2 인코딩된 비디오 비트스트림을 획득하는 단계로서, 상기 제 2 인코딩된 비디오 비트스트림은 다중 액세스 유닛들을 포함하는, 상기 제 2 인코딩된 비디오 비트스트림을 획득하는 단계;

상기 제 1 인코딩된 비디오 비트스트림의 액세스 유닛들을 상기 제 2 인코딩된 비디오 비트스트림의 액세스 유닛들과 결합함으로써, 그리고 시퀀스 종료 네트워크 추상화 계층 유닛을 상기 제 1 인코딩된 비디오 비트스트림의 제 1 액세스 유닛에 삽입함으로써, 제 3 인코딩된 비디오 비트스트림을 생성하는 단계로서, 상기 제 2 인코딩된 비디오 비트스트림의 제 2 액세스 유닛은 인트라 랜덤 액세스 포인트 픽처를 포함하고, 디코딩 순서에서 상기 시퀀스 종료 네트워크 추상화 계층 유닛을 가진 상기 제 1 액세스 유닛에 후속하는 액세스 유닛인, 상기 제 3 인코딩된 비디오 비트스트림을 생성하는 단계; 및

상기 제 3 인코딩된 비디오 비트스트림을 송신하는 단계로서, 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛인 상기 제 2 액세스 유닛은 상기 제 3 인코딩된 비디오 비트스트림의 디코딩이 상기 제 2 액세스 유닛에서 재 초기화되게 하고, 액세스 유닛에서 디코딩을 재 초기화하는 것은 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들의 예측을 위해 디코딩 순서에서 상기 액세스 유닛에 속하거나 상기 액세스 유닛의 뒤를 잇는 픽처들만을 사용하는 것을 포함하는, 상기 제 3 인코딩된 비디오 비트스트림을 송신하는 단계를 포함하며,

상기 제 2 액세스 유닛이 디코딩 순서에서 상기 제 1 액세스 유닛의 상기 시퀀스 종료 네트워크 추상화 계층 유닛에 후속하는 상기 액세스 유닛 일 때, 상기 제 2 액세스 유닛의 플래그가 상기 디코딩이 상기 제 2 액세스 유닛에서 재 초기화될 것임을 나타내는 값으로 설정되는, 비디오 데이터를 프로세싱하는 방법.