



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H01L 29/78 (2006.01)

(45) 공고일자

2007년03월02일

(11) 등록번호

10-0688552

(24) 등록일자

2007년02월22일

(21) 출원번호 10-2005-0048820

(22) 출원일자 2005년06월08일

심사청구일자 2005년06월08일

(65) 공개번호

10-2006-0127617

(43) 공개일자

2006년 12월 13일

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김명수

경기 수원시 영통구 영통동 1052번지 2호 황골마을 쌍용아파트249동
1902호

(74) 대리인

리앤목특허법인

이해형

(56) 선행기술조사문헌

06181318 *

1020010066382 *

* 심사관에 의하여 인용된 문헌

심사관 : 박근용

전체 청구항 수 : 총 20 항

(54) 두꺼운 에지 게이트절연막 패턴을 갖는 모스 전계효과트랜지스터 및 그 제조방법

(57) 요약

GIDL을 방지하여 내압 특성이 향상된 MOS 전계효과 트랜지스터가 개시된다. 본 발명의 트랜지스터는, 반도체기판의 소정 영역에 배치되어 활성영역을 한정하는 소자분리영역을 포함하며, 상기 활성영역 내에서 채널영역을 사이에 두고 소오스영역 및 드레인영역이 서로 이격되어 형성되어 있으며, 상기 소오스영역과 상기 드레인영역 사이의 상기 활성영역 위로 게이트전극이 형성되어 있으며, 상기 활성영역과 상기 게이트전극 사이에 게이트절연막이 형성되어 있다. 상기 게이트절연막은 상기 게이트전극의 중앙 하부에 위치하는 중앙 게이트절연막과 상기 게이트전극의 에지 하부에 위치하며 바닥이 상기 중앙 게이트절연막의 바닥과 동일한 수준이지만 상부면이 상기 중앙 게이트절연막의 상부면보다 높게 돌출된 에지 게이트절연막을 포함한다.

대표도

도 10

특허청구의 범위

청구항 1.

반도체기판;

상기 반도체기판의 소정 영역에 배치되어 활성영역을 한정하는 소자분리영역;

상기 활성영역 내에서 채널영역을 사이에 두고 서로 이격되어 있는 소오스영역 및 드레인영역;

상기 소오스영역과 상기 드레인영역 사이의 상기 활성영역 위로 형성되는 게이트전극;

상기 활성영역과 상기 게이트전극 사이에 형성되며, 상기 게이트전극의 중앙 하부에 위치하는 중앙 게이트절연막과, 상기 게이트전극의 에지 하부에 위치하며 바닥이 상기 중앙 게이트절연막의 바닥과 동일한 수준이지만 상부면이 상기 중앙 게이트절연막의 상부면보다 높게 돌출되며, 상기 소오스영역 및 드레인영역의 전체 표면상으로 연장된 에지 게이트절연막; 및

상기 소오스영역 및 드레인영역 내에는 각기 소오스콘택 및 드레인콘택이 형성될 부분에 상기 소오스영역 및 드레인영역 보다도 고농도의 불순물이 주입된 고농도영역;

을 포함하는 게이트절연막;을 포함하는 모스 전계효과 트랜지스터.

청구항 2.

제1항에 있어서,

상기 에지 게이트절연막은 복층으로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 3.

제2항에 있어서,

상기 에지 게이트절연막의 최상층과 상기 중앙 게이트절연막은 동일한 물질로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 4.

제2항에 있어서,

상기 에지 게이트절연막은 하부산화막/중간절연막/상부산화막으로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 5.

제4항에 있어서,

상기 중간절연막은 질화막, 알루미늄산화막, 탄탈륨산화막으로 이루어진 그룹으로부터 선택된 하나 이상의 막으로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 6.

삭제

청구항 7.

제1항에 있어서,

상기 소자분리영역은 STI(Shallow Trench Isolation) 구조인 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 8.

삭제

청구항 9.

반도체기판의 소정 영역에 소자분리영역을 형성하여 활성영역을 정의하는 단계;

상기 활성영역 내에 서로 이격된 소오스영역 및 드레인영역을 형성하는 단계;

상기 소오스영역과 드레인영역 사이에 형성되는 채널영역을 노출시키는 제1 절연막 패턴을 형성하는 단계;

상기 제1 절연막 패턴이 형성된 상기 반도체기판의 전체 표면에 제2 절연막을 형성하는 단계; 및

상기 제2 절연막이 형성된 상기 채널영역을 포함하여 상기 제1 절연막 패턴 및 상기 제2 절연막이 적층된 상기 소오스영역 및 상기 드레인영역의 적어도 일부와 오버랩되는 게이트전극을 형성하는 단계;를 포함하는 모스 전계효과 트랜지스터의 제조방법.

청구항 10.

제9항에 있어서,

상기 소자분리영역은 트렌치 구조인 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 11.

제9항에 있어서,

상기 제1 절연막 패턴은 복층으로 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 12.

제11항에 있어서,

상기 제1 절연막 패턴의 최상층과 상기 제2 절연막은 동일 물질로 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 13.

제12항에 있어서,

상기 제1 절연막 패턴은 하부산화막/중간절연막으로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 14.

제13항에 있어서,

상기 중간절연막은 질화막, 알루미늄산화막, 탄탈륨산화막으로 이루어진 그룹으로부터 선택된 하나 이상의 막으로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 15.

제9항에 있어서,

상기 게이트전극을 형성하는 단계 이전에,

상기 제1 절연막 패턴 및 상기 제2 절연막의 일부를 제거하여 상기 소오스영역 및 드레인영역 내에 각기 소오스콘택 및 드레인콘택이 형성될 부분의 상기 반도체기판의 표면을 노출시키는 단계; 및

상기 노출된 반도체기판의 표면상에 제3 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 16.

제15항에 있어서,

상기 게이트전극을 형성하는 단계 이후에,

상기 소오스콘택 및 드레인콘택이 형성될 부분의 상기 반도체기판 내에 상기 소오스영역 및 드레인영역의 이온 농도보다 높은 고농도 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 전계효과 트랜지스터.

청구항 17.

반도체기판의 소정 영역에 고전압 트랜지스터가 형성될 제1 활성영역과 저전압 트랜지스터가 형성될 제2 활성영역을 정의하는 소자분리영역을 형성하는 단계;

상기 제1 활성영역 내에 서로 이격된 제1 소오스영역 및 제1 드레인영역을 형성하는 단계;

상기 반도체기판의 전면에 제1 절연물질을 형성한 후 식각하여, 상기 제1 소오스영역과 제2 드레인영역 사이에 형성되는 채널영역을 노출시키는 제1 절연막 패턴을 형성하는 단계;

상기 제1 절연막 패턴이 형성된 상기 반도체기판의 전체 표면상에 제2 절연막을 형성하는 단계;

상기 제2 활성영역 상에 형성된 상기 제1 절연막 패턴 및 상기 제2 절연막을 제거하는 단계;

상기 반도체기판의 전면에 게이트전극물질을 형성한 후 식각하여, 상기 제2 절연막이 형성된 상기 채널영역을 포함하여 상기 제1 절연막 패턴 및 상기 제2 절연막이 적층된 상기 제1 소오스영역 및 상기 제1 드레인영역의 적어도 일부와 오버랩되는 제1 게이트전극을 형성하는 단계;를 포함하는 모스 전계효과 트랜지스터의 제조방법.

청구항 18.

제17항에 있어서,

상기 제1 절연막 패턴은 복층으로 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 19.

제18항에 있어서,

상기 제1 절연막 패턴의 최상층과 상기 제2 절연막은 동일 물질로 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 20.

제17항에 있어서,

상기 제2 활성영역상에 형성된 상기 제1 절연막 패턴 및 상기 제2 절연막을 제거하는 단계에서, 상기 제1 활성영역내의 상기 제1 절연막 패턴 및 상기 제2 절연막의 일부를 제거하여 상기 제1 소오스영역 및 제1 드레인영역 내에 각기 소오스콘택 및 드레인콘택이 형성될 부분의 상기 반도체기판의 표면을 노출시키는 단계를 동시에 수행하며,

상기 제1 게이트전극 형성 이전에, 상기 노출된 반도체기판의 표면에 제3 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 21.

제20항에 있어서,

상기 제1 게이트전극을 형성하는 단계에서, 상기 제2 활성영역 상에 형성된 상기 제3 절연막상에 제2 게이트전극을 동시에 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 22.

제21항에 있어서,

상기 제2 게이트전극을 형성한 후, 상기 제2 게이트전극의 양 측벽 하부의 상기 반도체기판내에 제2 소오스영역 및 제2 드레인영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 더 구체적으로는 트랜지스터의 누설전류를 감소시키기 위해 두꺼운 에지 게이트절연막 패턴을 갖는 모스 트랜지스터 및 그 제조방법에 관한 것이다.

반도체 집적회로 소자에서 LDI(LCD Driver IC)와 같은 전력 소자를 제조하는 공정은 저전압에서 동작하는 로직용의 저전압 트랜지스터와 고전압 동작하는 LCD 구동용 트랜지스터를 반도체기판에 동시에 구현해야 하기 때문에 통상적으로 듀얼 게이트산화막(dual gate oxide)을 채택하게 된다. 또한 반도체 집적회로의 집적도가 증가할 수록 선평이 작아짐에 따라 소자분리영역도 트랜치 소자분리 기술을 채택하는 것이 불가피하게 된다. 트랜치 기술로 형성된 STI(Shallow Trench Isolation) 구조에서 갭필(gap fill)에 사용되는 막질은 열산화막이 아닌 USG막 또는 HDP(High Density Plasma)와 같은 화학기상증착(CVD) 산화막이 이용되고 있다.

그리고, 게이트산화막은 주로 열 산화막을 사용하며, STI 구조에서 게이트산화막을 위한 열산화 공정시 실리콘기판의 표면과 STI 구조의 측벽에서 산화가 진행되면서 실리콘 기판에 유발되는 압축성 스트레스(compressive stress), SIT 구조의 갭필용 막의 스트레스 및 STI 구조내에 형성되는 라이너에 의해 산화반응 가스의 거동 방해 등으로 인하여 트랜치 식각된 STI 구조의 상부 에지의 산화막이 얇아지는 씨닝(thinning) 현상이 발생된다.

이러한 씨닝 현상은 공정의 내압이 높은 공정, 즉 고전압 트랜지스터를 구현하기 위해 두꺼운 게이트산화막을 형성하는 경우 더욱 심하게 발생되며, 이러한 씨닝 현상에 의해 발생하는 더블 험프(double hump)와, 얇아진 산화막 부분으로의 전계의 집중으로 인하여 게이트로부터 유도된 드레인 누설 전류(GIDL current; Gate Induced Drain Leakage current)가 증가하여 트랜지스터의 동작 전압을 특정 값(통상적으로 20 내지 30V) 이상으로 상향시키는데 크게 제한을 가져온다.

이러한 문제점으로 인하여, 종래에는 고전압(High Voltage; HV)용 트랜지스터를 제조하기 위해 게이트전극 하부에서 발생하는 전계의 집중을 완화시키기 위해 LOCOS법을 사용하여 게이트전극 하부에 두꺼운 필드산화막을 형성하여 약 45V 정도의 내압을 갖는 트랜지스터를 구현하였으나, 집적도의 향상에 따라 STI 공정을 사용하는 경우에는 게이트전극 하부에 STI 구조를 형성하게 되면 트랜지스터 자체가 구현될 수 없기 때문에 이 방법은 사용할 수 없게 된다.

따라서, STI 구조의 소자분리 공정을 채택하여 고전압용 트랜지스터를 제조함에 있어서 소자분리영역은 STI 구조를 취하면서, 게이트전극 하부에는 LOCOS법에 의한 필드옥사이드를 채용하는 방법이 제안되었으며, 도1 및 도2에 개략적으로 도시하였다. 도1은 종래의 고전압용 트랜지스터의 개략적인 레이아웃도이고, 도2는 도1의 A-A'선을 절단한 개략적인 단면도이다.

도1 및 도2를 참조하면, 반도체기판(100) 내의 특정 영역에 소자분리영역(107)에 의해 정의되는 활성영역(108)이 형성된다. 소자분리영역(107)은 통상적인 트랜치 기술을 이용하여 형성된 STI 구조를 갖는다. 활성영역(108)내에는 소정 거리만큼 이격되어 형성된 소오스/드레인영역(104)이 형성되며, 소오스/드레인영역(104) 사이에는 채널영역이 형성되며, 채널영역 위로 게이트전극(101)이 형성된다. 게이트전극(101)과 반도체기판(100)의 채널영역 사이에는 게이트절연막이 개재된다. 게이트절연막은 게이트전극의 중앙 하부에 형성되는 얇은 게이트절연막(105)과 게이트전극의 에지 하부에 형성되는 두꺼운 게이트절연막(103)인 필드산화막(103)으로 이루어지며, 두꺼운 게이트절연막은 LOCOS법에 의해 형성된 필드산화막(103)으로 이루어진다. 소오스/드레인영역(104) 내에는 후속 공정에 의해 소오스/드레인 콘택(109)이 형성될 부분에 소오스/드레인영역(104) 보다 고농도의 불순물 이온이 주입된 고농도영역(102)이 형성된다.

이것은 고전압 트랜지스터의 일반적인 구조중 FLDD(Field Lighted Doped Drain) 구조로서, 필드산화막(103)이 형성될 위치에 미리 저농도로 이온주입을 한 후, 필드산화막 형성 공정 전에 어닐링 공정을 진행하여 그레이드 정션(grade junction)을 만든 후 두꺼운 필드산화막을 형성하게 된다. 따라서 두꺼운 필드산화막(103)으로 인하여 게이트전극(101)에 걸리는 강한 전계가 완화되어 주로 20 내지 50 V 내외의 고전압이 필요한 제품에 적용된다.

그러나 상기와 같은 종래의 기술에서는, 필드산화막(103) 하부에서의 접합 블랙다운 전압을 강화하기 위해 필드산화막(103)을 형성하기 전에 미리 저농도로 불순물 이온을 주입하여야 한다는 공정 부담이 있으며, 습식 공정이 적용되는 LOCOS법을 이용한다는 점에서 공정이 매우 복잡하며, 게이트절연막으로서 역할을 하는 필드산화막(103)의 두께 및 길이에 대한 제어가 매우 곤란하다는 문제점들이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 GIDL을 방지하여 내압특성이 향상된 모스 전계효과 트랜지스터를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 GIDL을 방지하여 내압특성이 향상된 모스 전계효과 트랜지스터를 용이하게 제조할 수 있는 방법을 제공하는 데 있다.

본 발명이 이루고자 하는 또다른 기술적 과제는 내압특성이 향상된 고압용 트랜지스터 및 저압용 트랜지스터를 용이하게 제조할 수 있는 제조방법을 제공하는데 있다.

발명의 구성

상기 기술적 과제들을 달성하기 위한 본 발명의 제1 형태에 따른 모스 전계효과 트랜지스터는, 반도체기판의 소정 영역에 배치되어 활성영역을 한정하는 소자분리영역을 포함하며, 상기 활성영역 내에서 채널영역을 사이에 두고 소오스영역 및 드레인영역이 서로 이격되어 형성되어 있으며, 상기 소오스영역과 상기 드레인영역 사이의 상기 활성영역 위로 게이트전극이 형성되어 있으며, 상기 활성영역과 상기 게이트전극 사이에 게이트절연막이 형성되어 있다. 상기 게이트절연막은 상기 게이트전극의 중앙 하부에 위치하는 중앙 게이트절연막과 상기 게이트전극의 에지 하부에 위치하며 바닥이 상기 중앙 게이트절연막의 바닥과 동일한 수준이지만 상부면이 상기 중앙 게이트절연막의 상부면보다 높게 돌출된 에지 게이트절연막을 포함한다.

바람직하게는, 상기 에지 게이트절연막은 복층으로 형성되며, 상기 에지 게이트절연막의 최상층과 상기 중앙 게이트절연막은 동일한 물질로 형성될 수 있다. 또한, 상기 에지 게이트절연막은 상기 소오스영역 및 드레인영역의 전체 표면상으로 연장되며, 상기 소자분리영역은 STI 구조로 형성된다.

상기 기술적 과제들을 달성하기 위한 본 발명의 제2 형태에 따른 모스 전계효과 트랜지스터의 제조방법은, 먼저 반도체기판의 소정 영역에 소자분리영역을 형성하여 활성영역을 정의하고, 상기 활성영역 내에 서로 이격된 소오스영역 및 드레인영역을 형성한다. 이어서, 상기 소오스영역과 드레인영역 사이에 형성되는 채널영역을 노출시키는 제1 절연막 패턴을 형성한 후, 상기 제1 절연막 패턴이 형성된 상기 반도체기판의 전체 표면상에 제2 절연막을 형성한다. 이어서, 상기 제2 절연막이 형성된 상기 채널영역을 포함하여 상기 제1 절연막 패턴 및 상기 제2 절연막이 적층된 상기 소오스영역 및 상기 드레인영역의 적어도 일부와 오버랩되는 게이트전극을 형성한다.

한편, 상기 게이트전극을 형성하는 단계 이전에, 상기 제1 절연막 패턴 및 상기 제2 절연막의 일부를 제거하여 상기 소오스영역 및 드레인영역 내에 각기 소오스콘택 및 드레인콘택이 형성될 부분의 상기 반도체기판의 표면을 노출시키는 단계 및 상기 노출된 반도체기판의 표면상에 제3 절연막을 형성하는 단계를 더 포함할 수 있다. 상기 게이트전극을 형성하는 단계 이후에는, 상기 소오스콘택 및 드레인콘택이 형성될 부분의 상기 반도체기판 내에 상기 소오스영역 및 드레인영역의 이온 농도보다 높은 고농도 영역을 형성하는 단계를 더 포함할 수 있다.

상기 기술적 과제들을 달성하기 위한 본 발명의 제3 형태에 따른 모스 전계효과 트랜지스터의 제조방법은, 먼저, 반도체기판의 소정 영역에 고전압 트랜지스터가 형성될 제1 활성영역과 저전압 트랜지스터가 형성될 제2 활성영역을 정의하는 소자분리영역을 형성하고, 상기 제1 활성영역 내에 서로 이격된 제1 소오스영역 및 제1 드레인영역을 형성한다. 이어서, 상기 반도체기판의 전면에 제1 절연물질을 형성한 후 식각하여, 상기 제1 소오스영역과 제2 드레인영역 사이에 형성되는 채널영역을 노출시키는 제1 절연막 패턴을 형성한 후, 상기 제1 절연막 패턴이 형성된 상기 반도체기판의 전체 표면상에 제2 절연막을 형성한다. 계속하여, 상기 제2 활성영역 상에 형성된 상기 제1 절연막 패턴 및 상기 제2 절연막을 제거하고, 상기 반도체기판의 전면에 게이트전극물질을 형성한 후 식각하여, 상기 제2 절연막이 형성된 상기 채널영역을 포함하여 상기 제1 절연막 패턴 및 상기 제2 절연막이 적층된 상기 제1 소오스영역 및 상기 제1 드레인영역의 적어도 일부와 오버랩되는 제1 게이트전극을 형성하게 된다.

한편, 상기 제2 활성영역상에 형성된 상기 제1 절연막 패턴 및 상기 제2 절연막을 제거하는 단계에서, 상기 제1 활성영역 내의 상기 제1 절연막 패턴 및 상기 제2 절연막의 일부를 제거하여 상기 제1 소오스영역 및 제1 드레인영역 내에 각기 소오스콘택 및 드레인콘택이 형성될 부분의 상기 반도체기판의 표면을 노출시키는 단계를 동시에 수행하며, 상기 제1 게이트전극 형성 이전에, 상기 노출된 반도체기판의 표면에 제3 절연막을 형성하는 단계를 더 포함할 수 있다.

상기 제1 게이트전극을 형성하는 단계에서, 상기 제2 활성영역 상에 형성된 상기 제3 절연막상에 제2 게이트전극을 동시에 형성할 수 있으며, 상기 제2 게이트전극을 형성한 후, 상기 제2 게이트전극의 양 측벽 하부의 상기 반도체기판내에 제2 소오스영역 및 제2 드레인영역을 형성하는 단계를 더 포함할 수 있다.

본 발명에 따르면, STI 공정을 적용하면서도 게이트전극의 에지 하부에 위치하는 에지 게이트절연막 패턴을 게이트전극의 중앙 하부에 위치하는 중앙 게이트절연막 패턴의 두께 보다 두껍게 형성하여 게이트전극의 에지 하부에 집중되는 전계를 완화시켜서 누설전류를 억제할 수 있으며, 에지 게이트절연막 패턴 및 중앙 게이트절연막을 통상의 반도체소자 제조공정에서 사용되는 증착 및 식각공정을 이용하여 용이하게 제조할 수 있다.

이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다.

도10은 본 발명의 일 실시예에 따른 MOS 전계효과 트랜지스터의 구조를 설명하기 위한 도면으로서, 도면의 좌측에는 고전압 트랜지스터가 형성되는 HV영역을 나타내며, 우측은 저전압 트랜지스터가 형성되는 LV영역을 각기 나타낸다. 예를 들어 LDI 제품에서는 HV영역에 LCD(Liquid Crystal Display) 소자의 구동을 위한 고전압 트랜지스터가 형성되며, LV영역에는 로직용의 저전압 트랜지스터가 형성될 수 있다. 본 발명은 이러한 LDI 구조에 한정되는 것은 아니며, 적어도 HV영역에 고전압 트랜지스터가 형성되는 한 다양한 형태의 반도체소자에 적용될 수 있다.

도10을 참조하면, HV영역에서는 예를 들어, 단결정 실리콘으로 이루어진 반도체기판(301)의 소정영역에 트렌치 형태의 소자분리영역(303)이 배치된다. 상기 트렌치 소자분리영역(303)은 트랜지스터의 동작이 일어나는 활성영역(302)을 한정한다. 상기 활성영역(302) 상부에 게이트전극(317)이 배치된다. 상기 게이트전극(317) 양측 하부의 활성영역(302) 내에는 제1 소오스/드레인영역(305)이 존재한다.

상기 제1 소오스/드레인영역(305)의 각각과 상기 게이트전극(317) 사이에는 제1 게이트절연막(307)/제2 게이트절연막(309)/제3 게이트절연막(311)의 적층 형태로 이루어진 에지 게이트절연막 패턴(323)이 개재된다. 상기 에지 게이트절연막 패턴(323)들은 게이트전극(317)의 에지 하부에서 상기 제1 소오스영역/드레인영역(305)을 가로질러 활성영역(302)을 한정하는 상기 소자분리영역(303)까지 연장되어 형성될 수 있다. 상기 게이트전극(317) 하부의 활성영역(302)의 상부 표면 근방에는 채널영역(308)이 형성된다.

상기 채널영역(308)과 상기 게이트전극(317) 사이에는 제3 게이트절연막(311)이 연장되는 단층 형태로 이루어진 중앙 게이트절연막이 개재된다. 상기 게이트전극(317)의 하측 에지 부분에 형성된 상기 에지 게이트절연막 패턴(323)은 상기 게이트전극(317)의 하측 중앙에 형성된 중앙 게이트절연막인 제3 게이트절연막(311)보다 두꺼운 두께를 갖는다. 또한, 상기 에지 게이트절연막 패턴(323)과 중앙 게이트절연막인 제3 게이트절연막(311)의 바닥은 동일한 수준인 상기 반도체기판(301)의 표면이며, 상기 에지 게이트절연막 패턴(323)의 상부면이 상기 중앙 게이트전극인 제3 게이트절연막(311)의 상부면보다 돌출된 형태로 두꺼운 두께를 갖는다.

한편, 상기 제1 소오스/드레인영역(305)은 상대적으로 저농도 영역을 이루며, 상기 제1 소오스/드레인영역(305) 보다 고농도로 불순물 이온이 주입된 고농도영역(319)이 부분적으로 형성된 DDD(Double Diffused Drain) 구조로 되며, 상기 고농도영역(319)은 후속 공정에 의해 형성된 층간절연막(320)을 형성한 후 콘택홀을 형성하여 소오스/드레인 콘택(321)이 형성되는 위치에 형성되며, 오픈콘택을 확보해준다.

한편, LV영역에는 반도체기판(301)의 상측에 소정의 활성영역을 한정하는 소자분리영역(30)이 HV영역에서와 동일하게 형성되며, 활성영역(302) 내에 서로 이격된 제2 소오스/드레인영역(318)이 형성되며, 상기 제2 소오스/드레인영역(318) 사이에 위치하는 채널영역 위로 제4 게이트절연막(312)을 개재하여 게이트전극(317)이 형성된다. HV영역에서와 달리 LV영역에서는 저전압 트랜지스터가 형성되기 때문에 게이트절연막의 역할을 하는 제4 게이트절연막(312)의 두께가 게이트전극(317)의 에지 하부나 중앙 하부에서 모두 동일하여도 게이트전극(317) 에지 하부에서의 전계집중이 크게 문제되지 않을 수 있다.

다음에, 도3 내지 도10을 참조하여 본 발명의 일 실시예에 따른 MOS 전계효과 트랜지스터의 제조방법을 설명한다. 도3은 그 개략적인 레이아웃도이며, 도4 내지 도10에서 좌측에 도시한 HV(High Voltage)영역은 도3의 B-B'선을 절단한 공정 단면도들이다. 도4 내지 도10에서는 HV영역 뿐만아니라 공정 단계를 비교하기 위해 편의상 LV(Low Voltage)영역을 근접하게 대응되도록 도시하였다. HV영역은 고전압 트랜지스터가 형성될 제1 활성영역을 나타내며, LV영역은 저전압 트랜지스터가 형성될 제2 활성영역을 나타낸다.

도3 및 도4를 참조하면, 예를 들어, 단결정 실리콘으로 이루어진 반도체기판(301)의 소정 영역에 STI(Shallow Trench Isolation) 구조의 소자분리영역(303)이 형성된다. 상기 트렌치형 소자분리영역(303)은 활성영역(302)을 한정한다. 상기 소자분리영역(303)을 형성하는 얇은 트렌치 소자분리기술은 먼저 반도체 기판(301)의 전면에 버퍼산화막 및 산화방지막(미도시)을 형성하는데 상기 버퍼산화막은 열산화막으로 형성하는 것이 바람직하며 상기 산화방지막은 실리콘 질화막으로 형성하는 것이 바람직하다. 이어서, 상기 산화방지막 상에 포토레지스트 패턴(미도시)을 형성한다. 상기 포토레지스트 패턴은 상기 활성영역(302)상부를 덮고, 상기 소자분리영역(303)이 될 영역은 노출시킨다.

이어서, 상기 포토레지스트 패턴 또는 산화 방지막을 식각마스크로 사용하여 적어도 상기 산화방지막 및 버퍼산화막을 식각하여 차례로 적층된 버퍼산화막 패턴(미도시) 및 산화방지막 패턴(미도시)을 형성한다. 상기 적층된 버퍼산화막 패턴 및 상기 산화방지막 패턴은 상기 활성영역(302)을 덮고, 상기 소자분리영역이 형성될 부분을 노출시킨다. 이어서 소자분리영역이 형성될 부분에서 노출된 반도체기판(301)을 식각한 뒤 트렌치를 형성하고 내부를 절연층으로 메워 트렌치형 소자분리영역(303)을 형성한다. 상기 소자분리영역(303)은 고전압 트랜지스터가 형성되는 제1 활성영역인 HV영역이나 저전압 트랜지스터가 형성되는 제2 활성영역인 LV영역에서 활성영역을 정의하기 위하여 양쪽에 모두 형성될 수 있다.

도5를 참조하면, 포토리소그래피 기술을 이용하여 상기 반도체기판(301)의 전면에 이온주입마스크(304), 예를 들어 포토레지스트 마스크 또는 실리콘 산화막, 실리콘 질화막 마스크 등을 형성한 후 저농도로 이온주입공정을 실시하여 상기 HV영역내의 상기 활성영역(302)에 소오스/드레인영역(305)을 형성한다. 상기 소오스/드레인영역은 저농도의 확산층으로서 통상 인(Phosphorus)을 이용하여 2.0 E12 ~ 5.0 E13의 농도를 갖는 불순물을 150KeV ~ 300KeV의 에너지로 이온주입하는 공정으로 형성한다. 이때 LV영역에는 이온주입이 되지 않도록 이온주입마스크(304)로 덮는다.

도6을 참조하면, 상기 이온주입 마스크(304)를 제거한 후, 반도체기판(301)의 전면에 제1 절연막(307) 및 제2 절연막(309)을 차례로 적층한다. 상기 제1 절연막(307)은 예를 들어, 산화막을 이용한다. 산화막 적층 공정은 화학기상증착(CVD)공정을 이용하여 50Å ~ 500 Å의 두께로 적층하며 바람직하게는 100Å ~ 200Å의 두께로 형성한다. 이어서, 제2 절연막(309)을 형성한다. 상기 제2 절연막(309) 적층 공정은 화학기상증착 공정을 이용하여 50Å ~ 500Å의 두께로 적층하며 바람직하게는 100Å ~ 200Å의 두께로 형성한다. 상기 제2 절연막(309)은 다양한 재료의 절연막으로 제조할 수 있으며, 예를 들어, 실리콘질화막과 같은 질화막류, 알루미늄나 또는 탄탈륨 등과 같은 금속산화막류 등으로 제조할 수 있다. 이어서 상기 제1 절연막(307) 및 제2 절연막(309)을 통상의 사진식각 공정을 이용하여 제거하여, 소오스/드레인영역(305) 사이에 존재하는 채널영역(308)이 될 부분의 반도체기판(301)을 노출시킨다.

도7을 참조하면, 상기 결과물의 전면에 제3 절연막(311)을 적층한다. 상기 제3 절연막(311)은 예를 들어, 산화막으로 구성된다. 상기 산화막 적층 공정은 화학기상증착공정을 이용하여 200 Å ~ 2000 Å의 두께로 적층하며, 바람직하게는 500 Å ~ 700 Å의 두께로 형성한다. 상기 제3 절연막(311)은 채널영역(308)이 될 부분에서는 후속 공정에 의해 형성되는 게이트전극(도9의 317)의 중앙 하부에서 중앙 게이트절연막의 역할을 하게 되며, 채널영역(308)의 양측에 적층되어 소오스/드레인영역(305)과 오버랩되는 제1 절연막(307)/제2 절연막(309)/제3 절연막(311)의 3중 절연막 부분은 게이트전극(317)의 에지 하부에서 필드 트랜지스터의 역할인 게이트 유도 누설전류를 방지하는 절연막으로서의 역할을 한다.

도면에 도시하지는 않았지만, 상기 산화막/질화막/산화막의 3중막 구조는 반도체 소자중 캐패시터 형성 공정중에 형성되는 상부 및 하부의 도전체의 막 사이에 형성되는 유전막으로서의 역할을 하게 되는 막과도 동일한 구조를 갖게 되므로 특히 커패시터를 필요로 하는 반도체 트랜지스터 제조 공정중 별도의 필드 트랜지스터 제조 공정을 추가로 진행 하지 않더라도 효과적으로 이용할수 있는 막이 도리 수 있다. 통상 LCD 패널 구동용 칩등에는 고전압용 트랜지스터 및 캐패시터가 동시에 사용되며 이러한 공정에서 커패시터의 유전막으로 상기와 같은 산화막/질화막/산화막의 3중 구조를 갖는 유전막이 적용될 경우 공정의 단순화 측면에서 유용하게 사용할 수가 있다. 이러한 커패시터는 HV영역 또는 LV영역 모두에 형성될 수 있다.

한편, 본 실시예에서는 게이트전극(317)의 에지 하부에 존재하는 에지 게이트절연막을 제1 절연막(307)/제2 절연막(309)/제3 절연막(311)의 3중막 구조를 취하였지만, 절연막 간의 식각 선택비를 고려하여 이중막 구조로 형성할 수도 있다. 예를 들어, 산화막/산화막 구조를 가질 수도 있다.

도8을 참조하면, 상기 제1 절연막(307)/제2 절연막(309)/제3 절연막(311)의 3중막 구조는 반도체기판(301)의 주변부에 형성되는 LV영역에서 상대적으로 얇은 두께를 갖는 게이트절연막 형성을 위하여 식각된다. 이때, 상기 HV영역내의 소오스/드레인영역(305) 상의 상기 3중막의 일부도 함께 식각된다. 상기 3중막이 제거된 소오스/드레인영역(305) 상의 부분은 후속 공정에 의해 소오스/드레인콘택이 형성될 부분으로서 상대적으로 저농도인 소오스/드레인영역(305)에 비하여 상대

적으로 고농도의 불순물 이온이 주입될 고농도 영역이 되며, 이러한 불순물 이온을 주입하기 위해 별도로 패턴을 제작하여 추가로 식각할 필요없이 상기 LV영역내에서 저전압용 트랜지스터의 게이트절연막을 형성하기 위해 3중막을 식각할 때 동시에 식각할 수 있다.

이어서, 상기 3중막이 식각되어 노출된 반도체기판(301)의 표면에 제4 절연막(312)을 형성한다. 제4 절연막(312)은 LV영역에서 저전압용 트랜지스터의 게이트절연막으로서 필요로 하는 두께가 되도록 열산화 공정 또는 화학기상증착 공정을 이용하여 형성한다. 이때 동시에 상기 HV영역내의 고농도 영역이 형성될 반도체기판(301)의 표면에 제4 게이트절연막(312)이 형성되며, 이것은 후속으로 진행되는 게이트전극(317)을 위한 도전막 식각 공정시에 반도체기판(301)의 손상을 방지할 수 있는 버퍼막으로서의 역할을 충분히 할 수 있게 된다.

도9를 참조하면, 상기 결과물 상에 도전층을 적층한 후 패터닝하여 게이트전극(317)을 형성한다. 상기 게이트전극(317)용 도전층은 예를 들어, 폴리실리콘막을 이용한다. HV영역에서 게이트전극(317)을 형성하는 것과 동시에 LV영역에서도 저전압용 트랜지스터의 게이트전극(317)을 형성한다. 전술하였듯이, HV영역내의 고농도 영역이 될 부분에 형성된 제4 절연막(312)은 게이트전극(317)을 위한 식각 공정 동안에 반도체기판(301)의 표면을 보호하는 역할을 수행하게 된다.

게이트전극(317)을 형성한 후, LV영역에서는 이온주입 공정을 수행하여 게이트전극(317)의 양 측벽 하부의 반도체기판(301)내에 제2의 소오스/드레인영역(318)을 형성한다.

도10을 다시 참조하면, HV영역내의 제1 소오스/드레인영역(305) 내부에 고농도의 불순물 이온을 주입하여 고농도 영역(319)을 형성한다. 상기 고농도 영역(319)을 필요에 따라 또는 공정조건에 따라 전술한 LV영역내의 제2 소오스/드레인영역(318) 형성과 함께 형성될 수도 있을 것이다. 상기 고농도 영역(319) 형성 공정은 예를 들어, $5.0 \times 10^{14} \sim 5.0 \times 10^{16}$ 의 농도를 갖는 비소(Arsenic)를 이용하여 40KeV ~ 60KeV의 에너지로 이온 주입하여 형성할 수 있다.

이어서, 상기 고농도 영역(319)상에 잔류하는 제4 절연막(312)을 제거한 후, 반도체기판(301)의 전면에 두꺼운 층간절연막(320)을 예를 들어, 산화막 등으로 형성하고, 소오스/드레인콘택용 콘택홀을 형성한 후 도전물질을 매립하여 소오스/드레인콘택(321)을 형성한다. LV영역에서는 도시되지 않았지만, 역시 소오스/드레인콘택이 동시에 형성될 수 있다.

이상에서 본 발명의 실시예들에 대하여 상세히 설명하였지만, 설명한 본 발명은 전술한 실시예들 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 예를 들어, 본 발명에서는 게이트전극의 에지에 형성되는 두꺼운 절연막 패턴의 재질, 높이 및 길이 등을 자유롭게 선택하여 사용할 수 있으며, HV영역과 LV영역에서의 공정을 다양하게 조정하여 원하는 반도체소자를 용이하게 제조할 수 있다.

발명의 효과

본 발명에 따르면, 게이트전극의 에지 하부에 두꺼운 게이트절연막을 형성함으로써 이 부분에서 전계의 집중에 의해 발생하는 게이트 유도된 드레인 누설(GIDL)을 방지할 수 있다. 본 발명은 STI 구조하에서도 서로 두께가 다른 게이트절연막을 다층의 절연막을 패터닝을 통하여 용이하게 형성할 수 있기 때문에 다양한 재질, 두께 및 길이 등을 조절하여 다양한 전압 조건에 적절한 반도체소자의 구현이 가능하다. 특히 게이트전극 에지 하부에서 게이트절연막을 두껍게 유지하여 내압특성을 강화하는 동시에, 실제 채널영역이 형성되는 게이트전극의 중앙 하부에서는 종래 보다 중앙 게이트절연막의 두께를 낮게 가져갈 수 있기 때문에 온저항을 줄이고, 소자의 성능을 향상시킬 수 있어서 쓰레시홀드 전압의 산포를 줄이고 칩의 크기를 줄여서 경쟁력 있는 반도체소자를 구현할 수 있다. 또한 에지 게이트절연막의 두께를 적절히 제어하여 20 내지 50 V 정도의 고압 트랜지스터를 용이하게 형성할 수 있으며, 고압 트랜지스터를 형성하는 동시에 주변부에 형성되는 로직용 저압 트랜지스터를 용이하게 형성할 수 있다.

도면의 간단한 설명

도1은 종래 기술에 따른 모스 트랜지스터를 설명하기 위한 개략적인 레이아웃도이다.

도2는 종래 기술에 따른 모스 트랜지스터를 설명하기 위한 단면도이다.

도3은 본 발명의 일 실시예에 따른 모스 전계효과 트랜지스터를 설명하기 위한 개략적인 레이아웃도이다.

도4 내지 도10은 본 발명의 일 실시예에 따른 모스 전계효과 트랜지스터를 제조하는 공정단계들을 설명하기 위한 공정단면도들이다.

* 도면의 주요 부분에 대한 부호의 설명

301 ; 반도체기판 302 ; 활성영역

303; 소자분리영역 304 ; 이온주입마스크 패턴

305 ; 제1 소오스/드레인영역 318 ; 제2 소오스/드레인영역

307 ; 제1 게이트절연막 308 ; 채널영역

309 ; 제2 게이트절연막 311 ; 제3 게이트절연막

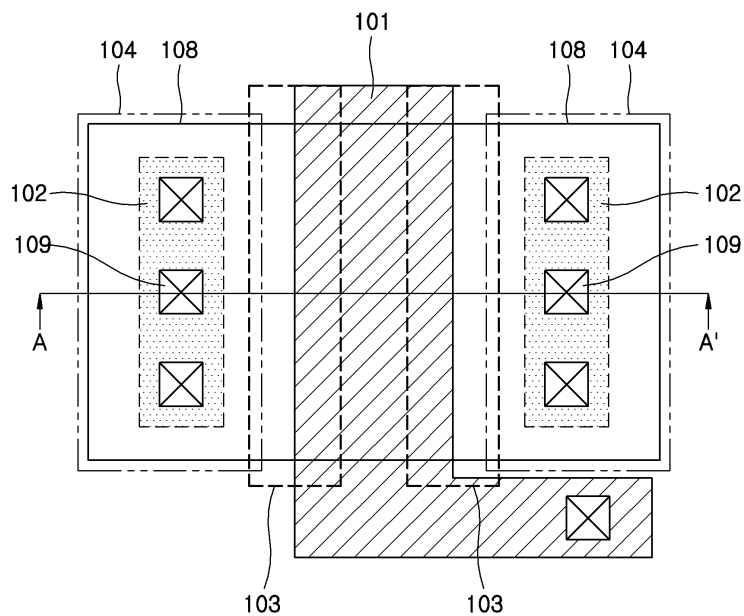
312 ; 제4 게이트절연막 317 ; 게이트전극

319 ; 고농도영역 321 ; 소오스/드레인콘택

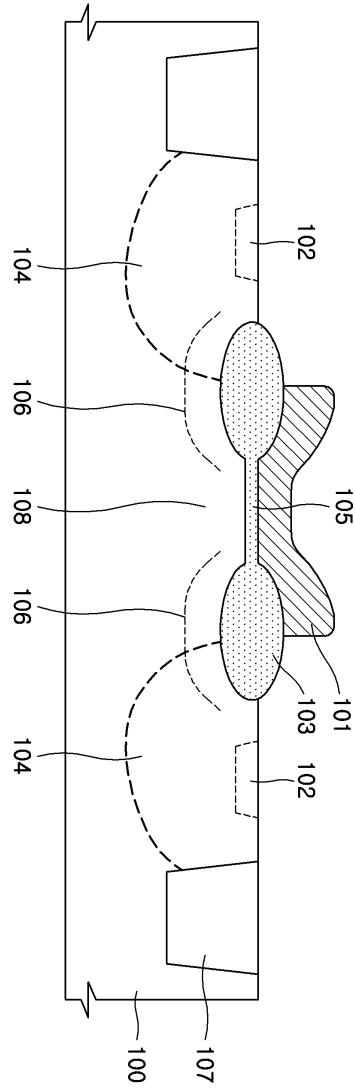
323 ; 에지 게이트절연막 패턴

도면

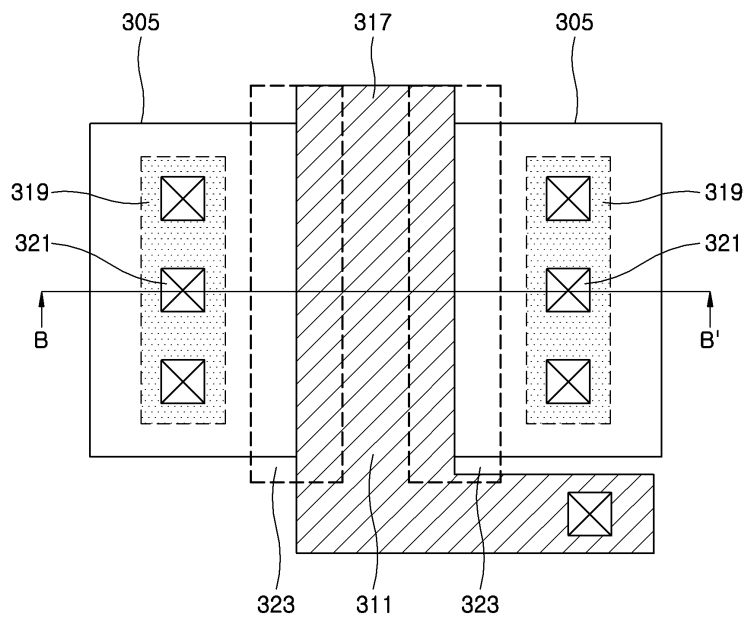
도면1



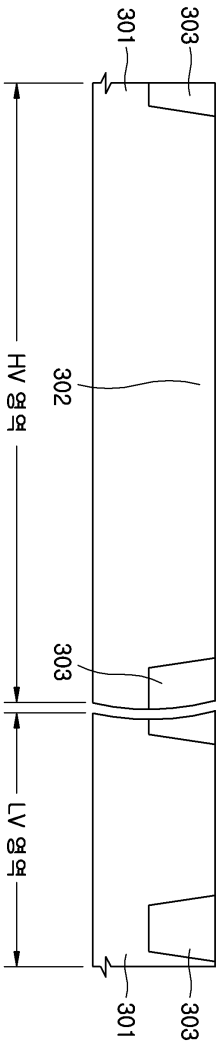
도면2



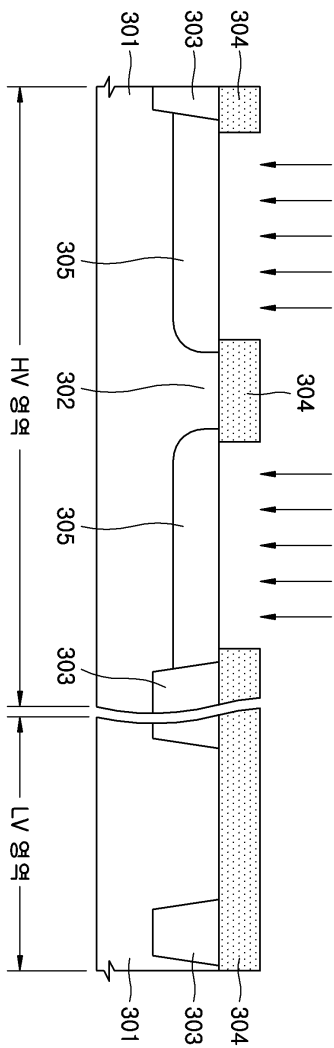
도면3



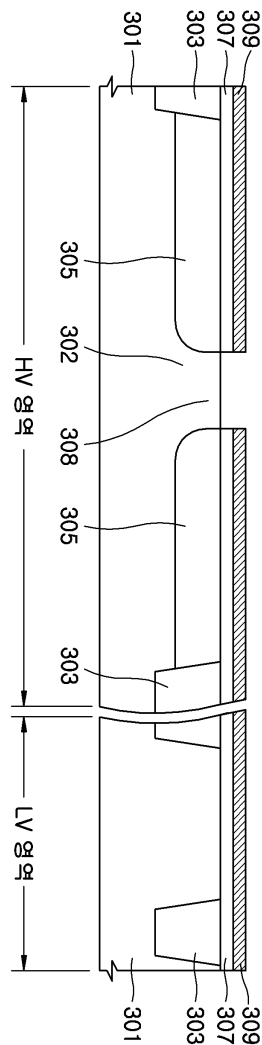
도면4



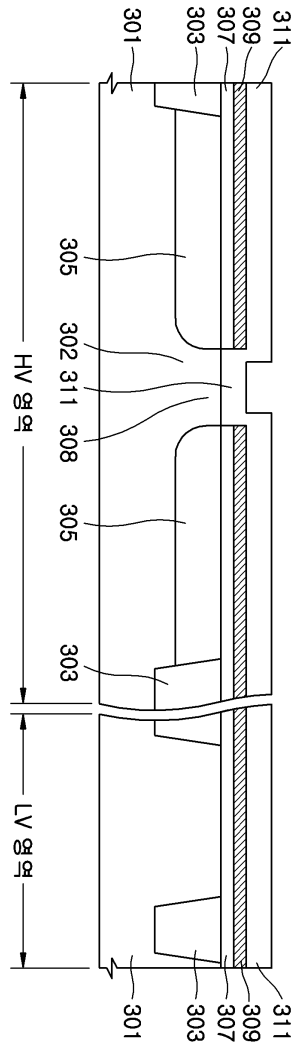
도면5



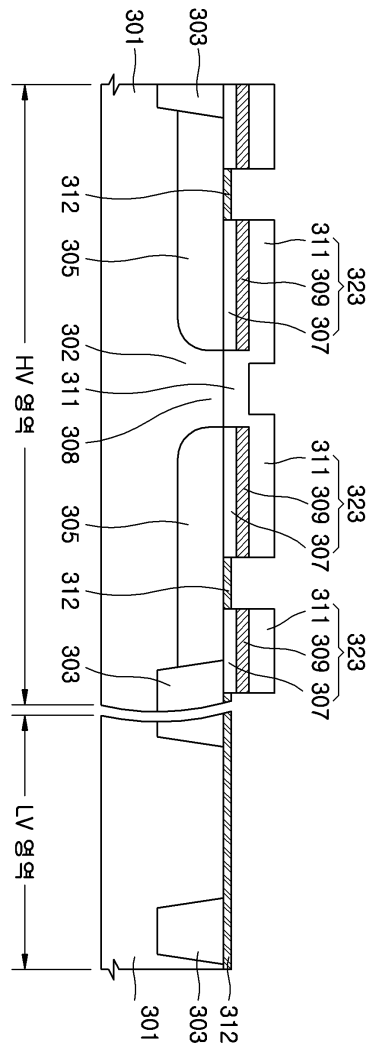
도면6



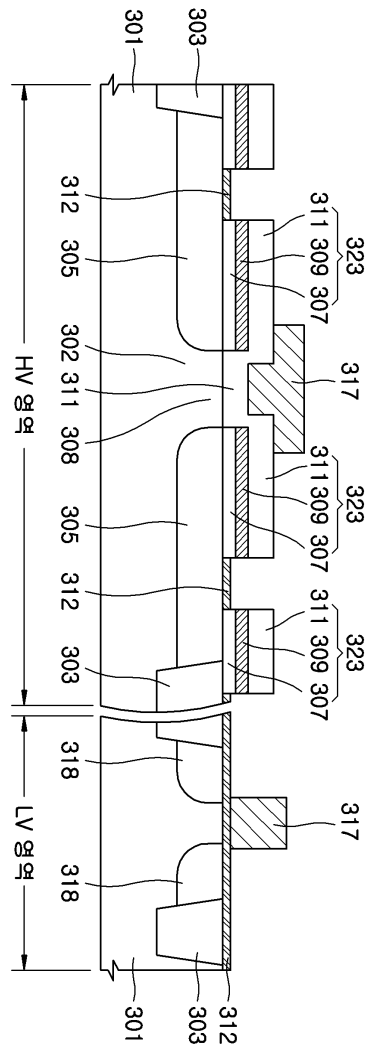
도면7



도면8



도면9



도면10

