

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 27/105

H01L 29/78

H01L 21/76

[12] 发明专利说明书

[21] ZL 专利号 95104061.8

[45]授权公告日 2000 年 5 月 24 日

[11]授权公告号 CN 1052814C

[22]申请日 1995.3.16 [24]颁证日 2000.2.5

[21]申请号 95104061.8

[30]优先权

[32]1994.3.16 [33]JP [31]046115/94

[73]专利权人 株式会社东芝

地址 日本神奈川县

[72]发明人 田中真一

[56]参考文献

US4,959,812 1990. 9.25

审查员 赵百令

[74]专利代理机构 中国专利代理(香港)有限公司

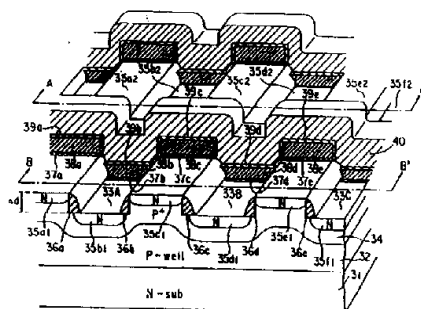
代理人 叶恺东 王忠忠

权利要求书 6 页 说明书 11 页 附图页数 11 页

[54]发明名称 半导体集成电路器件

[57]摘要

本发明的半导体集成电路器件,在半导体基片 31 的表面平行地形成多个沟槽 33。分别在这些沟槽 33 的底部及沟槽 33 间的各凸部形成半导体元件。上述各半导体元件之特征在于,因其在上述沟槽 33 的深度方向被隔开而形成元件隔离。半导体元件,由于在沟槽 33 的深度方向,换言之在与半导体基片 31 的表面垂直方向被隔开而形成电隔离,因而可缩小元件隔离区在图形平面上所占宽度,达到缩小芯片尺寸及高集成化之目的。



ISSN 1008-4274



权 利 要 求 书

1. 一种半导体集成电路器件, 包括:

一个半导体基片;

多个沟, 平行地形成于所述半导体基片的主表面上;

多个凸起部分, 形成于所述多个沟之间;

第一组器件, 分别形成于对应的一个沟的底部;

第二组器件, 各个器件分别形成于对应的一个凸起部分上, 所述第二组器件中的每个器件在所述沟的深度方向与所述第一组器件相分隔, 从而与所述第一组器件的每一器件相隔离。

2. 根据权利要求 1 的半导体集成电路器件, 其特征在于: 所述半导体基片包括第一传导类型的半导体基片, 和在所述第一传导类型的半导体基片的表面区域上形成的第二传导类型的阱区, 且所述沟形成在所述阱区中。

3. 根据权利要求 2 的半导体集成电路器件, 其特征在于, 还包括第二传导类型的防止反型杂质扩散区, 它形成于所述阱区的表面区域上, 且其杂质浓度比阱区的高。

4. 根据权利要求 1 的半导体集成电路器件, 其特征在于, 还包括形成于所述沟的侧壁部分上的防止反型垫片, 用以防止所述沟的侧壁部分的反转, 从而防止所述第一和第二组器件电气地相互连接。

5. 根据权利要求 4 的半导体集成电路器件, 其特征在于, 所述垫片为形成于所述沟的侧壁部分上的绝缘层。

6. 一种半导体集成电路器件, 包括:

一个半导体基片;

多个沟, 平行地形成于所述半导体基片的表面上;

多个凸起部分, 形成于所述多个沟之间;



第一组单元晶体管的第一有源区域，形成于所述半导体基片的沟的底部；

第二组单元晶体管的第二有源区域，形成于所述各个凸起部分上；

所述第一组单元晶体管的多个第一浮栅，分别设置于形成在所沟的底部的所述第一有源区域之间的一个部分上；

所述第二组单元晶体管的多个第二浮栅，分别设置于形成在所述凸起部分的第二有源区域之间的一个部分上；和

一个控制栅，沿横跨所述沟的方向在所述第一和第二浮栅之间延伸，所述控制栅由所述第一和第二组单元晶体管共用。

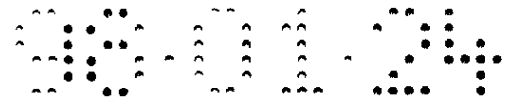
其中形成于所述各个沟的底部的第一组单元晶体管通过在沟的深度方向上与形成在所述沟之间的凸起部分上的第二组单元晶体管相分隔而与之电气地相绝缘。

7.根据权利要求 6 的半导体集成电路器件，其特征在于：所述半导体基片包括第一传导类型的半导体基片，和在所述第一传导类型的半导体基片的表面区域上形成的第二传导类型的阱区，且所述沟形成在所述阱区中。

8.根据权利要求 7 的半导体集成电路器件，其特征在于，还包括第二传导类型的防止反型杂质扩散区，它形成于所述阱区中，且其杂质浓度比阱区的高。

9.根据权利要求 6 的半导体集成电路器件，其特征在于，还包括形成于所述沟的侧壁部分上的防止反型垫片，用以当所述第一浮栅的电位增加时防止所述沟的侧壁部分的反转，从而防止在所述第一和第二组单元晶体管之间形成通道。

10.根据权利要求 9 的半导体集成电路器件，其特征在于，所述垫片为形成于所述沟的侧壁部分上的绝缘层。



11.一种半导体集成电路器件，包括：

一个第一传导类型的半导体基片；

一个第二传导类型的阱区，成形于所述半导体基片的一表面上；

多个沟，平行地形成于所述阱区中；

多个凸起部分，形成于所述多个沟之间；

第一组单晶体管的第漏极和源极区域，形成于所述半导体基片的沟的底部，并且具有第一传导类型；

第二组单元晶体管的第二漏极和源极区域，形成于所述各个凸起部分上，具有第一传导类型；

所述第一组单元晶体管的多个第一栅极绝缘膜，分别设置于形成在所沟的底部的所述第一漏极和源极区域之间的一个部分上；

所述第二组单元晶体管的多个第二栅极绝缘膜，分别设置于形成在所述凸起部分上的第二漏极和源极区域之间的一个部分上；

所述第一组单元晶体管的多个第一浮栅，分别形成在对应的一个所述第一栅极绝缘膜上；

所述第二组单元晶体管的多个第二浮栅，分别形成在对应的一个所述第二栅极绝缘膜上；

所述第一组单元晶体管的多个第三栅极绝缘膜，分别形成在对应的一个所述第一浮栅的一表面上；

所述第二组单元单元晶体管的多个第四栅极绝缘膜，分别形成在对应的一个所述第二浮栅的一表面上；

多个控制栅，平行地形成在所述第三和第四栅极绝缘膜上，并在垂直于所述沟的方向上在所述第一和第二浮栅之间延伸，各控制栅分别由所述第一组单元晶体管的一个对应的晶体管和所述第二组单元晶体管的一个对应的晶体管所共用；

其中，所述第一组单元晶体管的各个晶体管形成于对应的一



个所述沟的底部，并与第二组单元晶体管电气地相绝缘，该第二组单元晶体管的各个晶体管形成在对应的所述沟之间的一个所述凸起上，并与前者在所述沟的深度方向上相隔开，NAND 型 EEPROM 单元形成于所述沟底，其方向为所述沟延伸的方向并位于所述沟之间的凸起上，其电流通路交替地串联连接。

12.根据权利要求 11 的半导体集成电路器件，其特征在于，还包括第二传导类型的防止反型杂质扩散区，它形成于所述阱区中，其杂质浓度比所述阱区的高。

13.根据权利要求 11 的半导体集成电路器件，其特征在于，还包括形成于所述沟的侧壁部分上的防止反型垫片，用以当所述第一浮栅的电位增加时，防止所述沟的侧壁部分的反转，从而防止所选的单元晶体管的通道部分和未选的单元晶体管的通道部分电气地相互连接。

14.根据权利要求 13 的半导体集成电路器件，其特征在于，所述垫片为形成于所述沟的侧壁部分上的绝缘层。

15.根据权利要求 13 的半导体集成电路器件，其特征在于，还包括：一中间层绝缘膜，形成于所述控制栅和所述半导体基片上，和多个位线，形成于所述中间层绝缘膜上，其方向与沟延伸的方向相同，且在各所述沟底上和位于各沟之间的各个凸起上。

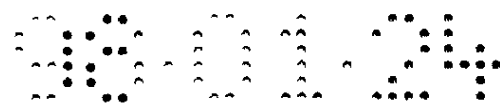
16.根据权利要求 15 的半导体集成电路器件，其特征在于，还包括第一和第二单元选择晶体管，用以选择所述串联的第一组和第二组单元晶体管，所述第一单元选择晶体管的漏极被连接到所述位线，而所述第二单元选择晶体管的源极被接地。

17.一种半导体集成电路器件，包括：

一个第一传导类型的半导体基片；

多个沟，沿第一方向平行地形成于所述阱区中；

多个凸起部分，形成于所述多个沟之间；



第一组单元晶体管的第一漏极和源极区域，形成于所述半导体基片的沟的底部，并且具有第二传导类型；

第二组单元晶体管的第二漏极和源极区域，形成于所述各个凸起部分上，具有第二传导类型；

所述第一组单元晶体管的多个第一栅极绝缘膜，分别设置于形成在对应的一个所述沟的底部的所述第一漏极和源极区域之间的一个部分上；

所述第二组单元晶体管的多个第二栅极绝缘膜，分别设置于形成在所述凸起部分上的第二漏极和源极区域之间的一个部分上；

所述第一组单元晶体管的多个第一浮栅，分别形成在对应的一个所述第一栅极绝缘膜上；

所述第二组单元晶体管的多个第二浮栅，分别形成在对应的一个所述第二栅极绝缘膜上；

所述第一组单元晶体管的多个第三栅极绝缘膜，分别形成在对应的一个所述第一浮栅的一表面上；

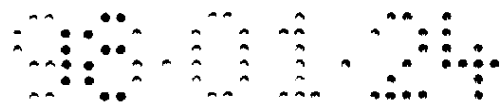
所述第二组单元晶体管的多个第四栅极绝缘膜，分别形成在对应的一个所述第二浮栅的一表面上；

多个控制栅，平行地形成在所述第三和第四栅极绝缘膜上，并在垂直于所述第一方向的第二方向上在所述第一和第二浮栅之间延伸，各控制栅分别由所述第一组单元晶体管的一个对应的晶体管和所述第二组单元晶体管的一个对应的晶体管所共用；

一中间层绝缘膜，形成在一合成结构上，且在对应于所述漏极和源极区域的位置的所述中间层绝缘膜上设有多个接触孔；

多个源线，沿所述第二方向形成于所述中间层绝缘膜上，且通过形成于所述源极区域上的接触孔连接到所述源极区域；

多个位线，沿所述第一方向形成在所述中间层绝缘膜上且与所



述源线电气地绝缘，并通过形成在所述漏极区域上的接触孔被连接到所述漏极区域；

其中，所述第一组单元晶体管的各个晶体管形成在对应的一个所述沟的底部，并与所述第二组单元晶体管电气地绝缘，该第二组单元晶体管的各个晶体管形成在对应的一个所述凸起部分上，并与前者在沟的深度方向上相隔开，多个 NOR 型 EEPROM 单元形成在所述沟的底部并在所述沟之间的所述凸起部分上。

18.根据权利要求 17 的半导体集成电路器件，其特征在于，还包括第一传导类型的防止反型杂质扩散区，形成于所述半导体基片的表面区域，且其杂质浓度比所述半导体基片的高。

19.根据权利要求 18 的半导体集成电路器件，其特征在于，还包括一低浓度杂质扩散区，用以减弱插入所述源极和漏极区域和所述防止反型杂质扩散区之间的电场。

20.根据权利要求 17 的半导体集成电路器件，其特征在于，还包括形成于所述沟的侧壁部分上的防止反型垫片，用以当所述第一组单元晶体管的第一浮栅的电位增加时防止所述沟的侧壁部分反转，从而防止选择的单元晶体管的通道部分和未选择的单元晶体管的通道部分电气地连接。

21.根据权利要求 20 的半导体集成电路器件，其特征在于，所述垫片是形成于所述沟的侧壁部分上的绝缘层。

说明书

半导体集成电路器件

本发明涉及半导体集成电路器件,特别涉及NAND型EEPROM等半导体存储器件。

现有的NAND型EEPROM,例如由图15-图18所示结构构成。图15是表示存储单元的电路图,图16是图15图形的平面图,图17是沿图16图形X-X'线的断面图,图18是表示沿与图16图形Y-Y'线断面相邻接的存储单元的断面图。

在图15中,11是位线,在该位线11与电源Vss(接地点或基准电位供给源)间,串联接在单元选择用的MOS晶体管12-1,单元晶体管13-1至13-8以及单元选择用的MOS晶体管12-2的各漏极、源极间。将选择信号SG1、SG2分别供给上述的MOS晶体管12-1、12-2的栅极,在该MOS晶体管12-1、12-2变为导通时,相关的存储单元被选通。上述各单元晶体管13-1至13-8的控制栅与字线相连接,根据由行译码器输出的行选择信号CG1至CG8,选定哪一个单元晶体管进行数据写入及读出。

上述存储单元,如图16-图18所示,是在N型半导体基片14的表面形成的P型阱区15中形成的。MOS晶体管12-1、各单元晶体管13-1至13-8以及MOS晶体管12-2分别与邻接的晶体管共用漏区或源区。在各单元晶体管13-1至13-8的漏、源区间的基片14上,叠层形成使隧道电流流过的栅绝缘膜16-1至16-8、浮栅17-1至17-8、第2栅绝

缘膜18-1至18-8以及控制栅19-1至19-8。上述MOS晶体管12-1、12-2分别用与单元晶体管13-1至13-8相同的工艺步骤形成,虽然具备浮栅和控制栅,由于这些栅极被短路,使它起到单元选择用的MOS晶体管作用。在上述各晶体管12-1、13-1至13-8、及12-2上形成层间绝缘膜20、在此层间绝缘膜20上设置上述位线11。该字线11是沿上述单元晶体管13-1至13-8的串联连接方向形成的、亦与MOS晶体管12-1的漏区12-1D相连接。另一方面,上述MOS晶体管12-2的源区12-2S与接地点Vss相连接。

在上述构成的NAND型EEPROM中,在浮栅注入电子,定义单元晶体管的阈值电压(V_{th}) 在0-5V间的状态为数据"0",在0V以下为数据"1"。在写入时,在与选择的单元晶体管的控制栅相连接的字线施加20V左右的高压,在位线施加0V的电压,按着控制栅与浮栅之间的电容量C1与浮栅与沟道区之间的电容量C2的耦合比,由上升的浮栅电位(约13V)及基片电场(约13MV/cm左右)产生隧道电流,向浮栅注入电子。此时,在非选定的位线上,施加防止误写入的12V的中间电位,降低了浮栅与基片之间的电位差。在基片(通常是P型阱区)施加20V的电压,提供强电场,抽取浮栅中的电子,起到消去作用。NAND型EEPROM为所谓的特快存储、全位同时或整字区地消去。此时,将浮栅全部抹掉,正向充电,使单元晶体管耗尽化。为了进行判定存储数据"1""0"的读出,分别给选定的单元字线设定0V、位线设定5V,非选定单元的字线设定5V。

以上是NAND型EEPROM的基本工作原理、上述NAND型EEPROM,如图16及图17所示,因为在每个单元晶体管的位线也可以不采取与单位晶体管接触,与NOR型相比,可以做到接触点数少,单元尺寸小。

可是,人们关注将NAND型EEPROM换成未来的HDD(软盘驱动)的器件,要求进一步大容量化及低成本化,希望进一步缩小单元的尺寸。但是,现在的单元结构,如图18的沟道宽度方向的断面图所示,与单元晶体管的面积相比,元件隔离区21(LOCOS法形成的场氧化膜)所占的面积要大,为了该元件的隔离所需要的区域要占有隧道现象所使用的区域三倍面积。即,将最小设计规则设为 Δt ,对于使隧道电路流过的第1栅绝缘膜16-6的宽度为 Δt 的情况,在该绝缘膜16-6两侧的元件隔离区21形成时,各自需要 Δt 的宽度,浮栅17-6的宽度,要在绝缘膜16-6宽度上再加上 $2\Delta t$,变为 $3\Delta t$ 。另外,在与邻接的浮栅之间,也需要 Δt 的间隔,一个单元晶体管的宽度就需要 $4\Delta t$ 。

这样,在现有的NAND型EEPROM中,由于元件隔离区的存在,单元尺寸往往不违反"最小设计规则 $\times 4$ "的原则,为了今后飞跃地缩小单元尺寸,必需大幅度地缩小元件的隔离区。

关于其它的半导体集成电路器件,与上述NAND型EEPROM相同,由于有元件隔离区存在,则有大大限制了芯片尺寸的缩小及高集成化的问题。

如上所述,现有的半导体集成电路器件,由于存在元件隔离区,则存在使芯片尺寸的缩小及高集成化受到限制的问题。

本发明鉴于上述事实,其目的在于提供一种谋求缩小元件隔离区、缩小芯片尺寸亦高集成化的半导体集成电路器件。

即,本发明的权利要求1中记载的一种半导体集成电路器件,具有半导体主体,多个在上述半导体主体表面上平行形成的沟,及在该沟的底部及沟间的凸部分别形成的半导体元件,其特征在于,上述各半导体元件,由于在沟的浓度方向上是隔开的,而完成元件隔

离。

权利要求2记载的半导体集成电路器件,具有半导体主体、多个在上述半导体主体表面平行形成的沟、在各沟底部及沟间各凸部的半导体主体中隔开形成的有源区、各沟底部的上述有源区间上及沟间各凸部上分别设置的多个浮栅及在与上述沟交叉方向上跨越上述多个浮栅而形成的控制栅,其特征就在于上述各沟底部及沟间凸部上分别形成的单元晶体管,由于在上述沟深度方向被隔开而形成电隔离。

还有,权利要求3的半导体集成电路器件,具有第1导电类型半导体基片、在该半导体基片的表面形成的第2导电类型的阱区、多个在上述半导体基片的阱区平行形成的沟、多个在各沟底部及沟间凸部的半导体基片中隔开形成的第1导电类型源、漏区、在上述源、漏区间的各沟底部上及沟间的各凸部上分别形成的流过隧道电流的第1栅绝缘膜、多个在这些第1栅绝缘膜上分别形成的浮栅、在上述浮栅的表面上形成的第2栅绝缘膜、在该第2栅绝缘膜上多个沿与上述沟垂直方向跨越上述多个浮栅的平行形成的控制栅,其特征就在于,在上述各沟底部及沟间凸部上分别形成的单元晶体管由于在上述沟深度方向被隔开,而形成电隔离,在上述各沟底部及沟间和凸部上、沿上述沟的方向,由多个单元晶体管构成串联连接的NAND型EEPROM。

按照权利要求1的结构,分别形成在沟底部及沟间凸部的半导体元件,由于在沟的深度方向,换言之,在垂直于半导体表面的方向被分隔开,完成元件隔离,因而可以缩小元件隔离用的区域在图形平面上所占宽度,谋求缩小芯片尺寸亦高集成化。

按照权利要求2及3的结构,由于分别在各沟底部及沟间凸部形成的单元晶体管在上述沟的深度方向上被隔开,形成电隔离,因而可以降低元件隔离用的区域在图形平面上所占的宽度,谋求缩小单元尺寸亦高集成化,若将共用源和漏区的多个单元晶体管串联连接,可以大幅度地减小元件隔离区,因而适宜于NAND型EEPROM。

图1是用于解释本发明一实施例的半导体集成电路器件的NAND型EEPROM主要结构的透视图;

图2是用于解释上述图1所示的NAND型EEPROM的制造方法的、沿图1中A-A'线及B-B'线的第一工艺步骤的断面图;

图3是用于,解释上述图1所示的NAND型EEPROM的制造方法的,第2步骤沿图1中的A-A'线及B-B'线的断面图;

图4是用于,解释上述图1所示的NAND型EEPROM的制造方法的第3工艺步骤沿图1中的A-A'线及B-B'线的断面图;

图5是用于解释上述图1所示的NAND型EEPROM的制造方法的第4工艺步骤沿图1中的A-A'线及B-B'线的断面图;

图6是用于解释上述图1所示的NAND型EEPROM的制造方法的第5工艺步骤沿图1中的A-A'线及B-B'线的断面图;

图7是用于解释上述图1所示的NAND型EEPROM的制造方法,第6工艺步骤中沿图1的A-A'线的断面图;

图8是用于解释上述图1所示的NAND型EEPROM的制造方法,第6工艺步骤中沿图1的B-B'线的断面图;

图9是用于解释上述图1所示的NAND型EEPROM的制造方法,第7工艺步骤中沿图1的A-A线的断面图;

图10是用于解释上述图1所示的NAND型EEPROM的制造方法,第7

工艺步骤中沿图1的B-B'线的断面图;

图11是用于解释上述图1所示的NAND型EEPROM的制造方法,第8工艺步骤中沿图1的A-A线的断面图;

图12是用于解释上述图1所示的NAND型EEPROM的制造方法,第8工艺步骤中沿图1的B-B'线的断面图;

图13是用于解释上述图1所示的NAND型EEPROM的制造方法,第9工艺步骤中沿图1的A-A线的断面图;

图14是用于解释上述图1所示的NAND型EEPROM的制造方法,第9工艺步骤中沿图1的B-B'线的断面图;

图15是用于解释现有半导体集成电路器件,抽样表示NAND型EEPROM的存储单元部分;

图16是在图15所示电路的图形平面图;

图17是沿图16图形的X-X'线的断面图;以及

图18是同时表示与图16的图形沿Y-Y线的断面邻接的存储单元部分的断面图。

以下参照附图说明本发明的一实施例。

图1-图14 用于分别说明根据本发明一实施例的半导体集成电路器件,图1是表示NAND型EEPROM的主要部分的透视图、图2-图4是分别顺序地表示上述图1所示的EEPROM的制造工艺步骤的断面图。

如图1所示,在N型半导体基片31的表面,形成P型阱区32。在上述基片31(阱区32)的表面,沿第1方向平行形成多个沟(沟槽)33A、33B、33C……。该沟槽33的宽度及间隔基本上由最小设计规则决定,深度 Δd 约 $1.5\mu m$ 。沿上述基片31的沟槽33的凹凸处,在阱区32中形成P⁺型杂质扩散层34。在上述沟槽33间的各凸部的杂质扩散

层34中及各沟槽33底部的杂质扩散层34中, 分别形成在与上述第1方向隔开的起单元晶体管的源、漏区作用的杂质扩散层35a1、35a2、……35b1、35b2、……, 35c1、35c2、……35d1、35d2、……, 35e1、35e2、……, 35f1、35f2、……。这些N型杂质扩散层35的扩散深度约 $0.3\mu\text{m}$ 。另外, 在上述沟槽33A、33B、33C的侧壁分别设置由 SiO_2 膜等绝缘层构成的隔离垫36a、36b、36c、36d、36e……。这些隔离垫36的宽度约 $0.1\mu\text{m}$ 。在上述沟槽33A内的杂质扩散层35b1、35b2之间的基片31(杂质扩散层34)上, 形成第1栅绝缘膜37b, 在该绝缘膜37b上设置浮栅38b。另外, 在上述沟槽33B内的扩散层35d1、35d2之间的扩散层34上, 形成第1栅绝缘膜37d, 在该绝缘膜上设置浮栅38d。在上述沟槽33A、33B间的凸部的杂质扩散层35c1、35c2间的扩散层34上, 形成第1栅绝缘膜37c, 在该绝缘膜37c上设置浮栅38c。在其它各沟槽内及这些沟槽间的各凸部也分别形成第1栅绝缘膜及设置浮栅。上述第1栅绝缘膜37是能流过隧道电流的, 厚度为 $80\text{-}100\text{\AA}$ 。浮栅38的厚度约为 $1.0\mu\text{m}$, 该浮栅38由第1层掺磷多硅层形成。

在上述浮栅38露出面上形成第2栅绝缘膜39a、39b、39c、39d、39e……, 在该绝缘膜39上沿与上述第1方向垂直的第2方向, 形成跨越各浮栅38a、38b、38c、38d、38e……的控制栅40。上述第2栅绝缘膜39的厚度为 $150\text{-}250\text{\AA}$ 、控制栅40的厚度约 $1.0\mu\text{m}$ 、控制栅40上第2层掺磷多硅层构成。

在第1方向重复形成同样的结构, 在各沟槽33的底部及沟槽33中间的各凸部上, 沿第1方向构成与第1单元选择用的MOS晶体管、多个单元晶体管及第2单元选择用的MOS晶体管的漏、源极串联连

接的NAND型EEPROM存储单元。

再有,图中未示出,在上述基片31及控制栅40上,形成层间绝缘膜,在上述各沟槽底部,及沟槽间的各凸部上,在该层间绝缘膜上,沿第1方向分别形成由铝及硅化钨构成的位线。这些位线,如图15-图17所示,每隔一个存储单元(例8单元、及16单元)均与第1单元选择用的MOS晶体管12-1的漏区12-1D相连接。另一方面,第2单元选择用的MOS晶体管12-2的源区与电源Vss相连接。另外,将选择信号SG1、SG2提供给第1、第2单元选择用的MOS晶体管的栅极、字线与各单元晶体管的控制栅40相连接,提供由行译码器输出的行选择信号CG1-CG8。

可是,在各沟槽33侧壁设置隔离垫36,以防止写入时位线电位下降。即,写入时,给选通单元的字线施加20V以上的高电压,给非选通位线施加防止误写入的中间电压(约12V)。为此,由于在字线施加了高电压,浮栅上升到某一电位(约10V)时,担心浮栅侧面的沟槽侧壁反型、形成沟道。一旦沟道形成选通单元的沟道部(0V)在选通单元的沟道部就变为导通状态,非选通位线的电位下降。因而,设置防止反型用的隔离垫36,确定防止了这类不良现象。

再有,在阱区32的表面形成P⁺型杂质扩散区34,是出于同样的理由。当给沿沟槽33之间的凸部上面形成的位线施加0V、给沿凹部上面形成的位线施加中间电压时,该区域34能防止在沟槽33侧壁发生击穿现象。

在上述的结构中,单元的工作原理与现有的器件相同、基本上进行相同的数据写入、读出及消去。由于采用这样的器件结构,使各单元晶体管的尺寸大幅度地缩小。即,字线延伸方向(第2方向)

的间距,如前所述,是现有的"最小设计规则 $\times 4$ ",例如设最小设计规则为 $0.4\mu\text{m}$,对于一个单元晶体管,就要占 $1.6\mu\text{m}$ 的宽度。对此,在上述实施例的结构中,是"最小设计规则 $+\alpha$ (隔离垫的宽)",若设隔离垫的宽为 $0.1\mu\text{m}$,可降低至" $0.4\mu\text{m}+0.1\mu\text{m}=0.5\mu\text{m}$ 。因此,可使单元尺寸变为 $0.5/1.6=0.312$ (31.2%),是常规尺寸的1/3以下。因而,谋求大幅度缩小芯片尺寸亦高集成化,其结果可以降低成本。

另外,以上述的结构,由于降低了写入时的耦合比,使写入特性多少有些下降。以采用场绝缘膜进行元件隔离的常规结构,由于场绝缘膜不规则边缘存在,可确保3:1的耦合比,而以上述图1所示的结构,耦合比就变成1.5:1。因此,在写入时,通常给控制栅只施加20V的电压,而对图1所示的结构,必须施加30V以上的电压。为抑制这种写入电压的上升,最好给选通位线施加-10V的负偏置。消去及读出动作与常规技术相同。

但是,上述耦合比的下降未必就是缺点,使由于读出动作时的 V_{cc} (3-5V)栅应力的误写入的几率大幅度降低,可提高可靠性,因此,最好考虑到这些因素,将上述值设定在最适当的值。就是因为上述的误动作,目前尚无可能确保使数据保持10年的器件,根据上述的结构,可以保证数据保持10年。

其次,参照图2-图14,对上述图1所示的NAND型EEPROM的制造方法加以说明。图2-图6分别是按顺序表示沿上述图1中的A-A'线及B-B'线的第1-第5制作工艺过程的断面图。图7、图9、图11及图13分别是按顺序表示沿上述图1中的A-A'线的第6-第9制造工艺过程的断面图。另外图8、图10、图12及图14 分别是按顺序表示沿图1中的B-B'线的第6-第9制造工艺过程的断面图。

首先,如图2所示,在N型半导体基片31的表面导入P型杂质,形成P型阱区32。其次,在上述半导体基片31的表面形成掩膜,进行RIE等各向异性蚀刻,形成如图3所示的多个平行的沟槽33A、33B、33C……。然后,如图4所示,在半导体基片31的表面导入硼一类的P型杂质,在阱区32的表面区形成P⁺型杂质扩散层34。接着,在上述基片31上,通过CVD法,形成SiO₂膜36(参照图5),通过实施RIE等各向异性蚀刻,除去上述SiO₂膜36,在沟槽33A、33B、33C、……的侧壁形成隔离垫36a、36b、36c、36d、36e……(参照图6)。

然后,在与上述沟槽垂直方向形成具有多个平行图形的掩膜之后,如图7及图8所示,在露出的沟槽33的底部及沟槽33间的各凸部的基片31中注入砷等N型杂质,形成源、漏区35a1、35b1、35c1、35e1、35f1……。此后如图9及图10所示,使上述掩蔽的基片31的露出而热氧化,在源、漏区35a1、35a2间,35a1、35b2间、35c1、35c2间、35d1、35d2间、35e1、35e2间分别形成厚度为80-100Å的第1栅氧化膜37a、37b、37c、37d、37e、……。在整个上述基片31上全面形成掺磷多硅层之后,进行刻图,在基片31的各沟槽33内及沟槽33间的各凸部上形成浮栅38a、38b、38c、38d、38e、……。使上述各浮栅38a、38b、38d、38e、……的表面热氧化,形成厚度为150-250Å的第2栅绝缘膜39a、39b、39c、……。然后,在上述基片31及上述绝缘膜39a、39b、39c、39d、39e、……上形成掺磷多硅层,沿与上述各沟槽33正交的第2方向、形成跨越浮栅38a、38b、38c、38d、38e、……的多个具有平行图形的控制栅40,如图11及图12所示,构成前述图1所示的结构。

比如,如图13及图14所示,全面形成层间绝缘膜41,在该层间绝

缘膜41中的第1单元选通用的MOS晶体管12-1的漏区12-1D上形成接触孔。在上述层间绝缘膜41上及接触孔内形成铝层及硅化钨层,进行刻图,分别在上述各沟槽33的底部及沟槽33的各凸部上的层间绝缘膜41上,沿第1方向形成位线11。

再有,上述实施例,对半导体集成电路器件虽然以NAND型EEPROM为例加以说明,但也可以选用于EPROM及DRAM等其它的半导体存储器件及其它的半导体集成电路器件。为了用于NAND型EEPROM以外的器件,最好在上述半导体基片的表面,通过在与已形成了多个平行的各沟槽33垂直的方向,再形成多个平行的沟槽,形成斗状槽,实行对元件的隔离。另外,在本申请的权利要求的各技术特征和附图的图面标号是为了便于对本申请发明的理解,将本申请发明的技术范围限于图面所示的实施例不是附图标号的本意。

根据以上所述的发明,已使元件隔离区缩小,可以得到芯片尺寸缩小的高集成化的半导体电路器件。

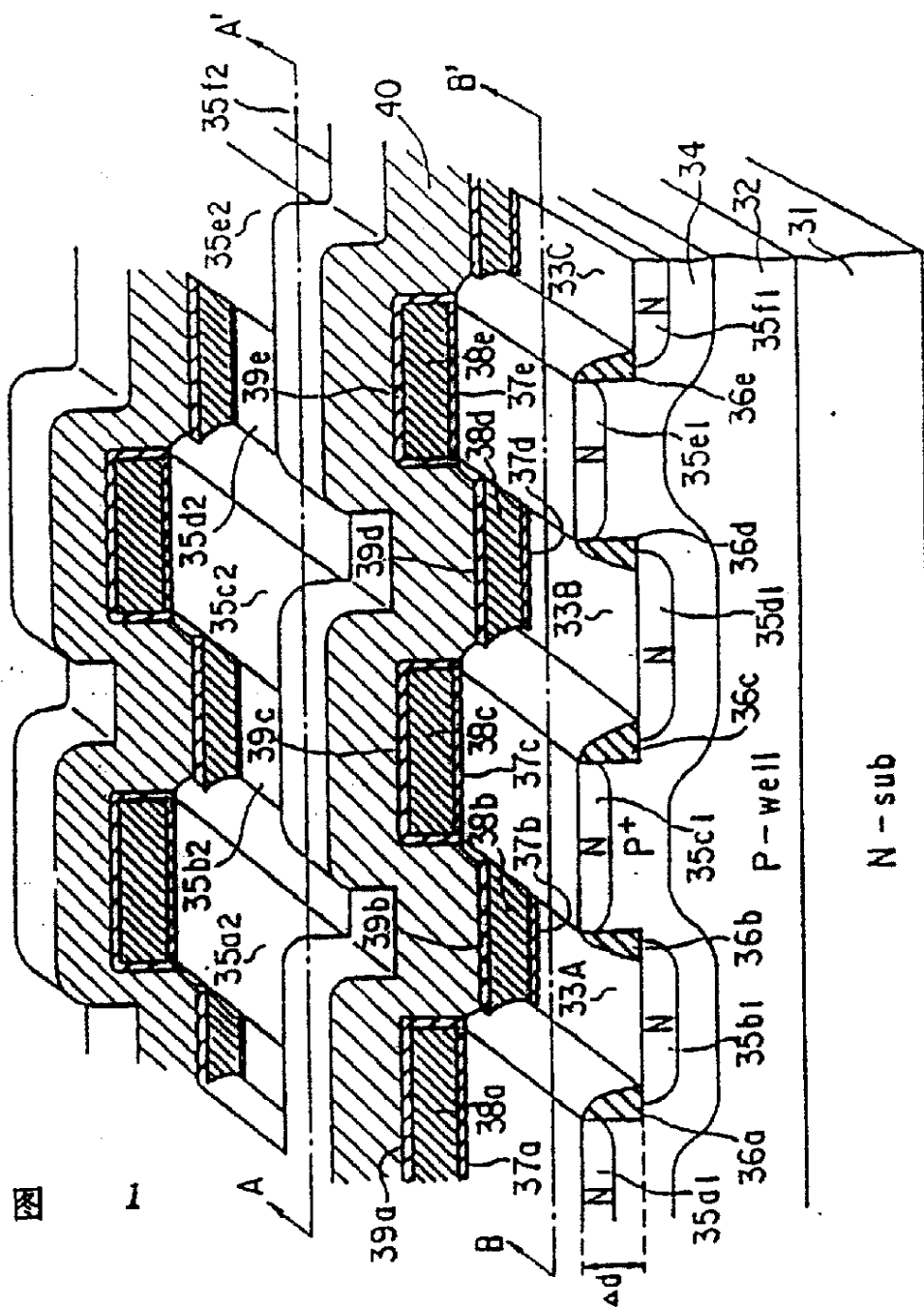


图 2

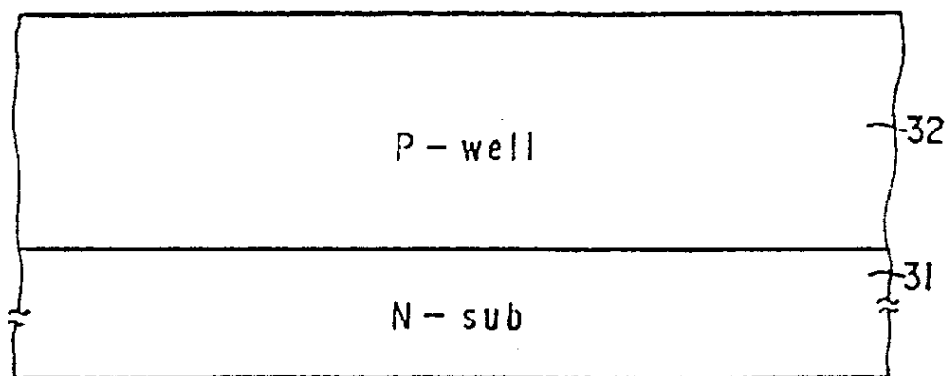


图 3

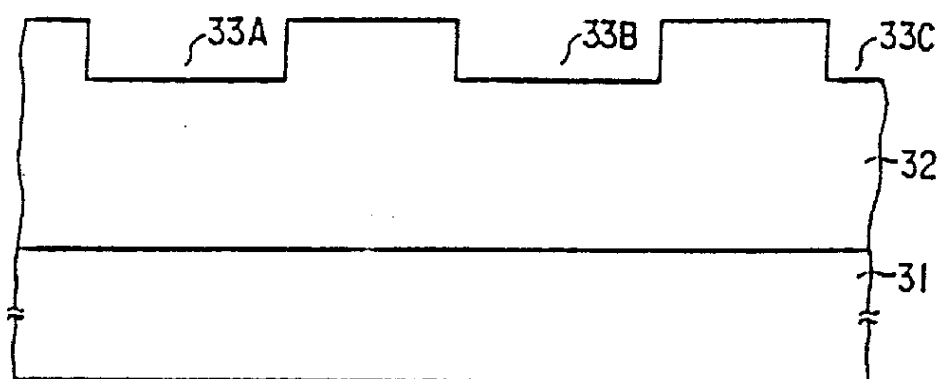


图 4

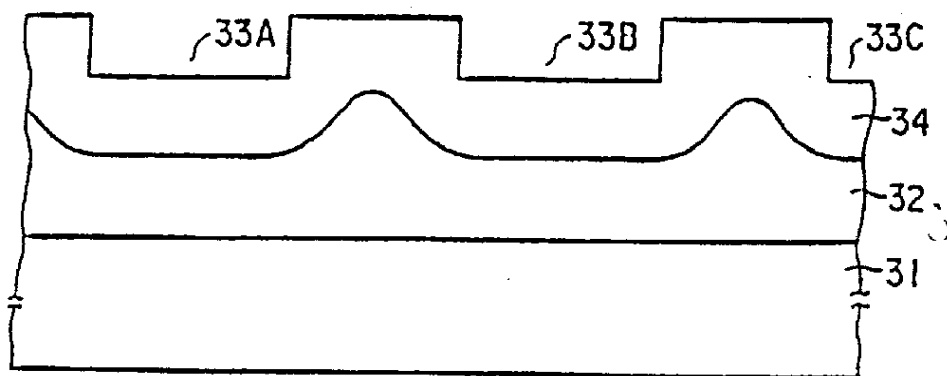


图 5

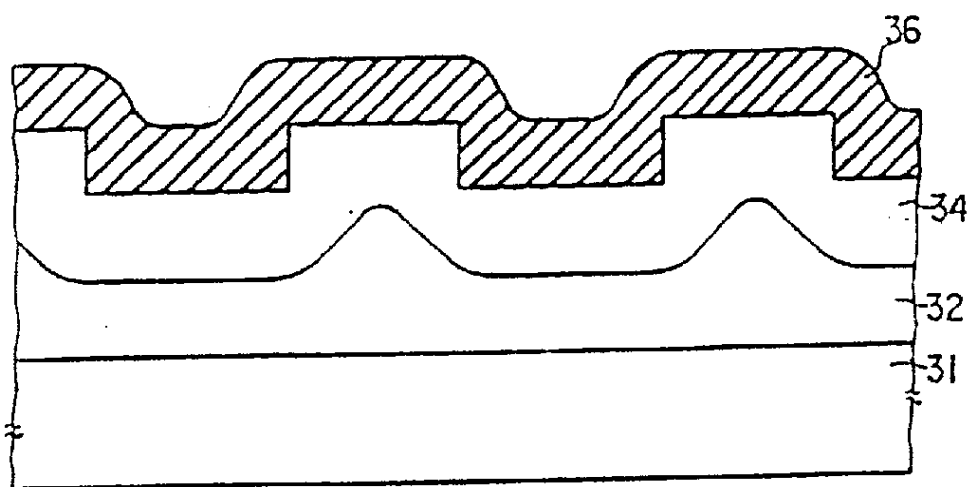


图 6

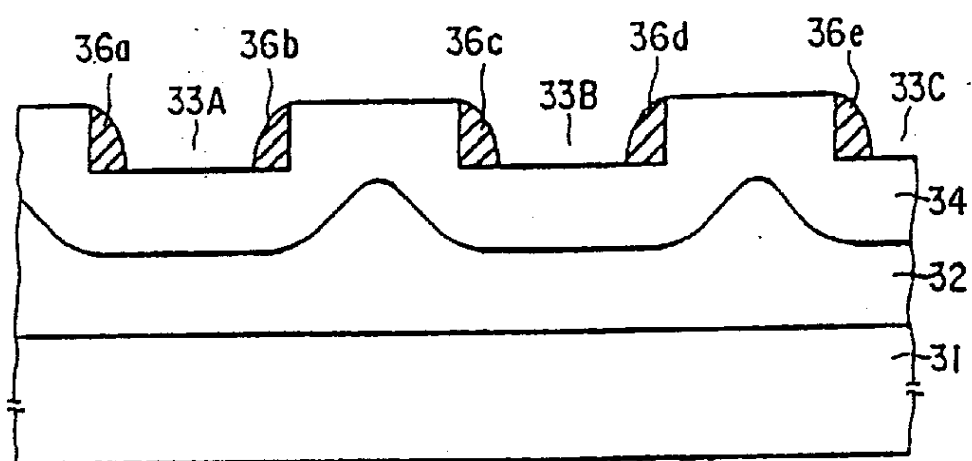


图 7

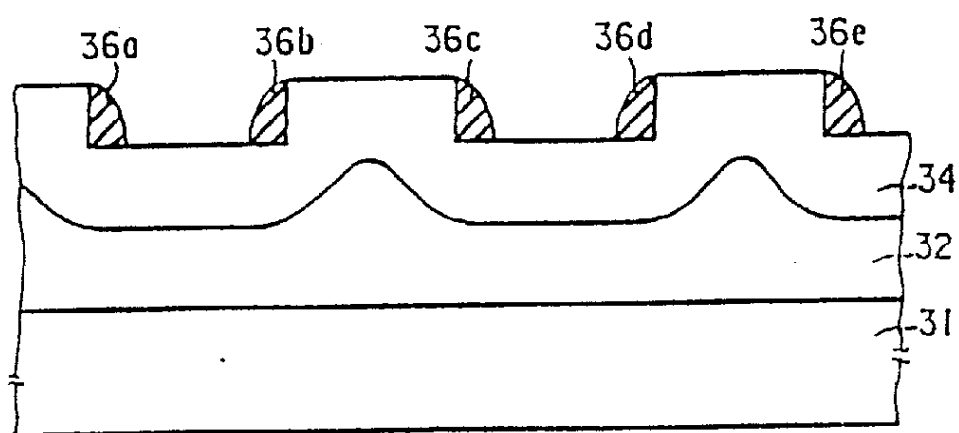


图 8

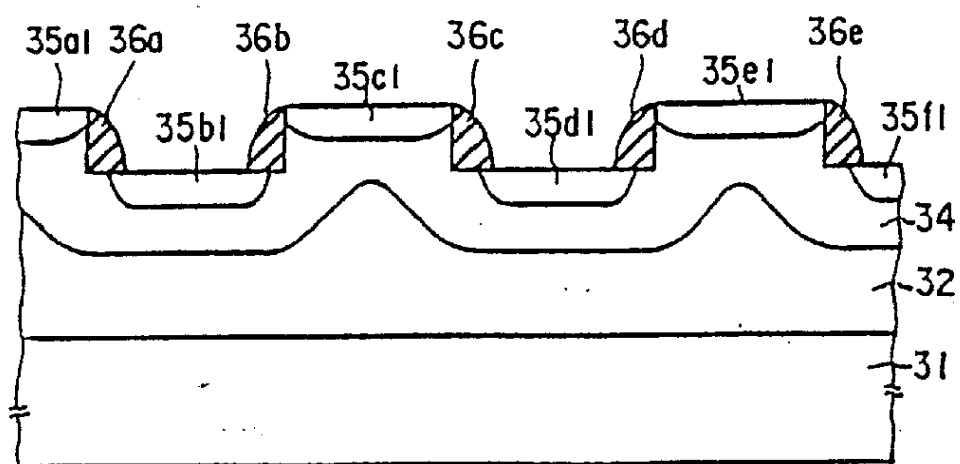


图 9

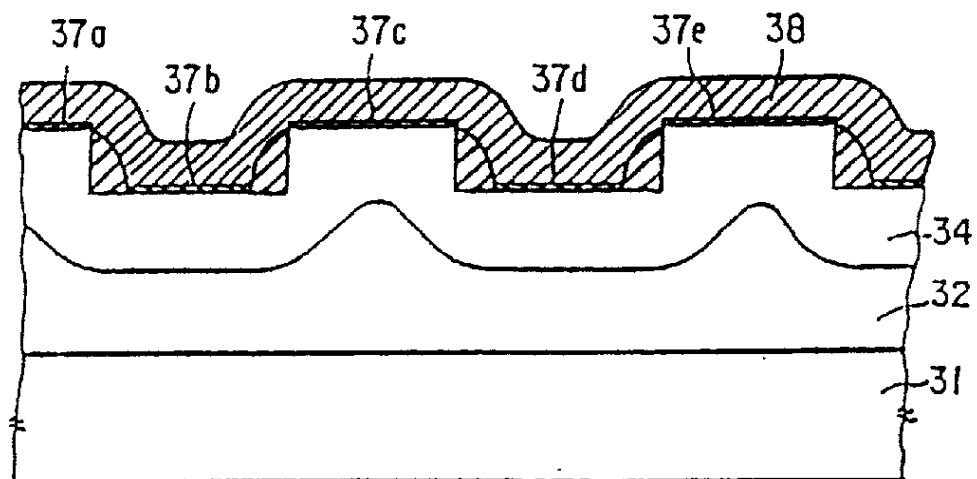


图 10

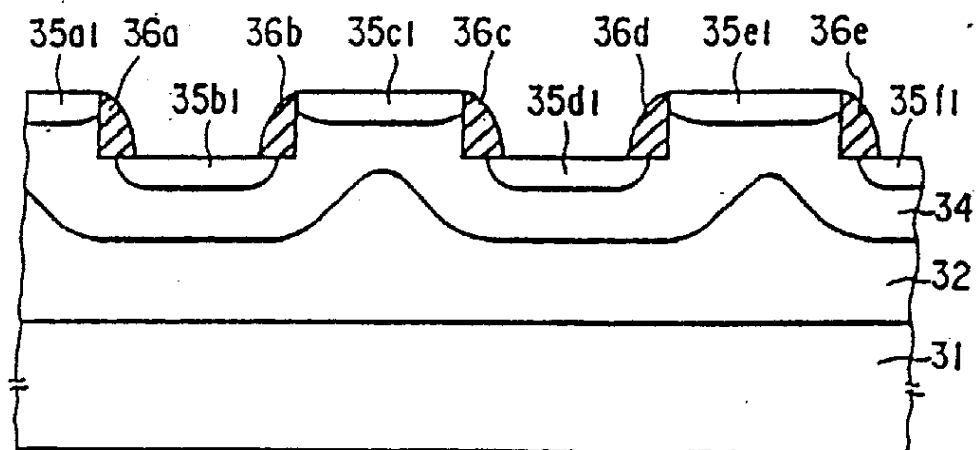


图 11

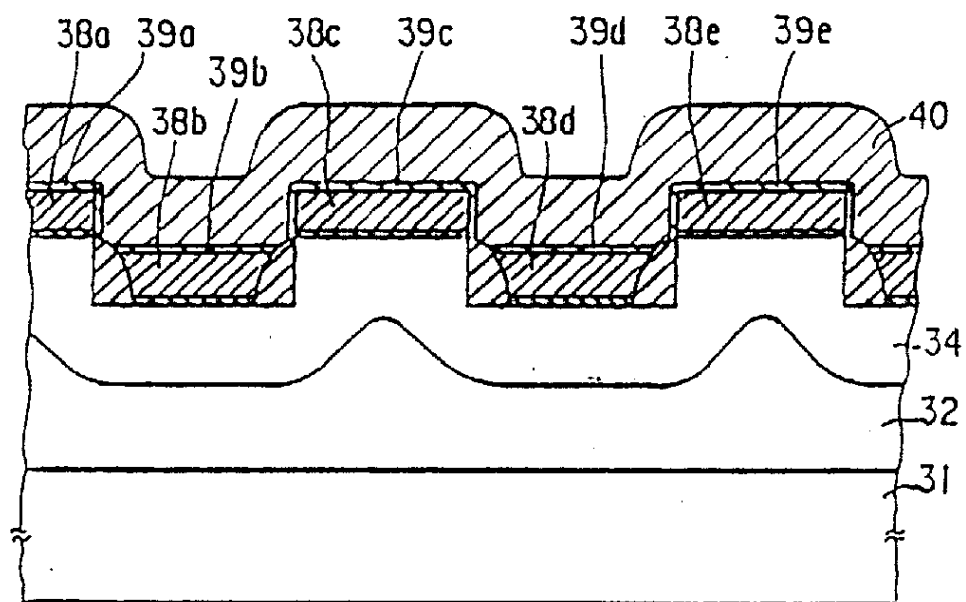


图 12

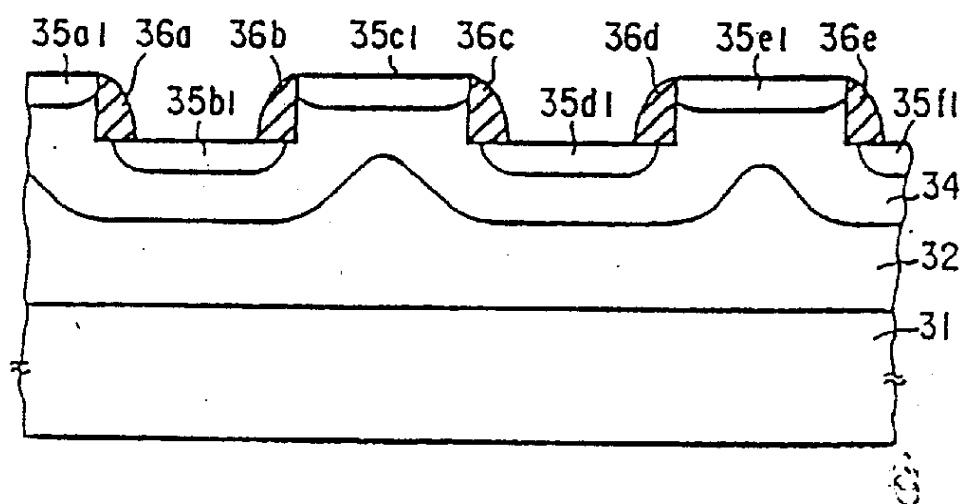


图 1 3

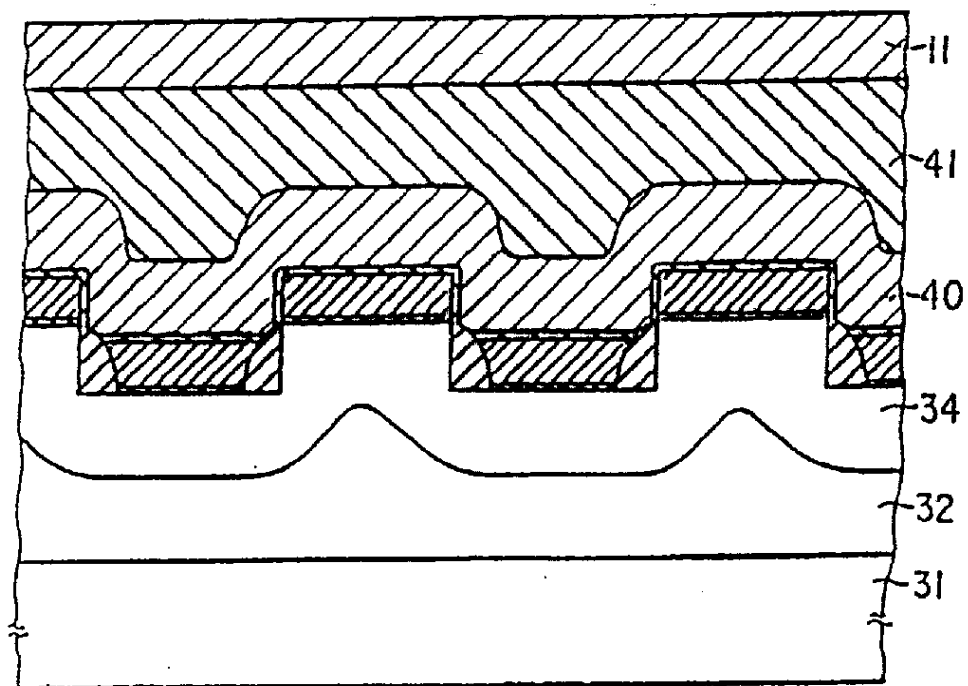


图 1 4

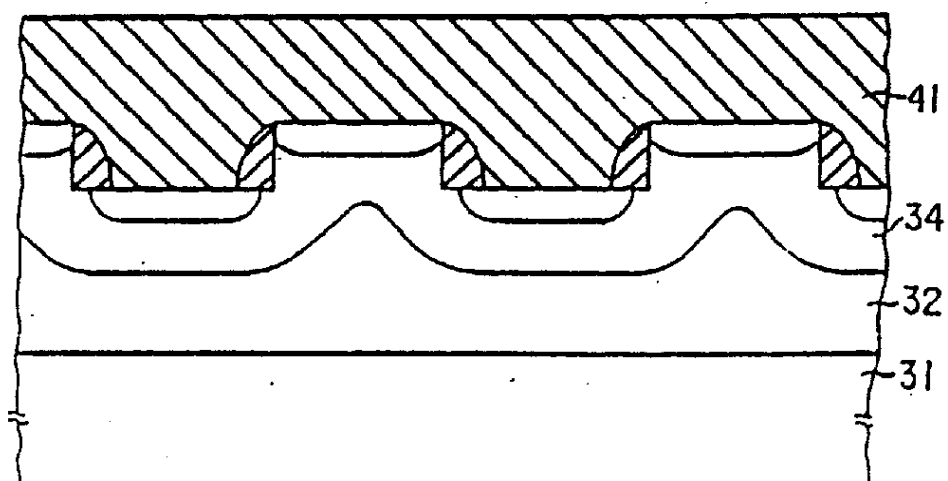


图 15

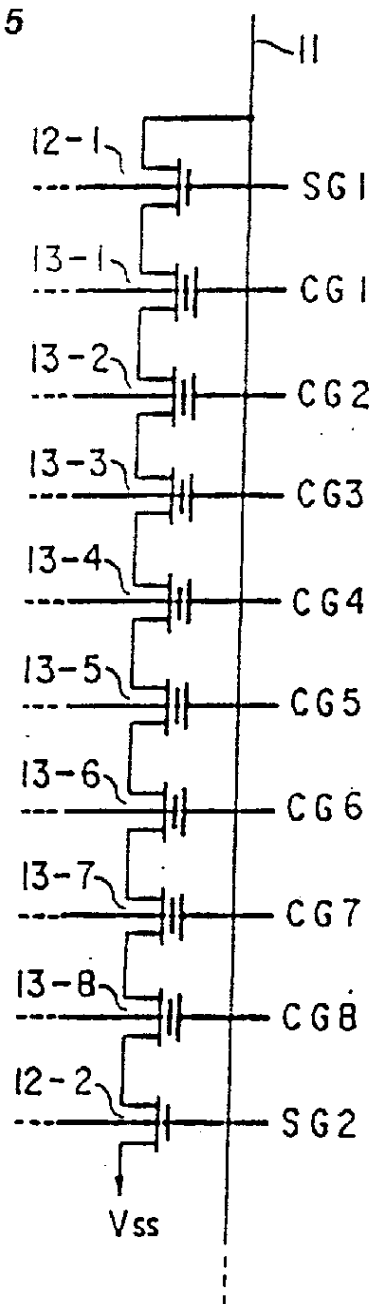
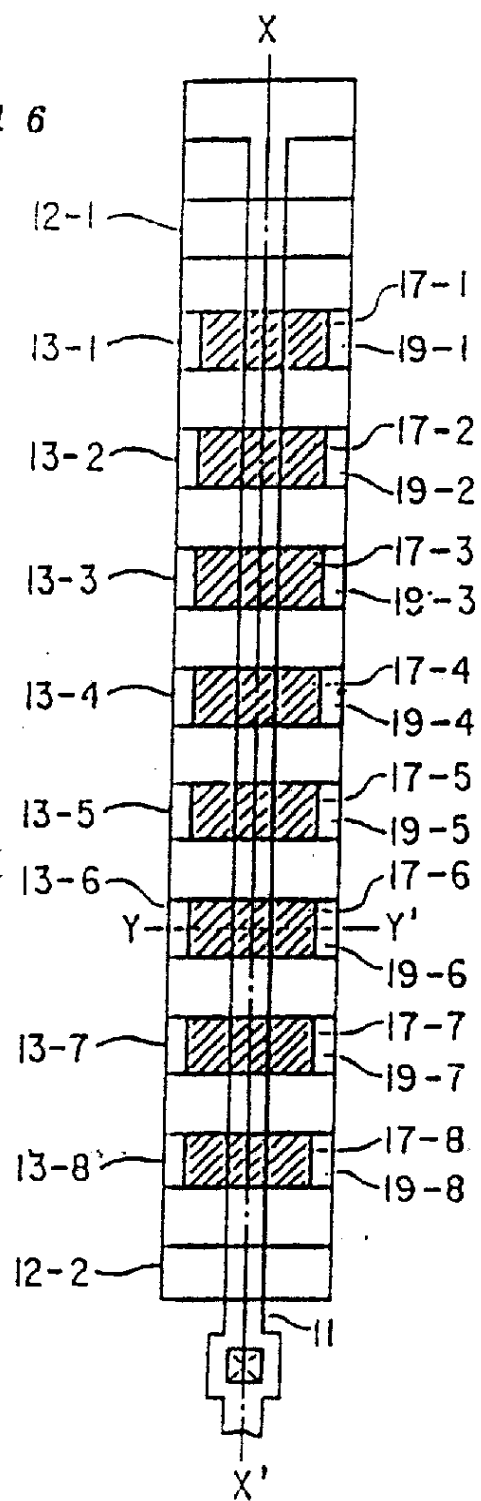


图 16



图

17

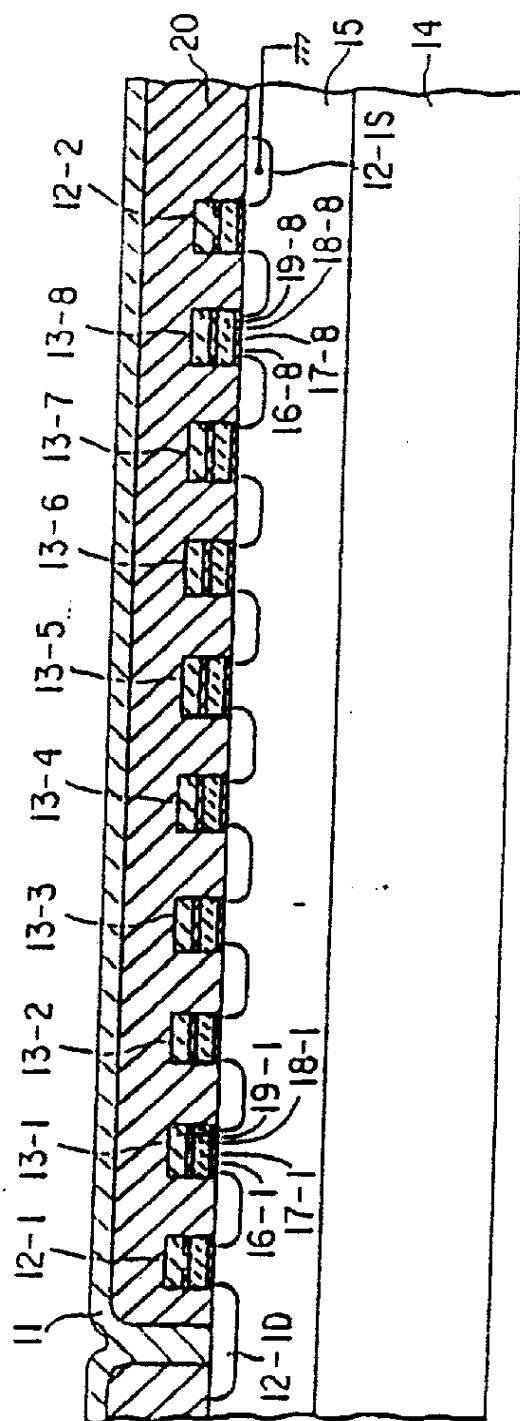


图 1 8 13-6

