



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월27일
(11) 등록번호 10-1123377
(24) 등록일자 2012년02월27일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
H01L 21/304 (2006.01)
(21) 출원번호 10-2005-7023790
(22) 출원일자(국제) 2004년06월05일
심사청구일자 2009년04월29일
(85) 번역문제출일자 2005년12월10일
(65) 공개번호 10-2006-0013570
(43) 공개일자 2006년02월10일
(86) 국제출원번호 PCT/US2004/017725
(87) 국제공개번호 WO 2004/112146
국제공개일자 2004년12월23일
(30) 우선권주장
10/459,579 2003년06월12일 미국(US)
(56) 선행기술조사문헌
US20010036731 A1*
US20020130354 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
글로벌파운드리즈 인크.
케이만 아일랜드 케이와이1-1104 그랜드 케이만
어그랜드 하우스 피.오.박스 309 메이플즈 코포레
이트 서비시즈 리미티드
(72) 발명자
아췌췌 췌리췌나췌리
미국 췌리포니아 94538 산 라몬 인췌터드 췌이
105
아메드 췌블리 에스.
미국 췌리포니아 95134 산 호세 #105 엘란 빌리지
레인 350
(뵐뵐에 췌속)
(74) 대리인
박장원

전체 청구항 수 : 총 6 항

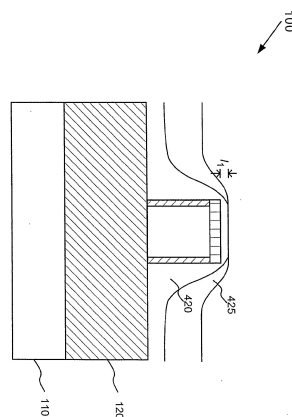
심사관 : 김상우

(54) 발명의 명칭 화학 기계적 연마 평탄화를 위한 이중 실리콘 게이트 층을구비한 F I N F E T

(57) 요약

FinFET 유형 반도체 디바이스는 핀 구조체(210)를 포함하며 이 핀 구조체(210) 위에는 상대적으로 얇은 비정질 실리콘 층(420) 그리고 후속 비도핑 폴리실리콘 층(425)이 형성된다. 반도체 디바이스는 화학 기계적 연마(CMP)를 사용하여 평탄화되며, 여기서 상기 비정질 실리콘 층(420)은 상기 핀 구조체의 손상을 방지하는 중지층으로서 행동한다.

대표도 - 도6



(72) 발명자

왕 하이홍

미국 캘리포니아 95035 밀피타스 아파트먼트 티303
밀몬트드라이브 1775

유 빈

미국 캘리포니아 95014 쿠파티노 포퍼 웨이 1373

특허청구의 범위

청구항 1

반도체 디바이스의 제조방법에 있어서,

절연체 상에 핀 구조체(fin structure)(210)를 형성하는 단계와;

상기 절연체의 일부분과 상기 핀 구조체의 적어도 일부분 위에 게이트 구조체를 형성하는 단계와, 여기서 상기 게이트 구조체는 제 1 층(420) 및 상기 제 1 층 위에 형성된 제 2 층(425)을 포함하며; 그리고

상기 게이트 구조체에 대해 화학 기계적 연마(CMP)를 수행함으로써 상기 게이트 구조체를 평탄화하는 단계를 포함하고,

상기 게이트 구조체의 상기 제 1 층(420)의 평탄화 속도(planarization rate)가 상기 게이트 구조체의 상기 제 2 층(425)의 평탄화 속도보다 느리고,

상기 제 1 층의 상면이 상기 핀 위의 영역에서 노출될 때까지 상기 평탄화 단계가 계속되는 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 2

제 1항에 있어서,

상기 게이트 구조체를 형성하는 단계는,

비정질 실리콘을 포함하는 상기 제 1 층(420)을 증착하는 단계와; 그리고

비도핑 폴리실리콘을 포함하는 상기 제 2 층(425)을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 3

제 2항에 있어서,

상기 제 1 층은 200 내지 800Å 범위의 두께로 증착되고 상기 제 2 층은 200 내지 1000Å 범위의 두께로 증착되는 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 4

제 1항에 있어서,

상기 CMP를 수행하는 것은 상기 게이트 구조체를 평탄화하기 위하여 슬러리(slurry)를 사용하는 것을 포함하며, 상기 슬러리는 상기 제 1 층의 상기 평탄화 속도가 50 내지 2000Å/분이고 상기 제 2 층의 상기 평탄화 속도가 500 내지 6000Å/분이 되도록 선택되는 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 5

제 1항에 있어서,

상기 반도체 디바이스는 FinFET인 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 6

제 1항에 있어서,

상기 평탄화하는 단계는 옥사이드에 대한 높은 선택성을 갖고 7-12 범위의 pH를 갖는 실리카 콜로이드 연마제를 포함하는 슬러리를 사용하여 수행되는 것을 특징으로 하는 반도체 디바이스의 제조방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서

기술분야

- [0001] 본 발명은 반도체 디바이스와 이를 제조하는 방법에 관한 것이다. 본 발명은 특히 이중-게이트 디바이스에 응용 가능성을 갖는다.

배경기술

- [0002] 초대규모 집적회로(ultra large scale integration) 반도체 디바이스에 관련된 고밀도 및 성능에 대한 점증하는 요구는 100nm(nanometer) 미만의 게이트 길이와 같은 디자인 피처(feature)와, 고 신뢰도, 및 증대된 제조 수율을 필요로 한다. 100nm 미만으로의 디자인 피처의 축소는 종래 방법론의 한계에 대한 해결과제이다.
- [0003] 예를 들면, 종래의 평면 금속 옥사이드 반도체 전계 효과 트랜지스터(MOSFET)의 게이트 길이가 100nm 미만으로 축소되면, 소스와 드레인 사이의 과도 누설과 같은 짧은 채널 효과(short channel effect)에 관련된 문제가 점차 극복하기 어려워진다. 게다가, 이동도(mobility) 저하 및 수많은 공정 문제도 또한, 종래의 MOSFET이 점차 작아지는 디바이스 피처들을 포함하도록 축소되는 것을 어렵게 한다. 따라서, FET 성능을 개선하고 디바이스를 더욱 축소할 수 있는 신규한 디바이스 구조가 연구되고 있다.
- [0004] 이중-게이트 MOSFET은 기존의 평면 MOSFET의 뒤를 잇는 후보자로 간주된 신규한 구조를 나타낸다. 몇몇 관점에서, 이중-게이트 MOSFET은 종래 벌크 실리콘 MOSFET들보다 더 나은 특성들을 제공한다. 종래 MOSFET들이 채널의 일측에만 게이트 전극을 갖는 것에 비해, 이중-게이트 MOSFET은 채널의 양측상에 게이트 전극을 구비하기 때문에 상기 개선점들을 갖는다. 두 개의 게이트들이 존재하는 경우에, 드레인에 의해 생성된 전계는 채널의 소스 단부로부터 더 잘 차폐된다. 또한, 두 개의 게이트들은 단일 게이트보다 대략 두 배 많은 전류를 제어할 수 있기 때문에, 결과적으로 스위칭 신호가 더욱 강력해진다.
- [0005] FinFET은 양호한 짧은 채널 특성을 나타내는 최근의 이중-게이트 구조체이다. FinFET은 수직 핀에 형성된 채널을 포함한다. FinFET 구조체는 종래의 평면 MOSFET에 사용되는 것과 유사한 레이아웃(layout)과 공정 기술을 사용하여 제조될 것이다.

발명의 상세한 설명

- [0006] 본 발명에 따른 실시는 폴리실리콘의 화학기계적 연마(CMP) 평탄화를 향상시키는데 사용되는, 게이트 영역 위에 이중 폴리실리콘 층을 구비한 이중-게이트 MOSFET을 제공한다.
- [0007] 본 발명에 따른 일 실시는 반도체 디바이스의 제조방법을 제공한다. 상기 방법은 절연체 위에 핀 구조체를 형성하는 단계와 그리고 상기 핀 구조체의 적어도 일부분 및 상기 절연체의 일부분 위에 게이트 구조체를 형성하는 단계를 포함한다. 상기 게이트 구조체는 제 1 층 및 상기 제 1 층 위에 형성된 제 2 층을 포함한다. 상기 방법은 게이트 구조체에 대하여 화학 기계적 연마(CMP)를 수행함으로써 게이트 구조체를 평탄화하는 단계를 포함한다. 게이트 구조체의 제 1 층의 평탄화 속도(planarization rate)는 게이트 구조체의 제 2 층의 평탄화 속도보다 느리다. 상기 제 1 층이 핀 위의 영역에서 노출될 때까지 평탄화가 계속된다.
- [0008] 본 발명에 따른 대안적인 실시는 반도체 디바이스에 관한 것이다. 상기 디바이스는 절연체 위에 형성된 핀 구조체를 포함한다. 핀 구조체는 제 1 및 제 2 단부들을 포함한다. 핀 구조체의 적어도 일부분은 반도체 디바이스에서 채널로서 동작한다. 비정질 실리콘층은 핀 구조체의 적어도 일부분 위에 형성된다. 폴리실리콘층은 상기 비정질 실리콘층의 적어도 일부분 주위에 형성된다. 비정질 실리콘층은 핀 구조체 위의 영역에서 폴리실리콘 층을

통하여 돌출한다. 소스 영역은 핀 구조체의 제 1 단부에 접속된다. 드레인 영역은 핀 구조체의 제 2 단부에 접속된다.

실시예

- [0022] 본 발명의 하기의 상세한 설명은 첨부된 도면을 참조한다. 서로 다른 도면에서 동일한 참조 번호는 동일하거나 유사한 소자를 정의한다. 또한, 하기의 상세한 설명은 본 발명을 제한하지 않는다. 대신에, 본 발명의 범위는 첨부된 청구항과 그들의 균등물에 의해 한정된다.
- [0023] 본 명세서에서 사용되는 용어로서 FinFET은 전도성 채널이 수직 Si "핀"에 형성되는 MOSFET의 한 유형을 일컫는다. 일반적으로 FinFET은 본 기술분야에 알려져 있다.
- [0024] 도 1은 본 발명의 실시예에 따라 형성된 반도체 디바이스(100)의 단면을 도시한다. 도 1에서, 반도체 디바이스(100)는 실리콘 온 절연체(SOI) 구조체를 포함하며, 상기 SOI 구조체는 실리콘 기판(110), 매립 옥사이드 층(120), 및 매립 옥사이드 층(120) 위에 형성된 실리콘 층(130)을 포함한다. 매립 옥사이드 층(120) 및 실리콘 층(130)은 종래 방식으로 기판(110) 위에 형성된다.
- [0025] 예시적인 실시에서, 매립 옥사이드 층(120)은 실리콘 옥사이드(silicon oxide)를 포함하고 대략 1000Å 내지 대략 3000Å 범위의 두께를 갖는다. 실리콘 층(130)은 단결정성 또는 다결정성 실리콘을 포함한다. 실리콘 층(130)은 더욱 자세하게 후술하는 바와 같이 이중-게이트 트랜지스터 디바이스를 위한 핀 구조체를 형성하는데 사용된다.
- [0026] 본 발명에 따른 대안적인 실시들에서, 기판(110) 및 층(130)은 게르마늄과 같은 다른 반도체성 물질 또는 실리콘-게르마늄과 같은 반도체성 물질들의 화합물을 포함한다. 매립 옥사이드 층(120)도 또한 다른 유전체 물질들을 포함할 수 있다.
- [0027] 실리콘 나이트라이드(silicon nitride) 층이나 실리콘 옥사이드 층(예컨대, SiO₂)과 같은 유전체 층(140)이 실리콘층(130) 위에 형성되어 후속 식각 공정 동안에 보호 캡(protective cap)으로서 역할한다. 예시적인 실시에서, 유전체 층(140)은 대략 150Å 내지 대략 700Å 범위의 두께로 성장된다. 그 다음, 포토레지스트 물질이 증착되고 패터닝되어 후속 공정을 위한 포토레지스트 마스크(150)를 형성한다. 포토레지스트는 종래의 모든 방법으로 증착되고 패터닝될 수 있다.
- [0028] 그 다음, 반도체 디바이스(100)가 식각되어 포토레지스트 마스크(150)가 제거된다. 예시적인 실시에서, 실리콘 층(130)은 종래의 방식으로 식각되며, 상기 식각은 매립 옥사이드 층(120) 상에서 종료되어 핀을 형성한다. 핀의 형성 후에, 소스 및 드레인 영역들이 핀의 각 단부들에 인접하여 형성된다. 예를 들면, 예시적인 실시예에서, 실리콘, 게르마늄, 또는 실리콘과 게르마늄의 화합물 층이 종래의 방식으로 증착되고, 패터닝되고 그리고 식각되어 소스 및 드레인 영역들을 형성한다. 다른 실시에서, 실리콘층(130)은 핀과 동시에 소스 및 드레인 영역들을 형성하도록 패터닝되고 식각될 수 있다.
- [0029] 도 2a는 이런 방식으로 형성된 반도체 디바이스(100) 상의 핀 구조체의 평면도를 개략적으로 도시한다. 본 발명의 예시적인 실시예에 따라, 소스 영역(220) 및 드레인 영역(230)은 매립 옥사이드 층(120) 상의 핀 구조체(210)의 단부들에 인접하여 형성된다.
- [0030] 도 2b는 핀 구조체(210)의 형성을 도시하는 도 2a의 라인(A-A')을 따른 단면이다. 전술한 바와 같이, 유전체 층(140) 및 실리콘층(130)이 식각되어 유전체 캡(140)을 구비한 실리콘 핀(130)을 포함하는 핀 구조체(210)를 형성한다.
- [0031] 도 3은 본 발명의 예시적인 실시예에 따라 핀 구조체(210) 상에 게이트 유전체 층과 게이트 물질의 형성을 도시하는 단면이다. 유전체 층은 실리콘 핀(130)의 노출된 측면들 상에 형성된다. 예를 들면, 도 3에 도시된 바와 같이 얇은 옥사이드 막(thin oxide film)(310)이 핀(130) 상에 열적으로 성장된다. 옥사이드 막(310)은 대략 50Å 내지 대략 100Å의 두께로 성장하고 핀(130)의 노출된 측면들 상에 형성된다.
- [0032] 게이트 물질 층(들)이 옥사이드 막(310)의 형성 후에 반도체 디바이스(100) 위에 증착된다. 도 4에서, 게이트 물질 층들은 얇은 비정질(amorphous) 실리콘 층(420)과 후속 비도핑(undoped) 폴리실리콘 층(425)을 포함한다. 층들(420 및 425)은 종래의 화학 기상 증착(CVD) 또는 다른 알려진 기법들을 사용하여 증착될 수 있다. 비정질 실리콘 층(420)은 대략 300Å의 두께로 증착된다. 더욱 상세하게, 비정질 실리콘 층(420)은 대략 200Å 내지 600Å 범위의 두께로 증착될 수 있다. 두께는 핀이나 스택(stack) 높이에 따라 변경될 것이다.

- [0033] 층들(420 및 425), 특히 층(425)은 그 다음 평탄화된다. 본 발명의 양상에 따라, 게이트 물질 층들(420 및 425)은 평탄화 공정에서 평탄화되며, 이는 비정질 실리콘 층(420)과 폴리실리콘 층(425)의 연마(polishing) 속도가 서로 다른 것을 이용한다. 더욱 상세하게, 비정질 실리콘층(420)과 폴리실리콘 층(425)의 연마 속도들의 차이를 이용함으로써, 핀(210) 상에 제어된 양의 비정질 층(420)이 보유될 수 있다.
- [0034] CMP는 반도체 표면을 평탄화하는데 사용될 수 있는 하나의 공지된 기술이다. CMP 공정에서, 웨이퍼는 회전 연마판(platen) 위에 아래를 향하도록 놓인다. 캐리어(carrier)에 의해 적당한 자리에 유지되는 웨이퍼는 연마판과 동일한 방향으로 회전한다. 연마판의 표면상에는 연마 패드가 있으며, 그 위에는 연마 슬러리(slurry)가 존재한다. 슬러리는 캐리어 용액(carrier solution)에 실리카 미립자(silica particle)의 콜로이드 용액을 포함한다. 슬러리의 pH 및 화학적 조성은 CMP 공정의 성능에 영향을 미친다. 본 발명의 예시적인 실시에서, 폴리실리콘에 비해 비정질 실리콘에서 낮은 연마 속도를 갖기 위해 특정 슬러리가 선택된다. CMP에 대한 슬러리들은 본 기술 분야에서 잘 알려져 있고 일반적으로 이용가능하다. 실리카 미립자들과 같은 연마재를 갖는 옥사이드 CMP에 대해 사용되는 상업적으로 이용가능한 다수의 슬러리들은 화학적으로 수정되어 비정질 실리콘과 폴리실리콘을 서로 다른 속도로 연마하도록 할 수 있다. 슬러리의 pH는 7 내지 12까지 변화할 수 있다. 제거속도는 비정질 실리콘에 대해서는 50Å/분(min) 내지 2000Å/분까지 그리고 폴리실리콘에 대해서는 500Å/분 내지 6000Å/분까지 변화할 수 있다.
- [0035] 도 5는 초기 평탄화 단계가 완료된 후에 게이트 물질 층들(420 및 425)의 평탄화를 도시하는 단면도이다. 도 5에 도시된 바와 같이, 핀(210) 위의 폴리실리콘 층(425)의 돌출부가 감소하도록 폴리실리콘 층(425)이 초기 평탄화되어 있다. 도 6은 또 다른 CMP 공정 후의 반도체 디바이스(100)를 도시한다. 이 시점에서, 비정질 실리콘 층(420)의 상면은 핀(210) 위의 영역에서 노출된다. CMP 공정이 폴리실리콘 층(425)에 비해 비정질 실리콘 층(420)에서 더 느린 속도를 갖기 때문에, 비정질 실리콘층(420)은 자동 중지 층(automatic stop layer)으로서 작용하고 핀(210) 위에서 여전히 보호층으로서 잔존한다. 적은 부분의 비정질 실리콘층(420)도 또한 CMP 공정 동안에 제거됨을 이해해야 한다. 이러한 방식으로, 비정질 실리콘층(420)은 게이트 층(420 및 425)을 평탄화할 때 핀(210)의 보호 중지 층으로서 사용될 수 있다. 도 6에 간격(11)으로 도시된, 핀(210) 위에 연장된 비정질 실리콘층(420)의 최종 두께는 예를 들면 대략 300Å이다.
- [0036] 도 7은 게이트 물질 층들(420 및 425)로부터 패턴된 게이트 구조체(710)를 도시하는 반도체 디바이스(100)의 평면을 개략적으로 도시한다. 게이트 구조체(710)는 CMP 공정이 완료된 후에 패턴되고 식각된다. 게이트 구조체(710)는 핀(210)의 채널 영역을 가로질러 연장된다. 게이트 구조체(710)는 핀(210)의 측면들에 근접한 게이트 부분과 핀(210)으로부터 이격된 큰 전극 부분을 포함한다. 게이트 구조체(710)의 전극 부분은 게이트 부분을 바이어싱(biasing)하거나 그렇지 않으면 제어하기 위해 액세스 가능한 전기적 콘택(contact)을 제공한다.
- [0037] 그 다음, 소스/드레인 영역들(220 및 230)이 도핑된다. 예를 들면, n-타입이나 p-타입 불순물들이 소스/드레인 영역들(220 및 230)에 주입된다. 특정 최종 디바이스 필요조건(end device requirement)에 따라 특정 주입 투여량(dosage) 및 에너지들이 선택될 수 있다. 당해 기술분야의 일 당업자는 회로 필요조건에 기초하여 소스/드레인 주입 공정을 최적화할 수 있으며, 이러한 행위들은 본 발명의 요지를 불필요하게 흐르지 않기 위해서 본 명세서에는 개시되지 않는다. 게다가, 소스/드레인 이온 주입 전에 측벽 스페이서들(도시되지 않음)이 선택적으로 형성되어 특정 회로 필요조건에 기초하여 소스/드레인 집합들의 위치를 제어한다. 그 다음, 활성화 어닐링(activation annealing)이 수행되어 소스/드레인 영역들(220 및 230)을 활성화한다.
- [0038] 전술한 CMP 평탄화 공정은 게이트 물질 층을 평탄화하여 반도체 디바이스(100)를 위한 균일한 표면을 형성한다. 일부 실시에서, 평탄화 공정을 더욱 개선하기 위해, 핀(210) 옆에 더미 핀 구조체들을 추가로 위치시켜 더욱 균일한 층을 산출하도록 한다.
- [0039] 도 8은 더미 핀들을 도시하는 단면 다이어그램이다. 도 8에서 더미 핀들(801 및 802)이 실제 핀(810) 옆에 형성된 것을 제외하고는, 도 8은 도 4에 도시된 단면과 일반적으로 유사하다. 더미 핀들(801 및 802)은 FinFET의 최종 동작에서 역할을 수행하지 않는다. 그러나, 핀(810) 옆에 핀들(801 및 802)을 위치시킴으로써, 게이트 물질 층(820)은 초기에 증착될 때 더욱 균일하게 분포시킨다. 즉, 더미 핀들(801 및 802)은 핀(810)에 인접한 영역에서 층(820)의 낮은 포인트를 더미 핀들(801 및 802)이 존재하지 않는 경우보다 더 높게 한다. 따라서, 도 8에 도시된 실시에서, 층(820)은 더미 핀들(801 및 802)이 없는 경우보다 더 균일하게 된다. 이는 평탄화 후에 더 나은 균일성을 야기한다.
- [0040] 도 9는 반도체 디바이스 상의 라인들(예컨대, 핀들) 어레이를 개념적으로 도시한 다이어그램이다. 라인들(901)은 FinFET에서 실제로 사용되는 핀들을 나타낸다. 라인들(902)은 라인들(901)의 단부에서 더미 핀들을

나타낸다. 더미 핀들(902)은 CMP 공정에 의해 야기된 침식효과를 보상하고, 따라서 더욱 균일하게 평탄화된 표면을 산출할 수 있다.

[0041] 도 10은 더미 구조체의 대안적인 실시를 개념적으로 도시하는 다이어그램이다. 라인들(1001)은 라인들(901)과 유사하고, 최종 반도체 디바이스에서 사용되는 실제 구조들을 나타낸다. 그러나, 더미 라인들(902)은 더미 구조체(1002)로 대체된다. 더미 구조체(1002)는 더미 라인들(902) 보다 더 넓은 영역을 둘러싸므로 평탄화 동안에 더 나은 균일성을 제공한다. 특히, 라인들(100) 패턴을 에워쌘으로써, 더미 구조체(1002)는 라인들(1001)을 불균일한 연마로부터 보호하고 방지한다. 길이(12)와 같은 더미 구조체(1002)의 크기는 반도체 디바이스 상에서 사용되는 전체 패턴 밀도에 따른다.

[0042] 도 11-14를 참조하여 후술하는 CMP 평탄화 공정을 포함하는 부가적인 실시에서, 금속 게이트 집적 층들에 대한 CMP가 유발하는 바람직하지 않은 효과가 감소될 수 있다.

[0043] 반도체 논리(logic)의 수직 스택 층(vertically stacked layer)을 생성할 때, 층간 유전체(ILD) 층들이 반도체 디바이스들에서 사용된다. 도 11에 도시된 바와 같이, ILD 층(1101)은 제 1 반도체 논리 층(1102)을 제 2 반도체 논리 층으로부터 분리시키는데 사용된다. 상기 제 2 반도체 논리 층은 후에 ILD 층(1101) 위에 형성될 것이다. 층(1102)은 도 11에 상세하게 도시되지 않았으나, 예를 들면 하나 이상의 논리 기능을 수행하는 수많은 상호접속된 FinFET을 포함할 것이다.

[0044] 비아들(1103)은 레지스트(1104)의 적용에 의해 ILD 층(1101)에서 패턴될 수 있다. 비아들(1103)은 층들이 서로 통신하도록 하는 전도 물질로 채워질 수 있다(도 12-14에 도시됨).

[0045] 도 12에서, 비아(1103)는 ILD(1101) 주변의 영역에 주입된다. 주입 물질(1205)은 후속 증착되는 금속에 대해 활성체로서 기능하는 실리콘(Si)이나 팔라듐(Pd)을 포함한다. 금속의 무전해(electroless) 증착을 위한 활성체로서 기능하는 다른 물질들이 사용될 수 있다.

[0046] 도 13 및 14에서, 레지스트(1104)가 제거되고 그 다음, 금속(1406)이 선택적으로 증착된다. 금속(1406)은 선택적 무전해 증착을 통해 증착되고 코발트(Co), 니켈(Ni), 또는 텅스텐(W)이나 이들의 합금들과 같은 금속을 포함한다. 금속(140)은 주입 물질(1205)이 배양(cultivation)된 영역(즉, 비아(1103)의 활성화된 표면들)에서만 증착된다. 따라서, 비아(1103)는 전도성 금속으로 채워진다. 이러한 공정은 CMP 유발 디싱(dishing)이나 다른 바람직하지 않은 영향들을 방지하는 경향이 있다.

[0047] 본 명세서에서 평탄화를 개선하기 위해 다중 게이트 층을 사용하여 생성된 FinFET이 설명되었다. 다중 게이트 층들은 CMP 공정 동안에 자동 평탄화 중지 층으로서 행동하는 얇은 비정질 실리콘층을 포함한다.

[0048] 전술한 설명에서, 본 발명의 완전한 이해를 제공하기 위해 특정 물질, 구조, 화학물질, 공정 등과 같은 수많은 특정 세부사항들이 열거되었다. 그러나, 본 발명은 본 명세서에서 열거된 특정 세부사항들에 의하지 아니하고도 실시될 수 있다. 또한, 본 발명의 요지를 불필요하게 모호하게 하지 않기 위하여 잘 알려진 공정 구조들은 상세하게 기술하지 않았다.

[0049] 본 발명에 따른 반도체 디바이스의 제조에 사용되는 유전체 및 전도성 층들은 종래의 증착 기술들에 의해 증착될 수 있다. 예를 들면, 저압 화학 기상 증착(LPCVD) 및 인헨스드 화학 기상 증착(enhanced chemical vapor deposition(ECVD))을 포함하는 다양한 유형의 화학 기상 증착(CVD) 공정들과 같은 금속화 기술들이 이용될 수 있다.

[0050] 본 발명은 반도체 디바이스 특히 100nm 이하의 디자인 피처를 구비한 반도체 디바이스의 제조에 응용가능하며, 결과적으로 트랜지스터 및 회로 속도를 증가시키고 신뢰도를 개선한다. 본 발명은 모든 다양한 유형의 반도체 디바이스들의 형성에 응용가능하므로, 본 발명의 요지를 모호하게 하지 않기 위해 세부사항들은 열거하지 않았다. 본 발명의 실행에 있어서, 종래의 포토리소그래픽 및 식각 기술들이 이용될 수 있으므로 이러한 기술들의 세부사항들은 본 명세서에서 상세하게 열거하지 않았다.

[0051] 본 명세서는 단지 발명의 선호하는 실시예와 수많은 예들 중 일부만을 도시하고 설명한다. 본 발명은 다양한 다른 조합 및 환경에서 사용될 수 있고, 본 명세서에서 표현된 발명의 범위 내에서 변경이 가능함을 이해해야 한다.

도면의 간단한 설명

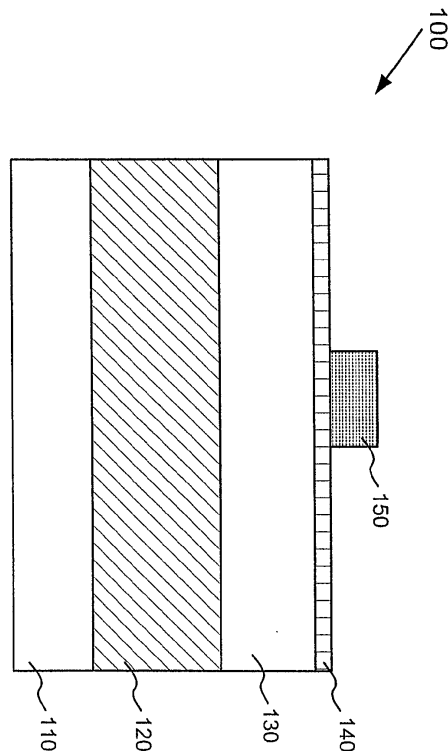
[0009] 첨부된 도면에 대해서 기술하며, 여기서 동일한 참조 번호 표시를 갖는 소자들은 본 명세서를 통해 동일한 소자

를 나타낸다.

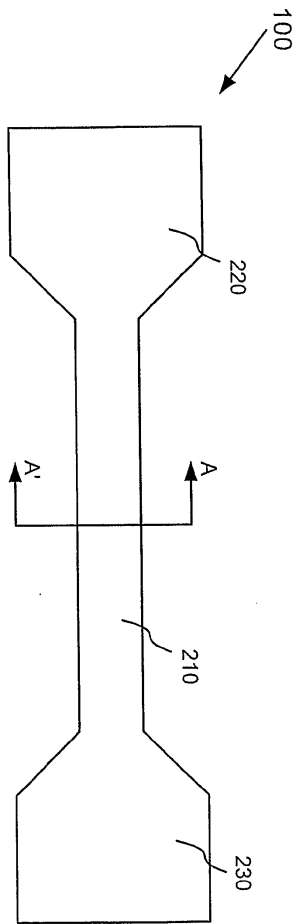
- [0010] 도 1은 예시적인 반도체 디바이스의 단면을 도시하는 다이어그램이다.
- [0011] 도 2a는 도 1에 도시된 반도체 디바이스 상에 형성된 핀 구조체의 평면도를 도시하는 다이어그램이다.
- [0012] 도 2b는 도 2a에서 라인(A-A')을 따른 단면을 도시하는 다이어그램이다.
- [0013] 도 3은 도 2b에 도시된 핀 상에 형성된 게이트 유전체 층의 단면을 도시하는 다이어그램이다.
- [0014] 도 4는 도 3에 도시된 핀 위에 증착된 게이트 물질 층을 보여주는 단면을 도시하는 다이어그램이다.
- [0015] 도 5는 초기 평탄화 후에 도 4의 게이트 물질 층을 보여주는 단면을 도시하는 다이어그램이다.
- [0016] 도 6은 후속 평탄화 후에 도 5의 게이트 물질 층을 보여주는 단면을 도시하는 다이어그램이다.
- [0017] 도 7은 도 6에 도시된 게이트 물질로부터 패터닝된 게이트 구조체를 보여주는 FinFET의 평면도를 개략적으로 도시하는 다이어그램이다.
- [0018] 도 8은 더미(dummy) 핀을 보여주는 단면을 도시하는 다이어그램이다.
- [0019] 도 9는 반도체 디바이스 상의, 더미 구조체들을 포함하는 라인들 어레이를 개념적으로 도시한 다이어그램이다.
- [0020] 도 10은 반도체 디바이스 상의 대안적인 더미 구조체를 개념적으로 도시한 다이어그램이다. 그리고
- [0021] 도 11-14는 비아(via)들의 형성을 보여주는 단면을 도시하는 다이어그램들이다.

도면

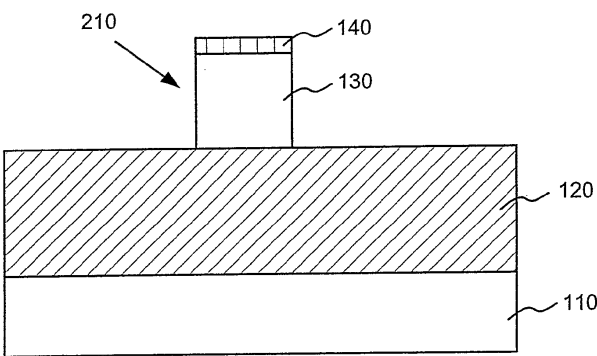
도면1



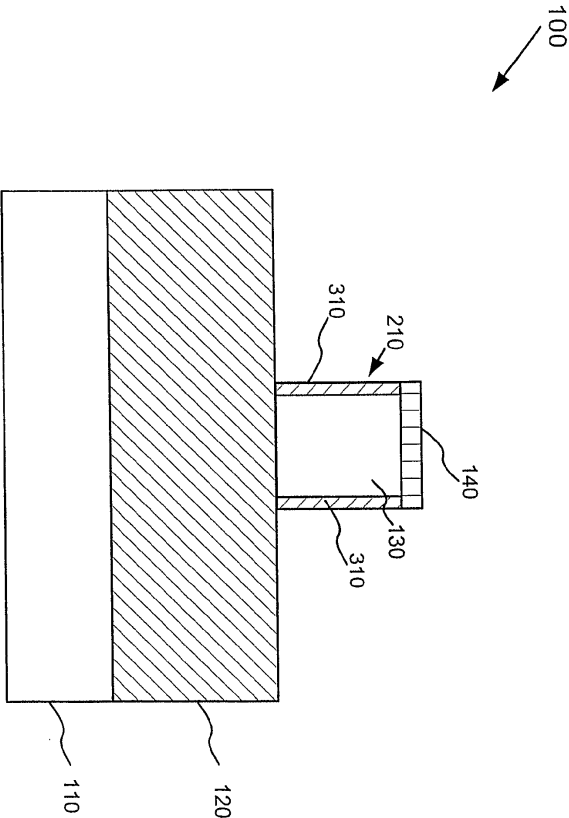
도면2A



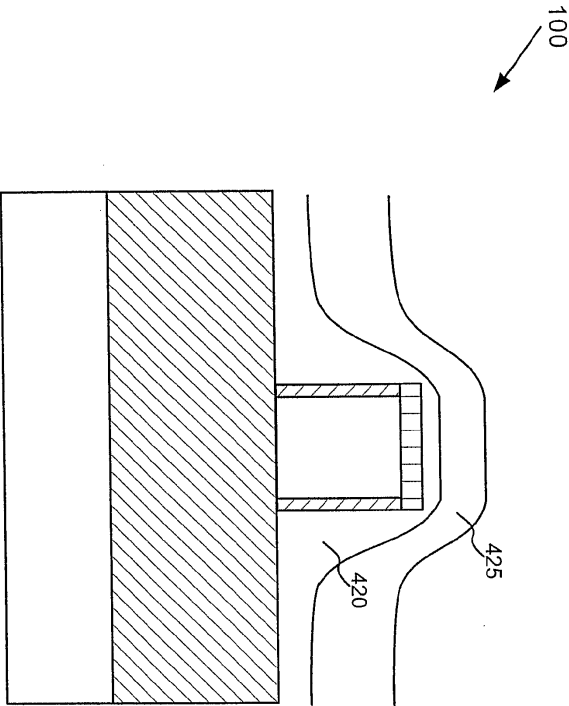
도면2B



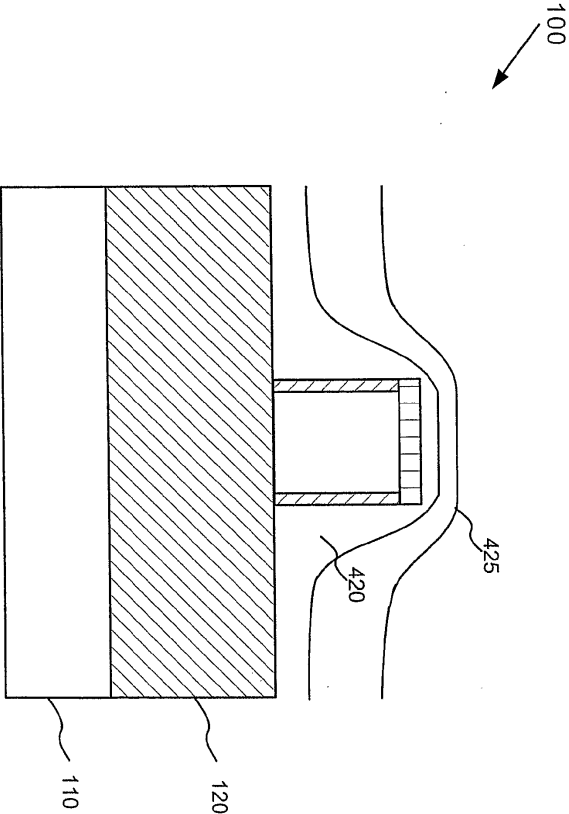
도면3



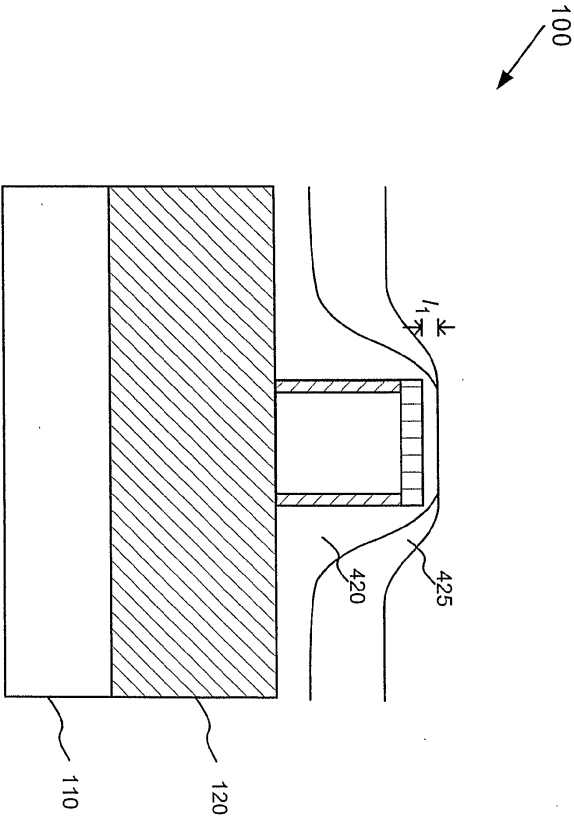
도면4



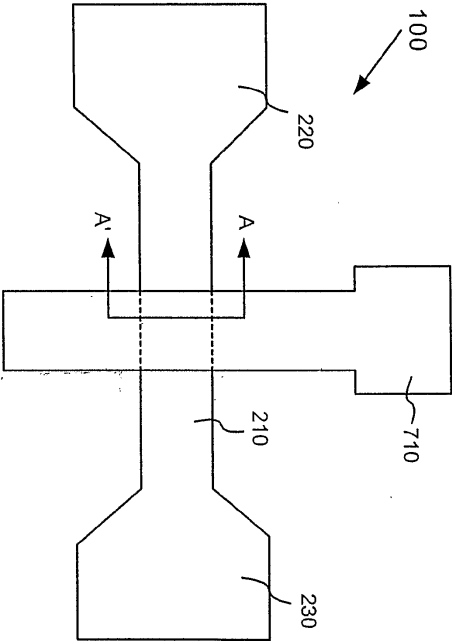
도면5



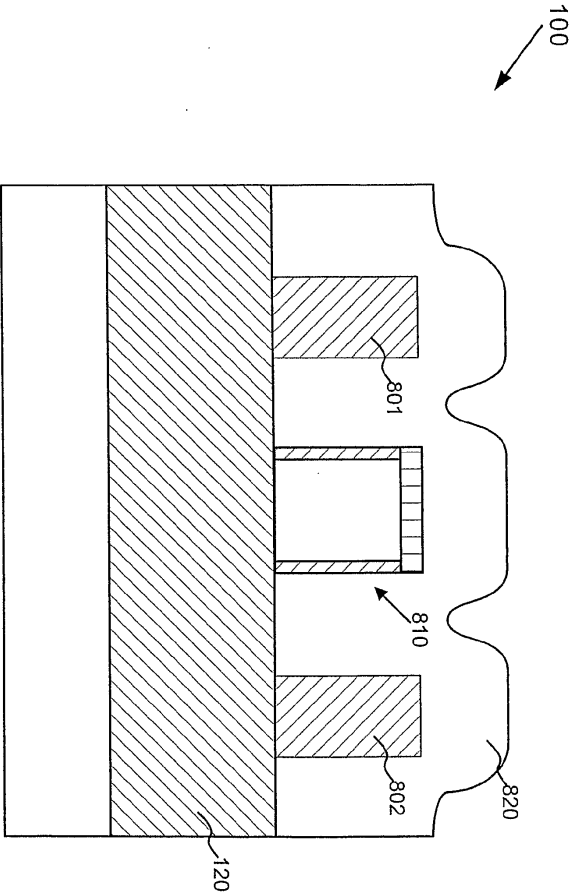
도면6



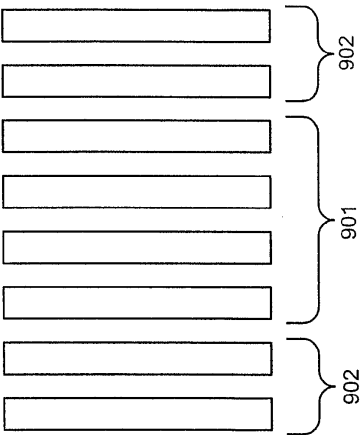
도면7



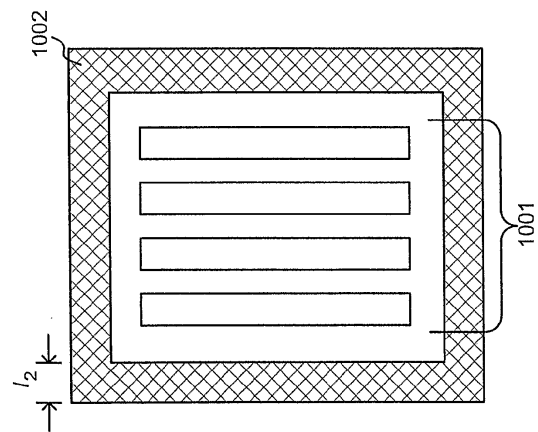
도면8



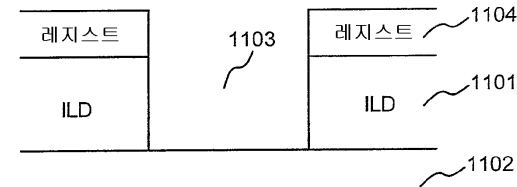
도면9



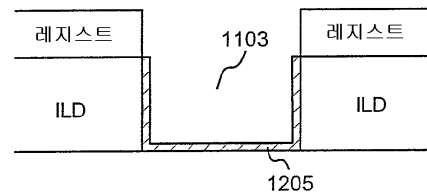
도면10



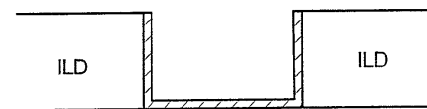
도면11



도면12



도면13



도면14

