

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3577103号
(P3577103)

(45) 発行日 平成16年10月13日(2004.10.13)

(24) 登録日 平成16年7月16日(2004.7.16)

| | |
|----------------------------|----------------|
| (51) Int. Cl. ⁷ | F I |
| HO4N 7/30 | HO4N 7/133 Z |
| GO6F 12/00 | GO6F 12/00 580 |
| HO4N 5/907 | HO4N 5/907 B |

請求項の数 17 (全 15 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願平6-105941 (22) 出願日 平成6年4月21日(1994.4.21) (65) 公開番号 特開平7-36773 (43) 公開日 平成7年2月7日(1995.2.7) 審査請求日 平成12年11月20日(2000.11.20) (31) 優先権主張番号 047541 (32) 優先日 平成5年4月21日(1993.4.21) (33) 優先権主張国 米国(US)</p> | <p>(73) 特許権者 592172367 ジェネラル・インスツルメント・コーポレイション・オブ・デラウェア GENERAL INSTRUMENT CORPORATION アメリカ合衆国イリノイ州シカゴ、ウエスト・ブリンマー・アヴェニュー8770、サーティーンズ・フロアー (74) 代理人 100069899 弁理士 竹内 澄夫 (74) 代理人 100096725 弁理士 堀 明▲ひこ▼ (72) 発明者 ラビー・コードマニ アメリカ合衆国カリフォルニア州サン・デイエゴ、パセオ・モントリル 9675 最終頁に続く</p> |
|---|---|

(54) 【発明の名称】 記憶データから多重データストリームを得るためのデュアルメモリバッファ装置及び方法

(57) 【特許請求の範囲】

【請求項1】

デジタルデータのバイトを含む連続フレームを保存し、その後各フレームに対しN個のデータストリームを出力する装置であり、各データストリームはその後の処理のために前記バイトをそれぞれ異なる順序で提供する、前記装置であって、
 交互にフレームを保存するための第1および第2メモリバンクであって、前記第2メモリバンクが先のフレームからのバイトを出力する間、前記第1メモリバンクが入力フレームからのバイトを保存するべく作用し、前記第1メモリバンクが先のフレームからバイトを出力する間、前記第2メモリバンクが入力フレームからのバイトを保存する、第1および第2メモリバンクと、
 前記第1および第2メモリバンクのバイトの入出力を制御するための制御手段であって、前記メモリバンクが前記制御手段によって提供される読出しおよび書込みストロープおよびアドレスにตอบสนองして、
 (i) 書込みストロープごとにNバイトのレートで書込みアドレスによって決定された順序で入力フレームデータを保存し、
 (ii) Nの読出しストロープごとに1の書込みストロープが生じ、各読出しストロープに対して、読出しアドレスによって特定されたNバイトのフレームデータを出力する、制御手段と、
 各データストリーム内に読出しストロープあたり1バイトを提供するよう、N個の異なるそれぞれのデータストリーム用に、前記メモリバンクから出力されるフレームデータをバ

バッファするためのバッファリング手段と、
から成る装置。

【請求項2】

請求項1に記載の装置であって、前記制御手段が、
各メモリバンクのための書込みアドレス生成器およびN個の読出しアドレス生成器と、
メモリバンクが保存のために入力フレームからバイトを受け取る時に、メモリバンクの
ための書込みアドレス生成器をメモリバンクのアドレスポートに結合するための手段と、
メモリバンクがそこからバイトを出力する時に、関連するメモリバンクの各読出しアド
レス生成器を該メモリバンクのアドレスポートに順次結合するための手段と、
から成る装置。

10

【請求項3】

請求項1または2に記載の装置であって、一度に1つのフレームからのデータを処理する
ために、前記バッファリング手段を前記第1および第2メモリバンクに交互に結合するた
めの手段、から成る装置。

【請求項4】

請求項3に記載の装置であって、前記バッファリング手段が、
現在の読出しアドレスに応答してメモリバンクによって出力されたNデータバイトを一度
に受信するために、前記制御手段によって生成された各イネーブル信号に応答するN個の
レジスタと、

連続読出しストロープに

20

連続読出しストロープに

連続読出しストロープに

【請求項5】

請求項1または2のいずれかに記載の装置であって、前記メモリバンクの各々に対して前
記バッファリング手段が、

メモリバンクに結合されたN個のレジスタであって、現在の読出しアドレスに応答してメ
モリバンクにより出力されたNデータバイトを一度に受信するために、前記制御手段によ
って生成された各イネーブル信号に応答するN個のレジスタと、

30

連続読出しストロープに

連続読出しストロープに

連続読出しストロープに

前記多重化手段がデータバイトのN個の連続ストリームを出力し、各ストリームは、その
ストリームを形成するために用いられるデータセクタに対応付けられたレジスタがイネ
ーブルされたときに、現在の読出しアドレスによって指定される順序でデータバイトを提
供することを特徴とする装置。

40

【請求項6】

請求項1から5のいずれかに記載の装置であって、前記フレームがビデオフレームであり
、前記バイトが画素である、装置。

【請求項7】

画素データを異なる順序で含むN個のデータストリームを提供するべく、画素データの連
続フレームを処理するための方法であって、

読出しサイクルごとにN個の画素の比率で第2メモリバンクから先のフレームの画素デー
タを出力する間に、書込みサイクルごとにN個の画素の比率で第1メモリバンクに画素デー
タの入力フレームを交互に保存する工程であって、N組のN個の出力画素が書込みサイク
ルごとに出力されるように、各書込みサイクルの間にN回の読出しサイクルが生じる、工

50

程と、

N個のデータストリームを与えるべく前記N組の各々に含まれる画素をバッファする工程であって、前記N個のデータストリームの各々は前記N組のうちのひとつの組の画素を含む、工程と、

から成り、

各読出しサイクル中に、画素データを出力しているメモリバンクは、前記データストリームの次の連続フレームに対し一組のN個の画素を与えるように新しくアドレスされる、方法。

【請求項 8】

画素データを異なる順序で含む2つのデータストリームを提供するべく、画素データの連続フレームを処理するための装置であって、

第1クロックレートで第1メモリバンクに保存するための連続画素対を得るために、現在の入力ビデオフレームからの画素をグループ化するための手段と、

現在のビデオフレームからの画素対がレートで前記第1メモリバンクに保存される間に、第2クロックレート2で第2メモリバンクから保存されている先のビデオフレームの画素対を読み出すための手段であって、前記現在のビデオフレームからの保存された1対の画素の各々に対し、前記先のビデオフレームからの2対の画素を与える、手段と、

前記読出すための手段によって与えられた画素対を結合して2つのデータストリームにするための結合手段であって、該2つのデータストリームは異なる画素順序で前記先のフレームからの画素を含む、手段と、

から成る装置。

【請求項 9】

請求項 8 に記載の装置であって、前記画素をグループ化する手段が、

前記入力ビデオフレームからの画素を1クロックサイクル遅延させるラッチと、

1対の画素を提供するべく、前記ラッチからの遅延画素を前記入力ビデオフレーム内の次に続く画素と結合するための手段と、

から成る、装置。

【請求項 10】

請求項 8 または 9 に記載の装置であって、前記結合手段が、

第1および第2出力レジスタと、

前記読出し手段によって得られる画素対を1つおきに前記第1出力レジスタに入力し、かつ前記読出し手段によって得られる画素対の残りを前記第2出力レジスタに入力する手段と、

前記2つのデータストリームの一方を与えるべく、第1出力レジスタから一度に1つずつ画素を検索するための手段と、

前記データストリームの他方を与えるべく、第2出力レジスタから一度に1つずつ画素を検索するための手段と、

から成る、装置。

【請求項 11】

請求項 8 から 10 のいずれかに記載の装置であって、前記読出し手段が、前記第2クロックレート2で前記第2メモリバンクに個別アドレスを提供するために結合されたアドレス生成器から成り、それによって、前記現在のビデオフレームから保存された1対の画素のそれぞれに対し、前記先のビデオフレームからの異なる2対の画素を与える、装置。

【請求項 12】

請求項 8 または 9 に記載の装置であって、さらに、他方のメモリバンクが画素を出力する間に、保存のために画素を受け取るように前記第1および第2メモリバンクの一方を交互に結合するためのスイッチ手段から成る、装置。

【請求項 13】

請求項 12 に記載の装置であって、前記結合手段が、

前記第1メモリバンクから画素を受け取るよう結合された第1および第2出力レジスタと

10

20

30

40

50

、
前記第 1 メモリバンクから出力される画素対を 1 つおきに前記第 1 出力レジスタに入力し、かつ前記第 1 メモリバンクから出力される画素対の残りを前記第 2 出力レジスタに入力する手段と、

前記第 2 メモリバンクから画素を受け取るよう結合された第 3 および第 4 出力レジスタと

、
前記第 2 メモリバンクから出力される画素対を 1 つおきに前記第 3 出力レジスタに入力し、かつ前記第 2 メモリバンクから出力される画素対の残りを前記第 4 出力レジスタに入力する手段と、

前記 2 つのデータストリーム的一方を与えるべく、第 1 および第 3 出力レジスタから一度に 1 つずつ画素を検索するための手段と、

前記 2 つのデータストリームの他方を与えるべく、第 2 および第 4 出力レジスタから一度に 1 つずつ画素を検索するための手段と、

から成る、装置。

【請求項 1 4】

請求項 1 3 に記載の装置であって、前記読出し手段が、現在画素を出力しているメモリバンクに前記第 2 クロックレート 2 で個別アドレスを提供するべく結合されたアドレス生成器から成り、これによって前記現在のビデオフレームから保存された 1 対の画素の各々に対し、前記先のビデオフレームからの異なる 2 対の画素を与える、装置。

【請求項 1 5】

請求項 1 4 に記載の装置であって、前記画素をグループ化する手段が、前記入力ビデオフレームからの画素を 1 クロックサイクル遅延させるラッチと、1 対の画素を与えるべく、前記ラッチからの遅延画素を前記入力ビデオフレームの次に続く画素と結合するための手段と、

から成る、装置。

【請求項 1 6】

請求項 1 2 に記載の装置であって、前記結合手段が、第 1 および第 2 出力レジスタと、現在画素を出力しているメモリバンクから画素を受け取るよう、前記第 1 および第 2 出力レジスタを結合するための手段と、

現在画素を出力しているメモリバンクによって出力される画素対を 1 つおきに前記第 1 出力レジスタに入力し、かつ同メモリバンクから出力される画素対の残りを前記第 2 出力レジスタに入力するための手段と、

前記 2 つのデータストリーム的一方を与えるべく、第 1 出力レジスタから一度に 1 つずつ画素を検索するための手段と、

前記 2 つのデータストリームの他方を与えるべく、第 2 出力レジスタから一度に 1 つずつ画素を検索するための手段と、

から成る、装置。

【請求項 1 7】

請求項 1 6 に記載の装置であって、前記読出し手段が、現在画素を出力しているメモリバンクに前記第 2 クロックレート 2 で個別アドレスを提供するよう結合されたアドレス生成器から成り、これによって前記現在のビデオフレームから保存された 1 対の画素の各々に対し、前記先のビデオフレームからの異なる 2 対の画素を与える、装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、デジタルデータの通信に関し、さらに詳しくは、デジタル情報の連続フレームを処理して各フレームから多数の異なるデータストリームを得ることに関する。本発明は特に、異なる処理機能のために多数の異なる走査フォーマットを必要とするデジタル映像信号の通信に適用可能である。

10

20

30

40

50

【 0 0 0 2 】

【 従来 の 技 術 】

テレビジョン信号は従来、特定の国々で採用されている様々な標準に従って、アナログ形式で伝送されている。例えば、米国は米国テレビジョン方式委員会 (N T S C) の標準を採用している。欧州の大半の国々は、PAL (Phase Alternating Line) または SECAM (Sequential Color And Memory) 標準を採用している。

【 0 0 0 3 】

テレビジョン信号のデジタル伝送は、アナログ技術よりずっと高い品質の映像および音声サービスを配布することができる。デジタル伝送方式は、衛星によってケーブルテレビ加入者へ、および/または直接に家庭用衛星テレビ受信機へ放送される信号にとって特に有利である。デジタルテレビジョン送受信システムは、オーディオ業界でデジタルコンパクトディスクがアナログ蓄音機レコードに大部分取って代わったのと同様のように、既存のアナログシステムに取って代わるであろうと予想される。

10

【 0 0 0 4 】

デジタルテレビジョンシステムでは、かなりの量のデジタルデータを伝送しなければならない。高精細度テレビジョン (H D T V) の場合には特にそうである。デジタルテレビジョンシステムでは、加入者は、映像、音声、およびデータを加入者に提供する受信機/デスクランブラを介して、デジタルデータストリームを受信する。利用可能な無線周波数スペクトルを最も効率的に使用するために、デジタルテレビジョン信号を圧縮し、伝送しなければならないデータの量を最小にすることが有利である。

20

【 0 0 0 5 】

テレビジョン信号の映像部は、ひとつにまとまって動画を形成する一続きのビデオフレームから成る。デジタルテレビジョンシステムでは、ビデオフレームの各走査線は、「画素」と呼ばれる一続きのデジタルデータによって形成される。テレビジョン信号の各ビデオフレームを形成するためには、大量のデータが必要である。例えば、NTSC解像度で1ビデオフレームを形成するには、7.4メガビットのデータが必要になる。これは、640画素×480走査線の画面を使用し、赤、緑および青の三原色のそれぞれに8ビットの輝度値を使用する場合を想定したものである。高精細度テレビジョンの場合には、それよりかなり多くのデータが、各ビデオフレームを形成するために必要である。この量のデータを扱うためには、特にHDTVの場合には、データを圧縮しなければならない。ビデオ圧縮技術は、従来の通信チャネルによるデジタル映像信号の効率的な伝送を可能にする。こうした技術は、映像信号の重要な情報をより効率的に表現するために、隣接画素間の相関を利用する圧縮アルゴリズムを使用する。

30

【 0 0 0 6 】

最も効果的で頻繁に使用される分類に属するビデオ圧縮のアルゴリズムの1つは、「変換符号化 (transform coder) 」と呼ばれている。このようなシステムでは、画像のブロックが線形および連続的に、画像強度ドメインとは大きく異なる特徴を持つ新しいドメインに変換される。ブロックは、離散コサイン変換 (D C T) の場合のように重ならないときもあり、ラップト直交変換 (lapped orthogonal transform) (L O T) の場合のように重なるときもある。DCTを使用したシステムは、チェンおよびプラット著 " Scene Adaptive Coder " , IEEE Transactions on Communications , Vol . COM - 32 , No . 3 , March 1984および1988年12月13日にリユーらに発行された " Two - Dimensional Discrete Cosine Transform Processor " と題する米国特許第4,791,598号に記述されている。LOTを使用したシステムは、マルパーおよびステーリン著 " The LOT: Transform Coding Without Blocking Effects " , IEEE Transactions on Acoustics , Speech , and Signal Processing , Vol

40

50

. 37, No. 3, April 1989に記述されている。

【0007】

画像変換は、画像強度の画素間に存在する相関を減少するために使用される。こうして、これらの変換はエネルギーを比較的少数の変換係数に凝集する。多くの一般的な変換は、人間の視覚系のモデルに基づく係数の量子化を容易にする性質を持つ。例えば、DCTは、周波数スペクトルの特定の帯域のエネルギーを表わす振幅を持つ係数を生成する。したがって、人の視覚器が画像の高周波領域または細部領域より低周波領域の誤差に敏感であるという事実を利用することができる。一般に、高周波係数は常に低周波より粗に量子化される。

【0008】

DCTの出力は、エネルギーを2次元周波数ドメインで表わす係数のマトリックスである。エネルギーの多くは、低周波領域であるマトリックスの左上角に集中する。係数を左上角からジグザクに走査すると、得られるシーケンスは、特にシーケンスの終りの方に長いゼロの列を含むことになる。DCT圧縮アルゴリズムの主要な目的の1つは、ゼロを生成し、これらを一つに束ねて効率的な符号化を達成することである。

【0009】

送信された係数のストリームから映像信号を再構築するためには、信号を符号化するために用いた変換（例えばDCT）の逆を行う必要がある。一般に、変換係数は8×8ブロックまたは16×16ブロックのように、n×nブロックの係数を単位として伝送される。係数を逆変換するためには、送信機で使用したのと同じブロック・フォーマット走査順序（例えばジグザグ走査）を使用して、受信機でこれらを再順序付けする必要がある。

【0010】

また、例えば、DCT処理で使用するブロック走査ではなく、線単位（line-by-line）走査が必要な「フィルム・モード」による処理を可能にする場合など、入力した画素を異なる順序で並べる方が望ましいこともある。

【0011】

入力デジタル画像データのフレームを処理する前に保存するために、2つのメモリバッファを使用することは周知である。一般に、現在のフレームの入力画像データが第1メモリバンクに保存され、その間に前のフレームのデータが第2メモリバンクから読み出される。1つのフレームが終るとバッファが交換され、1フレームのデータを受け取ったばかりのメモリバンクはそのデータを出力し、もう1つのメモリバンクは次のフレームのデータを受け取る。この技術は、入力画像データの走査フォーマットを、その後の処理に必要なフォーマットに変換するのに便利である。

【0012】

【発明が解決しようとする課題】

異なる処理機能のために2つの異なる走査フォーマットが必要な場合、追加メモリバンクが設けられてきた。追加メモリバンクを設けると、システム設計が複雑かつ高価になる程度にまで、メモリおよびそれに伴うハードウェアの要件が増加する。

【0013】

2つだけのメモリバンクを利用して、異なる走査フォーマットを必要とする多数の異なる処理機能をサポートする機構を提供することは利益になる。そうした機構は、システムのスループットを低下することなく、同一の受信情報に基づいて多数の異なる出力データストリームを形成しなければならない。

【0014】

本発明は、上述の利点を備えた、複数データストリームを出力するためのデュアルメモリバッファ機構を提供する。

【0015】

【課題を解決するための手段】

本発明に従って、デジタル情報バイトを含む連続フレームを保存し、その後各フレームについてN個のデータストリームを出力する装置を提供する。前記バイトは、用途によ

10

20

30

40

50

って任意の長さとすることができる（例：8ビット）。N個のデータストリームのそれぞれが、その後の処理のために異なる順序でそのフレームに対するバイトを提供する。例えば、フレームが画像データ（つまり画素）のフレームである場合、1つのデータストリームではブロックフォーマットによるDCI処理のために画素を提供し、別のデータストリームでは線単位によるフィルムモード処理のために画素を提供することができる。

【0016】

この装置は、交互フレームを保存する第1および第2メモリバンクから成る。第1メモリバンクは入力フレームのバイトを保存するように適応され、その間に第2メモリバンクは前のフレームのバイトを出力する。その次のフレームでは第1メモリバンクと第2メモリバンクの役割が逆になり、これが交互に繰り返される。第1および第2メモリバンクにおけるバイトの入力および出力を制御する手段を設ける。メモリバンクは、この制御手段によって提供される読出しおよび書込みストロークおよびアドレスにตอบสนองし、(i)1回の書込みストロークに対しNバイトの率で、書込みアドレスによって決定される順序で入力フレームデータを保存し、(ii)1回の読出しストロークで、N個の異なるデータストリームのうちの次の連続データストリームに対し、読出しアドレスによって指定されたNバイトのフレームデータを出力する。N回の読出しストロークごとに1回の書込みストリームが発生する。1回の読出しストロークごとに各データストリームに1バイトを提供するために、N個の異なるデータストリームのそれぞれに対しメモリバンクから出力されるフレームデータをバッファリングする手段を設ける。

10

【0017】

制御手段は、各メモリバンク用の書込みアドレス生成器およびN読出しアドレス生成器から構成することができる。メモリバンクが入力フレームからバイトを保存するために受け取ったときに、1つのメモリバンクの書込みアドレス生成器をそのメモリバンクのアドレスポートに結合する手段を設ける。また、メモリバンクがそこからバイトを出力するときに、そのメモリバンクの異なる読出しアドレス生成器をメモリバンクのアドレスポートに連続的に結合する手段を設ける。さらに、一度に1つのフレームのデータを処理するために、第1および第2メモリバンクをバッファリング手段に交互に結合する手段を設けることができる。

20

【0018】

バッファリング手段は、現在の読出しアドレスにตอบสนองしてメモリバンクによって出力されるN個のデータバイトを一度に受け取るために、制御手段によって生成されるそれぞれのイネーブル信号にตอบสนองするN個のレジスタから構成することができる。各レジスタに対応するデータセクタが、連続読出しストロークにตอบสนองして、レジスタからNデータバイトのそれぞれを連続的に出力する。各データセクタは、データセクタに対応するレジスタが使用許可（イネーブル）されたときに、現在の読出しアドレスによって指定された順序でデータバイトの連続ストリームを出力する。

30

【0019】

別の実施例では、バッファリング手段は、それぞれのメモリバンクに対し、各メモリバンクに結合されたN個のレジスタから構成することができる。各レジスタは制御手段によって生成されるそれぞれのイネーブル信号にตอบสนองし、現在の読出しアドレスにตอบสนองしてメモリバンクから出力されるN個のデータバイトを一度に受信する。各レジスタに対応するデータセクタは、連続読出しストロークにตอบสนองして、レジスタからNデータバイトのそれぞれを連続的に出力する。また、第1および第2メモリバンクのそれぞれに対応するデータセクタから出力されるデータバイトを多重化する手段を設ける。この多重化手段は、N個の連続ストリームのデータバイトを出力する。各ストリームは、ストリームを形成するために用いられるデータセクタに対応するレジスタが使用許可されたときに、現在の読出しアドレスによって指定される順序でデータバイトを提供する。

40

【0020】

本発明に係る方法では、画素データの連続フレームを処理して、画素データを様々な順序で含むN個のデータストリームを形成する。入ってきたフレームの画素データは、1書込

50

みサイクルにつきN個の画素の率で第1メモリバンクに保存され、前のフレームの画素データは1回の読出しサイクルにつきN個の画素の率で第2メモリバンクから出力され、これが第1および第2メモリバンクの間で交互に繰り返される。読出しサイクルは書込みサイクルのN倍の率であり、1書込みサイクルにつきN個の画素を1組としてN組の出力画素が得られる。N組のそれぞれに対しメモリバンクから出力される画素はバッファリングされ、N個のデータストリームを形成する。各読出しサイクル中に、画素データを出力するメモリバンクは新しくアドレス指定され、データストリームのうちの次の連続ストリームのためにN個1組の画素を出力する。

【0021】

さらに、本発明に従って、連続フレームの画素データを処理し、画素データを異なる順序で含む2つのデータストリームを形成する装置を提供する。また、現在の入力ビデオフレームからの画素をグループ化し、第1クロックレートで第1メモリバンクに保存するために、画素の連続対を提供する手段を設ける。また、現在のビデオフレームからの画素の対をレートで第1メモリバンクに保存している間に、前のビデオフレームの保存された画素の対を第2メモリバンクから第2クロックレート2で読み出す手段を設ける。この読出し手段は、現在のビデオフレームから保存される各対の画素に対し、前のビデオフレームから2対の画素を読み出す。さらに、読出し手段によって得られる画素の対を2つのデータストリームに結合する手段を設ける。各データストリームは、前のフレームからの画素を異なる順序で提供する。

10

【0022】

画素をグループ化する手段は、入力ビデオフレームから1クロックサイクルだけ画素を遅延させるラッチから構成することができる。ラッチからの遅延画素を入力ビデオフレームにおける次の連続画素と結合して、1対の画素を提供する手段も設ける。

20

【0023】

読出し手段によって得た画素の対を2つのデータストリームに結合する手段は、第1および第2出力レジスタから構成することができる。読出し手段によって得た画素の対を1つおきに第1出力レジスタに入力し、読出し手段によって得た画素の対の残りを第2出力レジスタに入力する手段を設ける。さらに、第1出力レジスタから一度に1つずつ画素を検索して、2つのデータストリームのうちの1つを提供する手段を設ける。また、第2出力レジスタから一度に1つずつ画素を検索して、もう一方のデータストリームを形成する手段を設ける。

30

【0024】

読出し手段は、第2メモリバンクに第2クロックレート2で別個のアドレスを提供するために結合されたアドレス生成器から構成することができ、これによって、現在のビデオフレームから保存される各対の画素に対し、前のビデオフレームから2対の画素が読み出される。一方のメモリバンクが画素を保存するために受け取る間に、他方のメモリバンクが画素を出力するように、第1および第2メモリバンクを交互に結合するため、スイッチ手段を設けることができる。

【0025】

別の実施例では、読出し手段によって得た画素の対を2つのデータストリームに結合する手段が、それぞれのメモリバンクに対応する別個のレジスタから成る。第1メモリバンクから画素を受け取るために、第1および第2出力レジスタを結合する。第1メモリバンクから出力される画素の対を1つおきに第1出力レジスタに入力し、第1メモリバンクから出力される残りの画素の対を第2出力レジスタに入力するための手段を設ける。さらに、第2メモリバンクから画素を受け取るために、第3および第4出力レジスタを結合する。第2メモリバンクから出力された画素の対を1つおきに第3出力レジスタに入力し、第2メモリバンクから出力される残りの画素の対を第4出力レジスタに入力するための手段を設ける。さらに、第1および第3出力レジスタから一度に1つずつ画素を検索し、2つのデータストリームのうちの1つを形成する手段を設ける。画素は第2および第4出力レジスタから一度に1つずつ検索され、もう一方のデータストリームを形成する。

40

50

【 0 0 2 6 】

【 実施例 】

本発明は、2つのメモリバンクおよび関連出力バッファを使用することにより、連続フレームのデジタル情報を記憶し、このデジタル情報を異なる順序で含む複数のデータストリームを出力することを可能にする。本発明を実現する装置の第1実施例を、図1に示す。入力データは、説明の目的のために連続デジタルビデオフレームの画素によって構成することができるが、これはデータ入力端子10を介してラッチ12に結合される。ラッチ12は2のクロックレートで刻時される。これはデータが第1および第2メモリバンクにそれぞれ書き込まれるレートの2倍である。図に示す実施例の場合、各画素の長さは8ビットである。ラッチ12の出力位置で、端子10からの現在の8ビット画素が、ラッチ12によって遅延された前の8ビット画素と結合され、書込みサイクル中に第1メモリバンク16または第2メモリバンク18のどちらかに一緒に入力される1対の画素(合計16ビット)を形成する。

10

【 0 0 2 7 】

現在のフレームからの画素は全てメモリバンクの一方に書き込まれ、その間に前のフレームからの画素は他方のメモリバンクから読み出される。入力データの新しいフレームが始まるたびにメモリバンクが交換されるので、どの瞬間においてもシステムは一方のメモリバンクに書込みを行い、その間に他方のメモリバンクから読出しを行う。データが書き込まれるメモリバンクは、図2に示すシステム制御プロセッサ60から「次のフレーム」信号を受信するたびにトグルするスイッチ14によって制御される。制御プロセッサは、受信した画素数(バイト)の計数を維持することによって、それぞれの新しいフレームを識別することができる。

20

【 0 0 2 8 】

図に示す実施例では、各フレームの入力データに対し2つのデータストリームが形成される。しかし、当業者は、各記憶場所に書き込まれるバイト数を増加し、かつメモリからのデータ読出しレートをメモリへのデータ書込みレートに対しN倍に高めるだけで、任意の数N個のデータストリームを形成することが可能であることを理解されるであろう。図に示す実施例では、画素レート2(これは「読出しストロープ」レートでもある)の半分にあたるのレートで書込みストロープにตอบสนองして2つの画素を各記憶場所に書き込むことによって、2つのデータストリームの出力を達成する。こうして、先に述べたように、スイッチ14の入力位置で、書込みストロープごとに適切なメモリバンクに記憶するための2つの連続画素を同時に得ることができる。

30

【 0 0 2 9 】

出力における2つの異なる走査フォーマットをサポートするために、データストリームフォーマットごとに別個の読出しアドレス生成器が必要である。別個のアドレスは、第1メモリバンク16のアドレスポートADD__1および第2メモリバンク18のアドレスポートADD__2を介して、制御プロセッサ60によってメモリバンクに提供される。

【 0 0 3 0 】

図3は、制御プロセッサ60による異なるアドレスの生成を示す。制御プロセッサ60は特に、両方のメモリバンク16、18用の第1読出しアドレス生成器70、第2アドレス生成器72、および書込みアドレス生成器74を備えている。マルチプレクサまたはスイッチ76は、アドレス生成器70、アドレス生成器72、またはアドレス生成器74の出力の1つを、第1メモリバンク16のまたは第2メモリバンク18のそれぞれのアドレスポートADD__1またはADD__2への入力として選択する。書込みアドレス生成器は、メモリバンクに書き込まれる全てのデータの書込みアドレスを提供するために使用される。第1読出しアドレス生成器70は、第1出力データストリーム(データストリーム1)を形成するために必要な順序でデータをメモリバンクから読み出すために使用される。第2読出しアドレス生成器72は、第2出力データストリーム(データストリーム2)に必要な順序でデータをメモリバンクから読み出すために必要なアドレスを提供するために使用される。読出しストロープは書込みストロープの2倍のレートであるので、データを出

40

50

力するメモリバンクは、書込みストロープに対応して現在データを保存中のメモリに1組のデータが入力されるたびに、異なる2組のデータを出力するようにアドレス指定することができる。

【0031】

出力メモリバンクから出力される2組のデータを組み合わせて所望の2つの異なる出力データストリームを形成するためには、追加ハードウェアが必要である。このハードウェアはスイッチ14に対応するスイッチ20であり、第1および第2メモリバンクのどちらが前に保存されたフレームのデータを出力し、どちらが現在のフレームからデータを受信するかを選択する。全体的に符号21で示すバッファリング回路は、出力データを組み合わせて2つの別個のデータストリームを形成するために設けられている。

10

【0032】

図1の実施例におけるバッファ回路機構21は、データストリーム1に対応する第1レジスタ22およびデータストリーム2に対応する第2レジスタ24を備えている。出力メモリバンクに提供されるアドレスにตอบสนองして、読出しストロープごとに出力される16ビット対の画素は、レジスタ22およびレジスタ24の両方に入力される。しかし、レジスタ22、24はイネーブルされたときに1対の画素をラッチするだけである。レジスタ22は、制御プロセッサ60から出力されるENA__A信号にตอบสนองして第1画素対をラッチし、レジスタ24は制御プロセッサ60から出力されたENA__B信号にตอบสนองして第2画素対をラッチする。第1および第2画素対は、単一書込みストロープに対応する2つの連続読出しストロープ中に出力される。レジスタ22は、読出しストロープ中に出力メモリバンクから受け取った16ビットを、その2つの8ビット画素に分割する。データセクタ26は、個々の画素を直列化してデータストリーム1を形成するために、レジスタ22の2つの8ビット出力の間の切換えを行う。データストリーム1は端子27から出力される。同様に、レジスタ24は、イネーブルされたときにラッチした16ビット対の画素を2つの別個の8ビット画素成分に分割する。データセクタ28は、個々の画素を組み合わせてデータストリーム2を形成するために、レジスタ24の2つの8ビット出力の間の切換えを行う。データストリーム2は端子29から出力される。

20

【0033】

図1の装置の動作は、図4および図5のタイミング図を参照することによって、よりよく理解することができる。図4は、スイッチ14を介してデータを現在受け取る側のメモリバンク16または18にデータを書き込むために使用されるタイミングを示す。書込みストロープ88は、システムクロック80の半分のレートで提供される。システムクロック80は2のレートで作動する。これは読出しストロープのレートと同じである。ラッチ12の出力に現れる2つの画素の宛先として受取側メモリバンクの次の記憶場所を指定するために、各書込みサイクル中に書込みアドレス82のストリームから個別書込みアドレスが得られる。ストリーム84、86は、各書込みサイクル中に2つの画素がそれぞれの記憶場所書き込まれることを示す。例えば、第1書込みサイクル中に画素0および1がアドレスADR0によって指定される記憶場所に入力される。次の書込みサイクル中には、画素2および3がADR1によって指定された記憶場所に保存される。次の書込みサイクル中には、画素4および5がADR2によって指定された記憶場所に保存される。ストリーム84は端子10に入力されるデータであり、ストリーム86はラッチ12によって1クロックサイクル遅延させたデータである。図4から、各書込みストロープ88中に、現在のアドレス82によって指定された記憶場所に書き込むために、2つの画素が得られることが明らかである。

30

40

【0034】

メモリバンクの一方に1フレームのデータが保存された後、そのデータがメモリバンクから読み出され、その間に次のフレームのデータがもう一方のメモリバンクに書き込まれるように、スイッチ14、20はトグル動作を行う。読出し動作中は、メモリ書込み動作のように2クロックサイクル80ごとに1つのアドレス82が提供されるのではなく、図5に符号90で示すように、各クロックサイクルごとに個別アドレスが提供される。図に

50

示す例では、第1データストリームはDCT処理に必要な順序でデータを提供し、第2データストリームはフィルム処理モード(FM)に従って処理するためのデータを提供する。これを達成するために、1つおきのアドレス90で、DCT処理またはフィルムモード処理のどちらかのために順序付けたデータを交互に提供する。こうして、例えば、図5の符号90、92で示すように、読出しアドレスDCT0にตอบสนองして、現在データを出力している側のメモリが画素0、1を出力する。次の読出しストロープでは、読出しアドレスFM0が、現在データを出力している側のメモリバンクをアドレス指定する。アドレスFM0にตอบสนองして、このメモリバンクは現在保存されているビデオフレームの画素0、1を出力する。次の読出しストロープでは、アドレスDCT1がメモリバンクに提供され、メモリバンクは画素2、3を出力することによってตอบสนองする。次の読出しストロープでは、アドレスFM1がメモリバンクに提供され、メモリバンクはこれにตอบสนองして2、3を出力する。このプロセスが続き、1つおきの読出しストロープごとにDCT画素対またはフィルムモード画素対がメモリバンクから出力される。

【0035】

レジスタ22はEN A__A信号によってイネーブルされ、DCTアドレスにตอบสนองして出力されるDCT順序の画素だけをラッチする。これを符号94で示す。同様に、レジスタ24はEN A__B信号にตอบสนองし、フィルムモードアドレスにตอบสนองしてフィルムモード順序でメモリバンクから出力される画素だけをラッチする。これを図5の符号96で示す。EN A__A信号およびEN A__B信号はそれぞれ図5の符号102、104で示す。

【0036】

レジスタ22はDCT処理用に出力される順序の画素だけを保存するので、データセクタ26を読出しストロープレート2でトグルすることにより、符号98で示すように連続画素0、1、2、3・・・を含むデータストリーム1が出力端子27から得られる。同様に、データセクタ28は、符号100で示すように0、1、2、3、4・・・の順序の画素から成るデータストリーム2を端子29から出力する。

【0037】

各アドレス位置に2つの画素が書き込まれるので、メモリバンクのアドレス指定が読出しストロープレートの2分の1の書込みストロープレートで行われても、システムのスループットは低下しない。実際、各アドレス位置に2つの画素を書き込むことによって、本発明は2つの異なるストリームにデータを読み出す能力を提供する。各ストリームにおけるデータの順序は、図3に示す第1読出しアドレス生成器70および第2読出しアドレス生成器72によって出力側メモリバンクに提供されるアドレスによってのみ制御される。これらの読出しアドレス生成器は、図5に示すアドレスストリーム90を提供する。

【0038】

図6は本発明の別の実施例を示す。この例では、第1および第2メモリバンク16、18のそれぞれに別個のレジスタを設ける。こうして、データを出力側メモリから共通バッファリング回路機構21へ送り出すためのスイッチ20を設ける代わりに、図6の実施例では、第1メモリバンク16にレジスタ30、32を対応させ、第2メモリバンクにレジスタ34、36を対応させる。レジスタ30、32、34、36の動作は、図1の実施例のレジスタ22、24の動作と同様である。各レジスタに対し、EN A__AまたはEN A__B信号のいずれか、および2のレートの読出しストロープが入力される。16ビット画素対を直列化して連続8ビット画素を形成するために、各レジスタにはデータセクタ40、42、44、または46が対応付けられている。スイッチ48、50は、それぞれ制御プロセッサ60(図2)からの次のフレーム信号にตอบสนองし、現在データを出力している側のメモリバンクからそれぞれのデータストリームを出力する。特に、第1メモリバンク16がデータを出力しているとき、データストリーム1のために適切な順序に並べられた画素が、スイッチ48を介して端子52から出力される。第2メモリバンクがデータを出力しているとき、データストリーム1の順序の画素がスイッチ48を介して端子52から出力し続ける。一方、スイッチ50は、第1メモリバンク16からの画素をデータストリーム2の順序で端子54を介して出力する。第2メモリバンクがデータを出力するとき、

10

20

30

40

50

スイッチ 5 0 は適切に順序付けられた画素を端子 5 4 に結合する。

【 0 0 3 9 】

これで、本発明が連続フレームの画素データを処理し、画素データを異なる順序で含む N 個のデータストリームを提供することが理解されるはずである。入力フレームの画素データは、書込みサイクルごとに N 個の画素の率で第 1 メモリバンクに保存され、その間に前のフレームの画素データが、読出しサイクルごとに N 個の画素の率で第 2 メモリバンクから出力される。読出しサイクルは書込みサイクルの N 倍のレートであり、1 回の書込みサイクルにつき N 個の画素を 1 組として N 組の出力画素が得られる。N 組のそれぞれに対しメモリバンクから出力された画素はバッファに入れられ、適切な順序の N 個のデータストリームを形成する。

10

【 0 0 4 0 】

本発明を種々の特定の実施例に関連して説明してきたが、当業者は、請求の範囲に記載する本発明の精神および範囲から逸脱することなく、多くの適応や変更を行うことができることを理解されるであろう。例えば、本発明はデジタル画像データ以外のデータの処理に適用することができる。さらに、先に述べたように、各メモリ位置に保存されるバイト数を増加し、それに対応して書込みストロープに対する読出しストロープのレートを増加することによって、任意の数のデータストリームを提供することが可能である。

【 図面の簡単な説明 】

【 図 1 】 各入力フレームのデータに対し 2 つの異なるデータストリームを出力する、本発明に係るデュアルメモリバッファ機構の第 1 実施例のブロック図である。

20

【 図 2 】 図 1 および図 6 の装置によって使用される様々な制御信号を生成するのに使用される制御プロセッサを示すブロック図である。

【 図 3 】 図 2 の制御プロセッサによって出力される様々な読出しおよび書込みアドレスを提供する回路機構を示すブロック図である。

【 図 4 】 本発明に係るメモリバンクにデータを書き込むために得られる様々なタイミング信号を示すタイミング図である。

【 図 5 】 本発明に係るメモリバンクからデータを読み出すために必要な様々なタイミング信号を示すタイミング図である。

【 図 6 】 第 1 および第 2 メモリバンクのそれぞれに対し別個の出力バッファを設けた、本発明の装置の別の実施例のブロック図である。

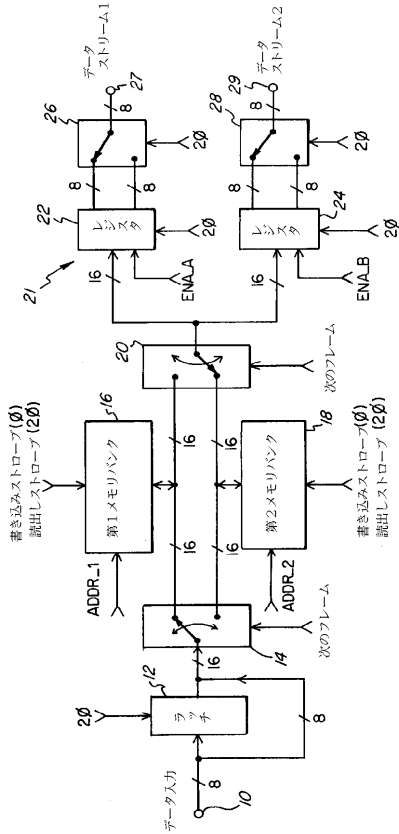
30

【 符号の説明 】

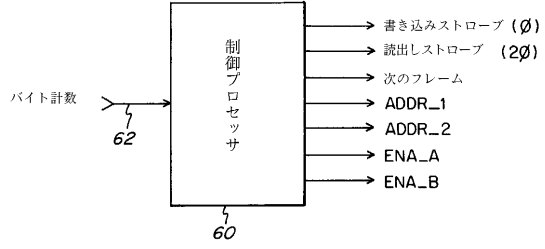
- 1 0 データ入力端子
- 1 2 ラッチ
- 1 4 スイッチ
- 1 6 第 1 メモリバンク
- 1 8 第 2 メモリバンク
- 2 1 バッファリング回路
- 2 2 第 1 レジスタ
- 2 4 第 2 レジスタ
- 2 6 データセレクト
- 2 8 データセレクト
- 6 0 システム制御プロセッサ
- 7 0 第 1 読出しアドレス生成器
- 7 2 第 2 読出しアドレス生成器
- 7 4 書込みアドレス生成器
- 7 6 マルチプレクサ

40

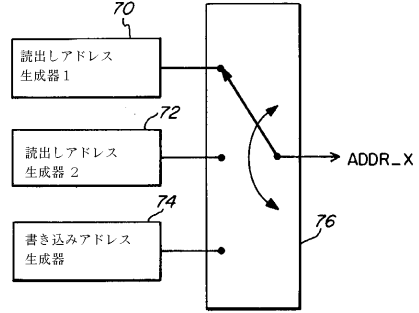
【図1】



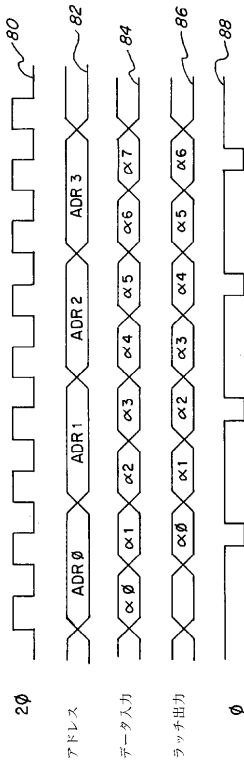
【図2】



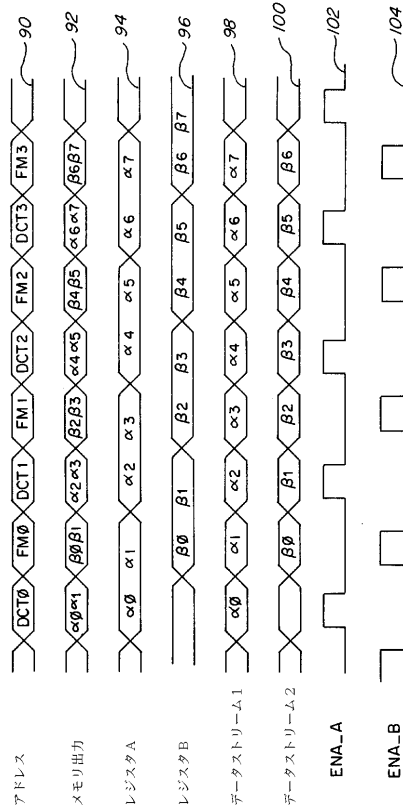
【図3】



【図4】



【図5】



フロントページの続き

審査官 堀江 義隆

(56)参考文献 特開昭63-296543(JP,A)

米国特許第4728930(US,A)

特開平2-184188(JP,A)

特開平4-167689(JP,A)

特開平5-276484(JP,A)

Danny T. chi, A New BLOCK HELICAL INTERLEAVER
, Military Communications Conference 1992. MILCOM '92 Conference Record, 米国, I E E
E, 1992年10月, Vol. 2, P799-804

(58)調査した分野(Int.Cl.⁷, DB名)

H04N 7/12

H04N 7/24- 7/32

H04N 5/907

G06F 12/00