

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年5月8日(08.05.2014)

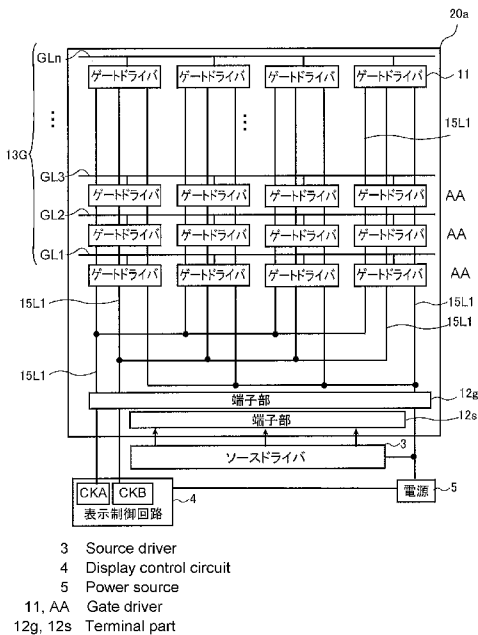


(10) 国際公開番号  
WO 2014/069529 A1

- (51) 国際特許分類:  
G09F 9/30 (2006.01) G02F 1/1368 (2006.01)  
G02F 1/133 (2006.01) H01L 51/50 (2006.01)  
G02F 1/1343 (2006.01)
- (21) 国際出願番号: PCT/JP2013/079424
- (22) 国際出願日: 2013年10月30日(30.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-238805 2012年10月30日(30.10.2012) JP  
特願 2013-116924 2013年6月3日(03.06.2013) JP
- (71) 出願人: シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 田中 耕平 (TANAKA Kohei), 吉田 秀史 (YOSHIDA Hidefumi), 野間 健史 (NOMA Takeshi), 米林 諒 (YONEBAYASHI Ryo), 西山 隆之 (NISHIYAMA Takayuki), 村田 充弘 (MURATA Mitsuhiro), 岩田 洋典 (IWATA Yosuke).
- (74) 代理人: 川上 桂子, 外 (KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜1丁目4番
- 16号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE, DISPLAY PANEL AND DISPLAY DEVICE PROVIDED WITH SAME

(54) 発明の名称: アクティブマトリクス基板、表示パネル及びそれを備えた表示装置



(57) Abstract: Provided is a technology which reduces distortion of electric potential inputted into wiring such as gate lines on an active matrix substrate, drives the wiring at high speed, and also obtains a narrower frame. This active matrix substrate (20a) has a gate line group (13G) and a source line group formed thereto. Furthermore, the active matrix substrate (20a) has gate drivers (11) formed thereto, which have a plurality of switching elements, at least some of the switching elements being formed in a pixel region, and which output a scanning signal to the gate lines (13G). The active matrix substrate also has wiring (15L1) formed thereto, which supplies a control signal to the gate drivers (11). The control signal is supplied from a display control circuit (4) outside of a display region via the wiring (15L1) to the gate drivers (11). Each gate driver (11) drives one gate line (13G) which is connected according to the inputted control signal.

(57) 要約: アクティブマトリクス基板上のゲート線等の配線に入力される電位のなまりを低減し、配線を高速に駆動するとともに、狭額縁化を図り得る技術を提供すること。アクティブマトリクス基板(20a)には、ゲート線群(13G)とソース線群が形成されている。また、アクティブマトリクス基板(20a)には、複数のスイッチング素子を有し、少なくとも一部のスイッチング素子が画素領域に形成され、ゲート線(13G)に走査信号を出力するゲートドライバ(11)と、ゲートドライバ(11)に制御信号を供給する配線(15L1)が形成されている。表示領域外の表示制御回路(4)から配線(15L1)を介して各ゲートドライバ(11)に制御信号が供給される。各ゲートドライバ(11)

は、入力される制御信号に応じて接続されている1本のゲート線(13G)を駆動する。

WO 2014/069529 A1

## 明 細 書

発明の名称：

アクティブマトリクス基板、表示パネル及びそれを備えた表示装置

### 技術分野

[0001] 本発明は、アクティブマトリクス基板、表示パネル及びそれを備えた表示装置に関し、特に、ゲートドライバの配置に関する。

### 背景技術

[0002] 従来より、アクティブマトリクス基板の隣接する2つの辺にゲートドライバとソースドライバとが形成された表示パネルが知られている。特表2004-538511号公報には、データ信号が供給される列アドレス導体を駆動する行駆動回路と、行選択信号が供給される行アドレス導体を駆動する列駆動回路とを、画素エレメントアレイの1辺に設ける技術が開示されている。特表2004-538511号公報では、このように構成することで、画素エレメントアレイ等を保持する支持体における、画素エレメントアレイの周辺領域が、これら駆動回路によって制限されないようにしている。

### 発明の開示

[0003] ところで、ゲート線を選択又は非選択の状態に応じた電位が、アクティブマトリクス基板においてソース線と平行な1辺の側からゲート線に与えられる場合、ゲート線の終端の側にいくほど電位のなまりが大きくなる。そのため、ゲート線上の電位のなまりが発生する位置を想定した設計が必要となる。また、上記した特表2004-538511号公報のように、ゲートドライバとソースドライバとをアクティブマトリクス基板の1辺の側に設けることで、他の3辺について狭額縁化することが可能となる。しかしながら、上記した特表2004-538511号公報ではゲート線を引き回す距離が従来と比べて長くなり、ゲート線の負荷が大きくなる。その結果、ゲート線に与えられる電位がなまり、ゲート線を高速に駆動することが困難となる。

[0004] 本発明は、アクティブマトリクス基板上のゲート線等の配線に与えられる

電位のなまりを低減し、配線を高速に駆動するとともに、狭額縁化を図り得る技術を提供することを目的とする。

[0005] 第1の発明に係るアクティブマトリクス基板は、複数のデータ線と、前記複数のデータ線と交差し、少なくともゲート線を含む複数の配線と、前記複数の配線の少なくとも一部に接続され、前記データ線と前記ゲート線とで規定される画素領域を含む表示領域の外側から供給される制御信号に応じて、当該配線の電位を制御する駆動回路を備え、前記駆動回路は、複数のスイッチング素子を含み、前記複数のスイッチング素子の少なくとも一部が前記画素領域に形成されている。

[0006] 第2の発明は、第1の発明において、前記駆動回路は、前記ゲート線の各々に接続され、前記制御信号に応じて、前記ゲート線に選択電圧と非選択電圧との一方を印加することにより前記ゲート線の電位を制御する。

[0007] 第3の発明は、第1又は第2の発明において、前記表示領域の外側に設けられ、前記複数のデータ線にデータ信号を供給する第1端子部と、前記表示領域の外側に設けられ、前記駆動回路に前記制御信号を供給する第2端子部と、を備え、前記第1端子部及び前記第2端子部は、前記表示領域において前記ゲート線と平行な一辺の外側に設けられている。

[0008] 第4の発明は、第2又は第3の発明の前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極をさらに備え、前記駆動回路のスイッチング素子であって、前記画素領域に形成されているスイッチング素子と、前記画素電極との間に透明性を有する導電膜からなるシールド層が形成されている。

[0009] 第5の発明は、第2又は第3の発明の前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極をさらに備え、前記駆動回路のスイッチング素子であって、前記画素領域に形成されているスイッチング素子は、前記画素電極と重ならない位置に形成されている。

[0010] 第6の発明は、第2から第5のいずれかの発明において、前記駆動回路のスイッチング素子が形成されていない画素領域に、前記駆動回路のスイッ

ング素子が形成されている前記画素領域の開口率と略同等となるように調整用配線がさらに設けられている。

[0011] 第7の発明は、第3から第6のいずれかの発明において、前記ゲート線が形成されているゲート配線層と前記データ線が形成されているデータ配線層との間に形成された第1の絶縁層と、前記画素領域において、前記データ線と略平行となるように前記データ配線層に形成され、前記第2端子部からの前記制御信号を前記駆動回路に供給する制御信号配線と、前記第1の絶縁層より大きい厚みを有して前記データ配線層の上層に形成され、前記データ配線層まで貫通するコンタクトホールを有する第2の絶縁層と、前記コンタクトホールに形成された導電層と、を備え、前記制御信号配線は、前記ゲート線と重なる部分において不連続であり、不連続部分において、前記第2の絶縁層の前記コンタクトホールにおける前記導電層を介して接続されている。

[0012] 第8の発明は、第3から第6のいずれかの発明において、前記画素領域において、前記第2端子部からの前記制御信号を前記駆動回路に供給する制御信号配線をさらに備え、前記制御信号配線は、前記制御信号配線の少なくとも一部が、前記画素領域における2つの前記データ線からの距離が略同じとなる位置において、前記データ線と略平行となるように配置されている。

[0013] 第9の発明は、第2から第8のいずれかの発明において、前記画素領域に、前記データ線と前記ゲート線とに接続された画素スイッチング素子をさらに備え、前記画素スイッチング素子のゲート端子が接続されている前記ゲート線の位置から前記データ線と前記ゲート線との交差位置までの前記ゲート線の部分と、前記ゲート端子が接続されていない側の前記データ線と前記ゲート線との交差近傍とにおける前記ゲート線の部分とにおいて、前記ゲート線の最大幅より狭い幅の部分有する。

[0014] 第10の発明は、第2から第9のいずれかの発明において、前記画素領域は、複数の色のうちのいずれかの色に対応し、前記駆動回路は、前記複数の色のうちの1色に対応する前記画素領域に形成されている。

[0015] 第11の発明は、第2から第10のいずれかの発明において、前記駆動回

路のスイッチング素子が形成されている前記画素領域において、前記ゲート線の延伸方向における幅は、他の画素領域における前記幅より大きい。

- [0016] 第12の発明は、第8から第11のいずれかの発明において、前記画素領域において、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極に接続された補助容量電極とを有し、前記表示領域の外側において前記補助容量電極と接続され、前記補助容量電極に所定の電位を供給する補助容量配線と、前記画素領域において前記補助容量電極と接続されるとともに、前記補助容量配線と接続された低インピーダンス配線と、を備える。
- [0017] 第13の発明は、第2から第12のいずれかの発明において、前記ゲート線の各々に対して、複数の前記駆動回路が設けられている。
- [0018] 第14の発明は、第2から第13のいずれかの発明において、前記表示領域は、前記ゲート線の配列方向に沿って複数の分割領域に分割され、前記複数の分割領域の各々に配置されている前記ゲート線に対して設けられた前記駆動回路は、前記分割領域ごとに定められた周波数で、前記ゲート線に選択電圧と非選択電圧との一方を印加する。
- [0019] 第15の発明は、第3から第13のいずれかの発明において、前記複数のゲート線は、 $N$ 本（ $N$ は自然数）であり、前記ゲート線ごとに、第1～第 $M$ （ $M$ は自然数、 $M \geq 2$ ）の $M$ 個の前記駆動回路が設けられ、 $n$ 行目（ $1 \leq n \leq N$ ）の前記ゲート線に対して設けられた前記 $M$ 個の駆動回路は、前記第1の駆動回路から前記第 $M$ の駆動回路の順に前記 $n$ 行目のゲート線に選択電圧を印加し、前記 $M$ 個の駆動回路のうち、第2の前記駆動回路から前記第 $M$ の駆動回路は、直前の前記駆動回路が $n+1$ 行目の前記ゲート線に前記選択電圧を印加するタイミングで、前記 $n$ 行目のゲート線に前記選択電圧を印加し、前記第1端子部は、前記第 $M$ の駆動回路によって前記 $n$ 行目のゲート線に選択電圧が印加されるタイミングで、前記 $n$ 行目のゲート線と前記データ線とで規定される前記画素領域に書き込むべき画像のデータ信号を前記データ線に供給する。
- [0020] 第16の発明は、第2から第13のいずれかの発明において、前記画素領

域は、複数の副画素領域で構成され、前記配線は、前記ゲート線と、サブゲート線とを含み、一の前記副画素領域に、前記ゲート線と前記データ線とに接続された画素電極を備え、他の副画素領域に、前記サブゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記一の前記副画素領域における前記画素電極との間に接続されたキャパシタとを備え、前記駆動回路は、前記スイッチング素子が配置されていない画素領域において前記サブゲート線ごとに設けられ、前記制御信号に応じて、前記サブゲート線に選択電圧と非選択電圧との一方を印加するサブゲート線駆動部を含み、一水平期間において、前記ゲート線に選択電圧が印加された後、前記サブゲート線駆動部が前記サブゲート線に選択電圧を印加する。

[0021] 第17の発明は、第2から第13のいずれかの発明において、前記画素領域は、複数の副画素領域で構成され、前記配線は、前記ゲート線と、サブゲート線と、補助容量配線とを含み、前記複数の副画素領域に、前記ゲート線と前記データ線とに接続された画素電極を各々備え、一の前記副画素領域に、前記補助容量配線と接続された補助容量と、前記サブゲート線に接続されたゲート端子と、前記一の前記副画素領域における前記画素電極に接続されたソース端子と、前記補助容量に接続されたドレイン端子とを有するスイッチング素子とを備え、前記駆動回路は、前記スイッチング素子が配置されていない画素領域において前記サブゲート線ごとに設けられ、前記サブゲート線に選択電圧と非選択電圧の一方を印加するサブゲート線駆動部を含み、前記サブゲート線駆動部は、前記ゲート線に選択電圧が印加された後、前記制御信号に応じて、前記サブゲート線に選択電圧を印加する。

[0022] 第18の発明は、第2から第13のいずれかの発明において、前記画素領域は、複数の副画素領域で構成され、前記配線は、前記ゲート線と、第1補助容量配線及び第2補助容量配線とを含み、前記複数の副画素領域は、前記ゲート線と前記データ線とに接続された画素電極を各々備え、一の前記副画素領域に、前記一の前記副画素領域における前記画素電極と前記第1補助容量配線とに接続された第1補助容量を備え、他の副画素領域に、前記他の副画素

領域における前記画素電極と前記第 2 補助容量配線とに接続された第 2 補助容量を備え、前記駆動回路は、前記表示領域に形成され、前記第 1 補助容量配線と前記第 2 補助容量配線の電位を制御する補助容量線制御素子を含み、前記補助容量線制御素子は、前記ゲート線に選択電圧が印加された後、前記第 1 補助容量配線と前記第 2 補助容量配線の電位が逆位相となるように、前記第 1 補助容量配線と前記第 2 補助容量配線に電圧を印加する。

[0023] 第 19 の発明は、第 2 から第 13 のいずれかの発明において、前記配線は、前記ゲート線と、補助容量配線とを含み、前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記補助容量配線とに接続された補助容量とを備え、前記駆動回路は、前記補助容量配線ごとに設けられた補助容量配線駆動部を含み、前記補助容量配線駆動部は、前記制御信号に応じて、前記データ線の電圧と同じ極性の電圧を前記補助容量配線に印加する。

[0024] 第 20 の発明は、第 2 から第 9 のいずれかの発明において、前記駆動回路は、前記表示領域の前記ゲート線の延伸方向における  $K$  個 ( $K$  は自然数、 $K \geq 2$ ) の領域において、前記領域間で互いに異なる、 $K$  行ごとの前記ゲート線に対して設けられている。

[0025] 第 21 の発明は、第 20 の発明において、前記画素領域は、複数の色のうちのいずれかの色に対応し、前記駆動回路は、前記複数の色のうちの色に対応する前記画素領域に形成されている。

[0026] 第 22 の発明は、第 21 の発明において、前記駆動回路のスイッチング素子が形成されている前記画素領域における、前記ゲート線及び前記データ線の少なくとも一方の延伸方向における幅は、他の画素領域における前記幅より大きい。

[0027] 第 23 の発明は、第 2 から第 13 のいずれかの発明において、前記配線は、前記ゲート線と、共通電極線とを含み、前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記共通電極線とに接続された補助容量とを有し、前記駆動回路は、前記スイッチング素子が

形成されていない画素領域において前記共通電極線ごとに設けられた共通電極駆動部を含み、前記共通電極駆動部は、前記制御信号に応じて、前記データ線の電位と逆極性となるように前記共通電極線に電圧を印加する。

[0028] 第24の発明は、第1から第4のいずれかの発明において、前記配線は、前記ゲート線と、発光制御線とを含み、前記画素領域に、発光素子と、前記データ線と前記ゲート線とに接続された電気回路と、前記発光制御線と接続されたゲート端子と、前記電気回路と接続されたソース端子と、前記発光素子と接続されたドレイン端子とを有する発光制御スイッチング素子とを有し、前記駆動回路は、前記発光制御線ごとに設けられ、前記制御信号に応じて、前記発光制御線の電位を制御する発光制御線駆動部を含む。

[0029] 第25の発明に係る表示パネルは、第1から第22のいずれかの発明のアクティブマトリクス基板と、カラーフィルタと対向電極とを備える対向基板と、前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層とを備える。

[0030] 第26の発明は、第23の発明のアクティブマトリクス基板と、カラーフィルタを備える対向基板と、前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、を備える。

[0031] 第27の発明は、第25又は第26の発明の前記アクティブマトリクス基板において、前記駆動回路の少なくとも一部の素子は、前記画素領域における前記液晶層の配向状態に応じて発生する暗線領域に配置される。

[0032] 第28の発明に係る表示装置は、第25から第27のいずれかの発明の表示パネルと、前記表示パネルを収納する筐体と、を備え、前記筐体は、前記表示パネルの額縁領域の一部と表示領域の一部とに重なる位置に設けられ観察者側の表面が曲面形状を有するレンズ部を含む第1カバー部と、前記表示パネルの側面を少なくとも覆う第2カバー部とを有する。

[0033] 本発明の構成によれば、アクティブマトリクス基板上の配線に与えられる電位のなまりを低減し、配線を高速に駆動することができる。



## 図面の簡単な説明

[0034] [図1]図1は、第1実施形態に係る液晶表示装置の概略構成を示した模式図である。

[図2]図2は、第1実施形態に係るアクティブマトリクス基板の概略構成を示す模式図である。

[図3]図3は、第1実施形態に係るアクティブマトリクス基板の概略構成を示す模式図である。

[図4]図4は、第1実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図5A]図5Aは、第1実施形態におけるゲートドライバの配置例を示す模式図である。

[図5B]図5Bは、第1実施形態におけるゲートドライバの配置例を示す模式図である。

[図5C]図5Cは、第1実施形態におけるゲートドライバの配置例を示す模式図である。

[図6]図6は、図5Bに示したTFT-Aが形成されている画素領域を拡大した平面図である。

[図7A]図7Aは、図6におけるTFT-PIXの部分をI-I線で切断した断面の模式図である。

[図7B]図7Bは、図6におけるコンタクト部CH1をII-II線で切断した断面の模式図である。

[図7C]図7Cは、図6におけるTFT-Aの部分をIII-III線で切断した断面の模式図である。

[図7D]図7Dは、図6におけるコンタクト部CH2をIV-IV線で切断した断面の模式図である。

[図8A]図8Aは、図5Bに示した画素領域204Rを拡大した平面図である。

[図8B]図8Bは、図5Bに示した画素領域205Rを拡大した平面図である。

。

[図8C]図8Cは、図5Aに示した画素領域203Rを拡大した平面図である

。

[図8D]図8Dは、図5Cに示した画素領域205Bを拡大した平面図である

。

[図8E]図8Eは、図5Bに示した画素領域203Bを拡大した平面図である

。

[図8F]図8Fは、図5Aに示した画素領域201B及び202Rを拡大した平面図である。

[図9]図9は、ゲートドライバがゲート線を走査する際のタイミングチャートである。

[図10A]図10Aは、第2実施形態に係るゲートドライバの配置例を示す概略構成を示す模式図である。

[図10B]図10Bは、表示領域内に配置されるゲートドライバの画素領域を拡大した平面図である。

[図11]図11は、第3実施形態に係る液晶表示装置の断面の模式図である。

[図12]図12は、第3実施形態における表示面から出射した光線の進む方向を説明する図である。

[図13]図13は、第4実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図14]図14は、第4実施形態における各分割領域のゲート線の駆動タイミングを説明する図である。

[図15]図15は、第4実施形態における各分割領域のデータの書き込みを表すタイミングチャートである。

[図16]図15は、第4実施形態における各分割領域のデータの書き込みを表すタイミングチャートである。

[図17]図17は、第5実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図18]図18は、第5実施形態におけるスタートパルスの入力タイミングを示す図である。

[図19]図19は、第5実施形態における各ゲート線の駆動タイミングを示す図である。

[図20]図20は、図17に示した画素を拡大した模式図である。

[図21]図21は、第5実施形態におけるデータの書き込みを表すタイミングチャートである。

[図22]図22は、第6実施形態におけるスイッチング素子（TFTF）が形成されている画素領域を模式的に表した平面図である。

[図23]図23は、図22におけるコンタクト部CH6をV-V線で切断した断面の模式図である。

[図24A]図24Aは、第7実施形態におけるゲート線とソース線の交差部分を拡大した模式図である。

[図24B]図24Bは、第7実施形態におけるゲート線の変形例を示す図である。

[図24C]図24Cは、第7実施形態におけるゲート線の変形例を示す図である。

[図25A]図25Aは、第8実施形態におけるゲートドライバ非形成領域を模式的に表した平面図である。

[図25B]図25Bは、第8実施形態の応用例の液晶表示装置の構成を示す模式図である。

[図25C]図25Cは、第8実施形態の応用例における画素電位の変化を表す図である。

[図26]図26は、第9実施形態における画素の等価回路を示す図である。

[図27A]図27Aは、第9実施形態におけるゲートドライバと補助容量信号配線が形成されている画素領域を模式的に表した図である。

[図27B]図27Bは、第9実施形態におけるゲートドライバと補助容量信号配線が形成されている画素領域を模式的に表した図である。

[図28]図28は、図26に示す画素の駆動を示すタイミングチャートである。

[図29]図29は、第10実施形態における画素の等価回路を示す図である。

[図30]図30は、第10実施形態におけるCSドライバの等価回路を示す図である。

[図31A]図31Aは、第10実施形態におけるCSドライバとゲートドライバが形成されている画素領域を模式的に表した図である。

[図31B]図31Bは、第10実施形態におけるCSドライバとゲートドライバが形成されている画素領域を模式的に表した図である。

[図32]図32は、図30に示すCSドライバの動作を示すタイミングチャートである。

[図33A]図33Aは、第10実施形態におけるゲートドライバとCSドライバの動作を示すタイミングチャートである。

[図33B]図33Bは、図29に示す画素の駆動を示すタイミングチャートである。

[図34]図34は、第11実施形態における画素の等価回路を示す図である。

[図35A]図35Aは、第11実施形態におけるゲートドライバ11\_\_Aが形成されている画素領域を模式的に表した図である。

[図35B]図35Bは、第11実施形態におけるゲートドライバ11\_\_Aが形成されている画素領域を模式的に表した図である。

[図36A]図36Aは、第11実施形態におけるゲートドライバ11\_\_Bが形成されている画素領域を模式的に表した図である。

[図36B]図36Bは、第11実施形態におけるゲートドライバ11\_\_Bが形成されている画素領域を模式的に表した図である。

[図37]図37は、第11実施形態における各副画素の駆動を示すタイミングチャートである。

[図38]図38は、第12実施形態における画素の等価回路を示す図である。

[図39A]図39Aは、第12実施形態におけるゲートドライバ11\_\_1が形成

されている画素領域を模式的に表した図である。

[図39B]図39Bは、第12実施形態におけるゲートドライバ11\_\_1が形成されている画素領域を模式的に表した図である。

[図39C]図39Cは、第12実施形態におけるゲートドライバ11\_\_2が形成されている画素領域を模式的に表した図である。

[図39D]図39Dは、第12実施形態におけるゲートドライバ11\_\_2が形成されている画素領域を模式的に表した図である。

[図40]図40は、第12実施形態における画素の駆動を示すタイミングチャートである。

[図41]図41は、第13実施形態における画素の等価回路を示す図である。

[図42]図42は、図41に示す画素の概略構成を模式的に表した断面図である。

[図43]図43は、第13実施形態におけるゲートドライバとCSドライバの等価回路を示す図である。

[図44A]図44Aは、第13実施形態におけるゲートドライバとCSドライバとが形成されている画素領域を示す模式図である。

[図44B]図44Bは、第13実施形態におけるゲートドライバとCSドライバとが形成されている画素領域を示す模式図である。

[図45]図45は、第13実施形態におけるゲート線と補助容量配線の駆動を示すタイミングチャートである。

[図46]図46は、第13実施形態における画素のフレーム毎の駆動を示すタイミングチャートである。

[図47]図47は、第14実施形態における画素の等価回路を示す図である。

[図48]図48は、図47に示す画素の概略構成を模式的に表した断面図である。

[図49]図49は、第14実施形態におけるゲートドライバとCOMドライバの等価回路を示す図である。

[図50A]図50Aは、第14実施形態におけるゲートドライバとCOMドライ

バとが形成されている画素領域を示す模式図である。

[図50B]図50Bは、第14実施形態におけるゲートドライバとCOMドライバとが形成されている画素領域を示す模式図である。

[図51]図51は、第14実施形態におけるゲート線と共通電極線の駆動を示すタイミングチャートである。

[図52]図52は、第14実施形態における画素のフレーム毎の駆動を示すタイミングチャートである。

[図53]図53は、第15実施形態における画素の等価回路を示す図である。

[図54]図54は、図53に示す画素の概略構成を模式的に表した断面図である。

[図55A]図55Aは、図53に示す画素の横電界が発生していない状態を示す模式図である。

[図55B]図55Bは、図53に示す画素の横電界が発生している状態を示す模式図である。

[図56]図56は、変形例1におけるゲートドライバの接続例を示す平面図である。

[図57]図57は、変形例2におけるゲートドライバの接続例を示す平面図である。

[図58]図58は、変形例3における画素領域の構成を示す平面図である。

[図59]図59は、変形例4におけるゲートドライバの接続例を示す平面図である。

[図60A]図60Aは、VAモードの場合の配線例を示す平面図である。

[図60B]図60Bは、FFSモードの場合の配線例を示す平面図である。

[図60C]図60Cは、IPSモードの場合の配線例を示す平面図である。

[図61A]図61Aは、変形例6に係る表示パネルの模式図である。

[図61B]図61Bは、変形例6に係るタイル状パネルの模式図である。

[図62]図62は、変形例7におけるゲートドライバの等価回路の一例を示す図である。

- [図63A]図63Aは、TFT-Aが形成される画素領域を示す平面図である。
- [図63B]図63Bは、net Aとソース線との寄生容量によってゲート線に生じるノイズを説明する図である。
- [図64A]図64Aは、net Aとソース線との寄生容量によってノイズが生じる極性パターンの例を示す図である。
- [図64B]図64Bは、net Aとソース線との寄生容量によってノイズが生じる極性パターンの例を示す図である。
- [図64C]図64Cは、net Aとソース線との寄生容量によってノイズが生じる極性パターンの例を示す図である。
- [図65]図65は、変形例7におけるゲートドライバを用いた場合の波形図である。
- [図66]図66は、変形例7におけるキャパシタC a bの接続例を示す平面図である。
- [図67]図67は、変形例10における画素の等価回路を示す図である。
- [図68A]図68Aは、変形例10における発光制御線の電位を制御するELドライバの等価回路を示す図である。
- [図68B]図68Bは、変形例10におけるゲート線と発光制御線の駆動を示すタイミングチャートである。
- [図69A]図69Aは、変形例10におけるゲートドライバとELドライバが配置された画素の模式図である。
- [図69B]図69Bは、変形例10におけるゲートドライバとELドライバが配置された画素の模式図である。
- [図69C]図69Cは、変形例10におけるゲートドライバとELドライバが配置された画素の模式図である。
- [図69D]図69Dは、変形例10におけるゲートドライバとELドライバが配置された画素の模式図である。
- [図69E]図69Eは、変形例10におけるゲートドライバとELドライバが配置された画素の模式図である。

[図70]図70は、図67に示した画素の駆動を示すタイミングチャートである。

[図71]図71は、変形例11におけるアクティブマトリクス基板の構成例を示す図である。

[図72]図72は、変形例12に係るアクティブマトリクス基板の概略構成を示す模式図である。

[図73A]図73Aは、図72に示すゲートドライバ11xの等価回路を示す図である。

[図73B]図73Bは、図72に示すゲートドライバ11yの等価回路を示す図である。

[図74]図74は、図73Bに示すゲートドライバ11yが配置されている画素領域の一部を簡略化した模式図である。

[図75A]図75Aは、ゲートドライバ11yを配置する画素領域の模式図である。

[図75B]図75Bは、図75Aに示す破線枠の部分を拡大した模式図である。

[図76A]図76Aは、図75Aに示すゲートドライバ11yが配置する画素領域の模式図である。

[図76B]図76Bは、図76Aに示す破線枠の部分を拡大した模式図である。

[図77]図77は、ゲートドライバ11x(n)の配置例を示す模式図である。

[図78A]図78Aは、変形例14における画素の一例を示す図である。

[図78B]図78Bは、変形例14における配線15L1の配置例を示す模式図である。

[図78C]図78Cは、変形例14における配線15L1の配置例を示す模式図である。

[図79A]図79Aは、変形例14における配線15L1の配置例を示す模式図である。

[図79B]図79Bは、変形例14における配線15L1の配置例を示す模式図



である。

[図80]図80は、変形例15における補助容量電極と補助容量配線を示す模式図である。

[図81A]図81Aは、変形例15の構成例1における画素の概略構成を例示した模式図である。

[図81B]図81Bは、図81Aに示す画素PIXをA-A線で切断した断面図である。

[図82A]図82Aは、変形例15の構成例2における画素の概略構成を例示した模式図である。

[図82B]図82Bは、図82Aに示す画素PIXをB-B線で切断した断面図である。

[図83A]図83Aは、変形例15の構成例3における画素の概略構成を例示した模式図である。

[図83B]図83Bは、図83Aに示す画素PIXをC-C線で切断した断面図である。

[図83C]図83Cは、図83Aに示す画素PIXをC-C線で切断した断面図である。

### 発明を実施するための形態

[0035] 本発明の一実施形態に係るアクティブマトリクス基板は、複数のデータ線と、前記複数のデータ線と交差し、少なくともゲート線を含む複数の配線と、前記複数の配線の少なくとも一部に接続され、前記データ線と前記ゲート線とで規定される画素領域を含む表示領域の外側から供給される制御信号に応じて、当該配線の電位を制御する駆動回路を備え、前記駆動回路は、複数のスイッチング素子を含み、前記複数のスイッチング素子の少なくとも一部が前記画素領域に形成されている（第1の構成）。

[0036] 第1の構成において、駆動回路が接続される配線はゲート線であってもよいし、他の配線であってもよい。データ線と交差する配線のうちの少なくとも一部の配線の電位は、表示領域の外側から供給される制御信号に応じて駆

動回路により制御される。駆動回路を構成するスイッチング素子の少なくとも一部は画素領域内に配置される。そのため、配線の一端側から配線の電位を制御する場合と比べ、配線他端側における電位のなまりを低減することができ、配線を高速に駆動させることができる。また、駆動回路の少なくとも一部のスイッチング素子が画素領域内に配置されるため、駆動回路の全てのスイッチング素子を画素領域の外側に配置する場合と比べ、狭額縁化を図ることができる。

[0037] 第2の構成は、第1の構成において、前記駆動回路は、前記ゲート線の各々に接続され、前記制御信号に応じて、前記ゲート線に選択電圧と非選択電圧との一方を印加することにより前記ゲート線の電位を制御する、こととしてもよい。

[0038] 第2の構成によれば、画素領域に少なくとも一部のスイッチング素子が設けられた駆動回路によって、ゲート線に選択電圧と非選択電圧との一方が印加される。そのため、ゲート線の端部付近での電位のなまりが低減されるので、ゲート線を選択又は非選択の状態に高速に切り替えることができる。また、ゲート線の電位を制御する駆動回路の少なくとも一部のスイッチング素子が画素領域内に配置されるため、画素領域の外側に、この駆動回路が配置される場合と比べ、狭額縁化を図ることができる。

[0039] 第3の構成は、第1又は第2の構成において、前記表示領域の外側に設けられ、前記複数のデータ線にデータ信号を供給する第1端子部と、前記表示領域の外側に設けられ、前記駆動回路に前記制御信号を供給する第2端子部と、を備え、前記第1端子部及び前記第2端子部は、前記表示領域において前記ゲート線と平行な一辺の外側に設けられている、としてもよい。

[0040] 第3の構成によれば、ゲート線と平行な表示領域の一辺の外側に第1端子部と第2端子部とが設けられる。そのため、表示領域内のデータ線と駆動回路とに対し、表示領域におけるゲート線と平行な一辺の外側からデータ信号と制御信号を各々供給することができるので、表示領域の他の辺の外側について狭額縁化を図ることができる。

- [0041] 第4の構成は、第2又は第3の構成の前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極をさらに備え、前記駆動回路のスイッチング素子であって、前記画素領域に形成されているスイッチング素子と、前記画素電極との間に透明性を有する導電膜からなるシールド層が形成されている、こととしてもよい。第4の構成によれば、画素領域に設けられる画素電極と駆動回路のスイッチング素子との干渉を低減させることができる。
- [0042] 第5の構成は、第2又は第3の構成の前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極をさらに備え、前記駆動回路のスイッチング素子であって、前記画素領域に形成されているスイッチング素子は、前記画素電極と重ならない位置に形成されている、としてもよい。第5の構成によれば、画素領域に設けられる画素電極と駆動回路のスイッチング素子との干渉を低減させることができる。
- [0043] 第6の構成は、第2から第5のいずれかの構成において、前記駆動回路のスイッチング素子が形成されていない画素領域に、前記駆動回路のスイッチング素子が形成されている前記画素領域の開口率と略同等となるように調整用配線がさらに設けられている、こととしてもよい。第6の構成によれば、駆動回路のスイッチング素子が配置されている画素領域と配置されていない画素領域との開口率の差が軽減される。そのため、駆動回路のスイッチング素子が配置されている画素領域と配置されていない画素領域とにおける開口率の差による輝度ムラを軽減することができる。
- [0044] 第7の構成は、第3から第6のいずれかの構成において、前記ゲート線が形成されているゲート配線層と前記データ線が形成されているデータ配線層との間に形成された第1の絶縁層と、前記画素領域において、前記データ線と略平行となるように前記データ配線層に形成され、前記第2端子部からの前記制御信号を前記駆動回路に供給する制御信号配線と、前記第1の絶縁層より大きい厚みを有して前記データ配線層の上層に形成され、前記データ配線層まで貫通するコンタクトホールを有する第2の絶縁層と、前記コンタクトホールに形成された導電層と、を備え、前記制御信号配線は、前記ゲート

線と重なる部分において不連続であり、不連続部分において、前記第2の絶縁層の前記コンタクトホールにおける前記導電層を介して接続されている、こととしてもよい。

[0045] 第7の構成によれば、制御信号配線が形成されるデータ配線層の上層には、第1の絶縁層より厚み大きい第2の絶縁層が形成されている。第1の絶縁層を介してゲート線と重なる部分において、制御信号配線は不連続であり、不連続部分は、第2の絶縁層に設けられたコンタクトホールにおける導電層によって接続される。第1の絶縁層を介してゲート線上に制御信号配線が設けられている場合、ゲート線と制御信号配線との間の寄生容量によって制御信号の遅延や乱れが生じることがある。本構成では、制御信号配線はゲート線と重なる部分に形成されず、制御信号配線の不連続部分は第2の絶縁層に設けられたコンタクトホールを介して接続されている。そのため、ゲート線と重なる位置に制御信号配線が形成されている場合と比べ、制御信号配線をゲート線から離すことができ、ゲート線と制御信号配線との寄生容量による制御信号の遅延や乱れを生じにくくすることができる。

[0046] 第8の構成は、第3から第6のいずれかの前記画素領域において、前記第2端子部からの前記制御信号を前記駆動回路に供給する制御信号配線をさらに備え、前記制御信号配線は、前記制御信号配線の少なくとも一部が、前記画素領域における2つの前記データ線からの距離が略同じとなる位置において、前記データ線と略平行となるように配置されている、こととしてもよい。第8の構成によれば、画素領域に配置される制御信号配線の少なくとも一部が、当該画素領域における2つのデータ線からの距離が略同じとなる位置において、データ線と略平行に配置される。そのため、制御信号配線がデータ線の近傍に配置される場合と比べ、データ線に対する制御信号配線によるノイズが低減される。

[0047] 第9の構成は、第2から第8のいずれかの構成において、前記画素領域に、前記データ線と前記ゲート線とに接続された画素スイッチング素子をさらに備え、前記画素スイッチング素子のゲート端子が接続されている前記ゲー

ト線の位置から前記データ線と前記ゲート線との交差位置までの前記ゲート線の部分と、前記ゲート端子が接続されていない側の前記データ線と前記ゲート線との交差近傍における前記ゲート線の部分とにおいて、前記ゲート線の最大幅より狭い幅の部分を含む、こととしてもよい。

[0048] 第9の構成によれば、画素スイッチング素子のゲート端子の接続位置からデータ線との交差位置までのゲート線の部分と、ゲート端子が接続されていない側のゲート線とデータ線との交差近傍におけるゲート線の部分とに、ゲート線の最大幅より狭い幅の部分を含む。そのため、ゲート線の最大幅より狭くなっている部分は他の部分よりも切断しやすい。ゲート線とデータ線との交差近傍において短絡した場合、ゲート線の最大幅より小さい幅の部分を切断して短絡部分を切り離すことで、データ線と画素スイッチング素子とを継続して機能させることができる。

[0049] 第10の構成は、第2から第9のいずれかの構成において、前記画素領域は、複数の色のうちのいずれかの色に対応し、前記駆動回路は、前記複数の色のうちの1色に対応する前記画素領域に形成されている、としてもよい。第10の構成によれば、画素領域は、複数の色のうちのいずれかの色に対応している。複数の色のうちの1色に対応する画素領域に駆動回路のスイッチング素子が設けられる。対向基板にカラーフィルタが設けられる場合に、画素領域は、カラーフィルタにおける1色に対応する位置に配置される。例えば、輝度の影響を受けにくい色に対応する画素領域に駆動回路のスイッチング素子を設けることにより、スイッチング素子が形成された画素領域と他の画素領域との開口率の差による色むら等を低減させることができる。

[0050] 第11の構成は、第2から第10のいずれかの構成における前記駆動回路のスイッチング素子が形成されている前記画素領域において、前記ゲート線の延伸方向における幅は、他の画素領域の前記幅より大きい、としてもよい。第11の構成によれば、駆動回路のスイッチング素子が設けられる画素領域と他の画素領域の開口率が略均一化されるので、表示画面全体の輝度を均一化することができる。

- [0051] 第12の構成は、第8から第11のいずれの構成の前記画素領域において、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極に接続された補助容量電極とを有し、前記表示領域の外側において前記補助容量電極と接続され、前記補助容量電極に所定の電位を供給する補助容量配線と、前記画素領域において前記補助容量電極と接続されるとともに、前記補助容量配線と接続された低インピーダンス配線と、を備える、こととしてもよい。第12の構成によれば、画素電極と接続された補助容量電極と表示領域の外側において接続された補助容量配線に接続されるとともに、画素領域において補助容量電極と接続された低インピーダンス配線を備える。そのため、画素領域に配置される制御信号配線によって、当該画素領域における補助容量電極がノイズの影響を受け、補助容量配線の電位が補助容量配線から供給される所定の電位から外れたとしても、低インピーダンス配線を介して所定の電位に回復させることができる。
- [0052] 第13の構成は、第2又は第3のいずれかの構成において、前記ゲート線の各々に対して、複数の前記駆動回路が設けられている、としてもよい。第13の構成によれば、各ゲート線に対し複数の駆動回路が設けられる。そのため、各ゲート線に単一の駆動回路が設けられる場合と比べ、ゲート線を選択状態に高速に切り替えることができる。
- [0053] 第14の構成は、第2から第13のいずれかの構成において、前記表示領域は、前記ゲート線の配列方向に沿って複数の分割領域に分割され、前記複数の分割領域の各々に配置されている前記ゲート線に対して設けられた前記駆動回路は、前記分割領域ごとに定められた周波数で前記ゲート線に選択電圧を印加する、こととしてもよい。
- [0054] 第14の構成によれば、駆動回路は、分割領域ごとに異なる周波数でゲート線に選択電圧を印加する。そのため、各分割領域に表示される画像に応じて、各分割領域におけるゲート線に選択電圧を印加することができる。
- [0055] 第15の構成は、第3から第13のいずれかの構成において、前記複数のゲート線は、 $N$ 本（ $N$ は自然数）であり、前記ゲート線ごとに、第1～第 $M$

( $M$ は自然数、 $M \geq 2$ )の $M$ 個の前記駆動回路が設けられ、 $n$ 行目( $1 \leq n \leq N$ )の前記ゲート線に対して設けられた前記 $M$ 個の駆動回路は、前記第1の駆動回路から前記第 $M$ の駆動回路の順に前記 $n$ 行目のゲート線に選択電圧を印加し、前記 $M$ 個の駆動回路のうち、第2の前記駆動回路から前記第 $M$ の駆動回路は、直前の前記駆動回路が $n+1$ 行目の前記ゲート線に前記選択電圧を印加するタイミングで、前記 $n$ 行目のゲート線に前記選択電圧を印加し、前記第1端子部は、前記第 $M$ の駆動回路によって前記 $n$ 行目のゲート線に選択電圧が印加されるタイミングで、前記 $n$ 行目のゲート線と前記データ線とで規定される前記画素領域に書き込むべき画像のデータ信号を前記データ線に供給する、こととしてもよい。

[0056] 第15の構成によれば、ゲート線ごとに $M$ 個の駆動回路が設けられ、第1の駆動回路から第 $M$ の駆動回路の順にゲート線に選択電圧を印加する。第2の駆動回路から第 $M$ の駆動回路は、直前の駆動回路が $n+1$ 行目のゲート線に選択電圧を印加するタイミングで、 $n$ 行目のゲート線に選択電圧を印加する。 $n$ 行目のゲート線と交差するデータ線は、 $n$ 行目のゲート線に選択電圧が印加されるタイミングでデータ信号が供給される。つまり、 $n$ 行目のゲート線は、 $M$ 個の駆動回路によって選択状態に $M$ 回切り替えられることになる。そのため、 $n$ 行目のゲート線と交差するデータ線にデータ信号が入力される前に、 $n$ 行目のゲート線をプリチャージすることができ、データの書き込み速度を高速化することができる。

[0057] 第16の構成は、第2から第13のいずれかの構成において、前記画素領域は、複数の副画素領域で構成され、前記配線は、前記ゲート線と、サブゲート線とを含み、一の前記副画素領域に、前記ゲート線と前記データ線とに接続された画素電極を備え、他の副画素領域に、前記サブゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記一の前記副画素領域における前記画素電極との間に接続されたキャパシタとを備え、前記駆動回路は、前記スイッチング素子が配置されていない画素領域において前記サブゲート線ごとに設けられ、前記制御信号に応じて、前記サブゲート線に選択電圧

と非選択電圧との一方を印加するサブゲート線駆動部を含み、一水平期間において、前記ゲート線に選択電圧が印加された後、前記サブゲート線駆動部が前記サブゲート線に選択電圧を印加する、こととしてもよい。

[0058] 第16の構成によれば、一水平期間においてゲート線に選択電圧が印加されているとき、一の副画素領域における画素電極には、ソース線に対して入力されるデータ信号に応じた電圧が印加される。ゲート線に非選択電圧が印加されると、一の副画素領域の電位はフローティング状態となる。そして、サブゲート線駆動部によりサブゲート線に選択電圧が印加され、データ信号に応じた電圧が他の副画素領域における画素電極に印加される。これにより、キャパシタを介して一方の副画素領域の電位が増幅する。その結果、一の副画素領域は他の副画素領域よりも高輝度の表示となる。また、サブゲート線駆動部は、画素領域内に設けられているため、表示領域の外側に設けられている場合と比べて狭額縁化を図ることができる。

[0059] 第17の構成は、第2から第13のいずれかの構成において、前記画素領域は、複数の副画素領域で構成され、前記配線は、前記ゲート線と、サブゲート線と、補助容量配線とを含み、前記複数の副画素領域に、前記ゲート線と前記データ線とに接続された画素電極をそれぞれ備え、一の前記副画素領域に、前記補助容量配線と接続された補助容量と、前記サブゲート線に接続されたゲート端子と、前記一の副画素領域における前記画素電極に接続されたソース端子と、前記補助容量に接続されたドレイン端子とを有するスイッチング素子とを備え、前記駆動回路は、前記スイッチング素子が配置されていない画素領域において前記サブゲート線ごとに設けられ、前記サブゲート線に選択電圧と非選択電圧の一方を印加するサブゲート線駆動部を含み、前記サブゲート線駆動部は、前記ゲート線に選択電圧が印加された後、前記制御信号に応じて、前記サブゲート線に選択電圧を印加する、こととしてもよい。

[0060] 第17の構成によれば、ゲート線に選択電圧が印加されているときに、データ線に入力されたデータ信号に応じた電圧は、各副画素領域における画素



電極に印加される。ゲート線に選択電圧が印加された後、サブゲート線駆動部によってサブゲート線に選択電圧が印加されると、一の副画素領域では、スイッチング素子を介して補助容量の電荷が画素電極との間で再分配される。これにより、他の副画素領域は、データ信号の電圧に応じた画素電位となり、一の副画素領域は、データ信号の電圧に応じた画素電位となった後、補助容量配線の電位に応じて増減する。従って、一の副画素領域と他の副画素領域とで画素電位が異なり、1つの画素領域において異なる輝度で画像を表示させることが可能となる。また、サブゲート線駆動部は、画素領域内に設けられているため、表示領域の外側に設けられている場合と比べて狭額縁化を図ることができる。

[0061] 第18の構成は、第2から第13のいずれかの構成において、前記画素領域は、複数の副画素領域で構成され、前記配線は、前記ゲート線と、第1補助容量配線及び第2補助容量配線とを含み、前記複数の副画素領域は、前記ゲート線と前記データ線とに接続された画素電極を各々備え、一の前記副画素領域に、前記一の副画素領域における前記画素電極と前記第1補助容量配線とに接続された第1補助容量を備え、他の副画素領域に、前記他の副画素領域における前記画素電極と前記第2補助容量配線とに接続された第2補助容量を備え、前記駆動回路は、前記表示領域内に形成され、前記第1補助容量配線と前記第2補助容量配線の電位を制御する補助容量線制御素子を含み、前記補助容量線制御素子は、前記ゲート線に選択電圧が印加された後、前記第1補助容量配線と前記第2補助容量配線の電位が逆位相となるように、前記第1補助容量配線と前記第2補助容量配線に電圧を印加する、こととしてもよい。

[0062] 第18の構成によれば、第1補助容量配線と第2補助容量配線は、ゲート線の一水平期間の経過後、補助容量制御素子によって第1補助容量配線と第2補助容量配線の電位が逆位相となるように電圧が印加される。ゲート線の一水平期間において、一の副画素領域の画素電極と、他の副画素領域の画素電極にはデータ線の電位が印加される。ゲート線に選択電圧が印加された後

、第1補助容量と第2補助容量とに保持されている電荷は、第1補助容量配線と第2補助容量配線の電位に応じて増減する。これにより、一の副画素領域は他の副画素領域よりも画素電位が高くなり、他の副画素領域よりも高輝度で表示を表示させることができる。また、補助容量制御素子は画素領域内に設けられているため、表示領域の外側に設けられている場合と比べて狭額縁化を図ることができる。

[0063] 第19の構成は、第2から第13のいずれかの構成において、前記配線は、前記ゲート線と、補助容量配線とを含み、前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記補助容量配線とに接続された補助容量とを備え、前記駆動回路は、前記補助容量配線ごとに設けられた補助容量配線駆動部を含み、前記補助容量配線駆動部は、前記制御信号に応じて、前記データ線の電圧と同じ極性の電圧を前記補助容量配線に印加する、こととしてもよい。

[0064] 第19の構成によれば、補助容量配線駆動部によって、補助容量配線にデータ線と同じ極性の電圧が印加される。補助容量配線の電位に応じて、画素電極の電位は補助容量を介して変化する。従って、データ線が正極性の電位の場合、補助容量配線に正極性の電圧が印加される。画素電極はデータ線に応じた電位となり、補助容量を介して電位が増加する。そのため、本構成を備えていない場合と比べ、画素電極に印加するデータ信号の振幅を低減させることができ、消費電力を軽減することができる。また、補助容量配線駆動部が画素領域内に設けられているので、表示領域外に設けられている場合と比べて狭額縁化を図ることができる。

[0065] 第20の構成は、第2から第9のいずれかの構成において、前記駆動回路は、前記表示領域の前記ゲート線の延伸方向におけるK個（Kは自然数、 $K \geq 2$ ）の領域において、前記領域間で互いに異なる、K行ごとの前記ゲート線に対して設けられている、こととしてもよい。第20の構成によれば、表示領域において、ゲート線の延伸方向におけるK個の領域においてK行ごとのゲート線に対して駆動回路が設けられる。また、領域間において駆動回路

が設けられるゲート線は互いに異なっている。このように構成することにより、1つの領域において、全てのゲート線ごとに駆動回路を設ける場合と比べ、駆動回路が配置されない画素領域が多くなるため、開口率を向上させることができる。

[0066] 第21の構成は、第20の構成において、前記画素領域は、複数の色のうちのいずれかの色に対応し、前記駆動回路は、前記複数の色のうち一の色に対応する前記画素領域に形成されている、こととしてもよい。第21の構成によれば、特定の一色の画素領域に駆動回路のスイッチング素子が設けられる。そのため、例えば、輝度の影響を受けにくい色に対応する画素領域に駆動回路のスイッチング素子を設けることで、スイッチング素子が形成された画素領域と他の画素領域との開口率の差による色むら等を低減させることができる。

[0067] 第22の構成は、第21の構成において、前記駆動回路のスイッチング素子が形成されている前記画素領域において、前記ゲート線及び前記データ線の少なくとも一方の延伸方向における幅は、他の画素領域における前記幅より大きい、こととしてもよい。第22の構成によれば、駆動回路のスイッチング素子が形成される画素領域のゲート線及びデータ線の少なくとも一方の延伸方向における幅は、他の画素領域におけるその幅より大きい。そのため、駆動回路のスイッチング素子が配置される画素領域の開口率の低下を抑制し、表示領域における開口率を均一化することができる。

[0068] 第23の構成は、第2から第13のいずれかの構成において、前記配線は、前記ゲート線と、共通電極線とを含み、前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記共通電極線とに接続された補助容量とを有し、前記駆動回路は、前記スイッチング素子が形成されていない画素領域において前記共通電極線ごとに設けられた共通電極駆動部を含み、前記共通電極駆動部は、前記制御信号に応じて、前記データ線の電位と逆極性となるように前記共通電極線に電圧を印加する、こととしてもよい。

- [0069] 第23の構成によれば、共通電極駆動部によって共通電極線にデータ線の電位と逆極性の電圧が印加される。共通電極線の電位に応じて、補助容量を介して画素電極の電位は変化する。データ線と共通電極線の電位が逆極性となるため、データ線に入力されるデータ信号の振幅を低減することができ、消費電力を軽減することができる。また、共通電極駆動部は画素領域内に配置されているため、表示領域の外側に配置する場合と比べて狭額縁化を図ることができる。
- [0070] 第24の構成は、第1から第4のいずれかの構成において、前記配線は、前記ゲート線と、発光制御線とを含み、前記画素領域に、発光素子と、前記データ線と前記ゲート線とに接続された電気回路と、前記発光制御線と接続されたゲート端子と、前記電気回路と接続されたソース端子と、前記発光素子と接続されたドレイン端子とを有する発光制御スイッチング素子とを有し、前記駆動回路は、前記発光制御線ごとに設けられ、前記制御信号に応じて、前記発光制御線の電位を制御する発光制御線駆動部を含む、こととしてもよい。
- [0071] 第24の構成によれば、発光制御線駆動部によって発光制御線の電位が制御される。発光制御スイッチング素子は、発光制御線とゲート端子が接続され、発光素子と電気回路の間に接続されている。これにより、発光制御線の電位に応じて発光素子と電気回路との接続状態を切り替え、発光を制御することができる。
- [0072] 本発明の一実施形態に係る表示パネルは、第1から第22のいずれかの構成のアクティブマトリクス基板と、カラーフィルタと対向電極とを備える対向基板と、前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、備える（第25の構成）。
- [0073] 本発明の一実施形態に係る表示パネルは、第23の構成のアクティブマトリクス基板と、カラーフィルタを備える対向基板と、前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、を備える（第26の構成）。

[0074] 第25及び第26の構成によれば、駆動回路の少なくとも一部が画素領域内に形成されているため、信号線の一端側から信号が入力される場合と比べて、信号線における信号のなまりが低減し、適切に画像を表示させることができる。

[0075] 第27の構成は、第25又は第26の構成の表示パネルにおける前記アクティブマトリクス基板において、前記駆動回路の少なくとも一部の素子は、前記画素領域における前記液晶層の配向状態に応じて発生する暗線領域に配置される、としてもよい。各画素領域の液晶層の配向状態に応じて発生する暗線領域では光の透過率が低下する。第27の構成によれば、駆動回路が暗線領域に設けられるため、駆動回路を画素領域に設けることによる光の透過率の低下を抑制することができる。

[0076] 本発明の一実施形態に係る表示装置は、第25から27のいずれかの構成の表示パネルと、前記表示パネルを収納する筐体とを備え、前記筐体は、前記表示パネルの額縁領域の一部と表示領域の一部とに重なる位置に設けられ観察者側の表面が曲面形状を有するレンズ部を含む第1カバー部と、前記表示パネルの側面を少なくとも覆う第2カバー部とを有する（第28の構成）。第28の構成によれば、表示パネルの額縁領域と重なる位置に設けられるレンズ部によって、表示面から出射した光が屈折されて観察者側へと進むため、額縁領域を観察者側において視認されにくくすることができる。

[0077] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0078] <第1実施形態>

（液晶表示装置の構成）

図1は、本実施形態に係る液晶表示装置の概略構成を示した上面図である。液晶表示装置1は、表示パネル2、ソースドライバ3、表示制御回路4、及び電源5を有する。表示パネル2は、アクティブマトリクス基板20aと、対向基板20bと、これら基板に挟持された液晶層（図示略）とを有する。図1において図示を省略しているが、アクティブマトリクス基板20aの

下面側と対向基板 20b の上面側には、偏光板が設けられている。対向基板 20b には、ブラックマトリクスと、赤 (R)、緑 (G)、青 (B) の3色のカラーフィルタと、共通電極 (いずれも図示略) が形成されている。

[0079] 図1に示すように、アクティブマトリクス基板 20a は、フレキシブル基板に形成されたソースドライバ3と電氣的に接続されている。表示制御回路4は、表示パネル2、ソースドライバ3、及び電源5と電氣的に接続されている。表示制御回路4は、ソースドライバ3と、アクティブマトリクス基板 20a に形成されている後述の駆動回路 (以下、ゲートドライバと称する) とに制御信号を出力する。制御信号には、表示パネル2に画像を表示するためのリセット信号 (CLR)、クロック信号 (CKA, CKB)、データ信号等が含まれる。電源5は、表示パネル2、ソースドライバ3、及び表示制御回路4と電氣的に接続されており、各々に電源電圧信号を供給する。

[0080] (アクティブマトリクス基板の構成)

図2は、アクティブマトリクス基板 20a の概略構成を示す上面図である。アクティブマトリクス基板 20a において、X軸方向の一端から他端まで複数のゲート線 13G が一定の間隔で略平行に形成されている。また、アクティブマトリクス基板 20a には、ゲート線 13G 群と交差するように複数のソース線 15S (データ線) が形成されている。ゲート線 13G とソース線 15S とで囲まれる領域が1つの画素を形成している。各画素は、カラーフィルタのいずれかの色に対応している。

[0081] 図3は、ソース線 15S の図示を省略したアクティブマトリクス基板 20a と、アクティブマトリクス基板 20a と接続されている各部の概略構成を示す上面図である。図3の例に示すように、ゲートドライバ11 (駆動回路) は、表示領域におけるゲート線 13G とゲート線 13G の間に形成されている。この例では、ゲート線 13G の各々は、4つのゲートドライバ11が接続されている。アクティブマトリクス基板 20a の表示領域のうち、ソースドライバ3が設けられている辺の額縁領域には、端子部 12g (第2端子部) が形成されている。端子部 12g は、制御回路4及び電源5と接続され

ている。端子部 1 2 g は、制御回路 4 及び電源 5 から出力される制御信号（C K A、C K B）や電源電圧信号等の信号を受け取る。端子部 1 2 g に入力された制御信号（C K A、C K B）及び電源電圧信号等の信号は、配線 1 5 L 1 を介して各ゲートドライバ 1 1 に供給される。ゲートドライバ 1 1 は、供給される信号に応じて、接続されているゲート線 1 3 G に対し、選択状態と非選択状態の一方を示す電圧信号を出力するとともに、次段のゲート線 1 3 G にその電圧信号を出力する。以下の説明において、選択状態と非選択状態のそれぞれに対応する電圧信号を走査信号と呼ぶことがある。また、ゲート線 1 3 G が選択されている状態をゲート線 1 3 G の駆動と呼ぶ。

[0082] また、アクティブマトリクス基板 2 0 a において、ソースドライバ 3 が設けられている辺の額縁領域には、ソースドライバ 3 とソース線 1 5 S とを接続する端子部 1 2 s（第 1 端子部）が、形成されている。ソースドライバ 3 は、表示制御回路 4 から入力される制御信号に応じて、各ソース線 1 5 S にデータ信号を出力する。

[0083] 図 3 に示すように、本実施形態では、表示領域内において、G L（1）～G L（n）のゲート線 1 3 G に対し、複数のゲートドライバ 1 1 が接続されている。同一のゲート線 1 3 G に接続されているゲートドライバ 1 1 は同期しており、これらゲートドライバ 1 1 から出力される走査信号によって 1 本のゲート線 1 3 G が同時に駆動される。本実施形態では、1 つのゲートドライバ 1 1 がゲート線 1 3 G を駆動する負荷が略均等となるように、1 本のゲート線 1 3 G に対して複数のゲートドライバ 1 1 が略等間隔に接続されている。

[0084] （ゲートドライバの構成）

ここで、本実施形態におけるゲートドライバ 1 1 の構成について説明する。図 4 は、G L（n-1）と G L（n-2）のゲート線 1 3 G 間に配置され、G L（n-1）のゲート線 1 3 G を駆動するゲートドライバ 1 1 の等価回路の一例を示す図である。図 4 に示すように、ゲートドライバ 1 1 は、スイッチング素子として薄膜トランジスタ（T F T : Thin Film Transistor）で

構成されたTFT-A～TFT-Jと、キャパシタCbstと、端子111～120と、ローレベルの電源電圧信号が入力される端子群とを有する。

[0085] 端子111、112は、前段のGL(n-2)のゲート線13Gを介してセット信号(S)を受け取る。なお、GL(1)のゲート線13Gに接続されているゲートドライバ11の端子111、112は、表示制御回路4から出力されるゲートスタートパルス信号(S)を受け取る。端子113～115は、表示制御回路4から出力されるリセット信号(CLR)を受け取る。端子116、117は、入力されるクロック信号(CKA)を受け取る。端子118、119は、入力されるクロック信号(CKB)を受け取る。端子120は、セット信号(OUT)を後段のゲート線13Gに出力する。

[0086] クロック信号(CKA)とクロック信号(CKB)は、一水平走査期間毎に位相が反転する2相のクロック信号である(図9参照)。図4は、GL(n-1)のゲート線13Gを駆動するゲートドライバ11を例示しているが、GL(n)を駆動する後段のゲートドライバ11の場合、端子116、117は、クロック信号(CKB)を受け取り、そのゲートドライバ11の端子118、119は、クロック信号(CKA)を受け取る。つまり、各ゲートドライバ11の端子116及び117と端子118及び119は、隣接する行のゲートドライバ11が受け取るクロック信号と逆位相のクロック信号を受け取る。

[0087] 図4において、TFT-Bのソース端子と、TFT-Aのドレイン端子と、TFT-Cのソース端子と、キャパシタCbstの一方の電極と、TFT-Fのゲート端子とが接続されている配線をnetAと称する。また、TFT-Cのゲート端子と、TFT-Gのソース端子と、TFT-Hのドレイン端子と、TFT-Iのソース端子と、TFT-Jのソース端子とが接続されている配線をnetBと称する。

[0088] TFT-Aは、2つのTFT(A1, A2)を直列に接続して構成されている。TFT-Aの各ゲート端子は端子113と接続され、A1のドレイン端子はnetAと接続され、A2のソース端子は電源電圧端子VSSに接続



されている。

- [0089] T F T - B は、2つの T F T ( B 1 , B 2 ) を直列に接続して構成されている。T F T - B の各ゲート端子と B 1 のドレイン端子は端子 1 1 1 と接続され (ダイオード接続)、B 2 のソース端子は n e t A に接続されている。
- [0090] T F T - C は、2つの T F T ( C 1 , C 2 ) を直列に接続して構成されている。T F T - C の各ゲート端子は n e t B と接続され、C 1 のドレイン端子は n e t A と接続され、C 2 のソース端子は電源電圧端子 V S S に接続されている。
- [0091] キャパシタ C b s t は、一方の電極が n e t A と接続され、他方の電極が端子 1 2 0 と接続されている。
- [0092] T F T - D は、ゲート端子が端子 1 1 8 と接続され、ドレイン端子は端子 1 2 0 と接続され、ソース端子は電源電圧端子 V S S に接続されている。
- [0093] T F T - E は、ゲート端子が端子 1 1 4 と接続され、ドレイン端子は端子 1 2 0 と接続され、ソース端子は電源電圧端子 V S S に接続されている。
- [0094] T F T - F は、ゲート端子が n e t A と接続され、ドレイン端子は端子 1 1 6 と接続され、ソース端子が出力端子 1 2 0 と接続されている。
- [0095] T F T - G は、2つの T F T ( G 1 , G 2 ) を直列に接続して構成されている。T F T - G の各ゲート端子と G 1 のドレイン端子は端子 1 1 9 と接続され (ダイオード接続)、G 2 のソース端子は n e t B に接続されている。
- [0096] T F T - H は、ゲート端子が端子 1 1 7 と接続され、ドレイン端子は n e t B と接続され、ソース端子は電源電圧端子 V S S に接続されている。
- [0097] T F T - I は、ゲート端子が端子 1 1 5 と接続され、ドレイン端子は n e t B と接続され、ソース端子は電源電圧端子 V S S に接続されている。
- [0098] T F T - J は、ゲート端子が端子 1 1 2 と接続され、ドレイン端子は n e t B と接続され、ソース端子は電源電圧端子 V S S に接続されている。
- [0099] なお、図 4 では、T F T - A 、 B 、 C 、 G は、2つの T F T を直列に接続して構成されている例を示したが、これらは、1つの T F T で構成されていてもよい。

[0100] (ゲートドライバの全体レイアウト)

次に、表示領域におけるゲートドライバ11の各素子の配置について説明する。図5A~図5Cは、GL(n)とGL(n-1)の間と、GL(n-1)とGL(n-2)の間に配置されている1つのゲートドライバ11の配置例を示す図である。図5A~図5Cでは、便宜上、GL(n)とGL(n-1)の間の画素領域211R~217Bと、GL(n-1)とGL(n-2)の間の画素領域201R~207Bとが分離されて記載されているが、実際はGL(n-1)のゲート線13Gにおいて重ね合わされ、上下の画素領域は連続している。なお、画素領域を示す符号に含まれるR、G、Bは、対向基板20bに形成されているカラーフィルタ(図示略)の色を示している。

[0101] 図5A~図5Cに示すように、画素領域211R~217B(以下、上段画素領域と称する)と画素領域201R~207B(以下、下段画素領域と称する)には、ソース線15Sとゲート線13Gとが交差する近傍において、画像を表示するためのTFT(以下、TFT-PIXと称する)(画素スイッチング素子)が形成されている。

[0102] また、上段画素領域と下段画素領域において、1つのゲートドライバ11を構成する素子(TFT-A~TFT-J、キャパシタCbst)が分散して配置されている。これら画素領域のうち、クロック信号(CKA,CKB)、リセット信号(CLR)、電源電圧信号のいずれかの信号を受け取るスイッチング素子(TFT-A,C~F,H~J)が配置される画素領域には、これら信号を供給するための配線15L1が形成されている。配線15L1は、ソース線15Sと略平行となるように上段画素領域及び下段画素領域にわたって形成されている。また、上段画素領域と下段画素領域において、netA及びnetBの配線13Nが形成されている。配線13Nは、上段画素領域及び下段画素領域において、ゲート線13Gと略平行となるように、netA及びnetBに接続される素子(TFT-A~C,F,G~J,Cbst)が配置される画素領域にわたって形成されている。

[0103] なお、本実施形態では、ゲートドライバ11のうち、TFT-D、TFT-F、TFT-H、及びTFT-Gのそれぞれに供給されるクロック信号が、隣接する行のゲートドライバ11のこれらTFTのそれぞれに供給されるクロック信号と逆位相となるように配置される。つまり、TFT-D、TFT-F、TFT-H、及びTFT-Gは、隣接する行のこれらTFTが形成される画素領域と水平方向にずれた画素領域に配置される。

[0104] 具体的には、図5Aに示すように、上段画素領域のTFT-Dは、画素領域211Rと211Gに形成されているのに対し、下段画素領域のTFT-Dは、画素領域201Bと202Rとに形成されている。上段画素領域のTFT-Fは、画素領域213Gに形成されているのに対し、下段画素領域のTFT-Fは、画素領域203Rに形成されている。また、図5Cに示すように、上段画素領域のTFT-Hは、画素領域215G及び215Bに形成されているのに対し、下段画素領域のTFT-Hは、画素領域206R及び206Gに形成されている。上段画素領域のTFT-Gは、画素領域216Gに形成されているのに対し、下段画素領域のTFT-Gは、画素領域205Bに形成されている。このように構成することで、上段画素領域のTFT-Dにはクロック信号(CKA)が供給され、下段画素領域のTFT-Dには、クロック信号(CKA)とは逆位相となるクロック信号(CKB)が供給される。TFT-G、TFT-Hについても、図5A及び図5Cに示すように上段画素領域と下段画素領域とで逆位相のクロック信号(CKA又はCKB)が供給される。

[0105] また、上段画素領域のTFT-B及びTFT-Jは、GL(n-1)のゲート線13Gと接続され、下段画素領域のTFT-B及びTFT-Jは、GL(n-2)のゲート線13Gと接続されている。また、上段画素領域のTFT-D及びTFT-Fは、GL(n)のゲート線13Gと接続され、下段画素領域のTFT-D及びTFT-Fは、GL(n-1)のゲート線13Gと接続されている。下段画素領域に配置されたゲートドライバ11は、GL(n-2)のゲート線13Gを介してセット信号(S)を受け取り、GL(n-1)のゲート線13Gと接続されている。

n) のゲート線 13G にセット信号 (S) を出力して GL (n-1) のゲート線 13G を駆動する。上段画素領域に配置されたゲートドライバ 11 は、GL (n-1) のゲート線 13G を介してセット信号 (S) を受け取り、GL (n+1) のゲート線 13G にセット信号 (S) を出力して GL (n) のゲート線 13G を駆動する。

[0106] 次に、ゲートドライバ 11 を構成する各素子の具体的な接続方法について説明する。図 6 は、図 5 B に示した TFT-A が形成されている画素領域 204G 及び 204B の部分を拡大した平面図である。TFT-A と TFT-H、I、J は、2つの画素領域を用いて構成され、接続方法が共通しているため、TFT-A を用いて説明を行う。なお、図 6 において、二点鎖線で示す領域 BM は、対向基板 20b に形成されているブラックマトリクス (図示略) によって遮光される領域 (以下、遮光領域 BM) である。遮光領域 BM は、ゲート線 13G、ゲートドライバ 11 を構成する各素子、及びソース線 15S が形成されている領域を含む。

[0107] 図 6 に示すように、ゲート線 13G とソース線 15S とが交差する近傍には、画像表示用の TFT-PIX が形成されている。TFT-PIX と画素電極 17 とはコンタクト部 CH1 において接続されている。また、各画素領域には、ソース線 15S と略平行であり、ゲート線 13G と交差するように配線 15L1 が形成されている。画素領域 204G における配線 15L1 には電源電圧信号 (VSS) が供給され、画素領域 204B における配線 15L1 にはリセット信号 (CLR) が供給される。

[0108] 図 6 に示すように、TFT-A のゲート端子 13g は、画素領域 204B から画素領域 204G にわたって形成されている。画素領域 204G 及び 204B には、ソース線 15S 及び配線 15L1 と交差し、ゲート線 13G と略平行に配線 13N が形成されている。配線 13N は、上述した net A 及び net B の配線である。TFT-A は、画素領域 204B のコンタクト部 CH2 において配線 15L1 と接続され、画素領域 204G のコンタクト部 CH2 において配線 13N と接続されている。また、本実施形態では、画素

電極 17 と、TFT-A と配線 13N 及び 15L1 との間にはシールド層 16 が形成されている。

[0109] ここで、図 6 における TFT-PIX の部分を I-I 線で切断した断面図を図 7A に示し、コンタクト部 CH1 を II-II 線で切断した断面図を図 7B に示す。また、図 6 における TFT-A の部分を III-III 線で切断した断面図を図 7C に示し、コンタクト部 CH2 を IV-IV 線で切断した断面図を図 7D に示す。

[0110] 図 7A、7C、及び 7D に示すように、基板 20 上にゲート配線層 13 が形成されることで、ゲート線 13G と、TFT-A のゲート端子 13g と、配線 13N とが形成される。図 7A 及び図 7C に示すように、ゲート配線層 13 の上層において、TFT-PIX が形成される部分と TFT-A が形成される部分には、ゲート絶縁膜 21 を介して酸化物半導体からなる半導体層 14 が形成されている。また、半導体層 14 が形成された基板 20 上には、半導体層 14 の上部で離間するようにソース配線層 15 が形成されている。これにより、図 7A～図 7C に示すように、ソース線 15S と TFT-PIX のソースドレイン端子 15SD と、TFT-A のソースドレイン端子 15sd (15sd1, 15sd2 含む) と、配線 15L1 とが形成される。

[0111] 図 7D に示すように、画素領域 204B のコンタクト部 CH2 においては、ゲート層 13 の表面まで貫通するコンタクトホール H2 がゲート絶縁膜 21 に形成されている。ソース配線層 15 (15L1) は、コンタクトホール H2 においてゲート配線層 13 (13g) と接するようにゲート絶縁膜 21 上に形成されている。これにより、画素領域 204B のコンタクト部 CH2 において、TFT-A のゲート端子 13g と配線 15L1 とが接続される。また、画素領域 204G のコンタクト部 CH2 においても同様に、ソース配線層 15 で構成された TFT-A の A1 側のドレイン端子 15sd1 と、ゲート配線層 13 で構成された配線 13N とが接続される。これにより、TFT-A は、netA と接続され、配線 15L1 を介してリセット信号 (CL

R) が供給される。

[0112] また、図7A～図7Dに示すように、ソース配線層15の上層には、ソース配線層15を覆うように保護膜22と保護膜23とが積層されている。保護膜22は、例えばSiO<sub>2</sub>等の無機絶縁膜で構成されている。保護膜23は、例えばポジ型の感光性樹脂膜等の有機絶縁膜で構成されている。さらに、図7A～図7Dに示すように、保護膜23の上層にはシールド層16が形成されている。シールド層16は、例えばITO等の透明導電膜で構成されている。そして、シールド層16の上層には、例えばSiO<sub>2</sub>などの無機絶縁膜で構成されている層間絶縁層24が形成されている。層間絶縁層24の上層には、図7C及び図7Dに示すように、ITO等の透明導電膜からなる画素電極17が形成されている。

[0113] 図7Bに示すように、コンタクト部CH1においては、TFT-PIXのドレイン端子15Dの上部において、層間絶縁層24とシールド層16と保護膜22、23とを貫通するコンタクトホールH1が形成されている。画素電極17は、コンタクトホールH1においてドレイン端子15Dと接するように層間絶縁層24の上層に形成されている。シールド層16の形成によって、画素電極17とシールド層16との間に容量Csが形成され、容量Csによって画素電極17の電位が安定化される。

[0114] このように、TFT-Aと、TFT-Aと接続される配線13N及び配線15L1とが2つの画素領域にわたって形成されることで、1つの画素領域に形成する場合と比べて開口率の低下が抑制される。また、画素電極17とTFT-Aと配線13N及び配線15L1との間にシールド層16が形成されているため、TFT-A等と画素電極17との間の干渉が低減される。

[0115] (TFT-B)

次に、TFT-Bの接続方法について説明する。図8Aは、図5Bに示した画素領域204Rを拡大した平面図である。図8Aにおいて遮光領域BMの図示は省略されている。図8Aに示すように、画素領域204Rには、上述した画素領域204Gと同様に、コンタクト部CH1においてTFT-P

PIXと画素電極17とが接続されている。また、ソース配線層15によって、TFT-Bのソースドレイン端子15sd(15sd1, 15sd2含む)が形成されている。ゲート配線層13によって、TFT-Bのゲート端子13gと、GL(n-2)のゲート線13G及び配線13Nが形成されている。

[0116] B1側のドレイン端子15sd1は、GL(n-2)のゲート線13G及び配線13Nと交差するように形成されている。コンタクト部CH3及びCH4には、上述のコンタクト部CH2と同様、ゲート配線層13とソース配線層15とを接続するためのコンタクトホールH2がゲート絶縁膜21に形成されている。

[0117] ドレイン端子15sd1は、コンタクト部CH3において、GL(n-2)のゲート線13Gと接続され、コンタクト部CH4において、ゲート端子13gと接続されている。また、B2側のソース端子15sd2は、コンタクト部CH2において配線13Nと接続されている。これにより、TFT-Bは、net Aに接続され、GL(n-2)のゲート線13Gを介してセット信号(S)を受け取る。

[0118] (TFT-C)

次に、TFT-Cの接続方法について説明する。図8Bは、図5Bに示した画素領域205Rを拡大した平面図である。図8Bにおいて遮光領域BMの図示は省略されている。図8Bに示すように、画素領域205Rには、上述した画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、TFT-Cのゲート端子13gと、ゲート線13G及び配線13N(13Na, 13Nb)とが形成されている。ソース配線層15により、TFT-Cのソースドレイン端子15sd(15sd1, 15sd2含む)と配線15L1とが形成されている。コンタクト部CH2において、C1側のドレイン端子15sd1と配線13Naは接続されている。TFT-Cは、配線13Naによりnet Aと接続され、配線13Nbによりnet

Bと接続される。また、TFT-Cは、配線15L1を介して電源電圧信号(VSS)が供給される。

[0119] (TFT-F)

次に、TFT-Fの接続方法について説明する。図8Cは、図5Aに示した画素領域203Rを拡大した平面図である。図8Cにおいて遮光領域BMの図示は省略されている。図8Cに示すように、画素領域203Rには、画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、TFT-Fのゲート端子13gと、ゲート線13G及び配線13Nとが形成されている。ソース配線層15により、TFT-Fのソース端子15s及びドレイン端子15dと配線15L1とが形成されている。

[0120] コンタクト部CH5には、上述したコンタクト部CH2と同様、ゲート配線層13とソース配線層15とを接続するコンタクトホールH2が形成されている。コンタクト部CH5において、TFT-Fのソース端子15sとGL(n-1)のゲート線13Gとが接続され、TFT-Fのゲート端子はnetAと接続される。TFT-Fのドレイン端子15dは、配線15L1を介してクロック信号(CKA)が供給される。また、TFT-Fは、コンタクト部CH5を介してGL(n-1)のゲート線13Gに走査信号を出力する。

[0121] (TFT-G)

次に、TFT-Gの接続方法について説明する。図8Dは、図5Cに示した画素領域205Bを拡大した平面図である。図8Dにおいて遮光領域BMの図示は省略されている。図8Dに示すように、画素領域205Bには、画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、TFT-Gのゲート端子13gと、ゲート線13G及び配線13Nが形成されている。ソース配線層15により、TFT-Gのソースドレイン端子15sd(15sd1, 15sd2含む)と配線15L1とが形成されて



いる。コンタクト部CH2において、TFT-GのG2側のソース端子15sd2は配線13Nと接続されている。また、TFT-Gのゲート端子13gは、コンタクト部CH4において、G1側のドレイン端子15sd1及び配線15L1と接続されている。これにより、TFT-Gは、netBと接続され、配線15L1を介してクロック信号(CKB)が供給される。

[0122] (Cbst)

次に、キャパシタCbstの接続方法について説明する。図8Eは、図5Bに示した画素領域203Bを拡大した平面図である。図8Eにおいて遮光領域BMの図示は省略されている。画素領域203Bには、上述した画素領域204G及び204Bと同様に、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、キャパシタCbstを構成する一方の電極13cと、ゲート線13G及び配線13Nとが形成されている。ソース配線層15により、キャパシタCbstの他方の電極15cと、接続部15Lcと、配線15L2とが形成されている。図8Eに示すように、接続部15Lcは、配線13Nと略同じ幅を有し、電極15cからコンタクト部CH2まで延伸されて形成され、コンタクト部CH2において配線13Nと接続されている。また、配線15L2は、接続部15Lcのコンタクト部CH2側の端部からコンタクト部CH1の近傍まで延伸されて形成されている。本実施形態では、配線15L2を形成することにより、キャパシタCbstが形成される画素領域の開口率と他の画素領域との開口率を合わせるようにしている。コンタクト部CH2において、電極15cは接続部15Lcによって配線13Nと接続されている。これにより、キャパシタCbstは、netAと接続される。

[0123] (TFT-D, E)

次に、TFT-D及びTFT-Eの接続方法について説明する。TFT-DとTFT-Eは、上述したTFT-Aと同様、隣接する2つの画素領域にわたってゲート端子13gが形成され、一方の画素領域に形成された配線15L1とゲート端子13gが接続されている。TFT-D及びTFT-Eは

、ゲート端子に供給される信号がリセット信号（CLR）であるかクロック信号（CKA）であるかの違いであるため、以下、TFT-Dの接続方法について説明する。

[0124] 図8Fは、図5Aに示した画素領域201B及び202Rを拡大した平面図である。図8Fにおいて遮光領域BMの図示は省略されている。画素領域201B及び202Rは、上述した画素領域204G及び204Bと同様、ソース配線層15の形成により、TFT-Dのソース端子15s及びドレイン端子15dと配線15L1とが形成されている。ドレイン端子15dは、画素領域201Rにおけるコンタクト部CH5において、GL(n-1)のゲート線13Gと接続されている。TFT-Dは、画素領域201B及び202Rにおける配線15L1を介して電源電圧信号（VSS）、クロック信号（CKA）が供給され、コンタクト部CH5を介してGL(n-1)のゲート線13Gを駆動し、GL(n)のゲート線13Gにセット信号を出力する。

[0125] 以上が、ゲートドライバ11の構成及び各素子の接続例である。なお、TFT-B～TFT-E、TFT-F、TFT-G、キャパシタCbst、TFT-Dが形成される画素領域において説明を省略したが、TFT-Aが形成される画素領域と同様、これら画素領域についてもソース配線層15の上層に、保護膜22及び23、シールド層16、層間絶縁膜24、画素電極17が積層されている。

[0126] （ゲートドライバ11の動作）

次に、図4及び図9を参照しつつ、1つのゲートドライバ11の動作について説明する。図9は、ゲートドライバ11がゲート線13Gを走査する際のタイミングチャートである。図9において、t3からt4の期間がGL(n)のゲート線13Gが選択されている期間である。表示制御回路4から供給される、一水平走査期間毎に位相が反転するクロック信号（CKA）とクロック信号（CKB）とが端子116～119を介してゲートドライバ11に入力される。また、図9では図示を省略しているが、一垂直走査期間毎に

一定期間H (High) レベルとなるリセット信号 (CLR) が表示制御回路4から端子113~115を介してゲートドライバ11に入力される。リセット信号 (CLR) が入力されると、net A、net B、ゲート線13GはL (Low) レベルに遷移する。

[0127] 図9の時刻t0からt1において、Lレベルのクロック信号 (CKA) が端子116、117に入力され、Hレベルのクロック信号 (CKB) が端子118、119に入力される。これにより、TFT-Gがオン状態となり、TFT-Hがオフ状態となるためnet BはHレベルに充電される。また、TFT-CとTFT-Dがオン状態となり、TFT-Fがオフ状態となるためnet AはLレベルの電源電圧 (VSS) に充電され、端子120からLレベルの電位が出力される。

[0128] 次に、時刻t1において、クロック信号 (CKA) がHレベルとなり、クロック信号 (CKB) がLレベルになると、TFT-Gがオフ状態となり、TFT-Hがオン状態となるため、net BはLレベルに充電される。そして、TFT-CとTFT-Dがオフ状態となるためnet Aの電位はLレベルに維持され、端子120からLレベルの電位が出力される。

[0129] 時刻t2において、クロック信号 (CKA) がLレベル、クロック信号 (CKB) がHレベルとなり、GL (n-1) のゲート線13Gを介してセット信号 (S) が端子111、112に入力される。これにより、TFT-Bがオン状態となり、net AがHレベルに充電される。また、TFT-Jがオン状態となり、TFT-Gがオン状態、TFT-Hがオフ状態となるためnet BがLレベルに維持された状態となる。TFT-CとTFT-Fはオフ状態となるため、net Aの電位は下がらずに維持される。この間、TFT-Dはオン状態となっているため、端子120からLレベルの電位が出力される。

[0130] 時刻t3において、クロック信号 (CKA) がHレベルとなり、クロック信号 (CKB) がLレベルとなると、TFT-Fがオン状態となり、TFT-Dがオフ状態となる。net Aと端子120の間にはキャパシタCbst

が設けられているため、TFT-Fの端子116の電位の上昇に伴って、net Aはクロック信号(CKA)のHレベルより高い電位まで充電される。この間、TFT-GとTFT-Jがオフ状態、TFT-Hがオン状態となるため、net Bの電位はLレベルで維持される。TFT-Cはオフ状態であるためnet Aの電位は下がらず、クロック信号(CKA)のHレベルの電位(選択電圧)が端子120から出力される。これにより、端子120と接続されているGL(n)のゲート線13GはHレベルに充電され、選択された状態となる。

[0131] 時刻t4において、クロック信号(CKA)がLレベルとなり、クロック信号(CKB)がHレベルになると、TFT-Gがオン状態となり、TFT-Hがオフ状態となるためnet BはHレベルに充電される。これによりTFT-Cはオン状態となりnet AはLレベルに充電される。この間、TFT-Dがオン状態、TFT-Fがオフ状態となるため、端子120からLレベルの電位(非選択電圧)が出力され、GL(n)のゲート線13GはLレベルに充電される。

[0132] このように、ゲートドライバ11の端子120からセット信号(S)がゲート線13Gに出力されることにより、そのゲート線13Gが選択された状態となる。液晶表示装置1は、各ゲート線13Gに接続されている複数のゲートドライバ11によってゲート線13Gを順次走査し、ソースドライバ3によって各ソース線15Sにデータ信号を供給することにより表示パネル2に画像を表示する。

[0133] 上述した第1実施形態では、ゲート線13Gの各々に対して複数のゲートドライバ11が表示領域内に形成されている。ゲート線13Gの各々は、そのゲート線13Gに接続された複数のゲートドライバ11から出力される走査信号によって順次駆動される。そのため、従来のようにゲートドライバを表示領域の外側に設け、ゲート線の一端から走査信号を入力する場合と比べ、一本のゲート線における走査信号のなまりが低減され、ゲート線を高速に駆動させることができる。また、1本のゲート線13Gに対して複数のゲー

トドライバ11が接続されているため、そのゲート線13Gにおいて一部の箇所が断線した場合であっても、他の箇所から走査信号が供給され、適切な画像表示を維持することができる。

[0134] また、上述した第1実施形態では、図1及び図3等に示すように、表示領域内に設けられたゲートドライバ11に対して供給されるクロック信号や電源電圧信号等の制御信号は、表示パネル2において、ソースドライバ3が設けられている1辺の額縁領域から入力される。そのため、ソースドライバ3が設けられていない他の3辺の周辺領域について狭額縁化を図ることが可能になる。

[0135] また、上述した第1実施形態では、表示領域内に設けられたゲートドライバ11のスイッチング素子及び配線部と、画素電極17との間にシールド層16が形成されているため、ゲートドライバ11と画素電極17とが相互に干渉せず、適切に画像を表示することができる。

[0136] また、上述した第1実施形態では、図5B及び図8Eに示すように、ゲートドライバ11を構成するキャパシタCbstが形成される画素領域には、他の画素領域の開口率と合わせるように、コンタクト部CH2からコンタクト部CH1近傍まで配線15L2が形成されている。これにより、画素領域の開口率が略均一になり、色むら等を低減することができる。

[0137] <第2実施形態>

上述した第1実施形態では、ゲートドライバ11を構成する全ての素子を表示領域内に設ける例を説明した。本実施形態では、ゲートドライバ11を構成する素子の一部を表示領域内に設ける例について説明する。図10Aは、表示領域内に設けられる各ゲートドライバ11の一部と、表示領域外に設けられる各ゲートドライバ11の残部とを示す概略構成図である。図10Aに示すように、本実施形態では、アクティブマトリクス基板20aの表示領域20Aには、ゲート線13G及びソース線15Sのほか、TFT-F及びキャパシタCbstと、TFT-Fにクロック信号(CKA、CKB)を供給する配線15L1と、TFT-FとキャパシタCbstとをnetAに接

続する配線 13N とが形成されている。

- [0138] アクティブマトリクス基板 20a における表示領域 20A の外側領域 2A (表示領域外) において、各ゲート線 13G の一端側に、TFT-F 及びキャパシタ Cbst を除いたゲートドライバ 11 の残部が設けられている。ゲートドライバ 11 の残部と、TFT-F 及びキャパシタ Cbst とは配線 13N によって電氣的に接続されている。
- [0139] ここで、表示領域 20A に形成される TFT-F とキャパシタ Cbst の接続方法について説明する。図 10B は、GL (n-1) と GL (n) とを各々駆動するゲートドライバ 11 の TFT-F 及びキャパシタ Cbst が形成されている画素領域を拡大した平面図である。図 10B に示すように、P11~13、P21~23 の各画素領域には、ゲート線 13G と略平行であり、表示領域外に設けられたゲートドライバ 11 の net A につながる配線 13N が形成されている。
- [0140] P11 及び P21 の画素領域には、第 1 実施形態と同様にキャパシタ Cbst と配線 15L2 が形成され、コンタクト部 CH2 においてキャパシタ Cbst の電極 15c と配線 13N とが接続されている。また、P12 と P22 の画素領域には、クロック信号 (CKA) が供給される配線 15L1 が形成されている。P13 と P23 の画素領域には、クロック信号 (CKB) が供給される配線 15L1 が形成されている。第 1 実施形態と同様にコンタクト部 CH5 において、ゲート線 13G とドレイン端子は接続されている。
- [0141] 上記第 2 実施形態では、TFT-F とキャパシタ Cbst とを表示領域 20A に形成したが、例えば、TFT-D が表示領域 20A に形成されていてもよい。TFT-F は、ゲート線 13G の駆動のオン/オフ状態を切り替える機能を有し、TFT-D は、入力されるクロック信号に応じてゲート線 13G の駆動をオフ状態に維持する機能を有している。他の TFT と比べて出力が大きいこれらの TFT を表示領域 20A に形成することにより、TFT における発熱を分散させることができ、誤動作に対するマージンを拡大することができる。

## [0142] &lt;第3実施形態&gt;

本実施形態では、第1実施形態に係る表示パネル2がレンズ一体型筐体に収納された液晶表示装置について説明する。図11は、本実施形態における液晶表示装置の断面を模式的に表した断面図である。図11に示すように、液晶表示装置1Aは、レンズ一体型筐体60（筐体の一例）、表示パネル2、及びバックライト70を有する。

[0143] レンズ一体型筐体60は、筐体部60A（第2カバー部の一例）と、カバー部60B（第1カバー部の一例）とを有する。筐体部60Aは、横筐体部61と底筐体部62とを有する。横筐体部61は、透光性を有し、図2に示す表示パネル2のY軸と平行な側面2sを覆うように、表示パネル2の側面2sに配置されている。底筐体部62は、バックライト70の底面を覆うようにバックライト70の下方に配置されている。

[0144] カバー部60Bは、レンズ部63及び平板部64とを有する。レンズ部63は、観察者側（Z軸方向）の表面が曲面形状を有する。レンズ部63は、表示パネル2の額縁領域10F、表示領域10D、及びパネルー筐体領域60Gを含む領域と重なるように配置されている。表示領域10Dは、レンズ部63における表示領域10Aの側の内側端部63bから額縁領域10Fの内側端部10Fbまでの表示領域である。パネルー筐体領域60Gは、表示パネル2の側面2sと横筐体部61の側面60sの間の領域である。レンズ部63の外側端部63aは横筐体部61の側面61sの上端で接続されている。平板部64は、透光性を有し、表示領域10Bと重なる位置に配置されている。平板部64の光の出射面は表示パネル2の表示面2pと略平行となるように構成されている。

[0145] 第1実施形態で述べたように、表示パネル2は、表示領域10Aにゲートドライバ11が形成されている。図2及び図3に示したように、制御信号や電源電圧信号が入力される側の額縁領域、つまり、X軸に平行な1辺の額縁領域からクロック信号等の制御信号が供給される。そのため、表示パネル2は、X軸に平行な他の辺とY軸に平行な2辺の各額縁領域について狭額縁化

を図ることができる。本実施形態では、Y軸方向に平行な2辺の額縁領域10Fがレンズ部63と重なるようにレンズ一体型筐体60に表示パネル2を収納する。図12に示すように、表示パネル2の表示面2pから出射した光線(破線)がレンズ部63の曲面によって屈折し、表示面2pに対して垂直方向(Y軸正方向)に直進する。その結果、観察者の側において表示領域10Aの画像が表示され、額縁領域10Fは視認されにくくなる。

[0146] このように、対向する2辺が狭額縁化された表示パネル2を適用することで、レンズ部63を従来と比べて小さくすることができ、レンズ一体型筐体60の軽量化、製造コストの低減を図ることが可能となる。つまり、従来のように表示領域10Aの外側にゲートドライバ11が形成されている表示パネル2の場合には、データ信号と走査信号とを供給するための端子等が、隣接する2辺の額縁領域に形成されていた。従来の表示パネルの場合、これら額縁領域とレンズ部63とが重なるように配置されることになる。額縁領域10Fの幅が大きくなるほどレンズ部63の厚みが大きくなる。そのため、従来の表示パネルを適用する場合には、本実施形態の表示パネル2を適用する場合と比べてレンズ部63が大きくなり、レンズ一体型筐体60の軽量化、製造コストの低減化を図ることが困難である。

[0147] <第4実施形態>

上述した第1実施形態において、表示領域をゲート線13Gの配列方向に沿って分割し、分割した分割領域毎にデータの書き込みを行うようにしてもよい。図13は、ソース線15Sと端子部12sの記載を省略した本実施形態におけるアクティブマトリクス基板120aの概略構成を示す模式図である。図13において、上述した第1実施形態と同様の構成には同様の符号を付している。以下、第1実施形態と異なる部分について説明する。

[0148] 図13における表示領域20Aは、ゲート線13Gが配列する方向、つまり、Y軸方向に沿って3つに分割した分割領域S1、S2、S3を有する。この例では、分割領域S3に配置されている各ゲート線13Gは、ゲートドライバ群11\_\_S31、11\_\_S32によって駆動される。ゲートドライバ



群 1 1 \_\_ S 3 1、1 1 \_\_ S 3 2 の各ゲートドライバ 1 1 は、分割領域 S 3 におけるゲート線 1 3 G の間に設けられ、ゲートドライバ群 1 1 \_\_ S 3 1、1 1 \_\_ S 3 2 が配置されている列の他の領域 (S 1、S 2) にはゲートドライバ 1 1 は配置されていない。各ゲートドライバ 1 1 は、配線 1 5 L 1 を介して端子部 1 2 g と接続され、端子部 1 2 g から供給される制御信号 (クロック信号等) に応じて、対応する一のゲート線 1 3 G を駆動する。

[0149] 分割領域 S 2 に配置されている各ゲート線 1 3 G は、ゲートドライバ群 1 1 \_\_ S 2 1、1 1 \_\_ S 2 2 によって駆動される。また、分割領域 S 1 に配置されている各ゲート線 1 3 G は、ゲートドライバ群 1 1 \_\_ S 1 1、1 1 \_\_ S 1 2 によって駆動される。これらゲートドライバ群のゲートドライバ 1 1 は、配置されている分割領域 (S 2 又は S 1) におけるゲート線 1 3 G の間に設けられている。また、これらゲートドライバ群が配置されている列の他の領域にはゲートドライバ 1 1 は設けられていない。

[0150] なお、図 1 3 では、1 つのゲート線 1 3 G を駆動するゲートドライバ 1 1 が 2 つの例を記載しているが、ゲート線 1 3 G を駆動するゲートドライバ 1 1 は 1 つでもよいし、3 つ以上であってもよい。

[0151] 図 1 3 の例における表示領域 2 0 A にソースドライバ 4 からのデータを書き込む場合について説明する。表示領域 2 0 A における各ソース線 1 5 S (図示略) に、分割領域 S 1、S 2、S 3 に表示すべきデータ信号がソースドライバ 4 からフレーム毎に出力される。データ信号を分割領域 S 1、S 2、S 3 に書き込むタイミングで各分割領域におけるゲート線 1 3 G の駆動を開始するように、表示制御回路 4 から各ゲートドライバ群にスタートパルス信号を入力する。

[0152] 図 1 4 に示すように、フレーム毎に、全分割領域に対するデータ信号が出力される。ゲートドライバ群 1 1 \_\_ S 1 1、1 1 \_\_ S 1 2 は、スタートパルス信号が入力される時刻 t 1 から分割領域 S 1 における各ゲート線 1 3 G を順次駆動する。これにより、分割領域 S 1 におけるゲート線 1 3 G が駆動されるタイミングで分割領域 S 1 にデータ信号が書き込まれる。

- [0153] ゲートドライバ群 1 1 \_\_ S 1 1、1 1 \_\_ S 1 2 によって分割領域 S 2 のゲート線 1 3 G に対してセット信号が出力される時刻 t 2 において、ゲートドライバ群 1 1 \_\_ S 2 1、1 1 \_\_ S 2 2 にスタートパルス信号が入力される。ゲートドライバ群 1 1 \_\_ S 2 1、1 1 \_\_ S 2 2 は、スタートパルス信号が入力されてから分割領域 S 2 における各ゲート線 1 3 G を順次駆動する。これにより、分割領域 S 2 におけるゲート線 1 3 G が駆動されるタイミングで分割領域 S 2 にデータ信号が書き込まれる。
- [0154] ゲートドライバ群 1 1 \_\_ S 2 1、1 1 \_\_ S 2 2 によって分割領域 S 3 のゲート線 1 3 G に対してセット信号が出力される時刻 t 3 において、ゲートドライバ群 1 1 \_\_ S 3 1、1 1 \_\_ S 3 2 にスタートパルス信号が入力される。ゲートドライバ群 1 1 \_\_ S 3 1、1 1 \_\_ S 3 2 は、スタートパルス信号が入力されてから分割領域 S 3 における各ゲート線 1 3 G を順次駆動する。これにより、分割領域 S 3 におけるゲート線 1 3 G が駆動されるタイミングで分割領域 S 3 にデータ信号が書き込まれる。
- [0155] このように、全表示領域 2 0 A にデータを書き込む場合には、全ての分割領域に対するデータ信号をソース線 1 5 S (図示略) に入力し、各分割領域のデータの書き込み期間に、その分割領域におけるゲート線 1 3 G の駆動を開始するようにスタートパルス信号を入力するようにする。これにより、分割領域 S 1、S 2、S 3 の順にデータが順次書き込まれる。
- [0156] 次に、分割領域ごとに異なる周波数でデータ信号を書き込む場合について説明する。例えば、分割領域 S 1、S 3 は周波数 6 0 H z でデータ信号を書き込み、分割領域 S 2 は周波数 1 H z でデータ信号を書き込む場合、1 フレーム目は、上記したように分割領域 S 1 から S 3 の順にゲート線 1 3 G を順次駆動させることにより、図 1 5 に示すように各分割領域にデータ信号を書き込む。
- [0157] 2 フレーム目から 6 0 フレーム目までは、分割領域 S 1、S 3 のデータの書き込み期間 (S 1、S 3 のゲート線 1 3 の選択期間) において、分割領域 S 1、S 3 に表示すべき画像に応じたデータ信号がソースドライバ 4 から各

ソース線 15 S (図示略) に出力される。また、分割領域 S 2 のデータの書き込み期間においては、信号の振幅が最小となるデータ信号をソースドライバ 4 から出力するようにする。信号の振幅が最小となるデータ信号は、例えば、アクティブマトリクス基板 120 a がノーマリブラックの表示モードであれば、黒を示すデータ信号を出力するようにしてもよい。また、表示制御回路 4 は、分割領域 S 2 のデータの書き込み期間 (S 2 のゲート線 13 の選択期間) は、制御信号 (クロック信号等) の供給を停止し、ゲートドライバ群 11\_\_S 2 1、11\_\_S 2 2 の駆動を停止させる。

[0158] これにより、図 16 に示すように、分割領域 S 1 のデータの書き込み期間 ( $t_1 \sim t_2$ ) において、分割領域 S 1 のゲート線 13 G が順次駆動され、分割領域 S 1 にデータが書き込まれる。そして、分割領域 S 2 のデータ書き込み期間 ( $t_2 \sim t_3$ ) においては、分割領域 S 2 のゲート線 13 G は駆動せず、黒を示すデータ信号が出力されるため、分割領域 S 2 にデータは書き込まれない。分割領域 S 2 のデータの書き込み期間の経過後、分割領域 S 3 のゲート線 13 G が順次駆動され、分割領域 S 3 にデータが書き込まれる。このように、1 フレーム目だけ、分割領域 S 2 におけるゲート線 13 G を駆動させることで、分割領域 S 2 は 1 Hz でデータの書き込みを行い、他の分割領域 S 1、S 3 については 60 Hz でデータの書き込みを行うことができる。

[0159] なお、本実施形態では、各分割領域を、60 Hz 又は 1 Hz でデータの書き込みを行う例を説明したが、各分割領域のデータの書き込みを行う周波数は、例えば 10 Hz や 0.1 Hz 等の周波数でもよい。要は、少なくとも 2 つの異なる周波数によって各分割領域のデータの書き込みを行うようにすればよい。他の分割領域より低周波数でデータの書き込みを行う分割領域を設けることにより消費電力を低減させることができる。

[0160] <第 5 実施形態>

上述した第 1 実施形態において、表示させる画像に応じてゲート線 13 G の駆動を 1 行毎又は複数行毎に行うようにしてもよい。以下、このような構

成について説明する。

[0161] 動画をより美しく表示する目的で、データを書き込む周波数を120Hzや240Hzとする場合がある。周波数を高くするほど液晶層への充電を早くする必要があるので、複数のゲート線を同時に駆動させることが行われている。この場合、例えば、N+1行目とN行目のゲート線が同時に駆動されるため、N行目の画素に書き込まれるデータ信号がN+1行目の画素にも書き込まれる。動画の場合、N行目とN+1行目における同じ列の画素は略同様の色を示すデータ信号であるため、隣接する行の画素のデータ信号が含まれても表示において問題となることは少ない。他方、静止画や輪郭がくっきりとした映像の場合、隣接する行の画素のデータ信号が書き込まれると、画像がぼやけて表示される等の問題が生じることがある。本実施形態では、静止画等の画像を表示する場合には、ゲート線13Gを1行ごとに駆動させ、動画を表示する場合には、ゲート線13Gを複数行毎に駆動させるようにする。

[0162] 図17は、本実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。図17では、便宜上、ソース線15Sと端子部12sの記載を省略し、ゲートドライバ11及び配線15L1を簡略化して記載している。また、この例において、アクティブマトリクス基板220aには、便宜上、GL(1)~GL(7)のゲート線13Gが形成されている。

[0163] マトリクス基板220aには、ゲートドライバ群11\_\_aとゲートドライバ群11\_\_bが形成されている。ゲートドライバ群11\_\_aとゲートドライバ群11\_\_bは、GL(1)~GL(7)のゲート線13Gの各々に接続された複数のゲートドライバ11を含む。ゲートドライバ群11\_\_aは、ゲートドライバ11(a1)~(a7)を含む。ゲートドライバ群11\_\_bは、ゲートドライバ11(b1)~(b7)を含む。例えば、GL(1)のゲート線13Gは、ゲートドライバ11(a1)とゲートドライバ11(b1)によって駆動される。GL(2)のゲート線13Gは、ゲートドライバ11(a2)とゲートドライバ11(b2)によって駆動される。以下、GL(3

) から GL (7) のゲート線 13G も同様に、各々のゲート線 13G と接続されているゲートドライバ群 11\_\_a とゲートドライバ群 11\_\_b における 2 つのゲートドライバ 11 によって駆動される。

[0164] 静止画等の画像を表示する場合には、第 1 実施形態と同様、各ゲート線 13G に対して設けられた、ゲートドライバ群 11\_\_a のゲートドライバ 11 と、ゲートドライバ群 11\_\_b のゲートドライバ 11 とが同期してそのゲート線 13G を駆動する。

[0165] 動画を表示する場合には、ゲートドライバ群 11\_\_a とゲートドライバ群 11\_\_b に対するスタートパルス信号の入カタイミングを異ならせるようにする。図 18 は、表示制御回路 4 からのゲートドライバ群 11\_\_a とゲートドライバ群 11\_\_b に対するスタートパルス信号の入カタイミングを示す図である。図 18 の例では、ゲートドライバ群 11\_\_a にスタートパルス信号 Sa を入力した後、ゲートドライバ群 11\_\_b にスタートパルス信号 Sb を入力する。つまり、ゲートドライバ群 11\_\_b に対するスタートパルス信号は、ゲートドライバ群 11\_\_a のゲートドライバ 11 によって最初の行 (GL (1)) のゲート線 13G の駆動時間が経過するタイミングで入力される。

[0166] 図 19 は、ゲートドライバ群 11\_\_a と 11\_\_b にスタートパルス信号が各々入力された場合の GL (1) ~ GL (7) のゲート線 13G の駆動タイミングを示す図である。GL (1) ~ GL (7) のゲート線 13G は、ゲートドライバ群 11\_\_a のゲートドライバ 11 による駆動後、ゲートドライバ群 11\_\_b のゲートドライバ 11 によって駆動される。そのため、図 19 に例示するように、各ゲート線 13G は 2 回続けて駆動される。そして、N 行目のゲート線 13G がゲートドライバ群 11\_\_b によって駆動されるタイミングで、N+1 行目のゲート線 13G がゲートドライバ群 11\_\_a によって駆動され、N 行目と N+1 行目のゲート線 13G が同時に駆動される。

[0167] ソースドライバ 3 は、各行のゲート線 13G が 2 回目に駆動されるタイミング、すなわち、ゲートドライバ群 11\_\_b のゲートドライバ 11 がゲート

線 1 3 G を駆動するタイミングで、各行における画素のデータ信号をソース線 1 5 S (図示略) に出力する。

[0168] 図 2 0 は、図 1 7 に示した G L ( 1 ) から G L ( 3 ) のゲート線 1 3 G と、 X 列目のソース線 1 5 S  $\_x$  とで構成される画素 1 7  $\_1$ 、 1 7  $\_2$ 、 1 7  $\_3$  の部分を拡大した模式図である。 G L ( 1 ) 行目の画素 1 7  $\_1$  から順に、その行のゲート線 1 3 G の 2 回目の駆動タイミングで各画素のデータ信号がソース線 1 5 S  $\_x$  に対して出力される。

[0169] 図 2 1 に示すように、 G L ( 1 ) 行目の画素 1 7  $\_1$  には、 G L ( 1 ) のゲート線 1 3 G の 2 回目の駆動タイミングで画素 1 7  $\_1$  のデータ D 1 が書き込まれる。そして、 G L ( 2 ) 行目の画素 1 7  $\_2$  は、 1 回目の駆動タイミングで前段の画素 1 7  $\_1$  のデータ D 1 が書き込まれるが、 2 回目の駆動タイミングで画素 1 7  $\_2$  のデータ D 2 が書き込まれる。 G L ( 3 ) 行目の画素 1 7  $\_3$  は、 1 回目の駆動タイミングで前段の画素 1 7  $\_2$  のデータ D 2 が書き込まれるが、 2 回目の駆動タイミングで画素 1 7  $\_3$  のデータ D 3 が書き込まれる。同様にして、 G L ( 7 ) 行目の画素 1 7  $\_7$  (図示略) は、 1 回目の駆動タイミングで前段の画素のデータ D  $n-1$  が書き込まれるが、 2 回目の駆動タイミングで画素 1 7  $\_n$  のデータ D  $n$  が書き込まれる。このように、各行における画素は、その行のゲート線 1 3 G が最後に駆動されるタイミングで、本来書き込むべきデータが書き込まれる。

[0170] なお、本実施形態では、 1 つのゲート線 1 3 G を 2 つのゲートドライバ 1 1 によって異なるタイミングで駆動させることにより、 2 本のゲート線 1 3 G を同時に駆動させる例であったが、 1 つのゲート線 1 3 G を駆動させるゲートドライバ 1 1 の数は 3 つ以上であってもよい。要は、少なくとも、同時に駆動させるゲート線 1 3 G の数と同数のゲートドライバ 1 1 によって 1 つのゲート線 1 3 G を駆動するように構成すればよい。つまり、 N 本 (  $N > 2$  ) のゲート線 1 3 G を同時に駆動させる場合には、 1 つの画素に N 種類のデータ信号電圧が印加されることになる。この場合には、その画素の最終的な書き込み信号として、その画素に本来書き込まれるべきデータ信号が入力さ

れることは言うまでもない。

[0171] <第6実施形態>

上述した第1実施形態において、ソース配線層15からなる配線15L1は、ゲート絶縁膜21を介してゲート配線層13の上層に形成され、ゲート絶縁膜21を介してゲート線13Gと配線15L1とが交差するように構成されている(図7C参照)。ゲート配線層13とソース配線層15とが交差する部分の寄生容量は比較的大きいため、配線15L1によって供給されるクロック信号等に信号の乱れや信号遅延等が生じる場合がある。本実施形態では、ゲート絶縁膜21を介してゲート線13Gと配線15L1とが交差しないように配線15L1を形成する例について説明する。

[0172] 図22は、上述したゲートドライバ11を構成するスイッチング素子(TFT-F)が形成されている画素領域203Rを模式的に表した平面図である。図22において、ソース配線層15からなる配線15L1及びTFT-Fのドレイン電極15dは、ゲート線13Gと交差するコンタクト部CH6において接続配線17Cと接続されている。接続配線17Cは、画素電極17と同層に形成されている。

[0173] 図23は、図22におけるコンタクト部CH6をV-V線で切断した断面を模式的に表した図である。図23に示すように、ゲート線13Gの上層にはゲート絶縁膜21と保護膜22が形成されている。ソース配線層15からなる配線15L1は、ゲート絶縁膜21を介したゲート線13Gの上部において離間するように、保護膜22の上層に形成されている。配線15L1の上層には、絶縁膜で構成され、ゲート絶縁膜21より厚み大きい保護膜23が形成されている。保護膜23の上層には、透明導電膜で構成されたシールド層16が形成され、シールド層16の上層には、層間絶縁膜24が形成されている。配線15L1が離間する端部近傍において、保護膜23、シールド層16、及び層間絶縁膜24を貫通するコンタクトホールH31、32が形成されている。コンタクトホールH31、H32には、画素電極17と同様のITOからなる接続配線17Cが形成され、コンタクトホールH31

、H32において、配線15L1と接続配線17Cとが接続されている。

[0174] これにより、ゲート線13Gの上部において離間して形成された配線15L1は接続配線17Cを介して接続され、端子部12Gからのクロック信号等の制御信号をゲートドライバ11に供給することができる。また、ゲート絶縁膜21を介してゲート線13Gと交差する部分に配線15L1が形成されないため、ゲート線13Gの電気容量によって生じる信号の乱れや信号遅延が軽減される。

[0175] <第7実施形態>

本実施形態では、ソース線15Sと交差する近傍におけるゲート線13Gの一部をゲート線13Gの最大幅より小さくしてゲート線13Gを切断しやすい形状に構成する例について説明する。

[0176] 図24Aは、ゲート線13Gとソース線15Sとが交差する部分を拡大して模式的に表した図である。図24Aに示すように、ゲート線13G及びソース線15Sと接続された画像表示用TFT（TFT-PIX）には画素電極17が接続されている。ゲート線13Gは、TFT-PIXのゲート端子の接続位置からソース線15Sとの交差近傍部分（ $x_R$ ）における一部の幅 $h$ と、ソース線15Sに対してTFT-PIXが接続されていない側の交差近傍部分（ $x_L$ ）における一部の幅 $h$ が、ゲート線13Gの最大幅 $H$ より狭くなるように構成されている。ゲート線13Gにおいて幅 $h$ の部分は狭くなっているため、他の部分と比べて容易に切断することができる。本実施形態において、ゲート線13Gの最大幅 $H$ は、例えば $10\mu\text{m}$ 程度であり、幅 $h$ は、例えば $5\mu\text{m}$ 程度である。

[0177] 第1実施形態と同様、ゲート線13Gに対応して複数のゲートドライバ11が設けられている。そのため、同じ行に設けられているゲートドライバ11（図示略）の間において、ゲート線13Gとソース線15Sとが交差する部分が短絡した場合、ゲート線13Gにおける幅 $h$ の部分においてゲート線13Gを切断し、短絡したゲート線13Gの部分を切り離す。ゲート線13Gを切断しても、ソース線15Sに対しTFT-PIXが接続されている側



(以下、TFT-PIX接続側と称する)のゲート線13Gは、TFT-PIX接続側に配置されているゲートドライバ11(図示略)によって駆動される。また、ソース線15Sに対しTFT-PIXが接続されていない側(以下、TFT-PIX非接続側と称する)のゲート線13Gは、TFT-PIX非接続側に配置されているゲートドライバ11(図示略)によって駆動される。つまり、ゲート線13Gを切断しても、切断されたゲート線13Gに接続されているTFT-PIXを機能させることができるので、ソース線15Sへのデータ信号の供給により、短絡箇所における画素に画像を表示させることができる。

[0178] なお、図24Aに示したゲート線13Gは、ソース線15Sとの交差近傍の一部がゲート線13Gの最大幅より狭く構成されている例であったが、例えば図24Bや図24Cのように構成してもよい。図24B及び24Cは、ソース線15Sとの交差近傍部分のゲート線13Gを拡大した模式図である。

[0179] 図24Bに示すように、ゲート線13Gの交差近傍部分( $x_R$ 、 $x_L$ )には、2つの部分ゲート線13G\_a、13G\_bに分岐する部分を有する。また、図24Cの例では、ゲート線13Gの交差近傍部分( $x_R$ 、 $x_L$ )において2つの部分ゲート線13G\_c、13G\_dに分岐し、交差部分( $x_c$ )において部分ゲート線13G\_c、13G\_dがつながっている。部分ゲート線13G\_a、13G\_bと、部分ゲート線13G\_c、13G\_dは、最大幅Hより狭い幅hを各々有する。

[0180] 図24Aのように、ゲート線13Gに狭い幅hの部分設ける場合、その部分において抵抗が大きくなり信号が遅延する原因となる。図24B及び図24Cの場合、部分ゲート線(13G\_a、13G\_b、13G\_c、13G\_d)の幅hは図24Aと同等であるが、図24B及び図24Cの場合には、狭い幅hの部分が並列に設けられているため、図24Aの場合と比べて抵抗を小さくすることができる。なお、幅hの和が幅Hと同等以上となるように構成してもよい。即ち、2つに分岐した場合には、 $h \times 2 \geq H$ となるように構

成する。これにより、分岐が形成されている部分全体での抵抗を、他の部分（分岐のない部分）の抵抗と同等以上にすることができる。

[0181] <第8実施形態>

上述した第1実施形態において、ゲートドライバ11を構成する素子が形成されている画素領域（以下、ゲートドライバ形成領域と称する）と、ゲートドライバ11を構成する素子が形成されていない画素領域（以下、ゲートドライバ非形成領域と称する）との開口率の差によって輝度ムラ等が生じる場合がある。そのため、本実施形態では、ゲートドライバ形成領域とゲートドライバ非形成領域との開口率の差を軽減するようにゲートドライバ非形成領域を構成する。

[0182] 図25Aは、本実施形態におけるゲートドライバ非形成領域を模式的に表した平面図である。図25Aにおいて、第1実施形態と同様の構成については、第1実施形態と同様の符号を付している。上述した第1実施形態の図8A～8Dに示すように、ゲートドライバ形成領域には、ソース配線層15からなる配線15L1がソース線15Sと略平行となるように形成されている。そのため、図25Aに示すように、ゲートドライバ非形成領域においても、ソース線15Sと略平行となるように、ソース配線層15からなるダミー配線15L4（調整用配線）を形成する。ダミー配線15L4は、配線15L1と略同等の長さおよび幅を有する。なお、図25Aではブラックマトリクスによって遮光される領域の図示を省略しているが、ゲートドライバ形成領域と開口率が略同等となるように、上述した第1実施形態の図6と同様、ゲート線13G、ダミー配線15L4、及びソース線15Sが形成されている部分はブラックマトリクスによって遮光される。このように構成することにより、ゲートドライバ非形成領域とゲートドライバ形成領域との開口率の差を小さくすることができ、輝度ムラ等を軽減することができる。

[0183] また、上述した第1実施形態の図8A、8D、8Eに示すように、ゲートドライバ形成領域には、ゲート配線層13からなる配線13Nがゲート線13Gと略平行となるように形成されている。そのため、図25Aに示すよう

に、ゲートドライバ非形成領域において、ゲート線13Gと略平行となるように、ゲート配線層13からなるダミー配線13N'（調整用配線）を形成する。この例においては、ダミー配線13N'とダミー配線15L4は、コンタクト部CH2を介して接続されている。なお、画素に補助容量を形成する場合には、ダミー配線13N'を補助容量配線として利用し、ダミー配線15L4を、補助容量配線に電圧信号を供給する配線として利用してもよい。また、ダミー配線13N'を共通電極配線として利用し、ダミー配線15L4を、共通電極配線に電圧信号を供給する配線として利用してもよい。ダミー配線13N'を形成することにより、ゲートドライバ非形成領域とゲートドライバ形成領域におけるソース配線層15とゲート配線層13の間に生じる寄生容量の差を小さくすることができ、表示ムラを軽減することができる。なお、図25Aでは、ダミー配線13N'とダミー配線15L4とが画素内において接続されている例を示しているが、これらダミー配線に共通電極や補助容量の電圧信号を別個に供給する場合には、これらダミー配線が画素内で接続されていなくてもよい。

[0184] （第8実施形態の応用例）

なお、上述の第8実施形態において、ゲートドライバ非形成領域に配置されるダミー配線15L4とソース線15Sとの間に寄生容量が発生する。上述したように、ダミー配線15L4には、共通電極や補助容量の電位を制御する一定の電圧信号が入力される。一方、ゲートドライバ形成領域において、ゲート配線層13からなるnetAやnetB等のゲートドライバ11内のノードと、ソース線15Sとの間に寄生容量が発生する。netAやnetBは、ゲートドライバ11のTFT-Cがオン状態である期間は、電源電圧VSSに固定されるが、TFT-Cがオフ状態である期間はフローティング状態となる。

[0185] ゲートドライバ非形成領域は、略一定の電位が固定されるダミー配線15L4とソース線15Sとの間の寄生容量を有し、ゲートドライバ形成領域は、フローティング状態となるノードとソース線15Sとの間に寄生容量を有

するため、ゲートドライバ非形成領域とゲートドライバ形成領域とでソース線15Sの容量に差異が生じる。その結果、ゲートドライバ形成領域とゲートドライバ非形成領域とでデータを書き込む際のソース線15Sの充電率が異なり、ゲートドライバ形成領域とゲートドライバ非形成領域との間で輝度ムラが発生する。特に、中間調の画像を表示する場合に輝度ムラが認識されやすい。そのため、ゲートドライバ形成領域に中間調の画像データを書き込む場合には、その画像データに補正を行うようにする。以下、その具体的な構成について説明する。

[0186] 図25Bは、本応用例における液晶表示装置1の構成例を示す模式図である。図25Bに示すように、第1実施形態の構成に加え、画像補正回路6が追加されている。画像補正回路6は、表示制御回路4、ソースドライバ3、及び電源5と電氣的に接続されている。画像補正回路6は、ゲートドライバ非形成領域に書き込むべきデータ信号の電圧を所定量だけ大きくしたデータ信号をソースドライバ3に入力するようにする。

[0187] 図25Cは、画像補正回路6による補正前のデータ信号と補正後のデータ信号をゲートドライバ非形成領域のソース線15Sに対して入力した場合の画素の駆動波形を示す図である。図25Cの(a)に示すように、ゲートドライバ非形成領域のゲート線13Gが駆動されるタイミング $t_1$ で、ソース線15Sに補正前のデータ信号D1が入力される場合は、ゲートドライバ形成領域のソース線15Sの電位は波形P1のように推移する。また、ゲートドライバ非形成領域のソース線15Sの電位は波形P2のように推移する。つまり、ゲートドライバ非形成領域の画素の電位は、ゲートドライバ形成領域の画素の電位よりも小さくなっており、ゲートドライバ非形成領域とゲートドライバ形成領域との間で輝度ムラが発生する。

[0188] そのため、ゲートドライバ非形成領域の画素に対するデータ信号については、画像補正回路6により、データ信号D1より電圧を所定量だけ上げたデータ信号D2(破線)を入力するようにする。図25Cにおける(b)において、ゲートドライバ非形成領域の画素に対してデータ信号D2を入力する

と、ゲートドライバ非形成領域のソース線 15 S の電位はゲートドライバ形成領域のソース線 15 S の電位と略同等になる。その結果、ゲートドライバ形成領域とゲートドライバ非形成領域との間の輝度ムラが軽減される。なお、上述の応用例では、ゲートドライバ非形成領域に書き込むべきデータ信号の電圧を上げる場合について説明したが、ゲートドライバ形成領域に書き込むべきデータ信号の電圧を所定量だけ下げるように構成してもよい。

[0189] <第9実施形態>

本実施形態では、液晶表示装置 1 の表示モードが VA モード (Vertical Alignment) である場合に、視野角特性を向上させるべく、各画素が輝度が異なる 2 つの副画素で構成されている例について説明する。

[0190] 図 26 は、本実施形態における一画素の等価回路を示す図である。図 26 に示すように、画素 PIX は、副画素 PIX 1 と副画素 PIX 2 とで構成されている。また、GL (n) のゲート線 13 G を挟んで、ゲート線 13 G と略平行に配置された補助容量配線 CS 1、CS 2 が形成されている。GL (n) のゲート線 13 G とソース線 15 S には、薄膜トランジスタからなる 2 つのスイッチング素子 T 1、T 2 が接続されている。

[0191] スwitchング素子 T 1 のドレイン端子には画素電極 17 a とキャパシタ (補助容量電極) Ccs 1 の一方の電極とが接続され、キャパシタ Ccs 1 の他方の電極は補助容量配線 CS 1 (n) と接続されている。副画素 PIX 1 は、画素電極 17 a (第 1 の画素電極) と液晶層と共通電極 (図示略) とによって形成される液晶容量 LC 1 と、キャパシタ Ccs 1 の補助容量 C 1 とを有する。

[0192] スwitchング素子 T 2 のドレイン端子には画素電極 17 b (第 2 の画素電極) とキャパシタ (補助容量電極) Ccs 2 の一方の電極とが接続され、キャパシタ Ccs 2 の他方の電極は補助容量配線 CS 2 (n) と接続されている。これにより、副画素 PIX 2 は、画素電極 17 b と液晶層と共通電極 (図示略) とによって形成される液晶容量 LC 2 と、キャパシタ Ccs 2 の補助容量 C 2 とを有する。

- [0193] 補助容量配線CS1(n)、CS2(n)は、表示領域内に設けられた補助容量信号配線CSL1、CSL2と各々接続されている。補助容量信号配線CSL1、CSL2は、ソースドライバ3(図示略)側に設けられた制御回路(図示略)からの電圧信号VCS1、VCS2を補助容量配線CS1(n)、CS2(n)に各々供給する。補助容量配線CS1(n)、CS2(n)には、補助容量配線CS1(n)、CS2(n)の電位が逆位相となるように電圧信号VCS1、VCS2が供給される。電圧信号VCS1、VCS2は、共通電極(図示略)の電位を基準として振幅を増減させた正極性又は負極性の電圧信号であり、その極性は、制御回路(図示略)によってフレーム毎に反転される。
- [0194] GL(n)のゲート線13Gは、第1実施形態と同様、表示領域内に設けられたゲートドライバ11によって駆動される。ソース線15Sには、共通電極(図示略)の電位を基準とする正極性又は負極性のデータ信号が入力される。データ信号は、フレーム毎にその極性が反転されてソース線15Sに入力される。
- [0195] ここで、ゲートドライバ11、補助容量信号配線CSL1、CSL2が形成されている画素領域を模式的に表した図を図27A、27Bに示す。なお、表示領域は、図27A、27Bにおける列200xにおいて連続しているものとする。
- [0196] 図27A及び図27Bに示すように、GL(n-2)~GL(n+1)のゲート線13Gを各々挟むように補助容量配線CS1、CS2が形成されている。この例では、補助容量配線CS1、CS2は、ゲート線13Gごとに、補助容量配線CS1とCS2の位置が入れ替わるように配置される。また、図27A及び図27Bにおいて、“TFT-”の表記を省略しているが、図27A及び図27Bにおける“A~J”は、ゲートドライバ11を構成するTFT-A~TFT-Jを示している。第1実施形態と同様、ゲートドライバを構成する各素子(TFT-A~J、Cbst)は各画素領域に分散して配置されている。また、素子間を接続する配線13Nと、制御信号を素子

に供給する配線 15 L 1 とが画素領域に形成されている。

[0197] 図 27 B における列 211 x ~ 214 x の画素領域には、ゲートドライバ 11 を構成する素子が形成されていない。この例においては、列 211 x ~ 214 x の画素領域に、補助容量配線 CS 1、CS 2 に電圧信号 VCS 1、VCS 2 を供給する補助容量信号配線 CSL 1、CSL 2 が形成されている。列 211 x 及び 212 x には、補助容量信号配線 CSL 1 が形成されている。列 211 x において、補助容量信号配線 CSL 1 は、補助容量配線 CS 1 と接続されず、補助容量信号配線 CSL 1 から列 212 x において分岐させた補助容量信号配線 CSL 1' によって、列 212 x において補助容量配線 CS 1 と接続されている。また、列 213 x 及び 214 x には補助容量配線 CSL 2 が形成されている。列 213 x において、補助容量信号配線 CSL 2 は、補助容量配線 CS 2 と接続されず、補助容量信号配線 CSL 2 から列 214 x において分岐させた補助容量信号配線 CSL 2' によって補助容量配線 CS 2 と接続されている。

[0198] 上述したように、補助容量配線 CS 1、CS 2 には、補助容量配線 CS 1、CS 2 の電位が逆位相となるように電圧信号 VCS 1、VCS 2 が供給される。補助容量配線 CS 1、CS 2 の電位が逆位相となることで、副画素 PIX 1、PIX 2 に印加される実効電圧に差が生じ、副画素 PIX 1 と PIX 2 の明るさを異ならせることができる。図 28 は、画素 PIX の駆動波形を示すタイミングチャートである。図 28 の例は、ソース線 15 S に正極性のデータ信号が供給される場合を示している。

[0199] 図 28 における時刻 t 0 から、電圧信号 VCS 1、VCS 2 が補助容量配線 CS 1、CS 2 にそれぞれ入力される。時刻 t 1 - t 2 の期間において、ゲートドライバ 11 によって GL (n) のゲート線 13 G が駆動されると、スイッチング素子 T 1、T 2 がオンにされ、ソース線 15 S に正極性のデータ信号が供給される。これに伴って、副画素 PIX 1 と副画素 PIX 2 の電位は上がる。そして、スイッチング素子 T 1 がオフにされる時刻 t 2 において、補助容量配線 CS 1 に H レベルの電圧信号 VCS 1 が入力されることに

より、副画素P1X1の電位は、キャパシタCcs1による電圧の突き上げによって増大する。一方、スイッチング素子T2がオフにされるt2のタイミングで、補助容量配線CS2にLレベルの電圧信号VCS2が入力されることにより、副画素P1X2の電位は、キャパシタCcs2による電圧の突き下げによって減少する。t2以降は、ゲート線13Gはフロート状態になるため、副画素P1X1、P1X2の電位は、電圧信号VCS1、VCS2に応じて増減する。

[0200] これにより、副画素P1X1では、データ信号よりも高輝度で画像を表示し、副画素P1X2では、データ信号よりも低輝度で画像を表示する。1つの画素において異なる2つの輝度の画像を表示することにより、 $\gamma$ 特性の視野角依存性が軽減される。また、表示領域内にゲートドライバ11を設けるとともに、補助容量配線CS1、CS2に電圧信号を供給する補助容量信号配線CSL1、CSL2を表示領域内に設けることにより狭額縁化を図ることができる。

[0201] <第10実施形態>

上述の第9実施形態では、補助容量制御素子として補助容量信号配線CSL1、CSL2を画素領域内に形成し、補助容量信号配線CSL1、CSL2に供給される電圧信号に応じて補助容量配線CS1、CS2の電位を制御する例について説明した。本実施形態では、補助容量制御素子として、補助容量配線CS1、CS2の電位を制御するCSドライバが画素領域に設けられている例について説明する。

[0202] 図29は、本実施形態における一画素の等価回路を示す図である。図29において、第9実施形態と同様の構成には、第9実施形態と同様の符号を付している。以下、第9実施形態と異なる部分について説明する。図29に示すように、補助容量配線CS1、CS2には、上述した補助容量信号配線CSL1、CSL2は接続されていない。

[0203] 次に、CSドライバの構成について説明する。図30は、本実施形態におけるCSドライバの等価回路を示す図である。この例では、補助容量配線C



S1 (n) の電位を制御するCSドライバ80について示している。図30に示すように、CSドライバ80は、薄膜トランジスタからなるTFT-a~j、TFT-k1、及びTFT-k2と、キャパシタcbstとを有する。TFT-a~j及びcbstからなる構成は、入力されるクロック信号(CKC、CKD)が異なる点以外は、TFT-A~J及びCbstからなるゲートドライバ11の構成と同様である。

[0204] この例において、TFT-bのゲート端子及びドレイン端子と、TFT-jのゲート端子には、GL(n+1)のゲート線13Gの電位が入力される。TFT-hのゲート端子とTFT-fのドレイン端子にはクロック信号(CKC)が入力される。TFT-d、gの各ゲート端子にはクロック信号(CKD)が入力される。クロック信号(CKC)とクロック信号(CKD)は、一水平走査期間毎に位相が反転する2相のクロック信号である(図31参照)。なお、クロック信号(CKC)は、クロック信号(CKB)と同位相であり、クロック信号(CKD)は、クロック信号(CKA)と同位相である。

[0205] 図30に示すクロック信号(CKC、CKD)、電源電圧信号(VSS)、リセット信号(CLR)が入力されるCSドライバ80のTFT素子は、ソース配線層15からなる配線15L1を介して、ソースドライバ3(図示略)側に設けられた制御回路(図示略)と接続されている。

[0206] 図30において、TFT-bのソース端子と、TFT-aのドレイン端子と、TFT-cのソース端子と、キャパシタcbstの一方の電極と、TFT-fのゲート端子とが接続されている配線をnetCと称する。また、TFT-cのゲート端子と、TFT-gのソース端子と、TFT-hのドレイン端子と、TFT-iのソース端子と、TFT-jのソース端子とが接続されている配線をnetDと称する。また、キャパシタcbstの他方の電極と、TFT-fのソース端子と、TFT-e及びTFT-dのドレイン端子とが接続されている配線を配線CL(n)と称する。

[0207] さらに、CSドライバ80は、配線CL(n)にゲート端子が各々接続さ

れたTFT-k1及びTFT-k2を有する。TFT-k1のソース端子は補助容量配線CS1と接続されている。TFT-k1のドレイン端子には、ソースドライバ3（図示略）と同じ辺に設けられた制御回路（図示略）から電圧信号VCS1又はVCS2が入力される。TFT-k2のソース端子は補助容量配線CS2と接続されている。TFT-k2のドレイン端子には、制御回路（図示略）から電圧信号VCS1又はVCS2が入力される。電圧信号VCS1と電圧信号VCS2は、上述した第9実施形態と同様、電位が逆位相となる信号であり、制御回路（図示略）によってフレーム毎にその極性が反転される。

[0208] 配線CL(n)がHレベルになると、TFT-k1及びTFT-k2はオン状態になる。そして、TFT-k1及びTFT-k2に入力された電圧信号VCS1の電位は、補助容量配線CS1(n)及びCS1(n+1)に入力される。また、TFT-k1及びTFT-k2に入力された電圧信号VCS2の電位は、補助容量配線CS2(n)及びCS2(n+1)に入力される。

[0209] 上記したCSドライバ80を構成する各素子は、ゲートドライバ11が形成されていない画素領域に配置されている。ここで、図31A及び図31Bに、CSドライバ80の配置例を示す。なお、図31A及び図31Bは、列200xにおいて連続しているものとする。

[0210] 図31A及び図31Bにおいて、“TFT-”の表記は省略されているが、図31A及び図31Bにおける“a~k2”は、CSドライバ80を構成するTFT-a~k2を示している。この例に示すように、CSドライバ80の各素子は同じ行の画素領域に分散して配置されている。クロック信号（CKC、CKD）、電源電圧信号（VSS）、リセット信号（CLR）が入力されるCSドライバ80のTFT素子（TFT-a、c~j）が形成されている列の画素領域には配線15L1が形成されている。また、電圧信号VCS1、VCS2が入力されるTFT素子（TFT-k1、k2）が形成されている列の画素領域には、補助容量信号配線CSL1、CSL2が形成さ

れている。各行におけるCSドライバ80は、隣接する行のCSドライバ80に入力されるクロック信号と電圧信号が各々逆位相となるように配置される。

[0211] 次に、CSドライバ80の動作について説明する。図32は、CSドライバ80の動作を示すタイミングチャートである。図32では、補助容量配線CS1を駆動する場合について示しているが、補助容量配線CS2の場合も同様である。図32において、 $t_2$ から $t_3$ の期間がGL( $n+1$ )のゲート線13Gが選択されている期間である。制御回路(図示略)からクロック信号(CKC)とクロック信号(CKD)とがCSドライバ80に入力される。クロック信号(CKC)とクロック信号(CKD)は、一水平走査期間毎に位相が反転する。また、図32では図示を省略しているが、一垂直走査期間毎に一定期間H(High)レベルとなるリセット信号(CLR)が制御回路(図示略)からCSドライバ80に入力される。リセット信号(CLR)が入力されると、netC、netD、ゲート線13GはL(Low)レベルに遷移する。

[0212] 時刻 $t_0$ から $t_1$ において、Lレベルのクロック信号(CKC)が入力され、Hレベルのクロック信号(CKD)が入力されると、TFT-gがオン状態となり、TFT-hがオフ状態となるためnetDはHレベルに充電される。また、TFT-cとTFT-dがオン状態となり、TFT-fがオフ状態となるためnetCはLレベルの電源電圧(VSS)に充電され、配線CL( $n$ )にはLレベルの電位が出力される。

[0213] 次に、時刻 $t_1$ において、クロック信号(CKC)がHレベルとなり、クロック信号(CKD)がLレベルになると、TFT-gがオフ状態となり、TFT-hがオン状態となるため、netCはLレベルに充電される。そして、TFT-cとTFT-dがオフ状態となるためnetCの電位はLレベルに維持され、配線CL( $n$ )にはLレベルの電位が出力される。

[0214] 時刻 $t_2$ において、クロック信号(CKC)がLレベル、クロック信号(CKD)がHレベルとなり、GL( $n+1$ )のゲート線13Gを介してセッ

ト信号 (S) がCSドライバ80に入力されると、TFT-bがオン状態となり、net CがHレベルに充電される。さらに、TFT-jがオン状態となり、TFT-gがオン状態、TFT-hがオフ状態となるためnet DはLレベルに維持される。TFT-cとTFT-fはオフ状態となるため、net Cの電位は下がらずに維持される。この間、TFT-dはオン状態となっているため、配線CL (n) にはLレベルの電位が出力される。

[0215] 時刻t3において、クロック信号(CKC)がHレベルとなり、クロック信号(CKD)がLレベルとなると、TFT-fがオン状態となり、TFT-dがオフ状態となる。net Cに接続されたキャパシタCbstにより、TFT-fのドレイン端子の電位の上昇に伴って、net Cはクロック信号(CKC)のHレベルより高い電位まで充電される。この間、TFT-gとTFT-jがオフ状態、TFT-hがオン状態となるため、net Dの電位はLレベルで維持される。TFT-cはオフ状態であるためnet Cの電位は下がらず、クロック信号(CKC)のHレベルの電位が配線CL (n) に出力され、TFT-k1及びTFT-k2がオン状態となる。TFT-k1及びTFT-k2がオン状態になると、TFT-k1及びTFT-k2に入力されている電圧信号VCS1の電位が補助容量配線CS1に出力される。

[0216] 時刻t4において、クロック信号(CKC)がLレベルとなり、クロック信号(CKD)がHレベルになると、TFT-gがオン状態となり、TFT-hがオフ状態となるためnet DはHレベルに充電される。これによりTFT-cはオン状態となりnet CはLレベルに充電される。この間、TFT-dがオン状態、TFT-fがオフ状態となるため、配線CL (n) にはLレベルの電位が出力され、TFT-k1及びTFT-k2がオフ状態となる。補助容量配線CS1に接続されているキャパシタCcs1により、補助容量配線CS1の電位はHレベルに維持される。

[0217] 次に、ゲートドライバ11とCSドライバ80の動作を示すタイミングチャートを図33Aに示す。この例において、mフレーム目は、Lレベルの電圧信号VCS2とHレベルの電圧信号VCS1が供給される。図33Aに示

すように、 $m$ フレーム目において、 $GL(n-1) \sim GL(n+1)$ のゲート線13Gは、ゲートドライバ11によりクロック信号(CKA、CKB)に応じて順次駆動される。CSドライバ80における配線 $CL(n-1) \sim CL(n)$ の電位は、クロック信号(CKC、CKD)に応じて、各々、次段のゲート線13Gの駆動後にHレベルに遷移する。配線 $CL(n-1)$ に接続されているTFT-k1、k2には、電圧信号VCS2が入力される。そのため、 $m$ フレーム目において、配線 $CL(n-1)$ がHレベルとなると、補助容量配線 $CS1(n-1)$ には電圧信号VCS2のLレベルの電位が入力される。

[0218] また、図31bに示すように、配線 $CL(n)$ に接続されているTFT-k1、k2には、電圧信号VCS1が入力される。そのため、配線 $CL(n)$ がHレベルとなると、補助容量配線 $CS(n)$ には電圧信号VCS1のHレベルの電位が入力される。また、配線 $CL(n+1)$ に接続されているTFT-k1、k2についても同様に、Lレベルの電圧信号VCS2が入力されると、補助容量配線 $CS1(n+1)$ にはLレベルの電位が入力される。

[0219] ( $m+1$ )フレーム目では、電圧信号VCS1、VCS2の極性が反転され、Hレベルの電圧信号VCS2とLレベルの電圧信号VCS1が供給される。そのため、補助容量配線 $CS1(n-1) \sim CS1(n+1)$ に入力される電位は $m$ フレーム目と逆になる。

[0220] 従って、図33Bに示すように、時刻 $t_1$ において、 $GL(n)$ のゲート線13Gが駆動されると、副画素PIX1(n)、PIX2(n)のスイッチング素子T1、T2がオンにされ、ソース線15Sに正極性のデータ信号が供給される。これに伴って、副画素PIX1(n)と副画素PIX2(n)の電位は上がる。

[0221] そして、時刻 $t_2$ において $GL(n)$ のゲート線13Gの電位がHレベルからLレベルに遷移すると、CSドライバ80の配線 $CL(n-1)$ がLレベルからHレベルに遷移する。そして、時刻 $t_2$ のタイミングで補助容量配線 $CS2(n)$ にLレベルの電圧信号VCS2が入力されると、副画素PI

X2 (n) の電位はキャパシタ Ccs2 を介して下がる。一方、時刻 t2 において GL (n+1) のゲート線 13G が駆動され、時刻 t3 において GL (n+1) のゲート線 13G の電位が H レベルから L レベルに遷移すると、CS ドライバ 80 の配線 CL (n) が H レベルに遷移する。そして、時刻 t3 のタイミングで補助容量配線 CS1 (n) に H レベルの電圧信号 VCS1 が入力されると、副画素 PIX1 (n) の電位はキャパシタ Ccs1 を介して上がる。これにより、副画素 PIX1 (n) は、データ信号よりも高輝度で画像を表示し、副画素 PIX2 (n) は、データ信号よりも低輝度で画像を表示する。

[0222] <第 11 実施形態>

本実施形態では、液晶表示装置 1 の表示モードが VA モードである場合に、第 9 及び第 10 実施形態とは異なる方法によって視野角特性を改善する例を説明する。

[0223] 図 34 は、本実施形態における画素 PIX の等価回路を示す図である。図 34 において、第 10 実施形態と同様の構成には第 10 実施形態と同じ符号を付している。以下、上述した実施形態と異なる部分について説明する。

[0224] 図 34 に示すように、画素 PIX における副画素 PIX1 (n) と副画素 PIX2 (n) のスイッチング素子 T1、T2 のゲート端子は、GLa (n) のゲート線 13G に接続されている。本実施形態では、副画素 PIX1 (n) は、キャパシタ C が設けられておらず、画素電極 17a と共通電極 (図示略) との間に形成される液晶容量 LC1 を有する。

[0225] 副画素 PIX2 にはキャパシタ Ccs が設けられている。キャパシタ Ccs の一方の電極はゲート線 13G と略平行に形成された補助容量配線 CS と接続されている。また、キャパシタ Ccs の他方の電極は、薄膜トランジスタからなるスイッチング素子 T3 と接続されている。スイッチング素子 T3 のゲート端子は、GLa (n) のゲート線 13G と略平行に形成された GLb (n) のゲート線 13G (以下、サブゲート線と称する) と接続されている。また、スイッチング素子 T3 のソース端子は、画素電極 17b と接続さ

れ、ドレイン端子はキャパシタ $C_{cs}$ の他方の電極と接続されている。副画素 $P1 \times 2(n)$ は、画素電極 $17b$ と共通電極（図示略）によって形成される液晶容量 $LC2$ と、キャパシタ $C_{cs}$ による補助容量とを有する。

[0226] このように、本実施形態では、副画素 $P1 \times 1(n)$ と副画素 $P1 \times 2(n)$ の間の $GLa(n)$ のゲート線 $13G$ に対して副画素 $P1 \times 2(n)$ の側に、 $GLb(n)$ のサブゲート線 $13G$ が形成されている。 $GLa(n)$ のゲート線 $13G$ と $GLb(n)$ のサブゲート線 $13G$ は、表示領域内に設けられた各々に対応するゲートドライバ $11$ によって各々駆動される。また、補助容量配線 $CS$ には、ソース線 $15S$ に入力されるデータ信号と逆極性の電位が補助容量制御回路（図示略）によって印加される。

[0227] ここで、 $GLa(n)$ のゲート線 $13G$ を駆動するゲートドライバ $11$ （以下、ゲートドライバ $11\_A$ と称する）の表示領域における配置例を図 $35A$ 、 $35B$ に示す。 $GLb(n)$ のサブゲート線 $13G$ を駆動するゲートドライバ $11$ （以下、ゲートドライバ $11\_B$ と称する）（サブゲート線駆動部）の表示領域における配置例を図 $36A$ 、 $36B$ に示す。

[0228] 図 $35A$ 、 $35B$ は、それぞれの図に示した列 $200 \times$ の画素領域において連続している。また、図 $36A$ 、 $36B$ は、それぞれの図に示した列 $201 \times$ の画素領域において連続している。図 $35A$ 及び図 $35B$ 、図 $36A$ 及び図 $36B$ において、“ $TFT$ ”の表記は省略されているが、各図に記載の“ $A \sim J$ ”は、“ $TFT-A \sim TFT-J$ ”を示している。

[0229] ゲートドライバ $11\_A$ を構成する各素子（ $TFT-A \sim J$ ， $Cbst$ ）は、図 $35A$ 及び図 $35B$ における $GLa$ の各ゲート線 $13G$ の間に分散して配置されている。ゲートドライバ $11\_A$ の $TFT-B$ 、 $D \sim F$ 、 $J$ は、 $GLa$ の各ゲート線 $13G$ と接続されている。 $GLa$ の各ゲート線 $13G$ は、配線 $15L1$ を介して供給される制御信号（ $CKA$ 、 $CKB$ 、 $CLR$ 、 $VSS$ ）に応じて、ゲートドライバ $11\_A$ により順次駆動される。

[0230] 図 $36A$ 及び図 $36B$ において、ゲートドライバ $11\_B$ を構成する各素子（ $TFT-A \sim J$ ， $Cbst$ ）は、ゲートドライバ $11\_A$ が形成されて

いない列において、GL a の各ゲート線 1 3 G の間に分散して配置されている。ゲートドライバ 1 1 \_\_ B の TFT-B、D~F、J は、GL b の各ゲート線 1 3 G と接続されている。GL b の各ゲート線 1 3 G は、配線 1 5 L 1 を介して供給される制御信号 (CKA、CKB、CLR、VSS) に応じて、ゲートドライバ 1 1 \_\_ B により順次駆動される。

[0231] 図 3 7 は、副画素 PIX 1 (n)、PIX 2 (n) が駆動されるタイミングチャートを示している。図 3 7 に示すように、時刻 t 1 においてゲートドライバ 1 1 \_\_ A により、GL a (n) のゲート線 1 3 G の電位が H レベルに遷移すると、スイッチング素子 T 1、T 2 がオンになる。そして、ソース線 1 5 S に正極性のデータ信号が入力されると、これに伴って、副画素 PIX 1 (n) 及び副画素 PIX 2 (n) の電位は、データ信号の電圧に応じて上がり、副画素 PIX 1 (n) 及び副画素 PIX 2 (n) にデータが書き込まれる。

[0232] 時刻 t 2 において GL a (n) のゲート線 1 3 G の電位が L レベルに遷移した後、時刻 t 3 においてゲートドライバ 1 1 \_\_ B により GL b (n) のサブゲート線 1 3 G の電位が H レベルに遷移する。スイッチング素子 T 1 はオフのため、副画素 PIX 1 (n) の電位は維持され、副画素 PIX 1 (n) ではデータ信号と同等の輝度で画像が表示される。一方、スイッチング素子 T 3 はオンになるため、キャパシタ C c s の一方の端子側 (V a) と画素電極 1 7 b とが同電位になるまで電荷が再分配される。これにより、副画素 PIX 2 (n) の電位は下がり、データ信号よりも低輝度で画像が表示される。

[0233] <第 1 2 実施形態>

本実施形態では、液晶表示装置 1 の表示モードが VA モードである場合に、第 1 0 及び第 1 1 実施形態とは異なる方法によって視野角特性を改善する例を説明する。図 3 8 は、本実施形態における画素 PIX の等価回路を示す図である。図 3 8 に示すように、本実施形態では、画素 PIX において、GL 1 (n) のゲート線 1 3 G と GL 2 (n) のゲート線 1 3 G (サブゲート



線)とが形成されている。GL 1 (n) のゲート線 13 G には、画素電極 17 a に接続されたスイッチング素子 T 1 のゲート端子が接続されている。GL 2 (n) のゲート線 13 G には、画素電極 17 b に接続されたスイッチング素子 T 2 のゲート端子が接続されている。また、画素電極 17 a と画素電極 17 b の間にはキャパシタ C が接続されている。GL 1 (n) のゲート線 13 G と GL 2 (n) のゲート線 13 G は、表示領域内に設けられた各々に対応するゲートドライバ 11 (図 4 参照) によって駆動される。以下、GL 1 (n) のゲート線 13 G を駆動するゲートドライバ 11 を、ゲートドライバ 11\_\_1 (駆動回路) と称する。また、GL 2 (n) のゲート線 13 G を駆動するゲートドライバ 11 を、ゲートドライバ 11\_\_2 (サブゲート線駆動部) と称する。

[0234] ゲートドライバ 11\_\_1、ゲートドライバ 11\_\_2 とともに、第 1 実施形態のゲートドライバ 11 の構成と同様であるが、端子 111、112 に入力されるセット信号 (S) と、端子 120 からの走査信号 (OUT) の出力先が異なる。ゲートドライバ 11\_\_1 は、図 4 に示す端子 111、112 に、前段の GL 2 (n-1) のゲート線 13 G に出力された走査信号がセット信号 (S) として入力される。そして、図 4 に示す端子 120 から GL 1 (n) のゲート線 13 G に走査信号が出力される。ゲートドライバ 11\_\_2 は、図 4 に示す端子 111、112 に、GL 1 (n) のゲート線 13 G に出力された走査信号がセット信号 (S) として入力される。そして、図 4 に示す端子 120 から GL 2 (n) のゲート線 13 G に走査信号が出力される。

[0235] ここで、ゲートドライバ 11\_\_1 とゲートドライバ 11\_\_2 の表示領域における配置例を図 39A~39D に示す。図 39A~39D の画素領域は連続している。図 39A、39B は、それぞれの図に示した列 200x の画素領域において連続している。また、図 39C、39D は、各図に示した列 202x の画素領域において連続している。

[0236] 図 39A~図 39D において、“TFT” の表記は省略されているが、各図における“A~J” は、ゲートドライバ 11 を構成する TFT-A~J を

示している。図39A及び図39Bに示すように、ゲートドライバ11\_\_1を構成する各素子（TFT-A～J，Cbst）は、GL1の各ゲート線13Gの間に分散して配置されている。ゲートドライバ11\_\_1のTFT-B、Jは、前段のGL2の各ゲート線13Gと接続されている。また、ゲートドライバ11\_\_1のTFT-D～F、Cbstは、GL1の各ゲート線13Gと接続されている。GL1の各ゲート線13Gは、配線15L1を介して供給される制御信号（CKA、CKB、CLR、VSS）に応じて、ゲートドライバ11\_\_1により順次駆動される。

[0237] 図39C及び図39Dに示すように、ゲートドライバ11\_\_2を構成する各素子（TFT-A～J，Cbst）は、ゲートドライバ11\_\_1が形成されていない列において、GL1の各ゲート線13Gの間に分散して配置されている。ゲートドライバ11\_\_2のTFT-B、Jは、GL1の各ゲート線13Gと接続されている。また、ゲートドライバ11\_\_2のTFT-D～F、Cbstは、後段のGL2の各ゲート線13Gと接続されている。GL2の各ゲート線13Gは、配線15L1を介して供給される制御信号（CKA、CKB、CLR、VSS）に応じて、ゲートドライバ11\_\_2により順次駆動される。つまり、本実施形態では、GL2（n-1）のゲート線13Gの駆動後、ゲートドライバ11\_\_1によりGL1（n）のゲート線13Gが駆動される。そして、GL1（n）のゲート線13Gの駆動後、ゲートドライバ11\_\_2によりGL2（n）のゲート線13Gが駆動される。

[0238] 図40は、GL1（n）とGL2（n）のゲート線13Gの駆動と画素電位の変化を示すタイミングチャートである。図40に示すように、本実施形態では、一水平期間をT1期間とT2期間とに分け、T1期間においてGL1（n）のゲート線13Gを駆動させ、T2期間においてGL（2）のゲート線13Gを駆動させる。

[0239] 時刻t1においてGL1（n）のゲート線13Gがゲートドライバ11\_\_1によって駆動され、ソース線15Sに正極性のデータ信号が入力されると、スイッチング素子T1がオンになる。これにより、副画素PIX1の電位

はデータ信号に応じて増加する。時刻  $t_2$  の経過後、 $GL_1(n)$  のゲート線 13G の電位が L レベルとなり、 $GL_2(n)$  のゲート線 13G がゲートドライバ 11\_2 によって駆動されると、スイッチング素子  $T_1$  がオフになり、スイッチング素子  $T_2$  がオンになる。これにより、副画素  $P_1X_2$  の電位はデータ信号に応じて増加する。このとき、副画素  $P_1X_1$  の電位はフローティング状態のため、副画素  $P_1X_1$  の電位はキャパシタ  $C$  を介して増幅される。その結果、副画素  $P_1X_2$  は、データ信号に応じた輝度で画像を表示し、副画素  $P_1X_1$  は、データ信号よりも高輝度で画像を表示する。

[0240] <第 13 実施形態>

本実施形態では、液晶表示装置 1 の表示モードが VA モードである場合に、画素に形成された補助容量の電位を制御してデータ信号の電圧振幅を下げ、消費電力を低減する例について説明する。

[0241] 図 4 1 は、本実施形態における画素  $P_1X$  の等価回路を示す図である。図 4 1 に示すように、本実施形態では、画素  $P_1X$  には、 $GL(n)$  のゲート線 13G に接続されたスイッチング素子  $TFT-P_1X$  と、画素電極 17 と、キャパシタ  $C_{cs}$  と、ゲート線 13G と略平行に形成された補助容量配線  $CS(n)$  とが形成されている。キャパシタ  $C_{cs}$  の一方の電極は画素電極 17 と接続され、他方の電極は補助容量配線  $CS(n)$  と接続されている。画素  $P_1X$  は、画素電極 17 と共通電極 18 (図 4 2 参照) の間に形成される液晶容量  $LC$  と、キャパシタ  $C_{cs}$  による補助容量とを有する。

[0242] 図 4 2 は、本実施形態における表示パネル 2 の断面を表す模式図である。図 4 2 に示すように、アクティブマトリクス基板 20a と対向基板 20b の間に液晶層 30 が形成されている。対向基板 20b には、ガラス基板 2b に共通電極 18 が形成されている。また、アクティブマトリクス基板 20a において、画素電極 17 の下層には層間絶縁膜 24 を介してキャパシタ  $C_{cs}$  が形成されている。共通電極 18 と画素電極 17 との間の液晶容量  $LC$  に電圧が印加されていない状態で液晶分子は垂直配向し、印加される電圧に応じて液晶分子の配向が変化する。本実施形態では、第 1 実施形態と同様、表示

領域内に設けられたゲートドライバ11によってゲート線13Gを駆動させる。また、表示領域内に設けられたCSドライバ（補助容量配線駆動部）によって補助容量配線CS（n）の電位が制御される。

[0243] 本実施形態において、ゲートドライバ11とCSドライバとを構成する素子が一体となって構成されている。図43は、CSドライバとゲートドライバ11の素子からなる等価回路を示す図である。図43におけるTFT-A～J、Cbstは、第1実施形態のゲートドライバ11と同様の構成である。図43において、netAと接続されていないキャパシタCbstの電極と、TFT-Fのソース端子と、TFT-E及びTFT-Dのドレイン端子とが接続されている配線を配線CL（n）と称する。配線CL（n）は、GL（n+1）のゲート線13Gと接続されている。

[0244] ゲートドライバ11の配線CL（n）は、TFT-Kのゲート端子と接続されている。TFT-Kは、CSドライバを構成するスイッチング素子である。TFT-Kのソース端子には電圧信号VCS1又はVCS2が入力され、ドレイン端子は補助容量配線CS（n）と接続されている。

[0245] 第1実施形態と同様、GL（n+1）のゲート線13Gを駆動するゲートドライバ11のTFT-B、Jは、前段（GL（n））のゲート線13Gからセット信号（S）が入力される。制御信号（CKA、CKB、CLR、VSS）に応じて、配線CL（n）の電位がGL（n+1）のゲート線13Gに出力される。TFT-Kは、配線CL（n）の電位がHレベルに遷移するとオン状態になり、電圧信号VCS1又はVCS2の電位が補助容量配線CS（n）に入力される。電圧信号VCS1、VCS2は、電位が逆位相となる電圧信号であり、制御回路（図示略）によって、フレーム毎にその極性が反転されて入力される。

[0246] ここで、図43に示す各素子の表示領域における配置例を図44A、44Bに示す。図44A、44Bは、各図における列200xにおいて連続している。図44A、44Bに示すように、ゲート線13Gと略平行となるように補助容量配線CSが形成されている。図44A、44Bにおいて、”TFT

T—”の表記は省略されているが、各図における”A~K”は、TFT-A~Jを示している。各図に示すように、TFT-A~J、Cbst、TFT-Kは、各ゲート線13Gの間における画素領域に分散して配置されている。また、例えば、GL(n)のゲート線13Gを駆動するゲートドライバ11のTFT-B、Jのゲート端子は、GL(n-1)のゲート線13Gと接続されている。TFT-D~Fのソース端子とCbstの一方の電極は、GL(n)のゲート線13Gと接続されている。

[0247] 図44BにおいてTFT-Kが形成されている列の画素領域には、電圧信号VCS1又はVCS2を供給する補助容量信号配線VCSL1、VCSL2がソース線15Sと略平行となるように形成されている。TFT-Kのゲート端子とTFT-Fのソース端子は、配線CL(n)によって接続されている。TFT-Kのドレイン端子は補助容量配線CSと接続されている。各TFT-Kは、隣接する行に配置されているTFT-Kに入力される電圧信号と電位が逆位相となるように配置される。

[0248] 次に、図43に示す等価回路で構成されるゲートドライバ11及びCSドライバの動作について説明する。図45は、図43に示す等価回路の動作を示すタイミングチャートである。図45では、GL(n+1)のゲート線13Gがゲートドライバ11によって駆動される例を示している。ゲートドライバ11によってゲート線13Gを駆動させる動作は、図9で説明した動作（GL(n)のゲート線13Gを駆動する例）と同様であるため、説明を省略する。

[0249] 図45の時刻t3において、netAの電位がさらに増幅され、配線CL(n)、つまり、GL(n+1)のゲート線13GにHレベルの電位が入力されると、TFT-Kがオン状態となる。これにより、TFT-Kに入力される電圧信号VCS1の電位が補助容量配線CS(n)に出力される。この例では、Hレベルの電圧信号VCS1が入力されている。補助容量配線CS(n)の電位は、電圧信号VCS1に応じてLレベルからHレベルに遷移する。

- [0250] つまり、図46に示すように、 $GL(n-1)$ から $GL(n)$ の各ゲート線13Gが順次駆動され、次段のゲート線13Gが駆動されるタイミングで配線CLの電位がLレベルからHレベルに遷移する。図46において、 $m$ フレーム目に、Hレベルの電圧信号VCS1とLレベルの電圧信号VCS2が制御回路(図示略)によって出力される場合、 $m+1$ フレーム目は、Lレベルの電圧信号VCS1とHレベルの電圧信号VCS2が制御回路(図示略)によって出力される。
- [0251] 図44A、44Bに示すように、補助容量配線CS( $n-1$ )と、補助容量配線CS( $n+1$ )とに接続されているTFT-Kには電圧信号VCS2が入力される。また、補助容量配線CS( $n$ )に接続されているTFT-Kには電圧信号VCS1が入力される。そのため、補助容量配線CS( $n-1$ )の電位は、 $GL(n)$ のゲート線13Gが駆動されるまでは、 $m-1$ フレーム目に入力された電圧信号VCS2によりHレベルが維持される。そして、 $GL(n)$ のゲート線13Gが駆動されるタイミング、つまり、配線CL( $n-1$ )の電位がHレベルになると、 $m$ フレーム目の電圧信号VCS2によってLレベルに遷移する。
- [0252] また、補助容量配線CS( $n$ )の電位は、 $GL(n+1)$ のゲート線13Gが駆動されるまでは、 $m-1$ フレーム目に入力された電圧信号VCS1によりLレベルが維持される。そして、 $GL(n+1)$ のゲート線13Gが駆動されるタイミング、つまり、配線CL( $n$ )の電位がHレベルになると、 $m$ フレーム目の電圧信号VCS1によってHレベルに遷移する。同様に、補助容量配線CS( $n+1$ )の電位は、配線CL( $n+1$ )の電位がHレベルになると、 $m$ フレーム目の電圧信号VCS2によってLレベルに遷移する。
- [0253]  $m+1$ フレーム目では、 $m$ フレーム目の電圧信号VCS1、VCS2の極性が各々反転され、補助容量配線CS( $n-1$ )~CS( $n+1$ )は、 $m$ フレーム目における各電位の極性が反転された電位が入力される。
- [0254] 従って、 $GL(n)$ のゲート線13Gに接続されている画素電極17を有する画素PIX( $n$ )の電位は、 $m$ フレーム目において、 $GL(n)$ のゲー

ト線 13G が駆動されると、データ信号に応じて増加する。そして、GL (n+1) のゲート線 13G が駆動され、補助容量配線 CS (n) が H レベルになると、画素 PIX (n) の電位はキャパシタ Ccs を介して増幅される。なお、m+1 フレーム目では、負極性のデータ信号がソース線 15S に入力され、L レベルの電圧信号 VCS1 が補助容量信号配線 VC SL1 を介して補助容量配線 CS (n) に入力される。その結果、GL (n) のゲート線 13G が駆動されると、データ信号に応じて画素 PIX (n) の電位は負極性側に増加し、GL (n+1) のゲート線 13G が駆動されて補助容量配線 CS (n) が H レベルになると、キャパシタ Ccs を介して負極性側に増幅される。

[0255] これにより、画素 PIX (n) は、m フレーム目において入力されるデータ信号よりも高輝度の画像を表示することができる。その結果、データ信号の振幅を下げることができ、低消費電力化を図ることができる。また、本実施形態では、補助容量配線 CS の電位を制御する CS ドライバを構成する素子 (TF T-K) をゲートドライバ 11 とともに表示領域内に形成し、補助容量信号配線 VC SL1、VC SL2 を介してソースドライバ 3 側から電圧信号 VCS1、VCS2 を CS ドライバに供給する。そのため、CS ドライバを表示領域外に設ける場合と比べ、ソースドライバ 3 が設けられていない辺について狭額縁化を図ることができる。

[0256] <第 14 実施形態>

本実施形態では、液晶表示装置 1 の表示モードが FFS (Fringe Field Switching) モードである場合に、共通電極の電位を制御してデータ信号の電圧振幅を下げ、消費電力を低減する例について説明する。

[0257] 図 47 は、本実施形態における画素 PIX の等価回路を示す図である。図 47 に示すように、画素 PIX には、GL (n) のゲート線 13G に接続された TF T-PIX と、画素電極 17 と、キャパシタ C と、ゲート線 13G と略平行に形成された共通電極線 18L (COM (n)) とが形成されている。キャパシタ C の一方の電極は画素電極 17 と接続され、他方の電極は C

OM (n) の共通電極線 18L と接続されている。画素 PIX は、画素電極 17 と共通電極線 18L とによって形成される液晶容量 LC と、キャパシタ C の補助容量とを有する。

[0258] 図 48 は、本実施形態における表示パネル 2 の断面を表す模式図である。図 48 に示すように、アクティブマトリクス基板 20a と対向基板 20b の間に液晶層 30 が形成されている。また、アクティブマトリクス基板 20a には、櫛歯状に画素電極 17 が形成されている。画素電極 17 の下層には層間絶縁膜 24 を介して共通電極線 18L が形成されている。共通電極線 18L と画素電極 17 との間に電圧が印加されていない状態で液晶分子が水平配向し、印加される電圧に応じて液晶分子の配向が変化する。

[0259] 本実施形態では、第 1 実施形態と同様、表示領域内に設けられたゲートドライバ 11 によってゲート線 13G を駆動させるとともに、表示領域内に設けられた COM ドライバ（共通電極駆動部）によって共通電極線 18L の電位を制御する。共通電極線 18L の電位は、フレーム毎にその極性が反転される。ソース線 15S には、フレーム毎に共通電極線 18L に対してその極性が反転されたデータ信号が入力される。

[0260] 本実施形態において、ゲートドライバ 11 と COM ドライバを構成する素子とが一体となって構成されている。図 49 は、COM ドライバとゲートドライバ 11 の素子とからなる等価回路を示す図である。図 49 に示す等価回路では、GL (n-1) のゲート線 13G を駆動し、TFT-K のソース端子が COM (n) の共通電極線 18L と接続されている点以外は、第 1 3 実施形態の図 43 に示した等価回路と同等の構成である。本実施形態において、TFT-K は、COM ドライバを構成するスイッチング素子である。TFT-K のドレイン端子に入力される電圧信号 V1、V2 は、電位が逆位相となる電圧信号である。電圧信号 V1、V2 は、制御回路（図示略）によってフレーム毎にその極性が反転される。

[0261] ここで、図 49 に示す等価回路を構成する各素子の表示領域における配置例を図 50A、50B に示す。図 50A、50B は、各図における列 200



xにおいて連続している。図50A、50Bに示すように、ゲート線13Gと略平行となるように共通電極線18Lが形成されている。図50A、50Bにおいて、“TF T-F”の表記は省略されているが、各図におけるA~Kは、上記したTF T-A~Kを示している。TF T-A~J、Cb s t、TF T-Kは、各ゲート線13Gの間における画素領域に分散して配置されている。GL(n-1)のゲート線13Gを駆動するゲートドライバ11のTF T-B、Jのゲート端子は、前段GL(n-2)のゲート線13Gと接続され、TF T-D~Fのソース端子とCb s tの一方の電極は、GL(n-1)のゲート線13Gと接続されている。

[0262] 図50BにおいてTF T-Kが形成されている列の画素領域には、電圧信号V1又はV2を供給する共通電極信号配線VL1、VL2がソース線15Sと略平行となるように形成されている。GL(n-1)のゲート線13Gを駆動するゲートドライバ11のTF T-Fのソース端子は、配線CL(n)によってTF T-Kのゲート端子と接続されている。TF T-Kのソース端子は、COM(n)の共通電極線18Lと接続されている。各TF T-Kは、隣接する行に配置されているTF T-Kに入力される電圧信号と電位が逆位相となるように配置される。

[0263] 次に、ゲートドライバ11及びCOMドライバの動作について説明する。図51は、図49に示す等価回路の動作を示すタイミングチャートである。図51では、GL(n+1)のゲート線13Gをゲートドライバ11によって駆動する例を示している。ゲートドライバ11によってゲート線13Gを駆動させる動作は、図9で説明した動作(GL(n)のゲート線13Gを駆動する例)と同様であるため、説明を省略する。

[0264] 図51の時刻t3において、クロック信号(CKA)がHレベルに遷移することによりnet Aの電位がさらに増幅され、配線CL(n)、つまり、GL(n-1)のゲート線13GにHレベルの電位が出力されると、TF T-Kがオン状態となる。これにより、TF T-Kに入力される電圧信号V1の電位がCOM(n)の共通電極線18Lに出力される。この例において、

Hレベルの電圧信号V1が入力される。COM(n)の共通電極線18Lの電位は、LレベルからHレベルに遷移する。COM(n)の共通電極線18LがHレベルに遷移した後、GL(n-1)のゲート線13Gの駆動と同様にしてGL(n)のゲート線13Gが駆動される。

[0265] つまり、図52に示すように、GL(n-1)からGL(n+1)の各ゲート線13Gが順次駆動され、前段のゲート線13Gが駆動されるタイミングで配線CL(n-1)~CL(n+1)の電位がLレベルからHレベルに順次遷移する。図52において、mフレーム目に、Hレベルの電圧信号V1とLレベルの電圧信号V2が制御回路(図示略)によって出力される。m+1フレーム目には、Lレベルの電圧信号V1とHレベルの電圧信号V2が制御回路(図示略)によって出力される。

[0266] COM(n)の共通電極線18Lに接続されているTFT-Kには電圧信号V1が入力され、COM(n+1)の共通電極線18Lに接続されているTFT-Kには電圧信号V2が入力される(図50A、50B参照)。そのため、COM(n)の共通電極線18Lの電位は、GL(n-1)のゲート線13Gが駆動されるまでは、m-1フレーム目に入力された電圧信号V1によりLレベルが維持される。そして、GL(n-1)のゲート線13Gが駆動されるタイミング、つまり、配線CL(n)の電位がHレベルになると、mフレーム目の電圧信号V1によってHレベルに遷移する。なお、COM(n-1)の共通電極線18Lの電位は、上記と同様、GL(n-2)のゲート線13Gが駆動されるタイミング、つまり、配線CL(n-1)の電位がHレベルになると、mフレーム目の電圧信号V2によってLレベルに遷移する。

[0267] m+1フレーム目では、mフレーム目の電圧信号V1、V2の極性が各々反転されるため、COM(n-1)~COM(n+1)の共通電極線18Lの各電位は、mフレーム目の極性を反転した電位が入力される。各画素PIXにおける共通電極線18Lの電位は、その画素PIXのデータの書き込み前に極性が反転され、共通電極線18Lに対して逆極性となるデータ信号が

ソースドライバ3からソース線15Sに対して出力される。そのため、mフレーム目において、画素PIX(n)に負極性のデータ信号が書き込まれる場合には、図52に示すように、配線CL(n)の電位がHレベルとなり、COM(n)の共通電極線18Lの電位がHレベルに遷移すると、画素PIX(n)の電位は正極性側に一旦増加する。そして、GL(n)のゲート線13Gが駆動され、ソース線15Sに負極性のデータ信号が入力される。これにより、画素PIX(n)の電位は、データ信号とCOM(n)の共通電極線18Lの電位に応じて負極性側に増加し、m+1フレーム目まで保持される。

[0268] m+1フレーム目において、COM(n)の共通電極線18Lの電位がHレベルからLレベルに遷移すると、画素PIX(n)の電位は負極性側に増加する。そして、GL(n)のゲート線13Gが駆動され、ソース線15Sに正極性のデータ信号が入力される。これにより、画素PIX(n)の電位は、データ信号とCOM(n)の共通電極線18Lの電位に応じて正極性側に増加し、m+2フレーム目まで保持される。

[0269] このように、フレーム毎に極性が反転される共通電極線18Lに対してデータ信号の極性を反転させることにより、共通電極線18Lの電位が一定である場合と比べてデータ信号の振幅を下げることができ、消費電力を低減させることができる。また、ゲートドライバ11とともに、共通電極線18Lの電位を制御するCOMドライバを構成する素子を表示領域内に設けることにより、ソースドライバ3が設けられた一辺を除く3辺について狭額縁化を図ることができる。

[0270] <第15実施形態>

第14実施形態では、画素電極と共通電極とにより生じる横電界によって液晶分子の配向を制御する例について説明した。本実施形態では、液晶分子の応答速度を向上させるべく、縦電界と横電界とを用いて液晶分子の配向を制御する例について説明する。

[0271] 図53は、本実施形態における画素の等価回路を示す図である。また、図

54は、図53に示した画素の断面を表す模式図である。以下、図53及び図54を用いて本実施形態における表示パネル2と画素の構成について説明する。

[0272] 本実施形態における画素PIXには、図53に示すように、ゲート線13G及びソース線15Sに接続されたTFT-PIXと、画素電極17と、共通電極18と、キャパシタCとが設けられている。また、画素PIXには、ゲート線13Gと略平行に形成された共通電極線18Lが設けられている。TFT-PIXのドレイン端子には、画素電極17とキャパシタCの一方の電極とが接続されている。キャパシタCの他方の電極は共通電極線18Lと接続されている。

[0273] 図54に示すように、対向基板20bには、ガラス基板2bの上に対向電極181とブラックマトリクス及びカラーフィルタ（いずれも図示略）とが形成されている。対向電極181の上層には、オーバーコート層19が形成されている。アクティブマトリクス基板20aには、画素電極17と共通電極18とが並列して設けられ、画素電極17と共通電極18の下層には層間絶縁膜24が形成されている。層間絶縁膜24の下層には共通電極線18Lが形成され、層間絶縁膜24に設けられたコンタクトホールを介して共通電極線18Lと共通電極18は接続されている。

[0274] 画素PIXは、液晶容量CLC1、CLC2a、CLC2bを有する。液晶容量CLC1は、画素電極17と共通電極18との間に形成される。液晶容量CLC2aは、対向電極181と画素電極17との間に形成される。液晶容量CLC2bは、共通電極18及び共通電極線18Lと対向電極181との間に形成される。液晶容量CLC1によって横電界が生じ、液晶容量CLC2aと液晶容量CLC2bによって縦電界が生じる。

[0275] 共通電極18及び共通電極線18Lの電位は、フレーム毎にその極性が反転するように、後述するCOMドライバ（共通電極駆動部）によって制御される。また、共通電極18及び共通電極線18Lに対して極性が反転されたデータ信号がソースドライバ3からソース線15Sに入力される。

- [0276] 正極性のデータ信号を画素に書き込む場合において、例えば、対向電極 181 に直流電圧 7.5 v、画素電極 17 と共通電極 18 及び共通電極線 18L に 15 v がそれぞれ印加されると、画素電極 17 と共通電極 18 との間に横電界が発生しない。その結果、図 55A に示すように液晶分子 301 が垂直配向となる。このような配向となる画素は黒表示となる。一方、上記において、画素電極 17 を 0V にすると、画素電極 17 と共通電極 18 との間に横電界が発生する。この場合には、図 55B に示すように、横電界の強さに応じて液晶分子 301 の配向が変化する。このような配向となる画素は白表示となる。横電界がなくなると、縦電界の作用によって、液晶分子 301 が垂直配向に戻る。これにより、液晶分子 301 の応答速度が向上する。
- [0277] なお、負極性のデータ信号を書き込む場合において、例えば、画素電極 17 に 15 v、共通電極 18 及び共通電極線 18L に 0 v を印加すると、液晶分子 301 は図 55B に示した配向状態となり、白表示となる。この場合において、画素電極 17 を 0 v にすると、液晶分子 301 は図 55A に示した配向状態（垂直配向）となり、黒表示となる。
- [0278] 本実施形態において、ゲート線 13G は、第 1 実施形態と同様、表示領域内に設けられたゲートドライバ 11 によって駆動される。また、共通電極 18 及び共通電極線 18L の電位を制御する COM ドライバも表示領域内に設けられている。
- [0279] 本実施形態におけるゲートドライバ 11 と COM ドライバは、上述した第 14 実施形態と同様、ゲートドライバ 11 に COM ドライバを構成する素子が一体となって構成されている。本実施形態におけるゲートドライバ 11 と COM ドライバ等価回路は、図 49 に示した等価回路と同様である。また、本実施形態におけるゲートドライバ 11 及び COM ドライバを構成する各素子は、上述した図 50A、50B と同様に表示領域内に配置されており、画素の駆動を表すタイミングチャートは上述した図 52 と同様である。
- [0280] 従って、図 52 に示すように、m フレーム目において、配線 CL (n) の電位が H レベルとなり、COM (n) の共通電極線 18L と共通電極 18 の

電位がHレベルに遷移すると、画素PIX(n)の電位は正極性側に一旦増加する。そして、GL(n)のゲート線13Gが駆動され、ソース線15Sに負極性のデータ信号が入力される。これにより、画素PIX(n)の電位は、データ信号とCOM(n)の共通電極線18L及び共通電極18の電位に応じて負極性側に増加し、m+1フレーム目まで保持される。

[0281] m+1フレーム目では、COM(n)の共通電極線18L及び共通電極18の電位がHレベルからLレベルに遷移し、画素PIX(n)の電位は負極性側に増加する。そして、GL(n)のゲート線13Gが駆動され、ソース線15Sに正極性のデータ信号が入力される。これにより、画素PIX(n)の電位は、データ信号とCOM(n)の共通電極線18L及び共通電極18の電位に応じて正極性側に増加し、m+2フレーム目まで保持される。

[0282] このように、縦電界と横電界とを併用することにより各画素における液晶層30の応答速度を高速化させることができる。また、共通電極線18L及び共通電極18の電位を制御するCOMドライバとゲート線13Gを駆動するゲートドライバ11とを表示領域内に形成することにより、ソースドライバ3が設けられた1辺を除く辺について狭額縁化を図ることができる。

[0283] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形、又は組み合わせて実施することが可能である。以下、本発明の変形例について説明する。

[0284] <変形例>

(1) 上述した第1～第15実施形態において、1つの画素領域にTF T-F(図8C及び図10B参照)が形成されている例について説明したが、複数の画素領域にわたってTF T-Fが形成されていてもよい。図56は、本変形例におけるTF T-Fの接続例を示す平面図である。図56に示すように、TF T-Fは、P31とP32の2つの画素領域に形成されたTF T-F1とTF T-F2とを並列に接続して構成されている。P31とP32

の各画素領域には、ソース配線層15により、配線15L1と、TFT-F1とTFT-F2のドレイン端子15dとが形成されている。また、ゲート配線層13により、P31とP32の画素領域にわたって配線13Nが形成されるとともに、配線13Nと接続されたTFT-F1とTFT-F2のゲート端子13gが形成されている。TFT-F1とTFT-F2のソース端子15sは、コンタクト部CH5においてGL(n)のゲート線13Gと接続されている。

[0285] TFT-F1とTFT-F2には、配線15L1を介してクロック信号(CKA)が入力され、TFT-F1とTFT-F2からコンタクト部CH5を介してゲート線13GにnetAの電位が出力される。このように、他のTFTと比べて出力が大きいTFT-FやTFT-Dを複数の画素領域にわたって構成することにより画素領域の開口率の低下を抑制しつつ、TFT自体を大きく構成することができる。

[0286] (2) 上述した第1実施形態では、全ての色の画素領域にゲートドライバ11のスイッチング素子や配線15L1が形成されている例について説明したが、第1～第15実施形態において、特定の色の画素領域にのみ、ゲートドライバ11やCSドライバ80等の駆動回路を構成する素子を形成するようにしてもよい。図57は、本変形例における、ゲートドライバ11を構成するスイッチング素子(例えば、TFT-A)の接続例を示す平面図である。図57に示すように、電源電圧信号(VSS)及びリセット信号(CLR)をTFT-Aに供給するための配線15L1は青(B)の画素領域P41B、P42Bに形成されている。また、TFT-Aは、画素領域P41Bに形成されている。TFT-Aのゲート端子13gは、画素領域P42Bのコンタクト部CH2において配線15L1と接続されるようにP41BからP42Bの画素領域にわたって形成されている。このように、特定の色の画素領域にTFTと配線15L1とを形成することにより、ゲートドライバ11を構成する素子を更に分散させることができ、開口率の低下を抑制することができる。また、赤(R)、緑(G)、青(B)のうち、赤(R)画素と緑

(G) 画素に比べて輝度の影響が小さい青 (B) 画素にスイッチング素子や配線を配置することにより、画素領域にゲートドライバ 11 を配置することによる輝度低下の影響を低減することができる。

[0287] (3) また、上述した変形例 (2) において、駆動回路を構成する素子が形成される画素領域を他の色の画素領域より大きく構成してもよい。図 58 は、ゲートドライバ 11 を構成する素子 (例えば T F T - A と配線 15 L 1) が形成されている画素領域の構成を示す平面図である。図 58 に示すように、T F T - A と配線 15 L 1 とが形成されている画素領域 P 4 1 B、P 4 2 B は、横方向 (ソース線 15 S の配列方向) の長さが、他の色の画素領域の横方向の長さとは比べて大きく形成されている。このように構成することにより、変形例 (2) の場合と比べて、赤 (R)、緑 (G)、青 (B) の各画素領域の開口率が略均一化され、開口率の差によって生じる色バランスの変化が抑制される。

[0288] (4) 上述した第 1 実施形態では、画素領域に形成されるゲートドライバ 11 と画素電極 17 との干渉を避けるために、画素電極 17 とゲートドライバ 11 との間にシールド層 16 が形成されている例について説明した。第 2 から第 15 実施形態においても、駆動回路を構成する素子と画素電極との間にシールド層 16 が形成されていてもよい。また、第 1 から第 15 実施形態において、シールド層 16 を形成することなく、画素領域において、画素電極と重ならないように駆動回路の素子を配置するようにしてもよい。図 59 は、ゲートドライバ 11 を構成する素子として T F T - A が配置されている画素領域を示す平面図である。図 59 に示すように、T F T - A と、配線 13 N 及び配線 15 L 1 は、画素電極 17 と重ならない位置に形成されている。このように構成することにより、ゲートドライバ 11 を構成するスイッチング素子及び配線と画素電極 17 との間に発生する寄生容量が低減され、適切に画像表示を行うことができる。

[0289] (5) 上述した第 1 ~ 第 15 実施形態において、ゲートドライバ 11 を構成する配線 13 N 及び配線 15 L 1 (配線部) を液晶の表示モードに応じた



画素領域内の位置に形成するようにしてもよい。以下、VAモード、FFSモード、IPS (In-Plane Switching) モードの各表示モードの場合の配線例について説明する。

[0290] 図60Aは、VAモードの場合の配線例を示す平面図である。この図では、TFT-Aを構成する素子が形成される領域を例示している。アクティブマトリクス基板20aと対向基板20bに設けられた配向膜に複数の方向から光を照射することにより、図60Aに示すように、1つの画素領域における液晶分子の配向方向が矢印50a、50b、50c、50dで示す4方向となるように配向分割されている。配向方向が切り替わる境界部分では液晶分子がぶつかり合い、直線偏光板の偏光軸に沿った方向に液晶分子が配向する領域が存在する。そのため、その領域では光の透過率が低下して暗線が発生する。

[0291] 図60Aにおいて、破線51は暗線が発生する領域（以下、暗線領域と称する）を示している。図60Aのように暗線領域51が存在する場合、暗線領域51に重なるように配線15L1と配線13Nとを形成してもよい。このように構成することにより、ゲートドライバ11が形成される画素領域において透過率の低下が抑制される。

[0292] また、TFT-AやTFT-D等、複数の画素領域にわたってTFTが形成される場合、例えば、図60Aにおいて左側の画素領域に形成されているTFT-AのA1側のドレイン端子15sd1と略同じ大きさの配線15L3を、右側の画素領域の配線13Nにコンタクト部CH2を介して接続するように構成してもよい。このように構成することにより、各画素領域の開口率を略均一化することができる。

[0293] 次に、FFSモードの場合について説明する。図60Bは、FFSモードの場合の配線例を示す平面図である。図60Bにおいて、各画素領域に形成されている画素電極17には複数のスリット部171（171a、171b）が設けられている。図60Bにおいて各画素電極17の上方側にスリット部171aが形成され、下方側にスリット部171bが形成されている。各

画素領域におけるスリット部171aとスリット部171bの境界において略線対称となるように、スリット部171aとスリット部171bは一定の角度をなして形成されている。これにより、液晶分子の配向方向が2方向となるように配向分割される。図60Bの例では、配向方向が切り替わる破線52の部分が暗線領域となる。この場合には、暗線領域52に重なるように配線13Nを形成してもよい。また、図60Aと同様、TFT-AのA1側のドレイン端子15sd1と略同じ大きさの配線15L3を、右側の画素領域において配線13Nと接続するように構成してもよい。

[0294] 次に、IPSモードの場合について説明する。図60Cは、IPSモードの場合の配線例を示す平面図である。図60Cに示すように、各画素領域には、櫛歯状の画素電極17が形成されている。また、アクティブマトリクス基板20aには、遮光領域BMの一部、ソース線15S、及び配線15L1に重なる位置に共通電極18が形成されている。遮光領域BMを除いた領域において、ソース線15S、配線15L1、画素電極17、共通電極18は、延在方向の略中央において2方向に屈曲した形状を有する。櫛歯状の画素電極17と共通電極18とにより横方向の電界が生じ、各画素領域における液晶分子は2方向に配向制御される。図60Cに示すように、この場合には、共通電極18の下方にゲートドライバ11を構成するスイッチング素子や配線13N及び配線15L1を配置するようにしてもよい。このように構成することにより、画素電極17とゲートドライバ11の間に生じる寄生容量が低減される。

[0295] (6) 上述した第1から第15実施形態に係る表示パネル2を複数並べて配置して大型ディスプレイを構成してもよい。図61Aに示すように、第1実施形態と同様に、額縁領域2Raには端子部12g(図示略)が形成されている。他の額縁領域2Rb、2Rc、2Rdは額縁領域2Raよりも狭くなっている。図61Bに示すように、複数の表示パネル2を額縁領域2Raが外側となるように並べて配置することで、タイル状の大型パネル2Bが形成される。この場合、表示パネル2の3辺の額縁領域2Rb、2Rc、2R

dは狭額縁化されているため、表示パネル2の境界が視認されにくくなる。

[0296] (7) 上述した第1から第15実施形態において、ゲートドライバ11を以下のように構成してもよい。図62は、本変形例に係るゲートドライバの等価回路の一例を示す図である。図62に示すように、ゲートドライバ11aは、図4に示した構成に加え、net Aとnet Bとの間にキャパシタCabを接続して構成されている。

[0297] 上述したように、ゲートドライバ11を構成する各素子は画素領域に形成されている。そのため、ゲート配線層13で構成されているnet A及びnet Bの配線13Nとソース線15Sとの間に寄生容量が生じる場合があり、その場合にはゲート線13Gにノイズが発生する可能性がある。例えば、図63Aに示すTF T-Aが形成されている画素領域において、ソース線SLa(15S)及びSLb(15S)とnet Aの配線13Nとの間に寄生容量が生じる場合の波形図を図63Bに示す。

[0298] 図63Bに示すように、クロック信号(CKB)がLレベル、クロック信号(CKA)がHレベルとなる時刻t1からt2において、ソース線SLaとSLbが相対的に高い電位に変化する表示を行った場合に、net Aの配線13Nとソース線SLa及びSLbとの間の寄生容量によってTF T-Fがオフ状態を維持できず、GL(n)のゲート線13Gにノイズが発生する。つまり、時刻t1からt2の期間は、net AをLレベルに保持するためのTF T-Cがオフ状態のため、GL(n)のゲート線13Gは、この期間にソース線SLaとSLbの影響を受けやすくなる。一方、クロック信号(CKB)がHレベルとなる時刻t4からt5の期間では、TF T-CやTF T-Dがオン状態となる。そのため、net Aの配線13NとGL(n)のゲート線13Gの電位は、Lレベルに維持され、ソース線SLa及びSLbの電位の変動を受けない。

[0299] ゲート線13Gの電位がLレベルとなる期間にノイズが発生すると、TF T-PIXのオフマージンが低下して誤動作を生じる可能性がある。特に、以下に示すパターンのときにノイズが発生しやすい。図64A~図64Cは

、ノイズが発生しやすいパターンの画素領域の極性を表す図である。図64A～図64Cの矩形で示す領域Pは画素領域を示している。領域Pにおける「+」「-」の記号は画素領域の極性を示している。図64Aは、ノーマリブラックモードにおいてライン反転駆動で白表示を行う場合の極性を表している。図64Bは、ノーマリブラックモードにおいてドット反転駆動で白と黒のライン表示を行う場合の極性を表している。また、図64Cは、ノーマリブラックモードにおいてソース反転駆動で白と黒の千鳥表示を行う場合の極性を表している。

[0300] 本変形例では、図62に示したように、 $net A$ と $net B$ の間にキャパシタ $C a b$ を設けることにより、図63Bに示した $net A$ の波形に生じるノイズを低減してTFT-Fをオフ状態に維持する。図65は、図64A又は図64Cに示した極性パターンの場合においてキャパシタ $C a b$ を設けたときの波形例を示している。キャパシタ $C a b$ が設けられていない場合には、図63Bに示したように、時刻 $t_1$ から $t_2$ の期間において、 $net A$ とソース線 $S L a$ 、 $S L b$ との間の寄生容量によって $net A$ の電位はLレベルを維持できない。しかし、キャパシタ $C a b$ を設けることにより、時刻 $t_1$ において $net A$ の電位が突き上がると同時に $net B$ の電位変動によって $net A$ の電位がLレベルの側に引き込まれる。その結果、図65に示すように、時刻 $t_1$ から $t_2$ において $net A$ の電位はLレベルに維持され、TFT-Fをオフ状態に維持することができ、 $GL(n)$ のゲート線13Gのノイズの発生を抑制することができる。

[0301] キャパシタ $C a b$ は、以下のように接続してもよい。図66は、キャパシタ $C a b$ とTFT-Cとが形成されている画素領域を例示した模式図である。図66に示すように、画素領域P51には、コンタクト部CH1においてTFT-PIXと画素電極17とが接続されている。また、ゲート配線層13により、キャパシタ $C a b$ を構成する一方の電極13c1と、ゲート線13G及び配線13Naとが形成されている。ソース配線層15により、キャパシタ $C a b$ の他方の電極15c1、ソース線15S、及び配線15L1が

形成されている。電極 15c1 は、コンタクト部 CH2 において、net A の配線 13Na と接続されている。また、キャパシタ Cab の電極 13c1 は、画素領域 P51 から画素領域 P52 に跨って形成され、net B の配線 13Nb と接続されている。

[0302] (8) 上述した第 1～第 15 実施形態では、ゲートドライバ 11 を構成するスイッチング素子の半導体層 14 は、酸化物半導体で構成されている例について説明したが、半導体層 14 としては、ポリシリコンやアモルファスシリコン等で構成してもよい。

[0303] (9) 上述した第 1～第 15 実施形態では、アクティブマトリクス基板 20a の基板 20 上にはゲート線 13G、ソース線 15S、ゲートドライバ 11、ゲートドライバ 11 に対する制御信号等が入力される端子部 12g、ソース線 15S に対するデータ信号等が入力される端子部 12s が形成される例について説明したが、これら以外にソースドライバ 3 及び表示制御回路 4 が形成されていてもよい。

[0304] (10) 上述した第 1～第 15 実施形態では、表示パネル 2 が液晶パネルの例を説明したが、有機 EL (Electro-Luminescence) 等を用いたパネルであってもよい。以下、有機 EL パネルの場合について説明する。

[0305] 図 67 は、本変形例に係る表示パネル 2' の画素の等価回路を示す図である。図 67 に示すように、画素 PIX' (n) には、薄膜トランジスタからなるスイッチング素子 T1～T5、キャパシタ C1、C2、及び有機発光素子 (OLED) 90 が設けられている。また、画素 PIX' (n) には、ゲート線 13G と略平行に形成された発光制御線 91 と、データ線 15S と略平行に形成された電源供給線 92 (EL(n-1)) とが設けられている。

[0306] T3 と T4 のゲート端子は、前段 (GL(n-1)) のゲート線 13G と接続されている。T3 のソース端子は、電源供給線 92 と接続され、ドレイン端子はキャパシタ C1、C2 の一方の電極 (以下、第 1 電極) 及び T1 のドレイン端子と各々接続されている。

[0307] GL(n-1) のゲート線 13G の駆動により、T3 がオン状態になると

、電源供給線92に入力される電圧信号EVDDがキャパシタC1、C2に入力される。

[0308] T4のドレイン端子は、キャパシタC1の他方の電極（以下、第2電極）及びTF T-T2のゲート端子と接続され、ソース端子は、T2のドレイン端子と接続されている。GL(n-1)のゲート線13Gの駆動により、T4がオン状態になると、T2とダイオード接続される。

[0309] T1は、GL(n)のゲート線13G及びデータ線15Sと接続されている。T1は、GL(n)のゲート線13Gが選択されるとオン状態になり、データ線15Sに入力されるデータ信号VdataがキャパシタC1の第1電極に入力される。

[0310] T2のソース端子は、キャパシタC2の第2電極及び電源供給線92と接続され、ドレイン端子は、T5を介してOLED90と接続されている。

[0311] T5（発光制御用スイッチング素子）は、T2のドレイン端子とOLED90のアノードとの間に接続される。T5のゲート端子は、前段（EL(n-1)）の発光制御線91と接続されている。T5は、EL(n-1)の発光制御線91の電位に応じて、OLED90をT2と切り離す。OLED90は、T5を介してT2からの電流に応じた光を発する。

[0312] 本変形例において、発光制御線91の電位は、表示領域内に設けられたELドライバ（発光制御線駆動部）によって制御される。図68Aは、EL(n-1)の発光制御線91の電位を制御するELドライバの等価回路を示している。図68Aに示すように、ELドライバ93は、薄膜トランジスタからなるスイッチング素子L及びMを備える。

[0313] スwitching素子Lは、直列に接続されたスイッチング素子L1及びL2を有する。スイッチング素子L1及びL2のゲート端子は、スイッチング素子L1のドレイン端子と接続されている。L1のドレイン端子には、電源電圧信号VDDが入力される。これにより、EL(n-1)の発光制御線91には、スイッチング素子Lを介して電源電圧信号VDDが常に入力される。なお、スイッチング素子Lは、スイッチング素子Mよりも駆動能力を小さく

するため、例えば、デュアルゲート構造のスイッチング素子や、スイッチング素子Mよりもチャンネル長が大きいスイッチング素子を用いるようにする。

[0314] スwitching素子Mは、ゲート端子がGL (n-1) のゲート線13Gと接続され、ドレイン端子がEL (n-1) の発光制御線91と接続されている。スイッチング素子Mのソース端子には電源電圧信号VSSが入力される。スイッチング素子Mは、GL (n-1) のゲート線13Gが駆動されるときにオン状態となり、電源電圧信号VSSが入力される。

[0315] 上述したように、スイッチング素子Lを介してEL (n-1) の発光制御線91には常に電源電圧信号VDDが入力されるが、スイッチング素子Mの駆動能力が高くなるようにスイッチング素子Lは構成されている。そのため、図68Bに示すように、GL (n-1) のゲート線13Gの電位がHレベルとなる時刻t0からt1の間に、EL (n-1) の発光制御線91は、電源電圧信号VSSに充電される。一方、GL (n-1) のゲート線13Gの電位がLレベルとなり、GL (n) のゲート線13Gの電位がHレベルになる時刻t1以降は、EL (n-1) の発光制御線91は、電源電圧信号VDDに充電される。

[0316] 次に、本変形例におけるゲートドライバ11とELドライバ93を構成する素子の表示領域内の配置例について説明する。図69A~69Eは、ゲートドライバ11とELドライバ93の素子が設けられている画素領域を模式的に表した平面図である。図69A~69Eの画素領域は連続している。

[0317] 図69A~69Eに示すように、本変形例では、各画素には、その画素に対応するゲート線13Gと、その前段の画素に対応するゲート線13Gの出力を得るためのゲート線13G（以下、前段ゲート線）とが略平行となるように配列されている。

[0318] 例えば、図69Aに示す画素PIX' (n) には、GL (n-1) の前段ゲート線13GとGL (n) のゲート線13Gとが形成されている。GL (n-1) の前段ゲート線13Gの出力に応じてGL (n) のゲート線13Gが駆動され、画素PIX' (n) にデータが書き込まれる。また、画素PI

$X'$  ( $n$ ) の前段に設けられている画素  $P \mid X'$  ( $n-1$ ) には、 $GL$  ( $n-1$ ) のゲート線  $13G$  と、 $GL$  ( $n-2$ ) の前段ゲート線  $13G$  が形成されている。 $GL$  ( $n-2$ ) の前段ゲート線  $13G$  の出力に応じて  $GL$  ( $n-1$ ) のゲート線  $13G$  が駆動され、画素  $P \mid X'$  ( $n-1$ ) にデータが書き込まれる。前段ゲート線  $13G$  は、図 69E において形成された配線 95 によって、対応するゲート線  $13G$  と接続されている。例えば  $GL$  ( $n$ ) のゲート線  $13G$  がゲートドライバ 11 によって駆動されると、 $GL$  ( $n+1$ ) 行の画素における  $GL$  ( $n$ ) の前段ゲート線  $13G$  を介して、その出力が  $GL$  ( $n+1$ ) の画素に入力される。

[0319] 図 69A、69B において、“TFT” の表記を省略しているが、A~J、L、M は、TFT-A~J、TFT-L、TFT-M を示している。上述した第 1 実施形態と同様、ゲート線  $13G$  を駆動するゲートドライバ 11 を構成する各素子 (TFT-A~J、Cbst) は、画素領域に分散して配置されている。また、制御信号 (CKA、CKB、VSS、CLR) が入力されるゲートドライバ 11 の素子が形成されている列の画素領域には、制御信号を供給する配線 15L1 が形成されている。

[0320] 発光制御線  $EL$  (91) ごとに、 $EL$  ドライバ 93 のスイッチング素子 L 及び M が配置されている。スイッチング素子 M は、列  $301x \sim 302x$  の画素領域にわたって形成されている。スイッチング素子 L は、列  $303x \sim 304x$  の画素領域にわたって形成されている。また、スイッチング素子 M 及び L が形成されている列  $302x$ 、 $304x$  には、電源電圧信号 VSS、VDD をそれぞれ供給する配線 15L1 が形成されている。このように、 $EL$  ドライバ 93 を構成する素子は、ゲートドライバ 11 の各素子が形成されていない画素領域に形成される。

[0321] 次に、図 67 に示す画素  $P \mid X'$  の駆動タイミングを示すタイミングチャートを図 70 に示す。図 70 において、 $T1$  期間は、 $EL$  ( $n-1$ ) の発光制御線 91 の電位が L レベルであり、 $GL$  ( $n-1$ ) のゲート線  $13G$  の電位が H レベルとなっている。この状態において、 $T5$  はオフ状態となり、0



LED90はT2と切り離される。また、T3がオン状態となるため、図67におけるV1は、電源供給線92から入力される電圧信号EVDDに充電される。また、T4がオン状態となるため、図67におけるV2、V3は短絡され、電圧信号EVDD+T2の閾値電圧Vthに充電される。

[0322] t1期間の経過後、t2期間では、EL(n-1)の発光制御線91の電位がHレベルになり、GL(n-1)のゲート線13Gの電位がLレベル、GL(n)のゲート線13Gの電位がHレベルになっている。GL(n)のゲート線13GがHレベルとなるタイミングでソース線15Sにデータ信号Vdataが入力される。この状態において、T5はオン状態となるため、OLED90はT2と接続される。また、T3がオフ状態、T1がオン状態となるため、図67におけるV1は、データ信号Vdataに充電される。

[0323] また、T4がオフ状態となるため、図67におけるV2は、キャパシタC1を介してV1の電位変動を受ける。これにより、V2の電位は、電圧信号EVDD+閾値電圧Vth+A×(データ信号Vdata-電圧信号EVDD)に変化する。ここで、 $A=C1/(C1+Cp)$ である(C1;キャパシタC1の容量、Cp;スイッチング素子の寄生容量等)。このとき、図67におけるV3の電位は、T2の閾値電圧Vthだけ低い値となる。つまり、 $V3=電圧信号EVDD+A×(データ信号Vdata-電圧信号EVDD)$ となる。従って、V3には、閾値電圧Vthに依存しない電流が流れることになり、閾値電圧Vthのばらつきをなくすることができる。

[0324] (11) また、上述した第5実施形態では、1組のゲートドライバ群(11\_\_a, 11\_\_b)によって2本のゲート線13Gを同時に駆動させる例であったが、2組以上のゲートドライバ群を用いて駆動させてもよい。例えば、図71に示すように、上述した1組のゲートドライバ群(11\_\_a, 11\_\_b)に加え、ゲートドライバ群(11\_\_a, 11\_\_b)と同様のゲートドライバ群11\_\_c(ゲートドライバ11(c1)~11(c7))と、ゲートドライバ群11\_\_d(ゲートドライバ11(d1)~11(d7))が設けられていてもよい。ゲートドライバ群11\_\_cとゲートドライバ群11\_\_

dは、ゲートドライバ群11\_\_a, 11\_\_bとは異なる列に設けられる。この場合、ゲートドライバ群11\_\_cには、ゲートドライバ群11\_\_aと同じタイミングでスタートパルス信号S<sub>a</sub>を入力し、ゲートドライバ群11\_\_dには、ゲートドライバ群11\_\_bと同じタイミングでスタートパルス信号S<sub>b</sub>を入力するようにする。これにより、ゲートドライバ群11\_\_aのゲートドライバ11(a<sub>n</sub>)とゲートドライバ群11\_\_cのゲートドライバ11(c<sub>n</sub>)とが同期してn行目のゲート線13Gを駆動する(n:整数, 1 ≤ n ≤ 7)。そして、ゲートドライバ群11\_\_aとゲートドライバ群11\_\_cによる駆動後、ゲートドライバ群11\_\_bのゲートドライバ11(b<sub>n</sub>)とゲートドライバ群11\_\_dのゲートドライバ11(d<sub>n</sub>)とが同期してn行目のゲート線13Gを駆動させる。

[0325] (12) 上述した第1実施形態、第3実施形態、第6～第8実施形態、及び上述の変形例(1)～(9)において、ゲートドライバ11を以下に示すように配置してもよい。

[0326] (12-1 構成例1)

本変形例では、偶数行目のゲート線13Gに対して設けられたゲートドライバ11(以下、ゲートドライバ11xと称する)を配線15L1によって接続し、奇数行目のゲート線13Gに対して設けられたゲートドライバ11(以下、ゲートドライバ11yと称する)を配線15L1によって接続する。そして、ゲートドライバ11xとゲートドライバ11yを別個に駆動することによって全てのゲート線13Gを順次駆動する。

[0327] 図72は、本変形例に係るアクティブマトリクス基板20aの概略構成を示す模式図である。この図では、便宜上、ソース線15S及び第1端子部12sの図示を省略している。図72に例示するように、アクティブマトリクス基板20aには、GL(1)～GL(M)のM本のゲート線13Gが形成されている。アクティブマトリクス基板20aは、M本のゲート線13Gのうち、偶数行目(GL(2), GL(4)…GL(M))のゲート線13Gに対して設けられたゲートドライバ11xは、同じ複数列にわたって配置さ

れ、配線15L1を介して互いに接続されている。また、奇数行目（GL（1）～GL（M-1））のゲート線13Gに対して設けられたゲートドライバ11yは、同じ複数列にわたって配置され、配線15L1を介して互いに接続されている。ゲートドライバ11xとゲートドライバ11yは、互いに異なる複数列の画素領域に配置されている。

[0328] ゲートドライバ11xとゲートドライバ11yは、第1実施形態におけるゲートドライバ11と同様の回路構成（図4参照）を有する。図73Aは、表示領域に配置されたゲートドライバ11xの等価回路を示し、図73Bは、表示領域に配置されたゲートドライバ11yの等価回路を示している。図73A及び73Bにおいて、便宜上、“TFT”の表記は省略しているが、図に記載の“A～J”は、図4に示した“TFT-A”～“TFT-J”に対応している。

[0329] 図73Aに例示するように、GL（n）とGL（n-1）の間には、GL（n）のゲート線13Gを駆動するゲートドライバ11x（以下、ゲートドライバ11x（n）と称する）が設けられている。また、GL（n+2）とGL（n）の間には、GL（n+2）のゲート線13Gを駆動するゲートドライバ11x（以下、ゲートドライバ11x（n+2）と称する）が設けられている。ゲートドライバ11xを構成するTFT-A～TFT-J、キャパシタCbst、内部ノード（netA（n）、netA（n+2）、netB（n）、netB（n+2））は、配置された行における複数列400Aの画素領域にわたって配置されている。また、図73Aにおいて、制御信号（VSS、CLR、CKA、CKB）が入力される素子が配置されている列及びその近傍の列の画素領域には、ソース線15Sと略平行な配線15L1が配置されている。隣接するゲートドライバ11x（n）とゲートドライバ11x（n+2）は、配線15L1を介して接続されている。

[0330] また、図73Bに例示するように、GL（n-2）とGL（n-1）の間には、GL（n-1）のゲート線13Gを駆動するゲートドライバ11y（以下、ゲートドライバ11y（n-1）と称する）が設けられている。また

、 $GL(n+1)$ と $GL(n)$ の間には、 $GL(n+1)$ のゲート線13Gを駆動するゲートドライバ11y（以下、ゲートドライバ11y(n+1)と称する）が設けられている。ゲートドライバ11yを構成するTFT-A～TFT-J、キャパシタCbst、内部ノード（netA(n-1), netA(n+1), netB(n-1), netB(n+1)）は、配置された行の複数列400Bの画素領域にわたって配置されている。また、図73Bにおいて、制御信号（VSS, CLR, CKA, CKB）が入力される素子が配置されている列及びその近傍の列には、ソース線15Sと略平行な配線15L1が配置されている。隣接するゲートドライバ11y(n-1)とゲートドライバ11y(n+1)は配線15L1を介して接続されている。

[0331] 次に、ゲートドライバ11x, 11yが配置されている行の画素領域の大きさについて説明する。図74は、ゲートドライバ11yが配置されている複数列400Bの画素領域の一部を簡略化した模式図である。この図において、画素PIXにおけるRGBの文字は、画素PIXに対応するカラーフィルタの色を表している。また、第1実施形態と同様、一点鎖線で示す領域BMは、ブラックマトリクスによって遮光される遮光領域を表している。この図では、図示を省略しているが、 $GL(n+1)$ と $GL(n)$ の間において $GL(n+1)$ のゲート線13G近傍と、 $GL(n-1)$ と $GL(n-2)$ の間において $GL(n-1)$ のゲート線13G近傍とに、ゲートドライバ11yを構成する素子の一部が配置されている。

[0332] 図74に示すように、ゲートドライバ11yが配置されていないゲート線13Gとゲート線13Gの間の長さl1に対し、ゲートドライバ11yが配置されているゲート線13Gとゲート線13Gの間の長さl2は長くなっている。しかしながら、ゲートドライバ11yの配置の有無に関係なく、各画素PIXにおけるソース線15Sの延伸方向の開口部の長さは略同等の長さl3となるように、遮光されている。従って、各画素の開口率は略均一化されている。

[0333] つまり、ゲートドライバ11x, 11yが配置されている複数列400A, 400Bにおいて、ゲートドライバ11x, 11yが配置されているゲート線13G間は、ゲートドライバ11x, 11yが配置されていないゲート線13G間よりも長く構成されている。また、全ての画素領域の開口率が略同等となるように、ゲートドライバ11x, 11yが配置されていない行の画素領域に対してゲートドライバ11x, 11yが配置されている行の画素領域の遮光領域は大きくなっている。

[0334] このように、ゲートドライバが配置される領域において、全てのゲート線間にゲートドライバを配置しないことにより、全てのゲート線間にゲートドライバが配置される場合と比べて開口率を向上させることができる。

[0335] なお、ゲートドライバ11xが配置される領域とゲートドライバ11yが配置される領域の間を空けてゲートドライバ11x, 11yを設ける場合、その間の領域（以下、ゲートドライバ非配置領域）におけるゲート線13Gの間隔は略同等の長さとなるように構成してもよい。具体的には、例えば、ゲートドライバ非配置領域におけるゲート線13Gの間隔は、図74に示す、ゲートドライバ11x, 11yが配置されない行のゲート線13Gの間隔 $l_1$ と、ゲートドライバ11x、ゲートドライバ11yが配置される行のゲート線13Gの間隔 $l_2$ の中間の長さであってもよい。また、ゲートドライバ非配置領域における画素領域の開口部の縦方向（図74のy軸方向）の幅が、ゲートドライバ11x, 11yの配置領域における開口部のその幅（図74の幅 $l_3$ ）となるように、ゲートドライバ非配置領域が遮光されていればよい。具体的には、例えば、ゲートドライバ非配置領域のゲート線13Gを覆う遮光領域BMの縦方向（図74のy軸方向）の幅が、図74に示すGL(n+1)のゲート線13Gを覆う遮光領域BMのその幅と、図74に示すGL(n)のゲート線13Gを覆う遮光領域BMのその幅の中間の長さであってもよい。

[0336] (12-2 構成例2)

次に、ゲートドライバ11x, 11yを、RGBのうちの一色に対応する

画素にのみ配置する場合の配置例について説明する。図75Aは、ゲートドライバ11yを構成するTFT-A～TFT-J、CbstをBの画素に配置する場合の表示領域を簡略化した模式図である。なお、以下の説明では、ゲートドライバ11yの配置例について説明するが、ゲートドライバ11xについても図75Aと同様に配置すればよい。

[0337] 図75Aに示すように、Bの画素におけるx軸方向の幅 $l_x1$ は、R、Gの画素におけるx軸方向の幅 $l_x2$ よりも長い。また、R、Gの画素におけるy軸方向の幅は、ゲートドライバ11yの配置の有無に関係なく、略同等の長さ $l_y2$ を有する。一方、Bの画素におけるy軸方向の幅は、ゲートドライバ11yの配置の有無によって異なる。つまり、ゲートドライバ11yが配置される行のBの画素は、R、Gの画素におけるy軸方向の幅 $l_y2$ より長い幅 $l_y1$ を有する。また、ゲートドライバ11yが配置されない行のBの画素は、R、Gの画素におけるy軸方向の幅 $l_y2$ より短い幅 $l_y3$ を有する。すなわち、図75Aに示すように、ゲートドライバ11yが配置される行を構成する一方のゲート線13Gは、その行におけるBの画素の部分において、R、Gの画素の部分よりも外側にずれた位置に配置される。ゲートドライバ11yが配置される行を構成する他方のゲート線13Gは、その行におけるRGBの各画素において略同じ位置に配置されている。

[0338] また、図75Aに示すように、ゲートドライバ11yが配置される行におけるBの画素は、Bの画素の開口率が略同等となるように、ゲートドライバ11yの素子が配置される部分が遮光されている。ここで、図75Bに、図75Aに示す破線枠401の部分を拡大した模式図を示す。

[0339] 図75Bに示すように、ゲート線13Gは、B及びRの画素においてはソース線15Sに対して略直交し(13G(B), 13G(R))、ソース線15Sと交差する部分においてはソース線15Sに対して斜め(非直交)に形成されている。また、Bの画素における遮光領域は、Rの画素に配置されたゲート線13G(R)の中心軸近傍を通る一点鎖線Oを基準として、y軸方向に $\pm \Delta d2$ の範囲に及び、そのy軸方向の幅は $d2 (= 2 \cdot \Delta d2)$ と

なっている。Rの画素における遮光領域は、一点鎖線Oを基準として、y軸方向に $\pm \Delta d 1$ の範囲まで及び、そのy軸方向の幅は $d 1 (= 2 \cdot \Delta d 1)$ である。

[0340] (12-3 構成例3)

表示パネルが高精細になるほど、ゲートドライバを構成する素子を画素に配置することが困難になる。そのため、ゲートドライバの素子が配置される画素を構成するソース線15Sとソース線15Sの幅を、素子が配置される部分において他の部分よりも大きくなるように構成してもよい。

[0341] 図76Aは、図75Aに示したゲートドライバ11yの素子が配置されるBの画素を構成するソース線15Sとソース線15Sの間が、ソースドライバ11yの素子が配置される部分、つまり遮光領域の部分において、Bの画素の開口部よりも広くなるように構成されている例を示している。図76Bは、図76Aに示す破線枠402の部分を拡大した模式図である。図76Bに示すように、Bの画素を構成する一方のソース線15Sは、Bの画素の遮光領域BMのy軸方向の幅d2の部分において、隣接するRの画素の側に $\Delta d$ だけ外側に形成されている。図76A及び76Bに示すように構成することにより、ゲートドライバ11yの素子を配置可能な領域が図75Aと比べて大きくなり、ゲートドライバ11yの素子をBの画素に配置しやすくなる。

[0342] (12-4 構成例4)

上記図73A及び73Bでは、ゲート線13Gとゲート線13Gの間の1行に、ゲートドライバ11x、11yを構成する素子及び内部ノードの配線を配置する例について説明したが、複数行の画素領域にわたってゲートドライバ11x、11yを構成する素子及び内部ノードの配線が配置されていてもよい。この場合の具体例を図77に例示する。

[0343] 図77は、GL(n)のゲート線13Gを駆動するゲートドライバ11x(n)を構成する素子及びその内部ノードの配線の配置例を示している。図77において、“TF T-”の表記は省略しているが、図77に示す”A~

J”は、TFT-A～TFT-Jに対応している。図77に示すように、ゲートドライバ11x(n)を構成するTFT-A～TFT-J、及びキャパシタCbstは、GL(n)とGL(n-1)のゲート線13Gの間に配置されている。また、ゲートドライバ11x(n)の内部ノードであるnetA(n)、netB(n)は、GL(n+1)とGL(n)のゲート線13Gの間に配置されている。そして、GL(n-1)とGL(n-2)のゲート線13Gの間には、内部ノード配線N1～N3が配置されている。

[0344] 内部ノード配線N1は、TFT-H、I、Jの各ソース端子を接続し、電源電圧VSSが供給される配線15L1と接続されている。内部ノード配線N2は、TFT-Gのドレイン端子とクロック信号CKBが供給される配線15L1と接続されている。内部ノード配線N3は、TFT-A、C、D、Eの各ソース端子を接続し、電源電圧VSSが供給される配線15L1と接続されている。

[0345] このように構成することにより、例えば、図77に示すTFT-Hが配置されている画素領域403では、クロック信号CKAを供給する配線15L1と接続するための配線と、TFT-Hのドレイン端子をnetB(n)に接続するための配線と、TFT-Hのソース端子を内部ノード配線N1と接続するための配線とを設けるだけでよい。図73Aの場合には、TFT-Hの画素領域にnetB(n)が配置されるが、図77の場合には、netB(n)は上段の画素領域に設けられるため、TFT-Hに配置される配線数を減らすことができ、開口率を向上させることができる。

[0346] (12-5 構成例5)

上記の例では、アクティブマトリクス基板20aの表示領域において、互いに異なる2つの複数列400A、400Bからなる各領域に、偶数行目のゲート線13Gを駆動するゲートドライバ11xと、奇数行目のゲート線13Gを駆動するゲートドライバ11yとを設ける例について説明したが、例えば、表示領域において、ゲート線13Gの延伸方向における3つの領域に、3n-2行目のゲート線13Gを駆動するゲートドライバと、3n-1行



目のゲート線13Gを駆動するゲートドライバと、3n行目のゲート線13Gを駆動するゲートドライバとを各々設けるようにしてもよい。要するに、表示領域において、ゲート線13Gの延伸方向におけるK（K：整数， $K \geq 2$ ）個の領域において、K行ごとに、領域間で互いに異なるゲート線13Gごとにゲートドライバ11が設けられていればよい。

[0347] (13) 上述した第14実施形態において、画素電極17と共通電極18との間の電氣的短絡によって画素に明点欠陥が生じる場合がある。明点欠陥が生じた画素が、ダミー配線15L4，13N'（図25A参照）が設けられる画素である場合には、ダミー配線15L4，13N'にレーザー光等を照射して短絡させ、画素電極17と共通電極18とを電氣的に接続するようによい。明点欠陥が生じた画素の画素電極17に電圧を印加されないことにより、共通電極18と画素電極17とが同電位となり、その画素領域は黒色表示（黒点欠陥）となる。明点欠陥が生じた画素を黒点欠陥にすることで、明点欠陥の場合と比べ、表示品質の低下を軽減することができる。

[0348] なお、本変形例では、ダミー配線が配置された画素において明点欠陥が生じた場合に、ダミー配線を短絡させて画素電極17と共通電極18とを電氣的に接続する例を説明したが、画素に補助容量電極が設けられる場合には、ダミー配線を短絡させて画素電極17と補助容量電極とを接続するようによい。

[0349] (14) 上述した第1実施形態～第15実施形態及び上記変形例において、ゲートドライバ11にクロック信号等の制御信号を供給する配線15L1は、画素領域の中心近傍に配置されている例（図8B～8D等参照）を説明したが、高精細な表示パネルのように画素ピッチが小さい場合には、TFTPIXを避けるように配線15L1を設ける必要がある。例えば、図78Aに示すように、画素PIX(a)の一方のソース線15S(b)寄りに配線15L1を設ける場合、配線15L1とソース線15S(b)との間の容量によって、ソース線15S(b)に入力されるデータ信号がノイズを受け、輝度ムラが発生する。そのため、本変形例では、画素PIX(a)におい

て、ソース線 15 S (a) , 15 S (b) からの距離が略同じになる位置に配線 15 L 1 の一部が配置されるように構成する。

[0350] 図 7 8 B は、本変形例の配線 15 L 1 の配置例を示す模式図である。図 7 8 B の例では、画素 P I X (a) において、画素 P I X (a) に対するデータ信号を供給するソース線 15 S (a) と、画素 P I X (b) にデータ信号を供給するソース線 15 S (b) の間は距離は X である。配線 15 L 1 は、ソース線 15 S (a) とソース線 15 S (b) からの距離が各々略 X / 2 となる位置に配線 15 L 1 の一部が配置されるように、画素 P I X (a) において略直角に折り曲げられた折り曲げ部 15 1 を有する。このように構成することで、配線 15 L 1 とソース線 15 S (a) , 15 S (b) の間の容量が低減される。以下、図 7 8 A と比較してその効果を説明する。

[0351] 配線 15 L 1 とソース線 15 S (a) との距離を  $d_1$ 、配線 15 L 1 とソース線 15 S (b) との距離を  $d_2$  とし、配線 15 L 1 と、ソース線 15 S (a) , 15 S (b) とを平行平板コンデンサとみなして近似する。この場合、単位長さあたりの配線 15 L 1 とソース線 15 S (a) , 15 S (b) の間の容量  $C_{\text{CON-SL}}$  は、以下の式で表される。

[0352] [数1]

$$C_{\text{CON-SL}} = k \left( \frac{1}{d_1} + \frac{1}{d_2} \right) = \frac{kx}{d_1 d_2}$$

( $k$ : 比例定数)

[0353] 従って、図 7 8 A の場合の  $C_{\text{CON-SL}}$  は、 $C_{\text{CON-SL}} \text{ A} = (36k / 5) / X$  で表される。一方、図 7 8 B の場合の  $C_{\text{CON-SL}}$  は、 $C_{\text{CON-SL}} \text{ B} = 4k / X$  で表される。つまり、 $C_{\text{CON-SL}} \text{ B} < C_{\text{CON-SL}} \text{ A}$  となり、図 7 8 A に示す配線 15 L 1 の配置より図 7 8 B に示す配線 15 L 1 の配置の方が容量  $C_{\text{CON-SL}}$  を低減することができる。その結果、隣接する画素 P I X (b) に対するデータ信号のノイズが低減され、輝度ムラを軽減することができる。

[0354] なお、図 7 8 B の例では、配線 15 L 1 の折り曲げ部 15 1 は、略直角に折り曲げられている例を説明したが、図 7 8 C に示すように斜め (非直角)

に折り曲げられていてもよい。このように構成することにより、図78Bの場合と比べ、画素PIX(a)における配線15L1の全体の長さが短くなり、配線15L1に制御信号が入力される際の負荷を小さくすることができる。

[0355] 図78B及び78Cでは、隣接する上下の画素におけるTFTPIXが、同じソース線15S(a)又は15S(b)に接続されている例であるが、図79A及び79Bに示すように、隣接する上下の画素におけるTFTPIXが互いに反対側のソース線15S(a)、15S(b)に接続されていてもよい。この場合には、配線15L1の折り曲げ部151は、図78B及び78Cと反対側に折り曲げられていればよい。

[0356] (15) 上述した第1実施形態～第8実施形態、及び変形例(1)～(9)、(11)～(14)において、画素電極と接続された補助容量電極が設けられていてもよい。このような構成として、例えば、図80に示すように、表示領域200に画素電極と接続された補助容量電極Csを設け、表示領域200外において補助容量電極Csの外周部に配線された補助容量配線CsLと補助容量電極Csとを接続し、補助容量配線CsLを介して補助容量電極Csに所定の電位を印加する構成がとられる場合がある。この場合、配線15L1が配置された画素における補助容量電極Csが配線15L1によるノイズを受けることがある。配線15L1が配置されていない画素は配線15L1によるノイズを受けないため、配線15L1の配置されている画素か否かによって画素電極17の電位が異なり、輝度ムラが生じる場合がある。本変形例では、補助容量電極Csと補助容量配線CsLとの接触部を外周部だけでなく、表示領域内まで拡張し、補助容量電極Csが所定の電位を保持することができるように構成する。以下、具体的に説明する。

[0357] (15-1 構成例1)

図81Aは、ダミー配線(調整用配線)が設けられた画素の概略構成を例示した模式図である。この図の例では、画素PIXに、ゲート線13Gと略平行に配置されたダミー配線13N'、ソース線15Sと略平行に配置され

たダミー配線15L4と、及び、ダミー配線15L4と重なるように配置された低インピーダンス配線40とが設けられている。なお、この図では、補助容量電極Csの図示は省略されている。低インピーダンス配線40は、ソース線15Sと略平行に設けられ、低インピーダンス配線40の端部は、図80に示す補助容量電極Csの外周部に設けられた補助容量配線CsLと電氣的に接続されている。また、低インピーダンス配線40は、対向基板20bに設けられた共通電極と同電位であり、この電位は固定電位とは限らない。

[0358] 図81Bは、図81Aに示す画素PIXをA-A線で切断した断面を示す断面図である。図81Bに示すように、ダミー配線15L4は、ソース線15Sと同じソース配線層15に形成されている。ソース配線層15の上には保護膜23が形成されている。保護膜23の上には、ダミー配線15L4と重なる位置に低インピーダンス配線40が形成され、低インピーダンス配線40と接触するように補助容量電極Csが形成されている。補助容量電極Csの上には、層間絶縁膜24を介して画素電極17が形成されている。

[0359] 低インピーダンス配線40は、ダミー配線15L4の上に重なるように配置されているため、低インピーダンス配線40の配置による画素PIXの開口率の低下を抑制することができる。また、この例では、低インピーダンス配線40は、ゲートドライバ11のスイッチング素子が配置される画素に配置されないため、ゲートドライバ11の動作に対する影響を小さくすることができる。

[0360] また、低インピーダンス配線40を配置することで、補助容量配線CsLと補助容量電極Csとの接触部が、補助容量電極Csの外周部だけでなく、ダミー配線15L4が配置された画素においても設けられる。そのため、低インピーダンス配線40の周辺の補助容量電極Csが配線15L1によるノイズの影響を受け、所定の電位から外れた場合でも、低インピーダンス配線40を介して補助容量配線CsLから電荷が供給されるので、所定の電位に回復させることができる。

## [0361] (15-2 構成例2)

上記図81A及び81Bの例では、低インピーダンス配線40をダミー配線15L4の上に設けたが、ソース配線層15においてダミー配線を兼ねた低インピーダンス配線40を形成してもよい。図82Aは、この場合における画素の概略構成を例示した模式図である。この図の例では、画素PIXに、ダミー配線13N'と、ダミー配線15L4を兼ねた低インピーダンス配線40とが設けられている。低インピーダンス配線40は、ソース線15Sと略平行に設けられ、低インピーダンス配線40の端部が、図80に示す補助容量電極Csの外周部において補助容量配線CsLに電氣的に接続されている。

[0362] 図82Bは、図82Aに示す画素PIXをB-B線で切断した断面を示す断面図である。図82Bに示すように、ソース配線層15において、ソース線15Sとソース線15Sの間には、低インピーダンス配線40が形成されている。ソース配線層15の上には、低インピーダンス配線40の表面まで貫通するコンタクトホールCHが形成された保護膜23が形成され、保護膜23の上には、補助容量電極Csが形成されている。低インピーダンス配線40は、コンタクトホールCHを介して補助容量電極Csと接続される。

[0363] 低インピーダンス配線40は、補助容量電極Cs及び補助容量配線CsLと接続されるため、補助容量電極Csが所定の電位を維持しやすくなる。また、低インピーダンス配線40は、画素の開口部に設けられるため、画素の開口率を調整するためのダミー配線15L4として機能させることができる。また、この例では、低インピーダンス配線40をソース配線層15に形成するため、低インピーダンス配線40を形成するためのマスクパターンが不要である。そのため、低インピーダンス配線40を別の層に形成する場合と比べて製造コストを軽減することができる。

## [0364] (15-3 構成例3)

上記した構成例1及び2では、ダミー配線15L4が設けられた画素に低インピーダンス配線40を設ける例を説明したが、ダミー配線15L4が配

置されている画素か否かに関わらず低インピーダンス配線40を設ける例について説明する。

[0365] 図83Aは、この場合における画素の概略構成を例示した模式図である。この図の例では、低インピーダンス配線40は、遮光領域BMにおいてゲート線13Gと略平行に設けられ、低インピーダンス配線40の端部が図80に示す補助容量電極Csの外周部において補助容量配線Csと電氣的に接続されている。なお、この図では、補助容量電極Csと、ダミー配線15L4又は配線15L1を含むゲートドライバ11を構成する素子の図示を省略している。

[0366] 図83Bは、図83Aに示す画素PIXをC-C線で切断した断面を示す断面図である。図83Bに示すように、保護膜23の上には、低インピーダンス配線40と補助容量電極Csが形成されており、補助容量電極Csは、低インピーダンス配線40の上に接触している。このように、遮光領域BMに低インピーダンス配線40を設けることにより、画素の開口率を低下させず、ゲートドライバ11を構成する素子が配置された画素にも設けることができる。そのため、配線15L1のノイズによる影響を最も受けやすい配線15L1近傍の補助容量電極Csの電位が所定の電位からずれたとしても、その補助容量電極Csの電位を所定の電位に回復させることができる。

[0367] (15-4 構成例4)

上記図83Bの例では、低インピーダンス配線40と補助容量電極Csとが接触するように、低インピーダンス配線40の上に補助容量電極Csを形成する例を説明したが、補助容量電極Csと低インピーダンス配線40とが接触していれば以下のように構成してもよい。

[0368] 図83Cは、図83Aに示す画素PIXをC-C線で切断した断面を示す断面図である。図83Cに示すように、低インピーダンス配線40は、ゲート線13Gと同層のゲート層13に形成されている。ゲート層13の上にはゲート絶縁膜21と保護膜22、23が積層され、ゲート絶縁膜21と保護膜22、23には、低インピーダンス配線40の表面まで貫通するコンタク

トホールCHが形成されている。保護膜23の上に補助容量電極Csが形成され、コンタクトホールCHを介して低インピーダンス配線40と補助容量電極Csとが接続されている。このように構成することにより、図83Bと同様、画素の開口率を低下させることなく、ゲートドライバ11を構成する素子が配置された画素における補助容量電極Csの電位を所定の電位に維持しやすくなる。

[0369] (16) 上述した第1実施形態から第15実施形態において、ゲートドライバ11を構成する素子が表示領域に形成されている例を説明したが、データ線と交差する信号線群のうち、少なくとも一の同種の機能を有する信号線の電位を制御する駆動回路を構成する素子が表示領域内に設けられていればよい。ゲートドライバ11、11\_\_A、11\_\_B、11\_\_1、11\_\_2を構成する素子の少なくとも一部、又は、CSドライバ80を構成する素子の少なくとも一部、又は、ELドライバ93を構成する素子の少なくとも一部が表示領域内に設けられていればよい。

### 産業上の利用可能性

[0370] 本発明は、アクティブマトリクス基板を備えた表示装置として産業上の利用が可能である。

## 請求の範囲

- [請求項1] 複数のデータ線と、  
前記複数のデータ線と交差し、少なくともゲート線を含む複数の配線と、  
前記複数の配線の少なくとも一部に接続され、前記データ線と前記ゲート線とで規定される画素領域を含む表示領域の外側から供給される制御信号に応じて、当該配線の電位を制御する駆動回路を備え、  
前記駆動回路は、複数のスイッチング素子を含み、  
前記複数のスイッチング素子の少なくとも一部が前記画素領域に形成されている、アクティブマトリクス基板。
- [請求項2] 前記駆動回路は、前記ゲート線の各々に接続され、前記制御信号に応じて、前記ゲート線に選択電圧と非選択電圧との一方を印加することにより前記ゲート線の電位を制御する、請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記表示領域の外側に設けられ、前記複数のデータ線にデータ信号を供給する第1端子部と、  
前記表示領域の外側に設けられ、前記駆動回路に前記制御信号を供給する第2端子部と、を備え、  
前記第1端子部及び前記第2端子部は、前記表示領域において前記ゲート線と平行な一辺の外側に設けられている、請求項1又は2に記載のアクティブマトリクス基板。
- [請求項4] 前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極をさらに備え、  
前記駆動回路のスイッチング素子であって、前記画素領域に形成されているスイッチング素子と、前記画素電極との間に透明性を有する導電膜からなるシールド層が形成されている、請求項2又は3に記載のアクティブマトリクス基板。
- [請求項5] 前記画素領域に、前記ゲート線と前記データ線とに接続された画素



電極をさらに備え、

前記駆動回路のスイッチング素子であって、前記画素領域に形成されているスイッチング素子は、前記画素電極と重ならない位置に形成されている、請求項2又は3に記載のアクティブマトリクス基板。

[請求項6]

前記駆動回路のスイッチング素子が形成されていない画素領域に、前記駆動回路のスイッチング素子が形成されている前記画素領域の開口率と略同等となるように調整用配線がさらに設けられている、請求項2から5のいずれか一項に記載のアクティブマトリクス基板。

[請求項7]

前記ゲート線が形成されているゲート配線層と前記データ線が形成されているデータ配線層との間に形成された第1の絶縁層と、

前記画素領域において、前記データ線と略平行となるように前記データ配線層に形成され、前記第2端子部からの前記制御信号を前記駆動回路に供給する制御信号配線と、

前記第1の絶縁層より大きい厚みを有して前記データ配線層の上層に形成され、前記データ配線層まで貫通するコンタクトホールを有する第2の絶縁層と、

前記コンタクトホールに形成された導電層と、を備え、

前記制御信号配線は、前記ゲート線と重なる部分において不連続であり、不連続部分において、前記第2の絶縁層の前記コンタクトホールにおける前記導電層を介して接続されている、請求項3から6のいずれか一項に記載のアクティブマトリクス基板。

[請求項8]

前記画素領域において、前記第2端子部からの前記制御信号を前記駆動回路に供給する制御信号配線をさらに備え、

前記制御信号配線は、前記制御信号配線の少なくとも一部が、前記画素領域における2つの前記データ線からの距離が略同じとなる位置において、前記データ線と略平行となるように配置されている、請求項3から6のいずれか一項に記載のアクティブマトリクス基板。

[請求項9]

前記画素領域に、前記データ線と前記ゲート線とに接続された画素

スイッチング素子をさらに備え、

前記画素スイッチング素子のゲート端子が接続されている前記ゲート線の位置から前記データ線と前記ゲート線との交差位置までの前記ゲート線の部分と、前記ゲート端子が接続されていない側の前記データ線と前記ゲート線との交差近傍とにおける前記ゲート線の部分とにおいて、前記ゲート線の最大幅より狭い幅の部分を含む、請求項2から8のいずれか一項に記載のアクティブマトリクス基板。

[請求項10]

前記画素領域は、複数の色のうちのいずれかの色に対応し、

前記駆動回路は、前記複数の色のうちのいずれかの色に対応する前記画素領域に形成されている、請求項2から9のいずれか一項に記載のアクティブマトリクス基板。

[請求項11]

前記駆動回路のスイッチング素子が形成されている前記画素領域において、前記ゲート線の延伸方向における幅は、他の画素領域における前記幅より大きい、請求項2から10のいずれか一項に記載のアクティブマトリクス基板。

[請求項12]

前記画素領域において、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極に接続された補助容量電極とを有し、

前記表示領域の外側において前記補助容量電極と接続され、前記補助容量電極に所定の電位を供給する補助容量配線と、

前記画素領域において前記補助容量電極と接続されるとともに、前記補助容量配線と接続された低インピーダンス配線と、を備える、請求項8から11のいずれか一項に記載のアクティブマトリクス基板。

[請求項13]

前記ゲート線の各々に対して、複数の前記駆動回路が設けられている、請求項2から12のいずれか一項に記載のアクティブマトリクス基板。

[請求項14]

前記表示領域は、前記ゲート線の配列方向に沿って複数の分割領域に分割され、

前記複数の分割領域の各々に配置されている前記ゲート線に対して

設けられた前記駆動回路は、前記分割領域ごとに定められた周波数で、前記ゲート線に選択電圧と非選択電圧との一方を印加する、請求項2から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項15]

前記複数のゲート線は、 $N$ 本 ( $N$ は自然数) であり、

前記ゲート線ごとに、第1～第 $M$  ( $M$ は自然数、 $M \geq 2$ ) の $M$ 個の前記駆動回路が設けられ、

$n$ 行目 ( $1 \leq n \leq N$ ) の前記ゲート線に対して設けられた前記 $M$ 個の駆動回路は、前記第1の駆動回路から前記第 $M$ の駆動回路の順に前記 $n$ 行目のゲート線に選択電圧を印加し、前記 $M$ 個の駆動回路のうち、第2の前記駆動回路から前記第 $M$ の駆動回路は、直前の前記駆動回路が $n+1$ 行目の前記ゲート線に前記選択電圧を印加するタイミングで、前記 $n$ 行目のゲート線に前記選択電圧を印加し、

前記第1端子部は、前記第 $M$ の駆動回路によって前記 $n$ 行目のゲート線に選択電圧が印加されるタイミングで、前記 $n$ 行目のゲート線と前記データ線とで規定される前記画素領域に書き込むべき画像のデータ信号を前記データ線に供給する、請求項3から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項16]

前記画素領域は、複数の副画素領域で構成され、

前記配線は、前記ゲート線と、サブゲート線とを含み、

一の前記副画素領域に、前記ゲート線と前記データ線とに接続された画素電極を備え、

他の副画素領域に、前記サブゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記一の前記副画素領域における前記画素電極との間に接続されたキャパシタとを備え、

前記駆動回路は、前記スイッチング素子が配置されていない画素領域において前記サブゲート線ごとに設けられ、前記制御信号に応じて、前記サブゲート線に選択電圧と非選択電圧との一方を印加するサブゲート線駆動部を含み、

一水平期間において、前記ゲート線に選択電圧が印加された後、前記サブゲート線駆動部が前記サブゲート線に選択電圧を印加する、請求項2から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項17]

前記画素領域は、複数の副画素領域で構成され、

前記配線は、前記ゲート線と、サブゲート線と、補助容量配線とを含み、

前記複数の副画素領域に、前記ゲート線と前記データ線とに接続された画素電極を各々備え、

一の前記副画素領域に、前記補助容量配線と接続された補助容量と、前記サブゲート線に接続されたゲート端子と、前記一の副画素領域における前記画素電極に接続されたソース端子と、前記補助容量に接続されたドレイン端子とを有するスイッチング素子とを備え、

前記駆動回路は、前記スイッチング素子が配置されていない画素領域において前記サブゲート線ごとに設けられ、前記サブゲート線に選択電圧と非選択電圧の一方を印加するサブゲート線駆動部を含み、

前記サブゲート線駆動部は、前記ゲート線に選択電圧が印加された後、前記制御信号に応じて、前記サブゲート線に選択電圧を印加する、請求項2から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項18]

前記画素領域は、複数の副画素領域で構成され、

前記配線は、前記ゲート線と、第1補助容量配線及び第2補助容量配線とを含み、

前記複数の副画素領域は、前記ゲート線と前記データ線とに接続された画素電極を各々備え、

一の前記副画素領域に、前記一の副画素領域における前記画素電極と前記第1補助容量配線とに接続された第1補助容量を備え、

他の副画素領域に、前記他の副画素領域における前記画素電極と前記第2補助容量配線とに接続された第2補助容量を備え、

前記駆動回路は、前記表示領域に形成され、前記第1補助容量配線と前記第2補助容量配線の電位を制御する補助容量線制御素子を含み、

前記補助容量線制御素子は、前記ゲート線に選択電圧が印加された後、前記第1補助容量配線と前記第2補助容量配線の電位が逆位相となるように、前記第1補助容量配線と前記第2補助容量配線に電圧を印加する、請求項2から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項19]

前記配線は、前記ゲート線と、補助容量配線とを含み、

前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記補助容量配線とに接続された補助容量とを備え、

前記駆動回路は、前記補助容量配線ごとに設けられた補助容量配線駆動部を含み、

前記補助容量配線駆動部は、前記制御信号に応じて、前記データ線の電圧と同じ極性の電圧を前記補助容量配線に印加する、請求項2から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項20]

前記駆動回路は、前記表示領域の前記ゲート線の延伸方向におけるK個（Kは自然数、 $K \geq 2$ ）の領域において、前記領域間で互いに異なる、K行ごとの前記ゲート線に対して設けられている、請求項2から9のいずれか一項に記載のアクティブマトリクス基板。

[請求項21]

前記画素領域は、複数の色のうちのいずれかの色に対応し、

前記駆動回路は、前記複数の色のうちの色に対応する前記画素領域に形成されている、請求項20に記載のアクティブマトリクス基板。

[請求項22]

前記駆動回路のスイッチング素子が形成されている前記画素領域において、前記ゲート線及び前記データ線の少なくとも一方の延伸方向における幅は、他の画素領域における前記幅より大きい、請求項21

に記載のアクティブマトリクス基板。

[請求項23]

前記配線は、前記ゲート線と、共通電極線とを含み、

前記画素領域に、前記ゲート線と前記データ線とに接続された画素電極と、前記画素電極と前記共通電極線とに接続された補助容量とを有し、

前記駆動回路は、前記スイッチング素子が形成されていない画素領域において前記共通電極線ごとに設けられた共通電極駆動部を含み、

前記共通電極駆動部は、前記制御信号に応じて、前記データ線の電位と逆極性となるように前記共通電極線に電圧を印加する、請求項2から13のいずれか一項に記載のアクティブマトリクス基板。

[請求項24]

前記配線は、前記ゲート線と、発光制御線とを含み、

前記画素領域に、発光素子と、前記データ線と前記ゲート線とに接続された電気回路と、前記発光制御線と接続されたゲート端子と、前記電気回路と接続されたソース端子と、前記発光素子と接続されたドレイン端子とを有する発光制御スイッチング素子とを有し、

前記駆動回路は、前記発光制御線ごとに設けられ、前記制御信号に応じて、前記発光制御線の電位を制御する発光制御線駆動部を含む、請求項1から4のいずれか一項に記載のアクティブマトリクス基板。

[請求項25]

請求項1から22のいずれか一項に記載のアクティブマトリクス基板と、

カラーフィルタと対向電極とを備える対向基板と、

前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、

を備える表示パネル。

[請求項26]

請求項23に記載のアクティブマトリクス基板と、

カラーフィルタを備える対向基板と、

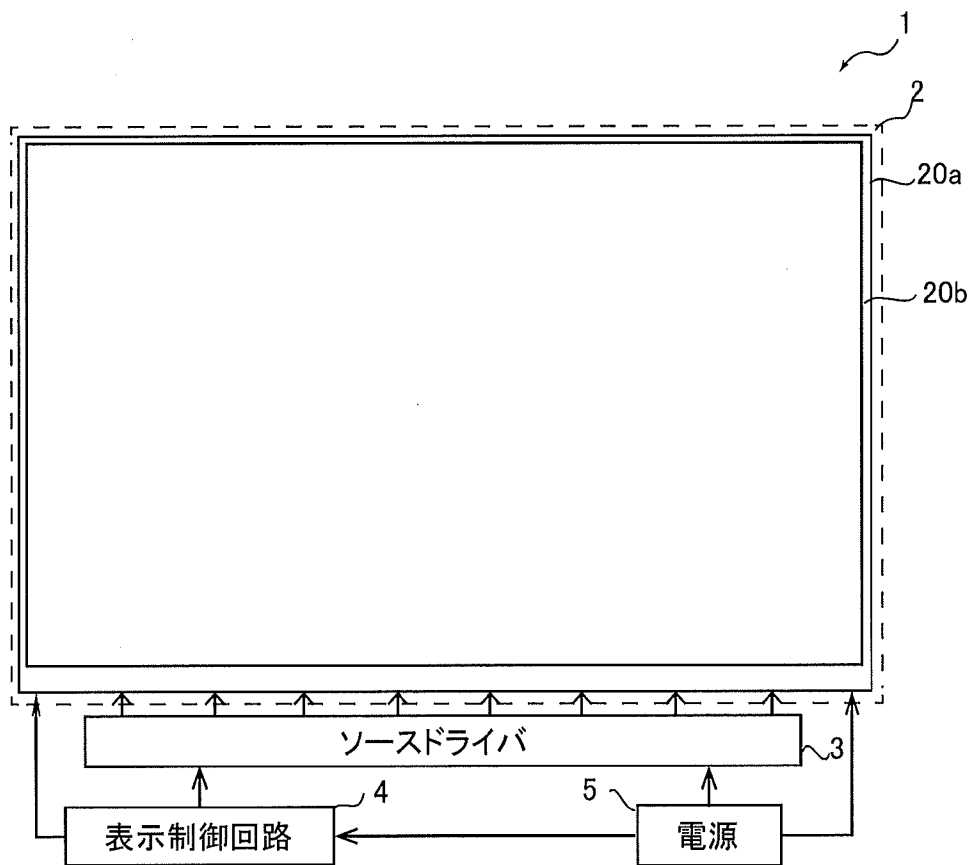
前記アクティブマトリクス基板と、前記対向基板との間に挟持された液晶層と、

を備える表示パネル。

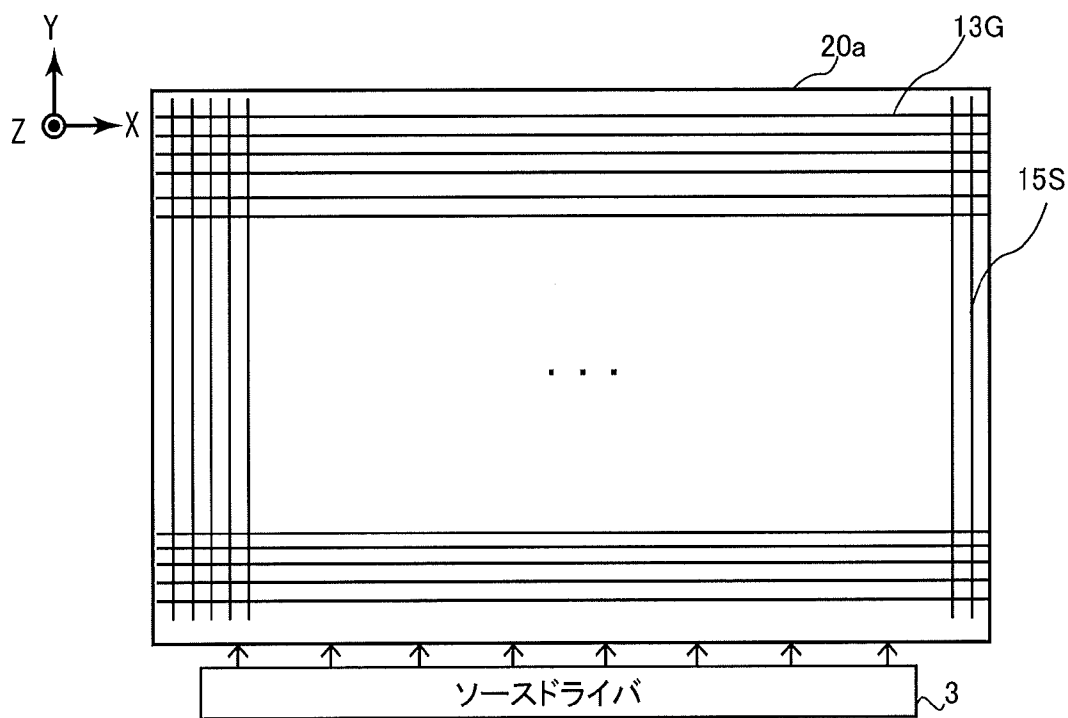
[請求項27] 前記アクティブマトリクス基板において、前記駆動回路の少なくとも一部の素子は、前記画素領域における前記液晶層の配向状態に応じて発生する暗線領域に配置される、請求項25又は26に記載の表示パネル。

[請求項28] 請求項25から27のいずれか一項に記載の表示パネルと、前記表示パネルを収納する筐体と、を備え、前記筐体は、前記表示パネルの額縁領域の一部と表示領域の一部とに重なる位置に設けられ観察者側の表面が曲面形状を有するレンズ部を含む第1カバー部と、前記表示パネルの側面を少なくとも覆う第2カバー部とを有する、表示装置。

[図1]

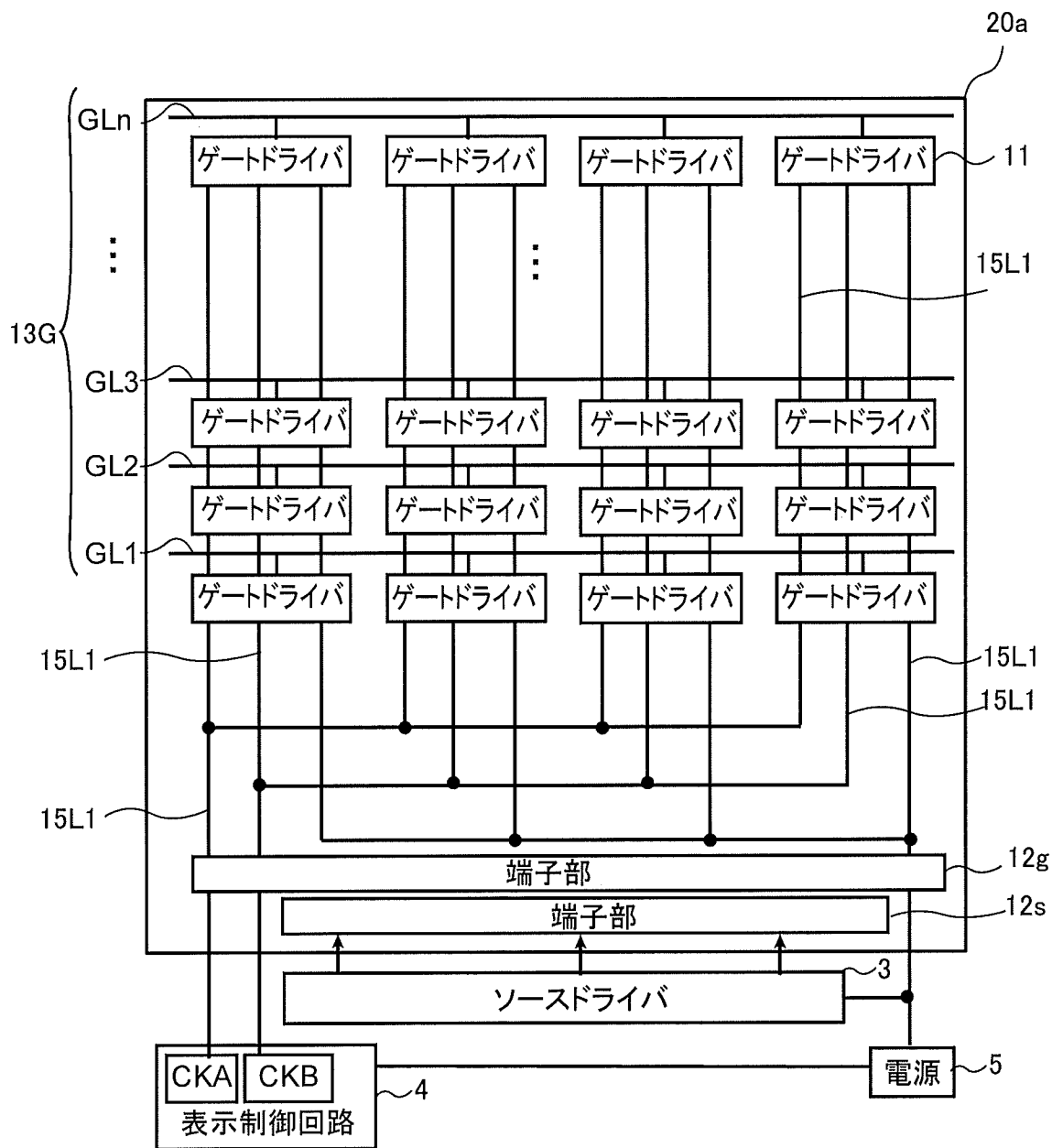


[図2]

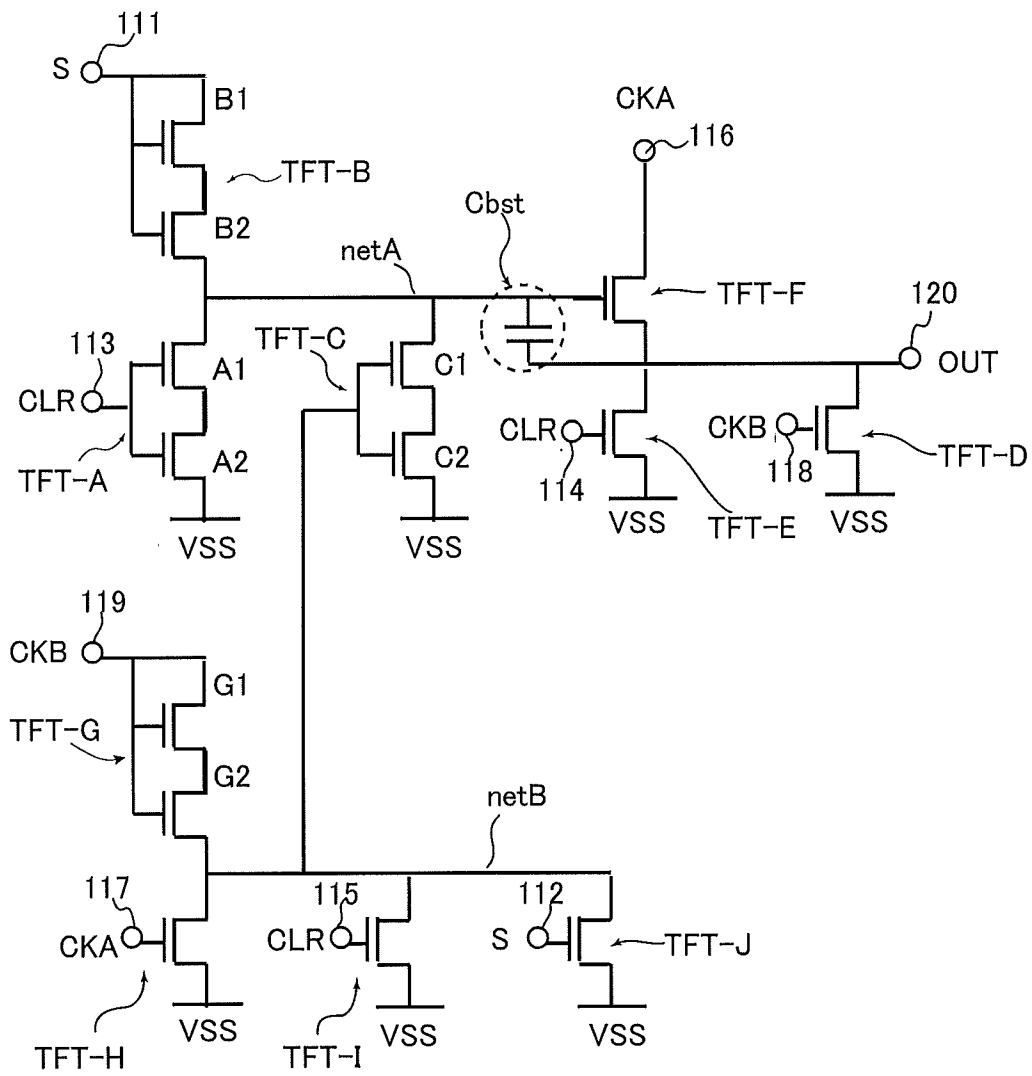




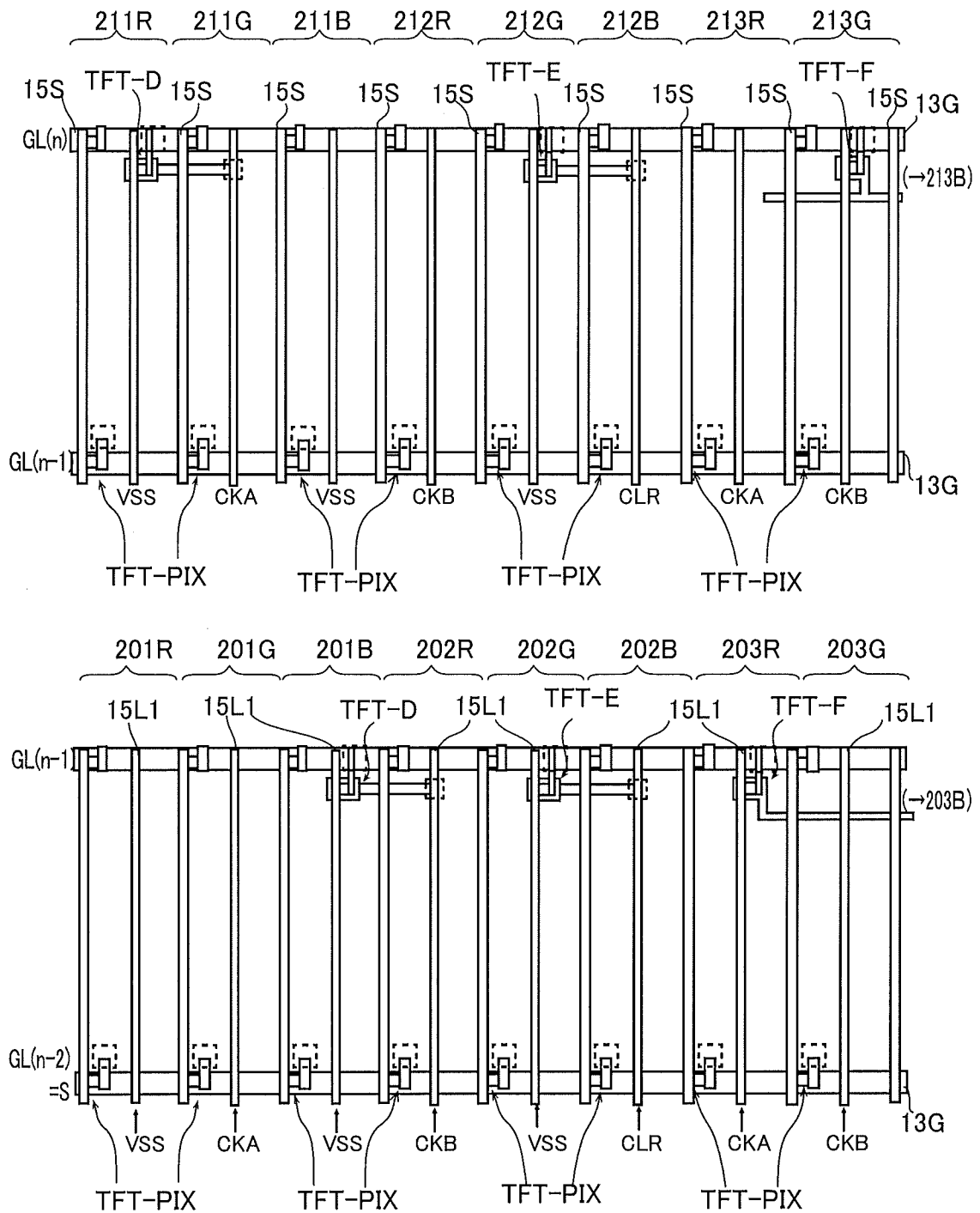
[図3]



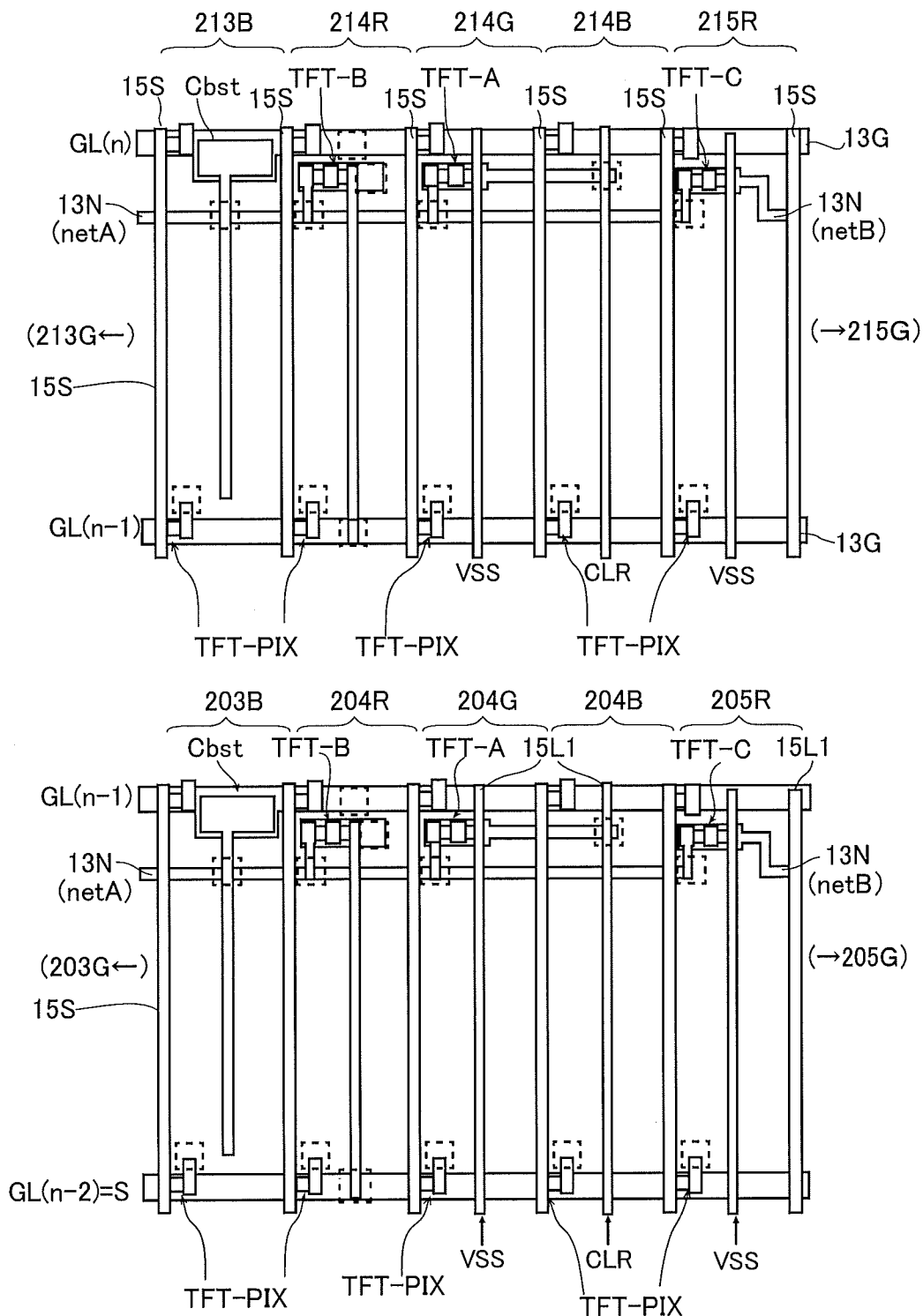
[図4]



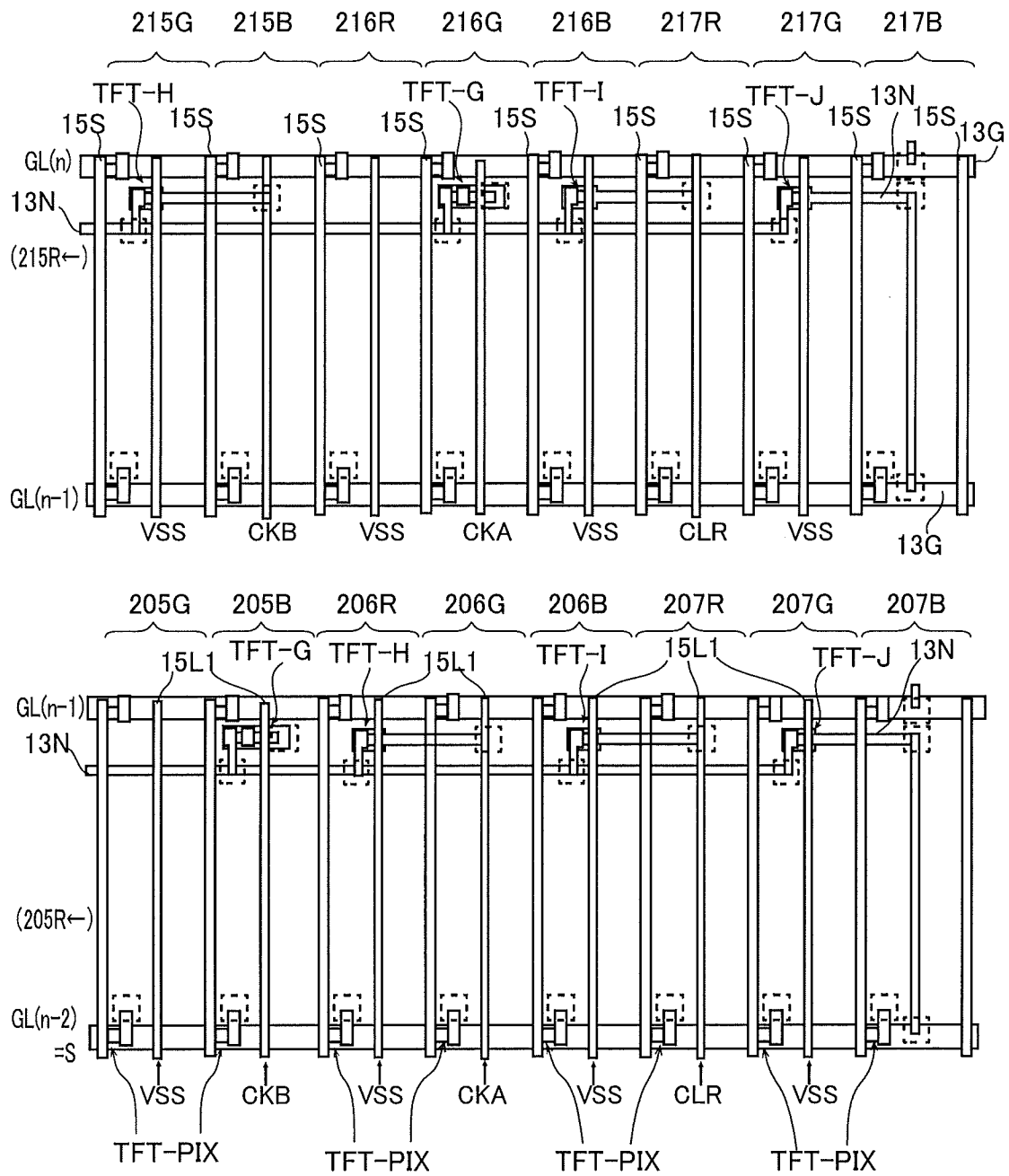
[図5A]



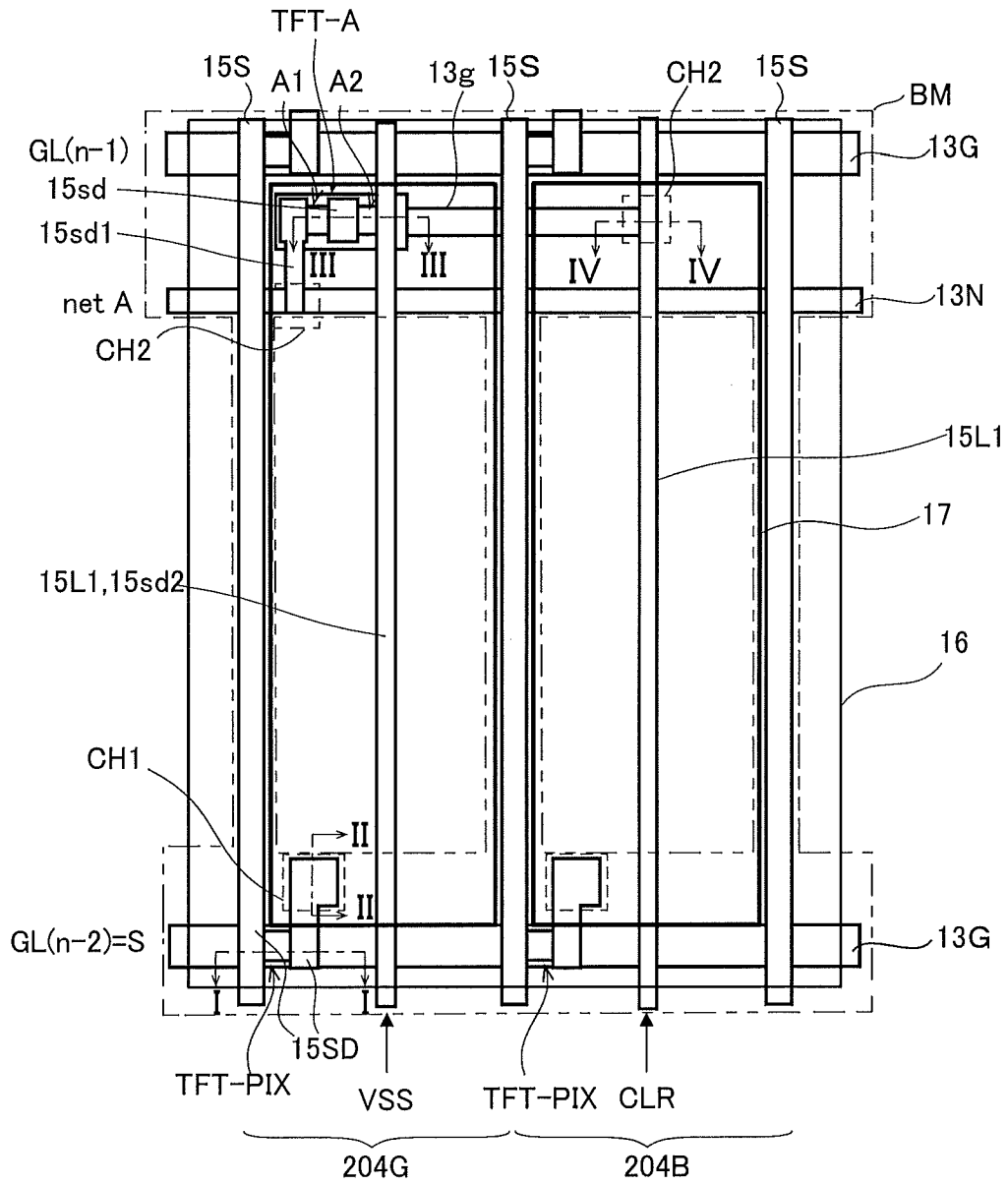
[図5B]



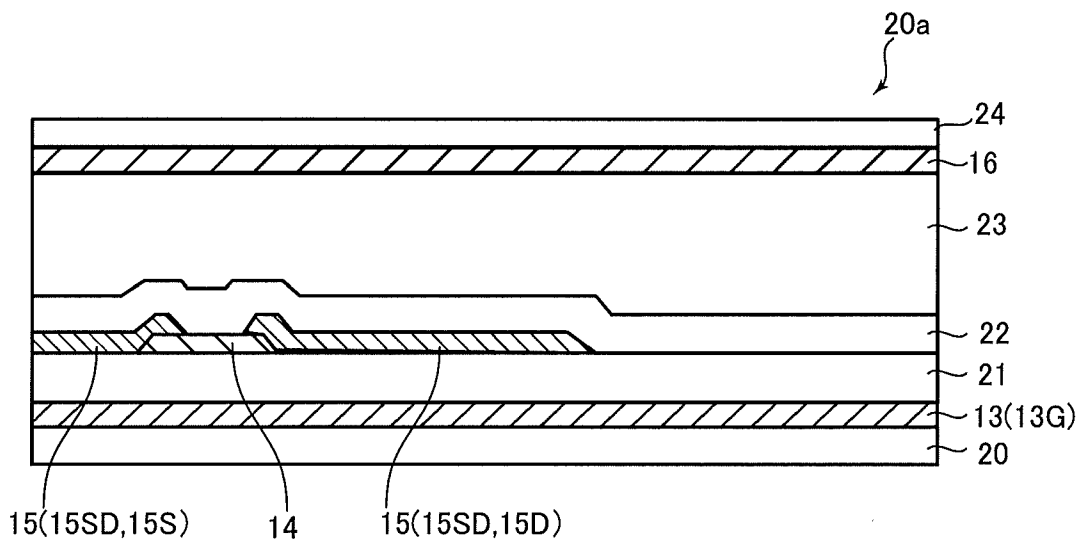
[図5C]



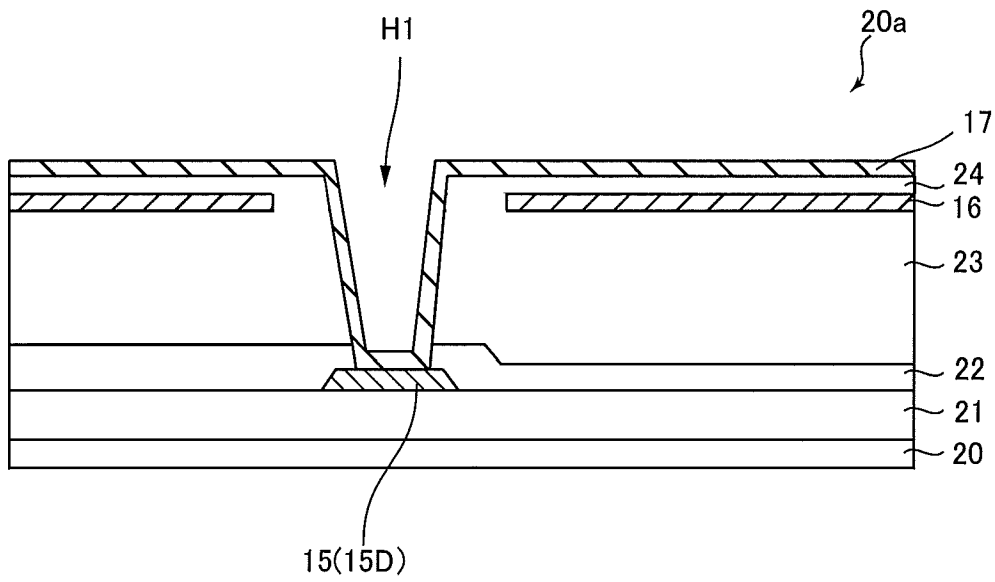
[図6]



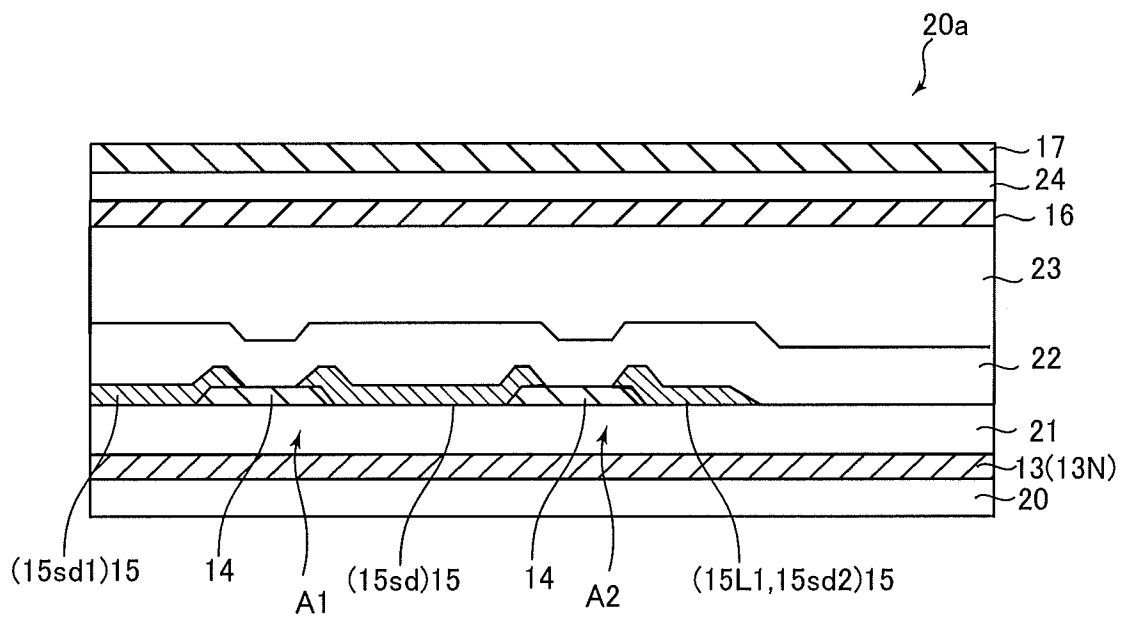
[図7A]



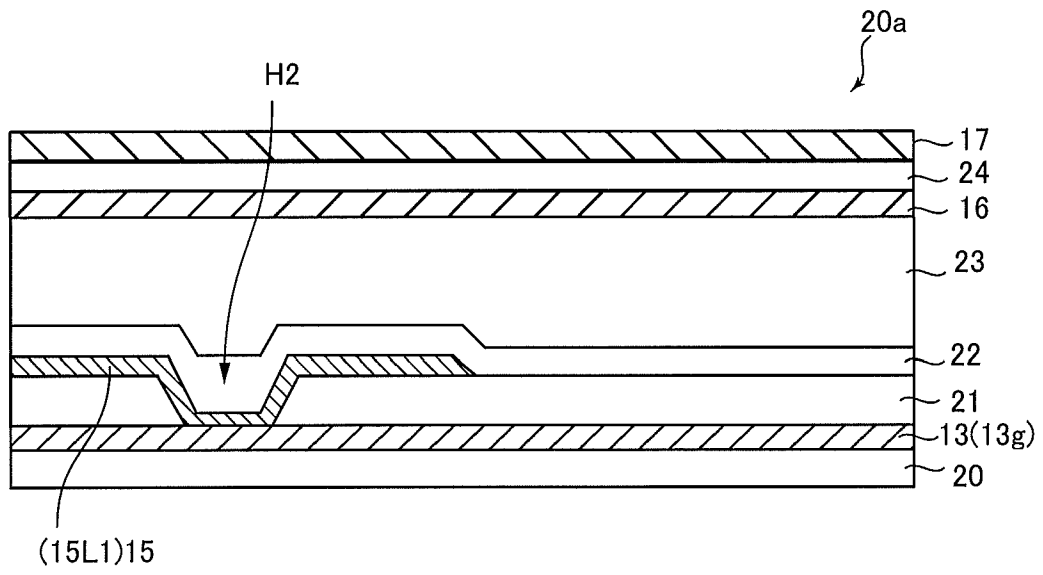
[図7B]



[図7C]

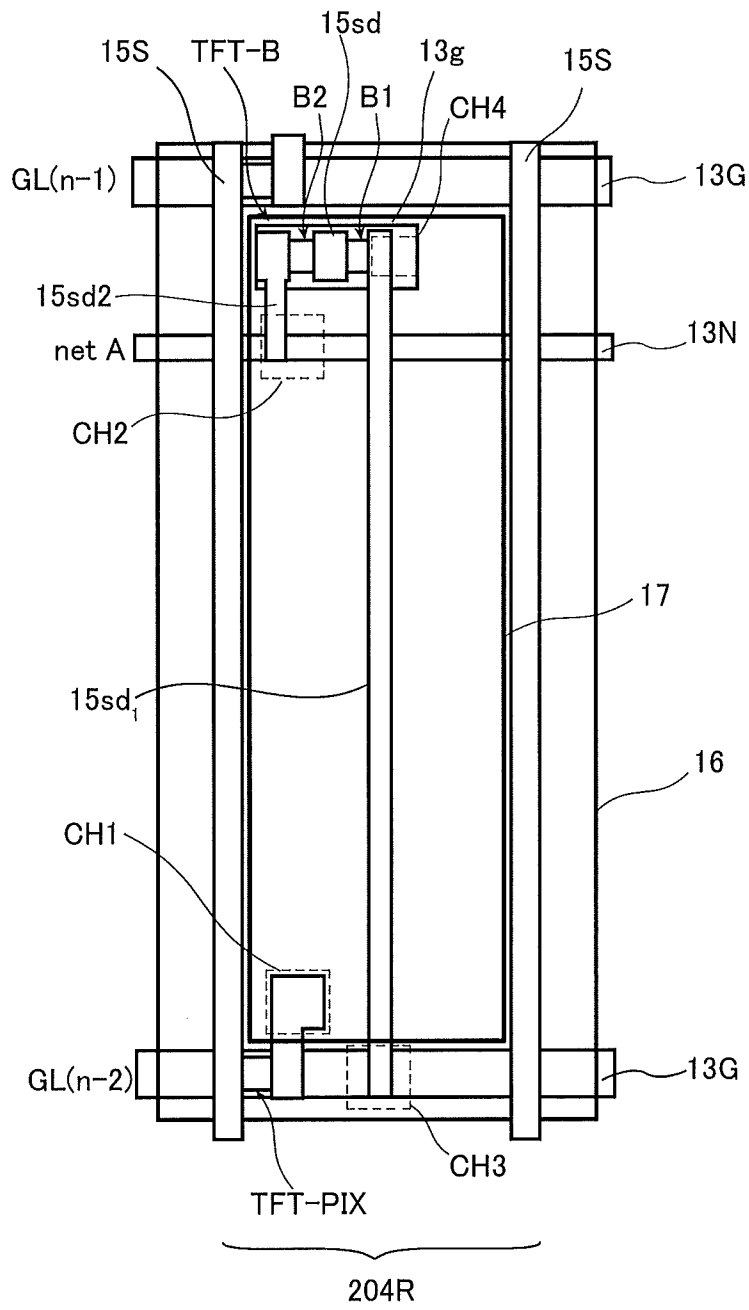


[図7D]

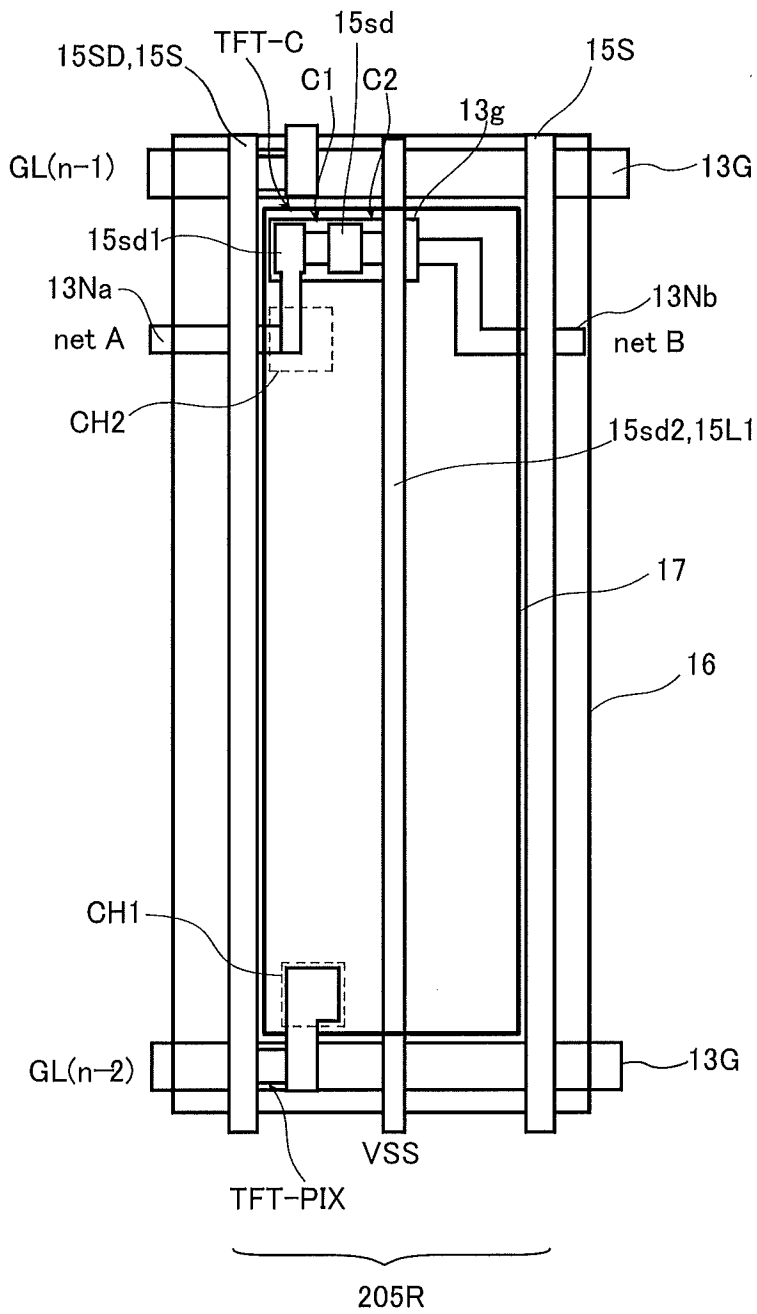




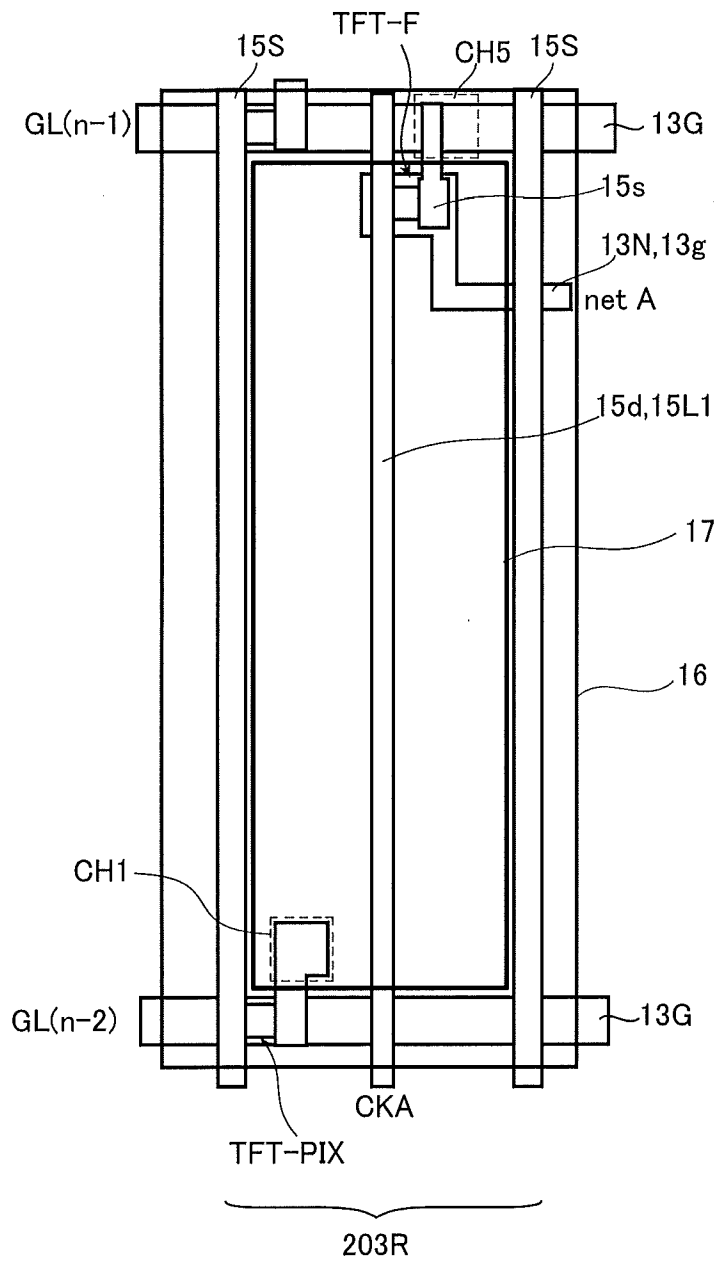
[図8A]



[図8B]



[図8C]

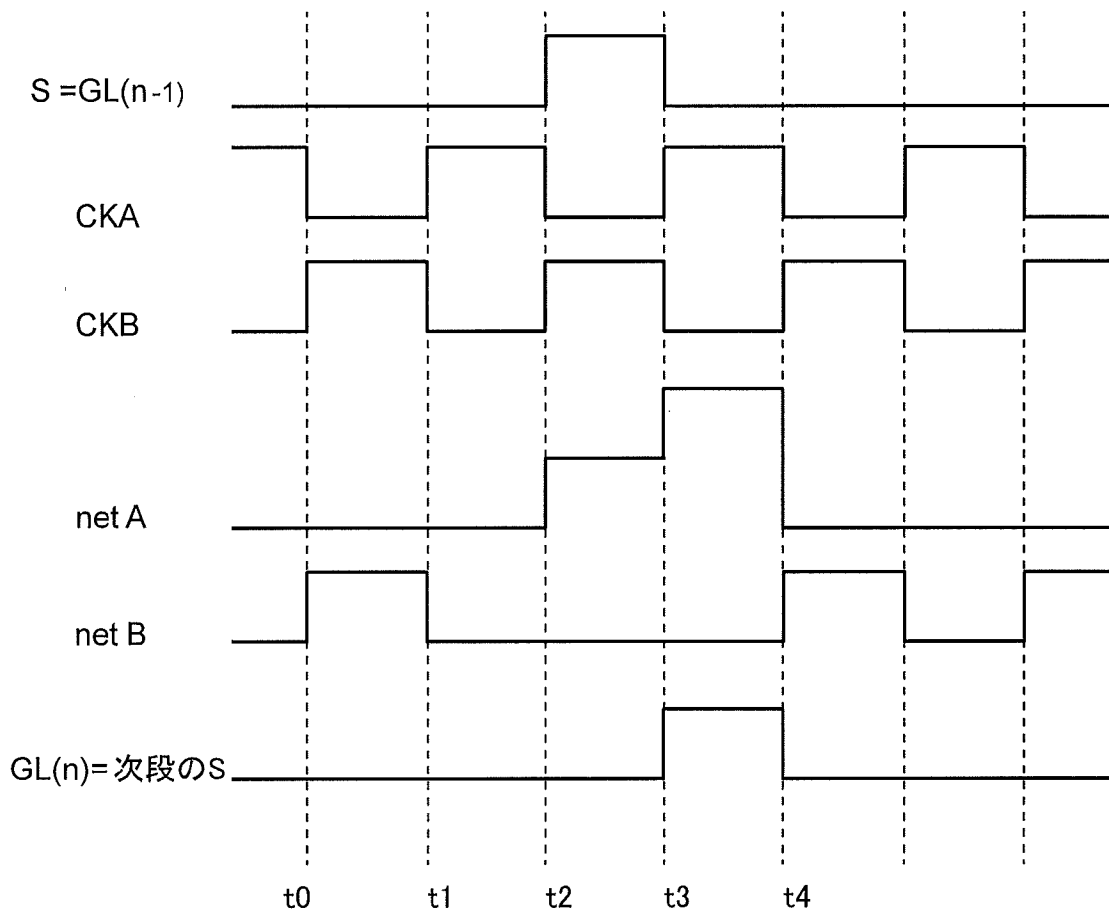




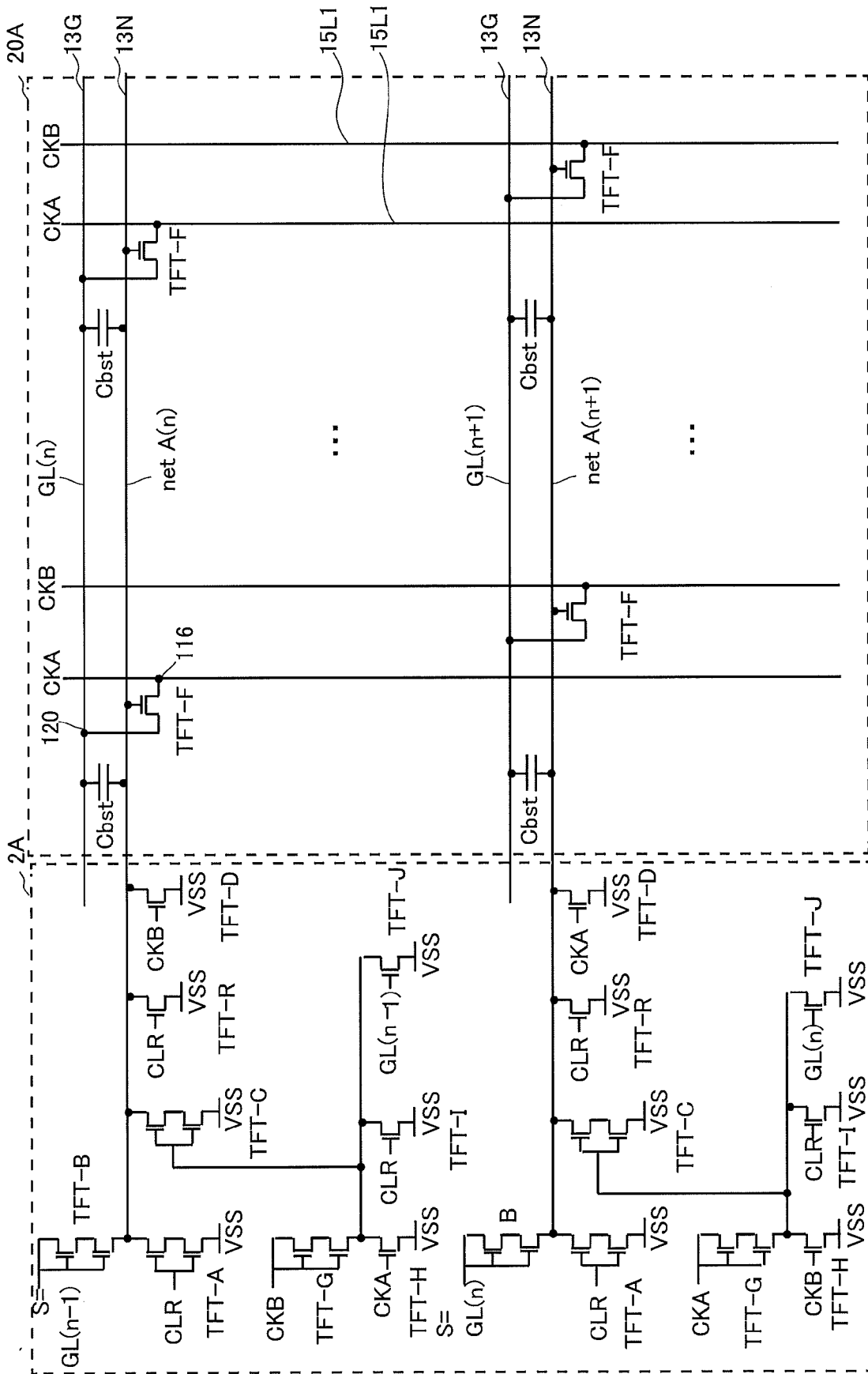




[図9]



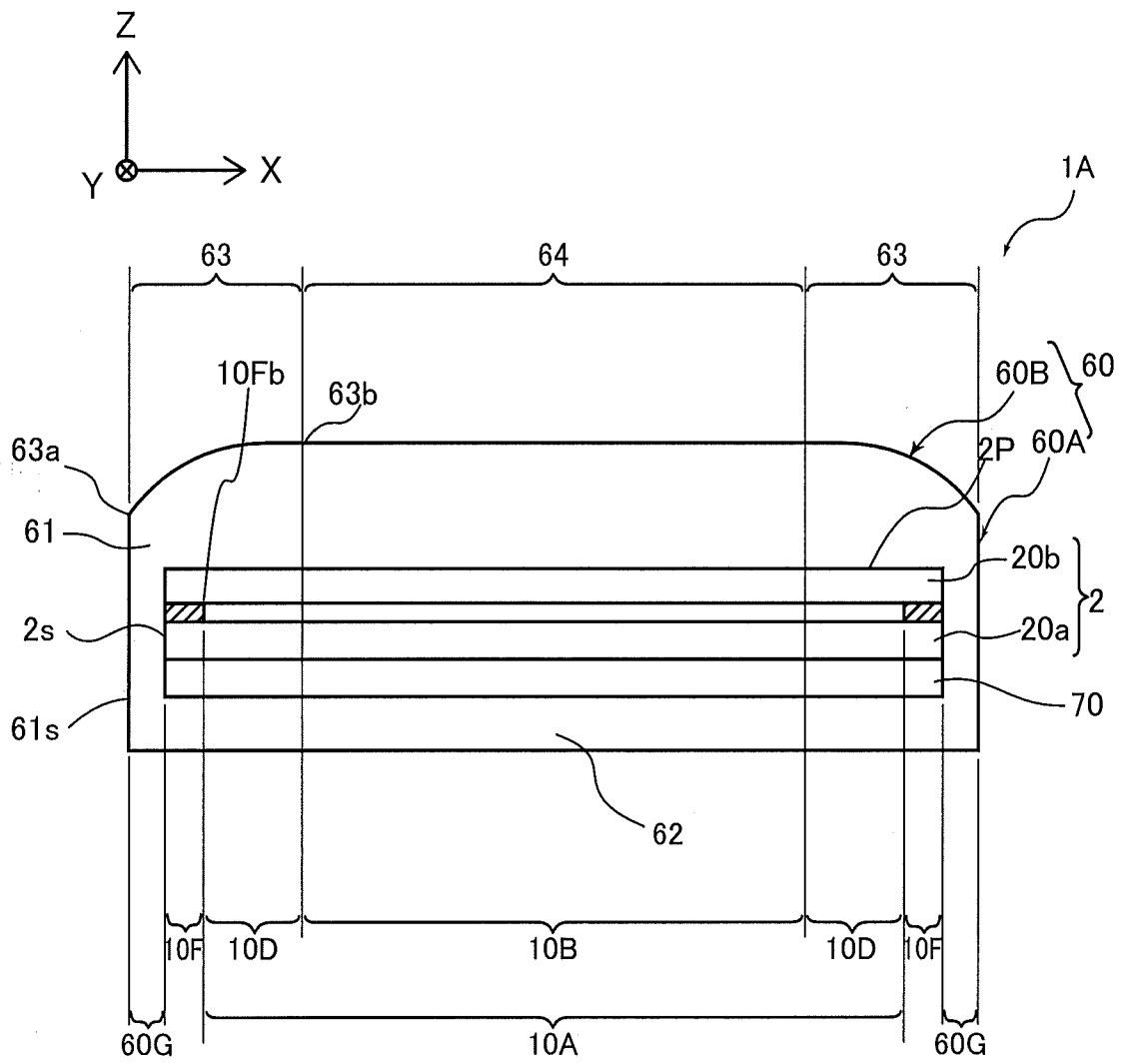
[10A]



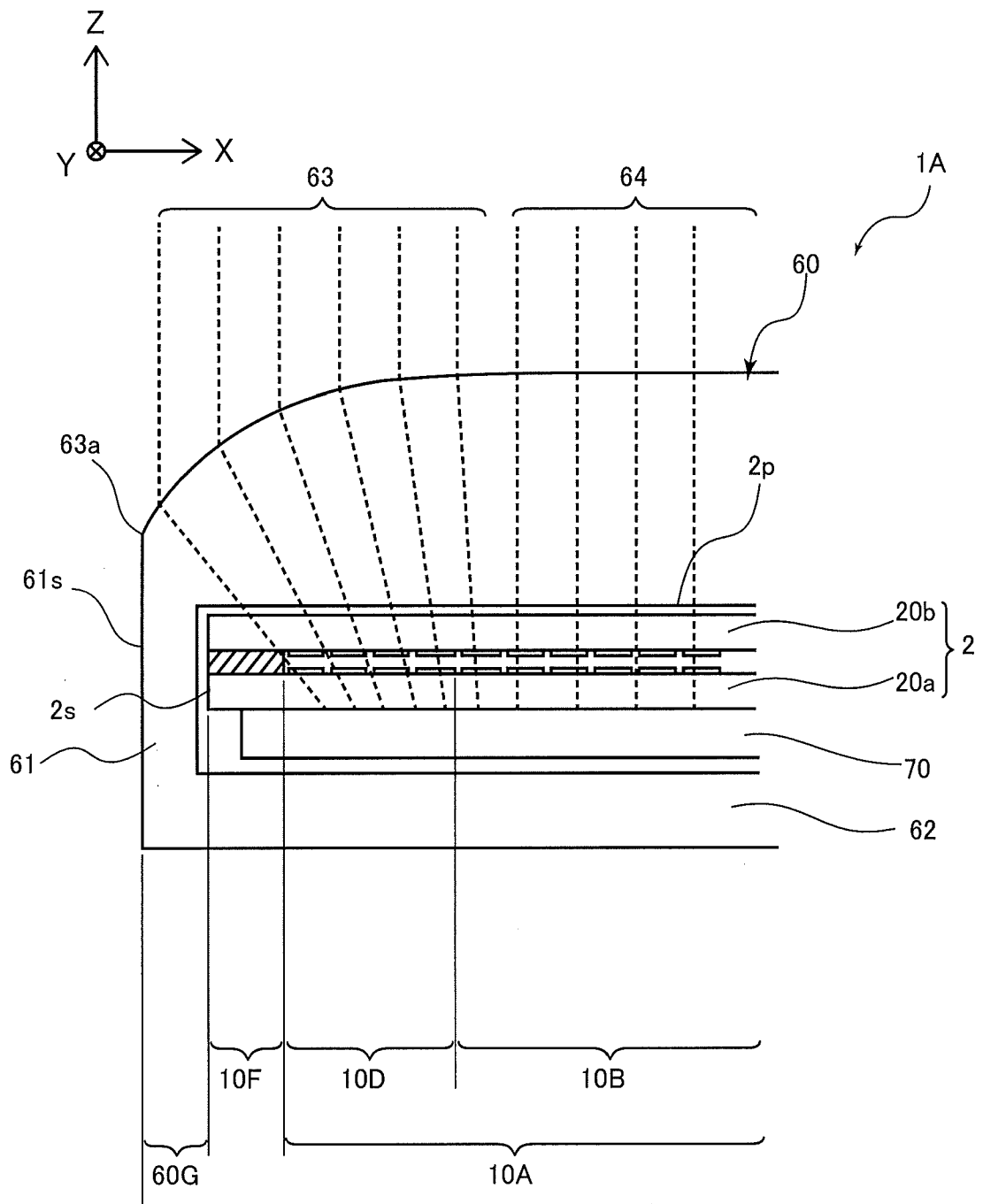




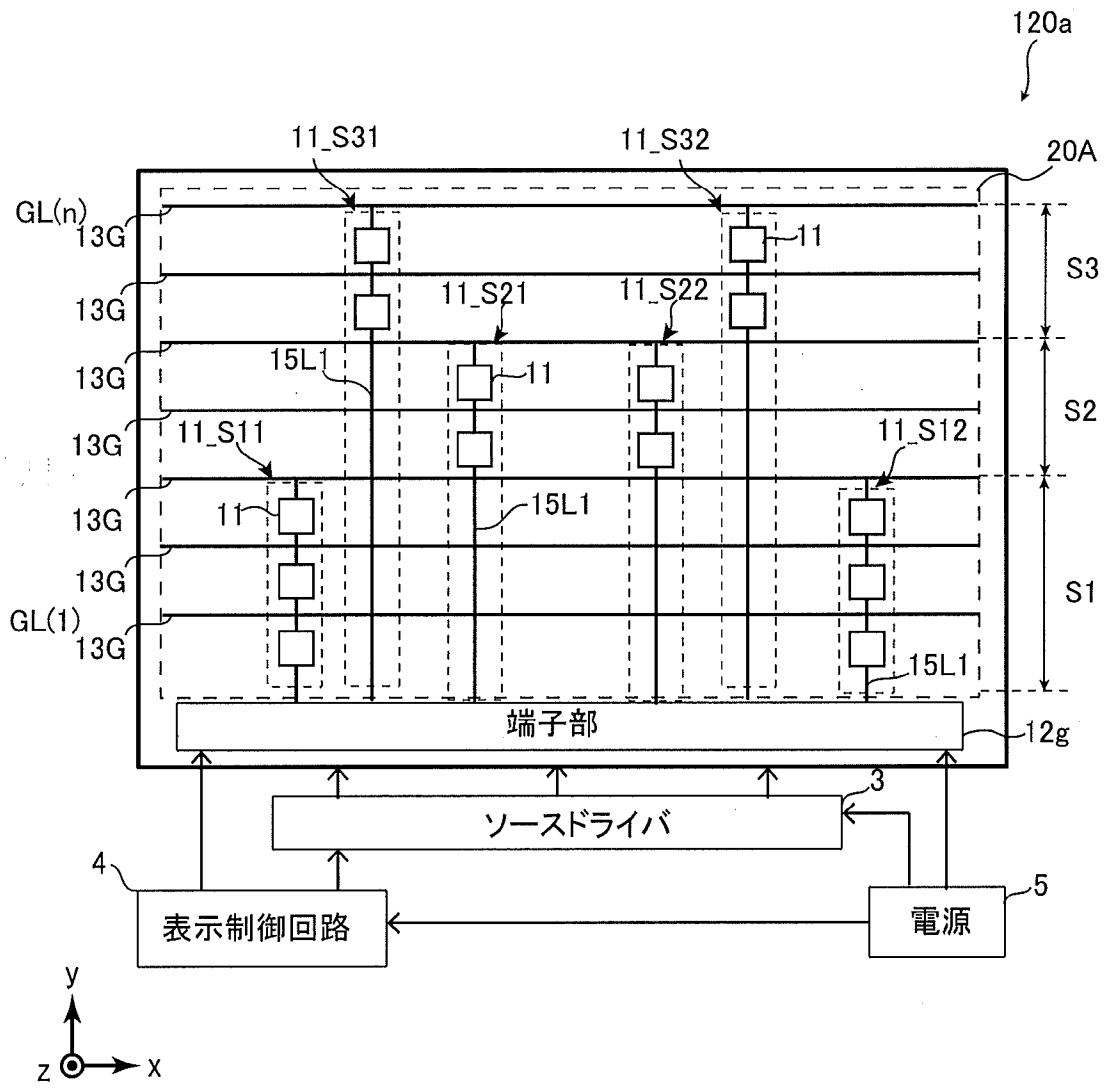
[図11]



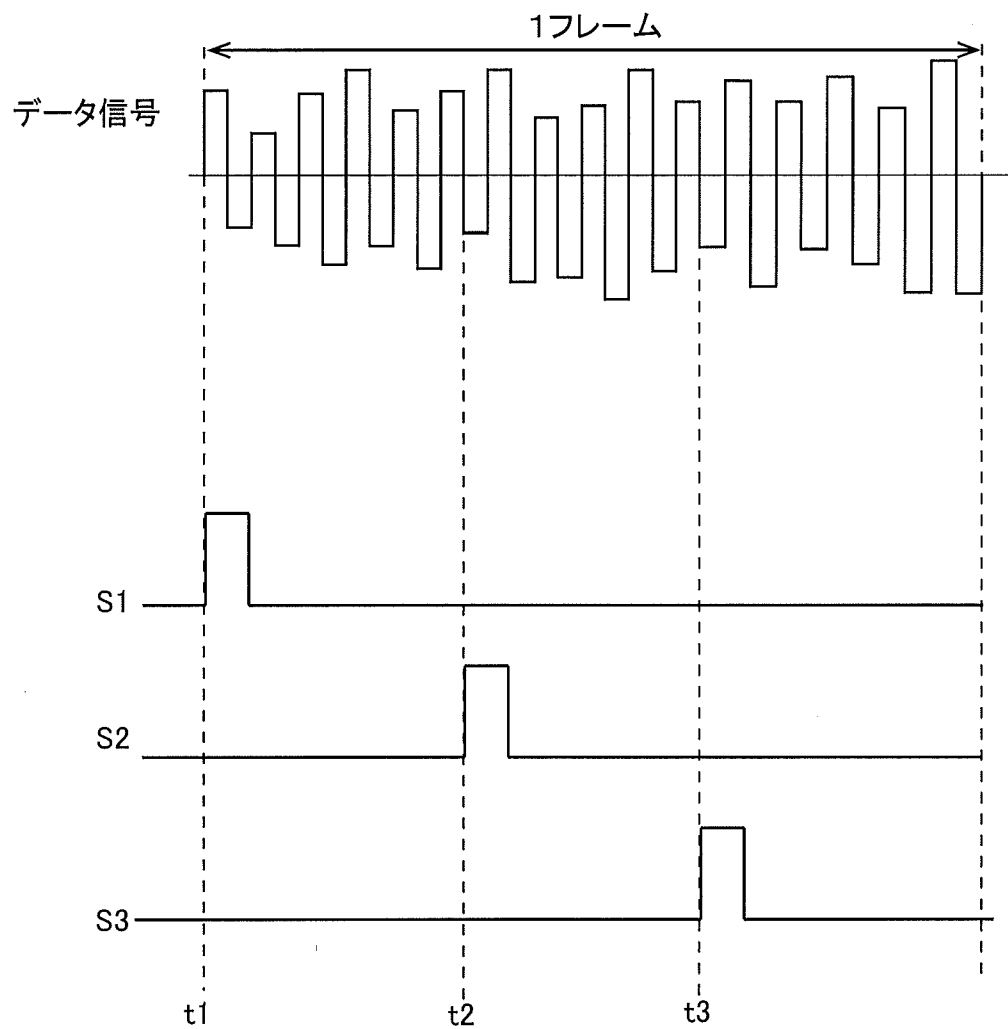
[図12]



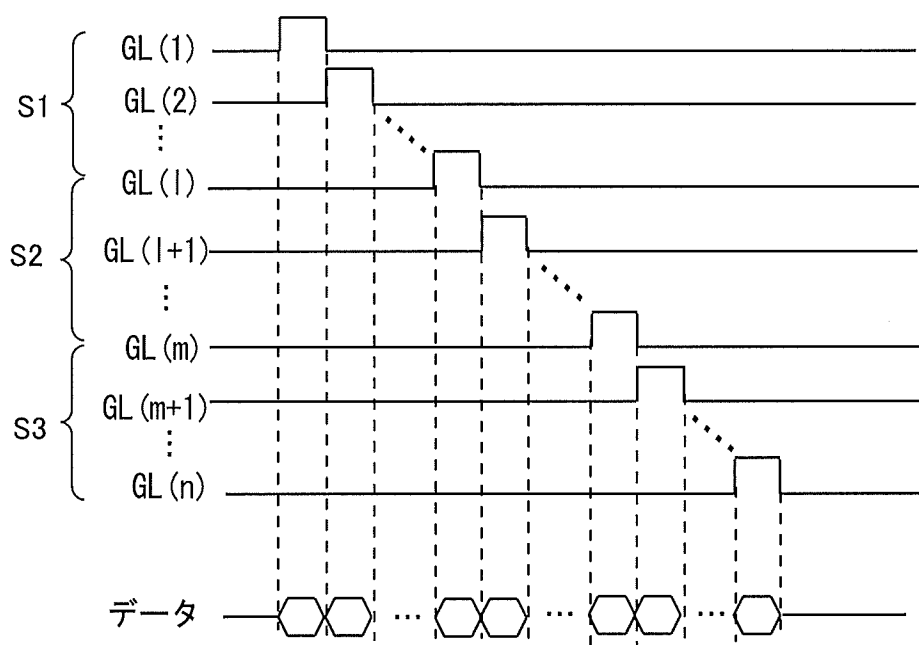
[図13]



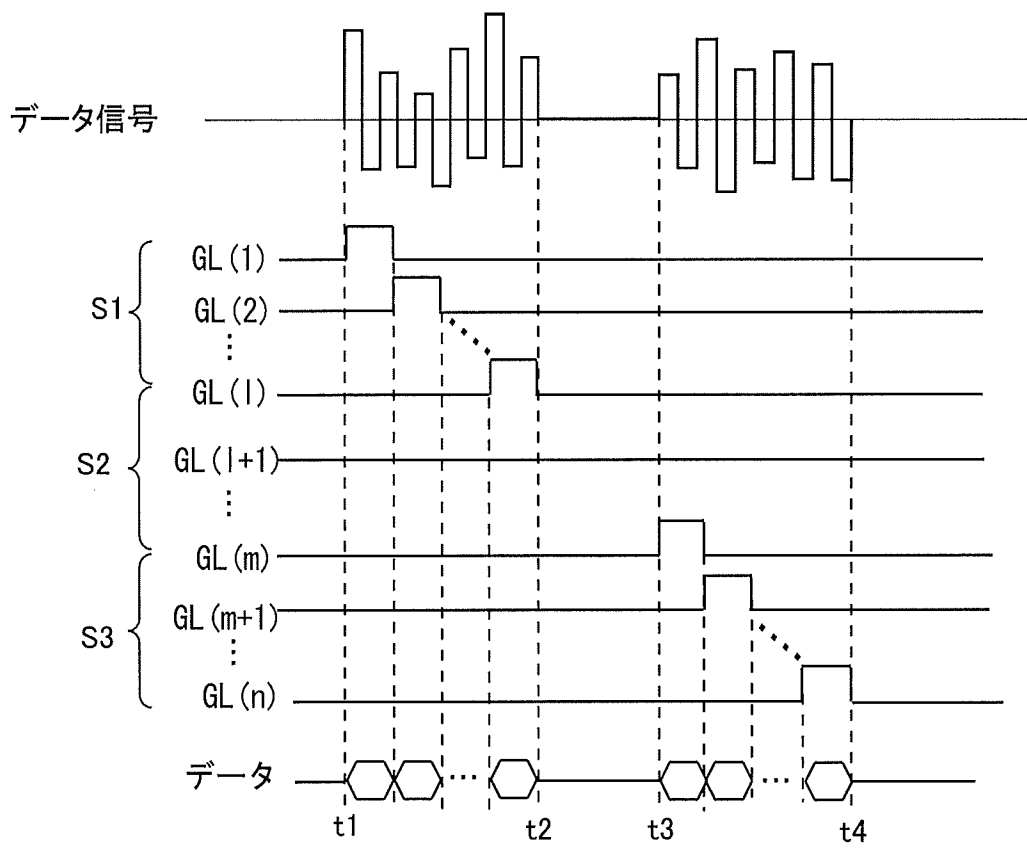
[図14]



[図15]

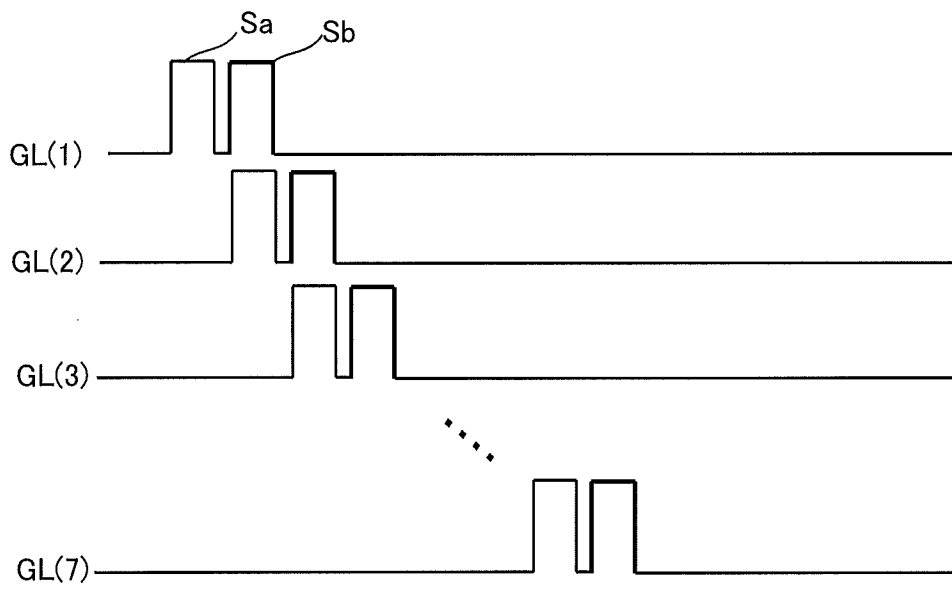


[図16]

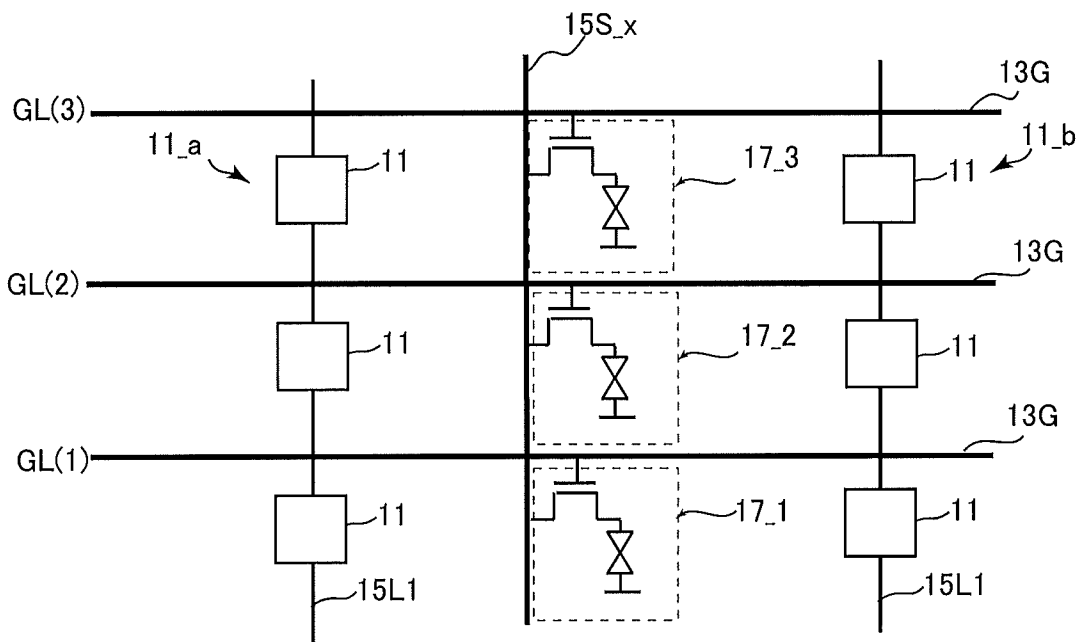




[図19]

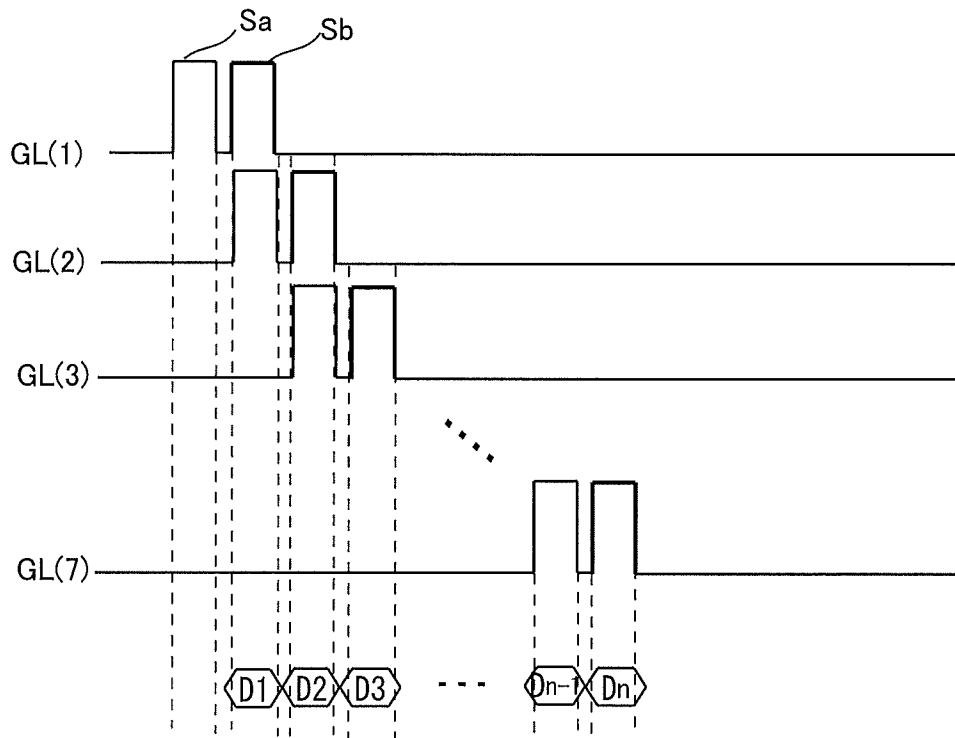


[図20]



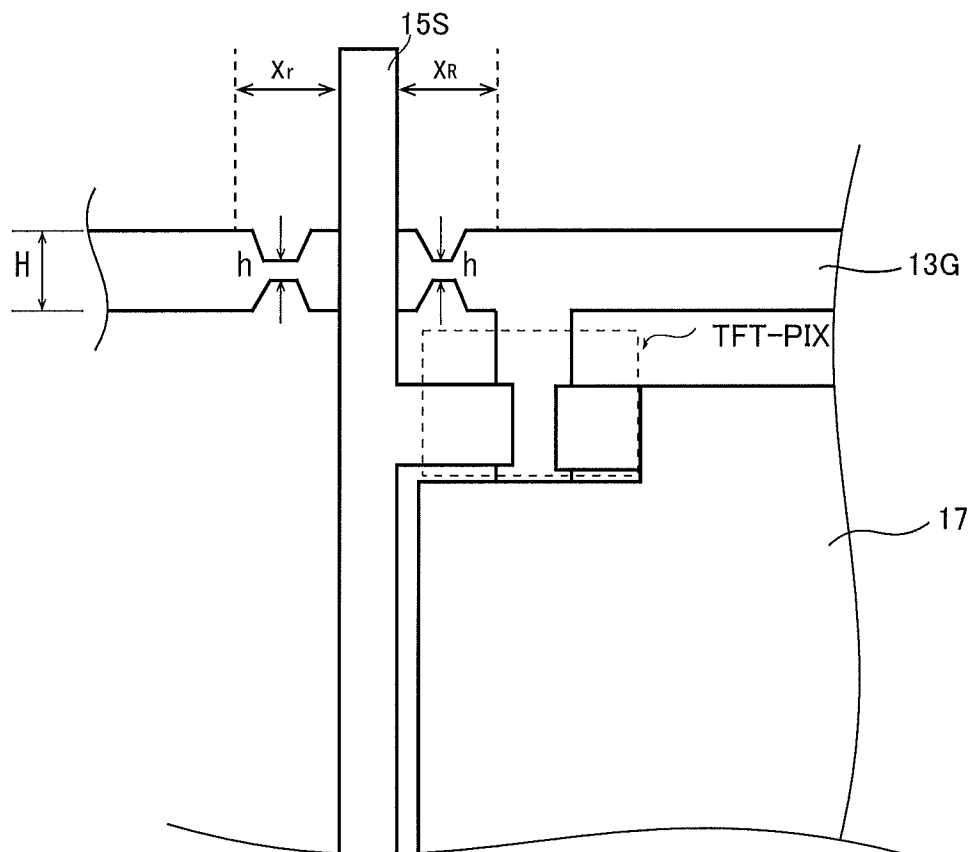


[図21]

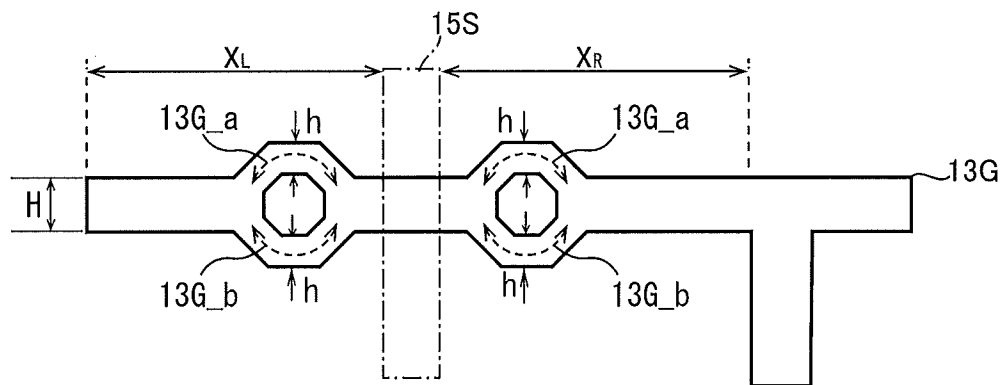




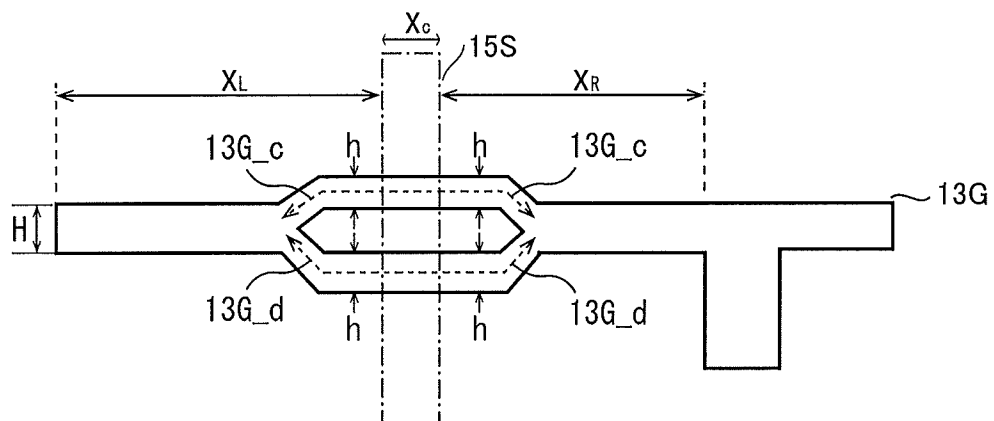
[図24A]



[図24B]

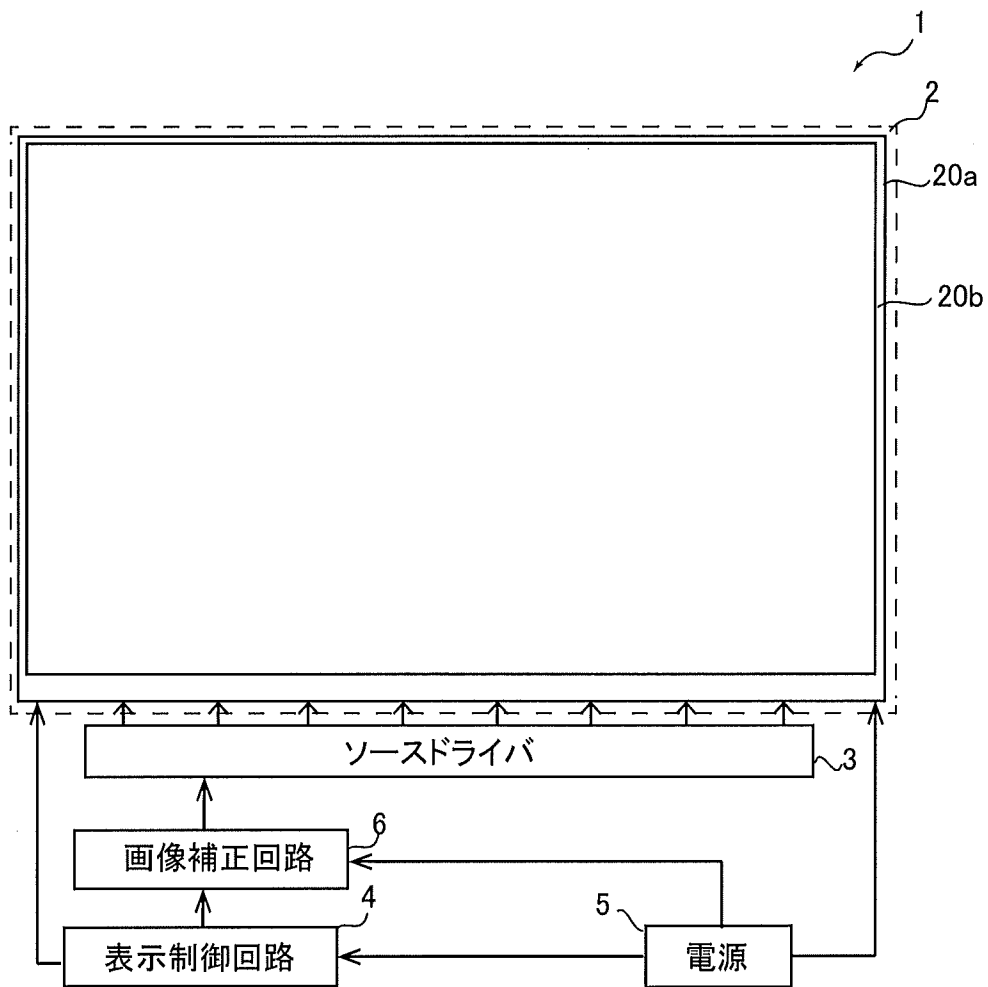


[図24C]

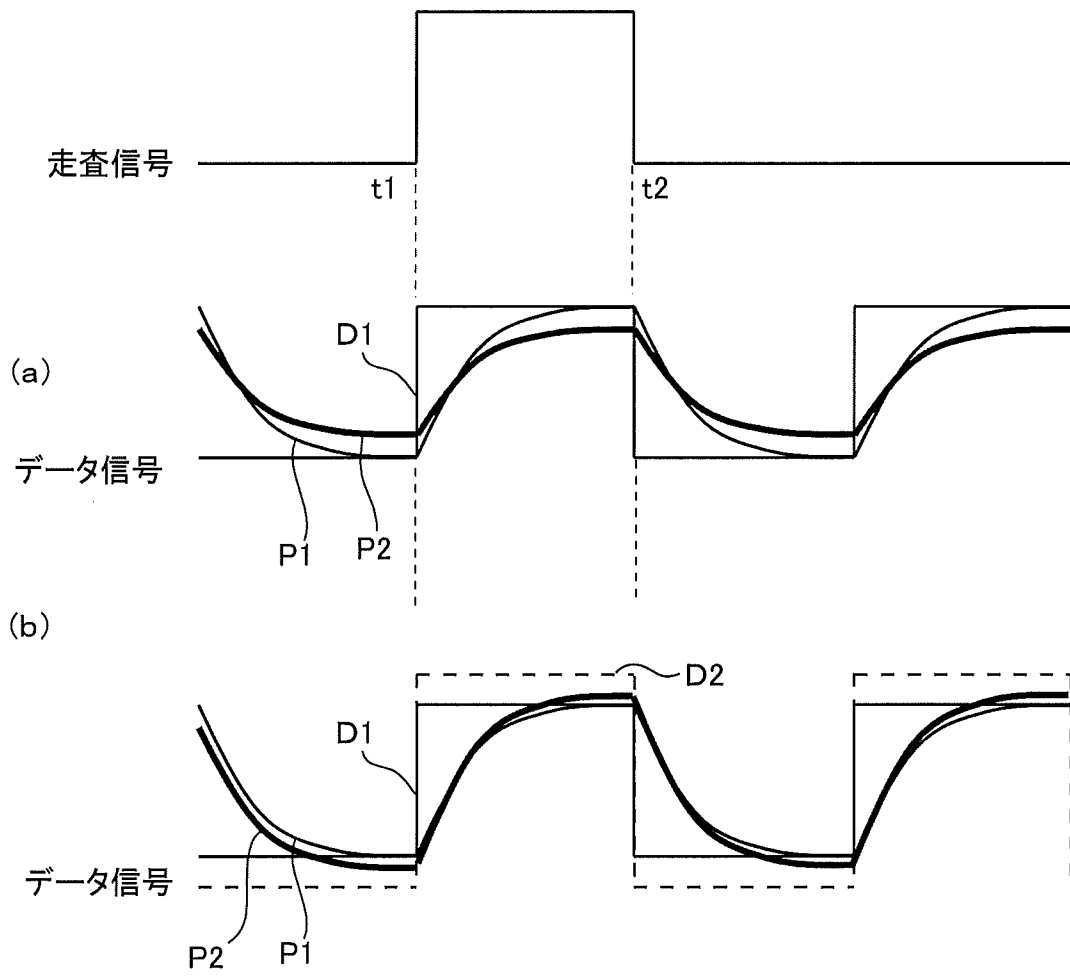




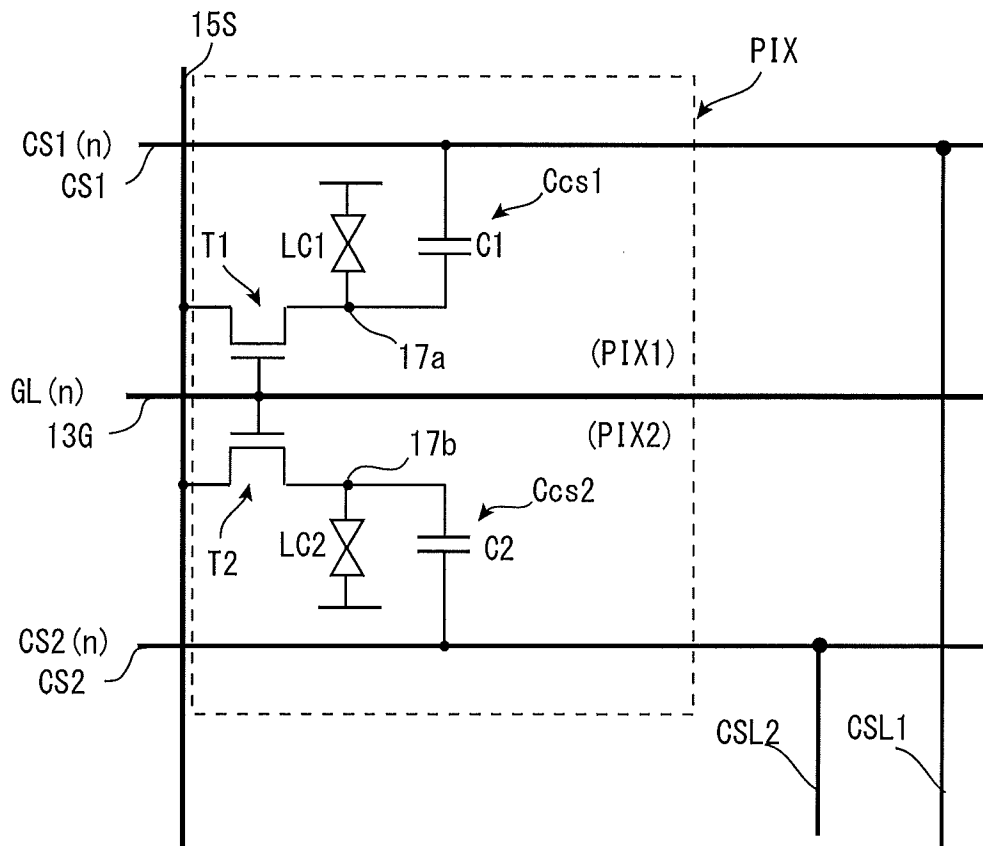
[図25B]



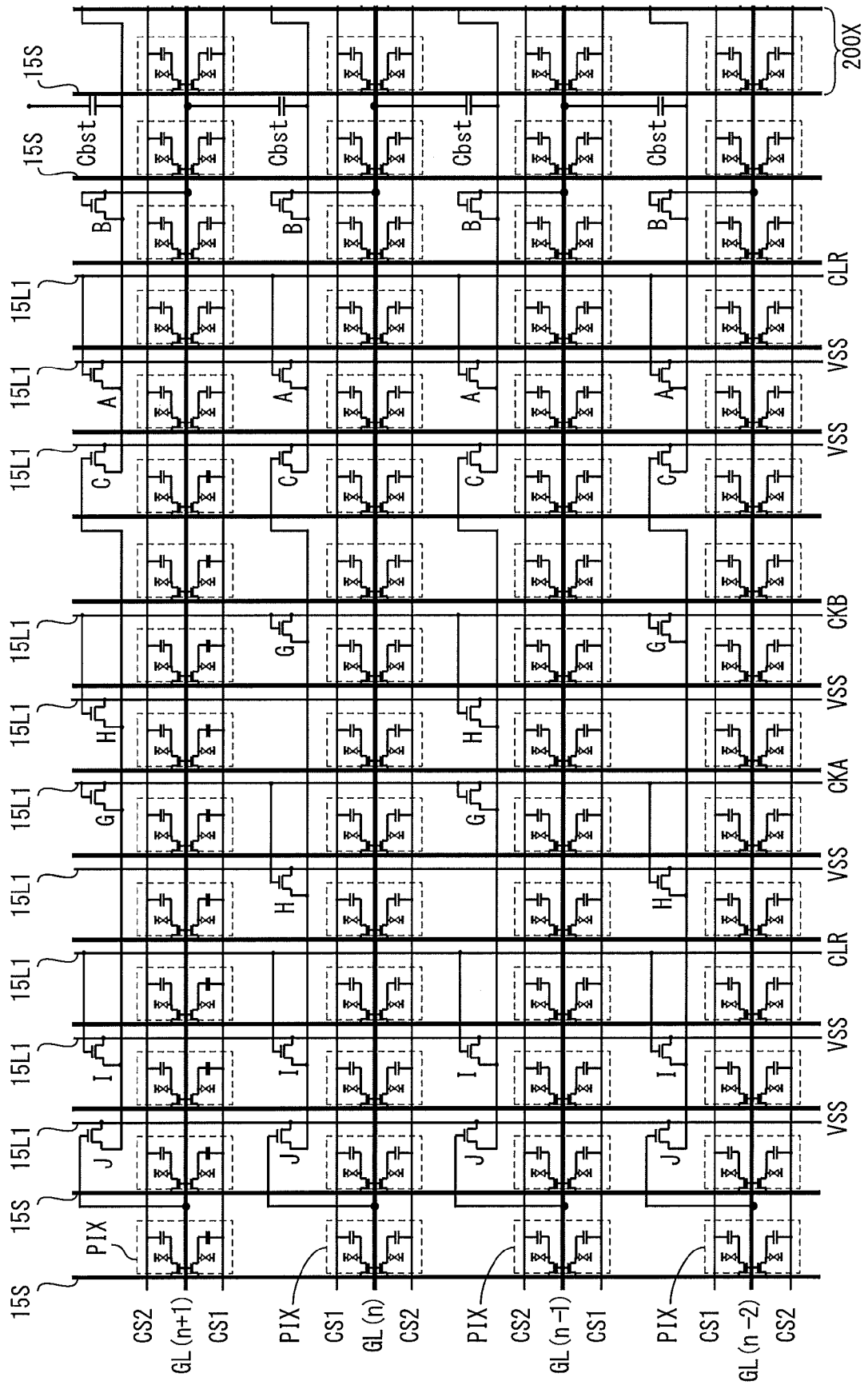
[図25C]



[図26]



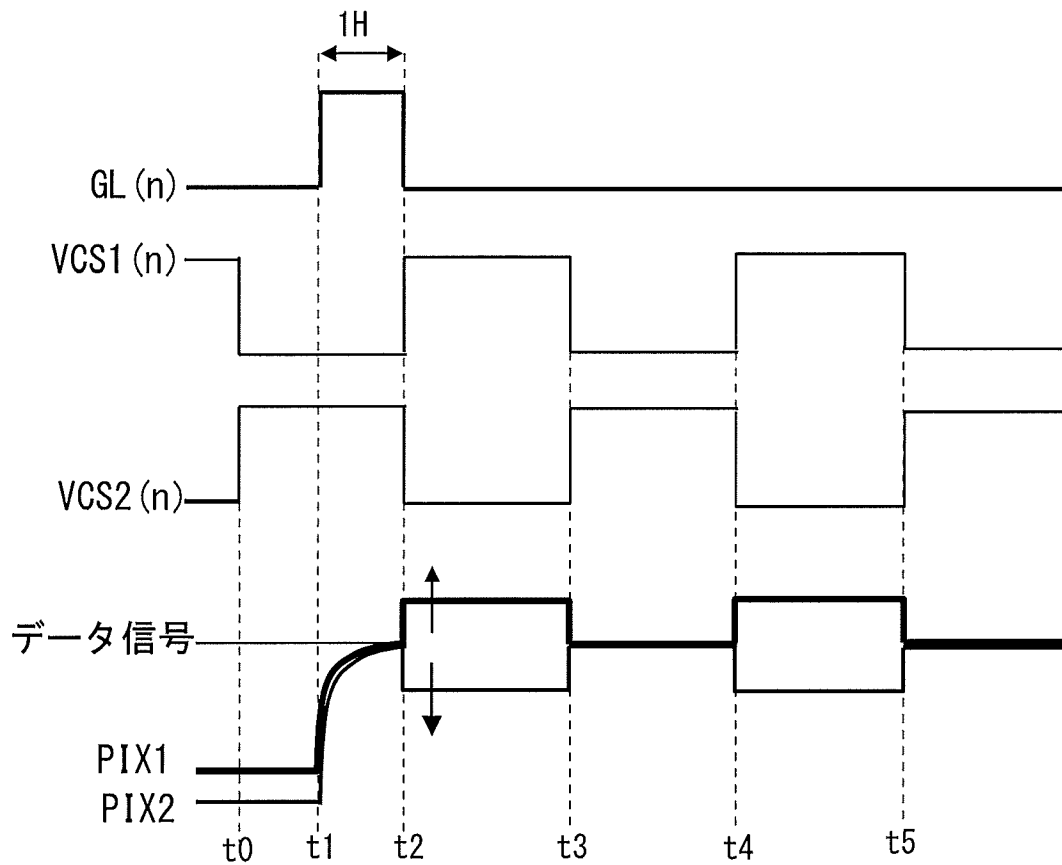
[27A]



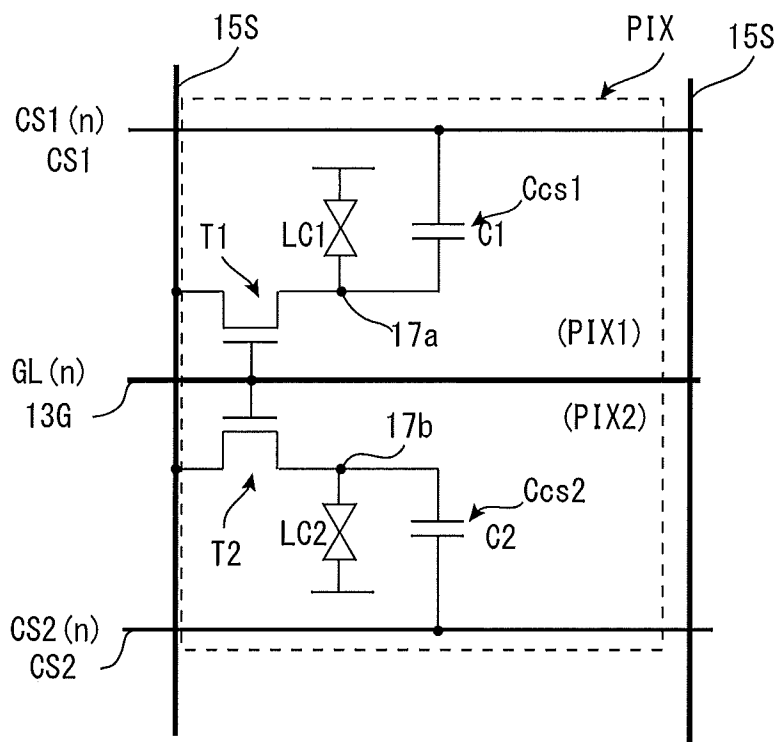




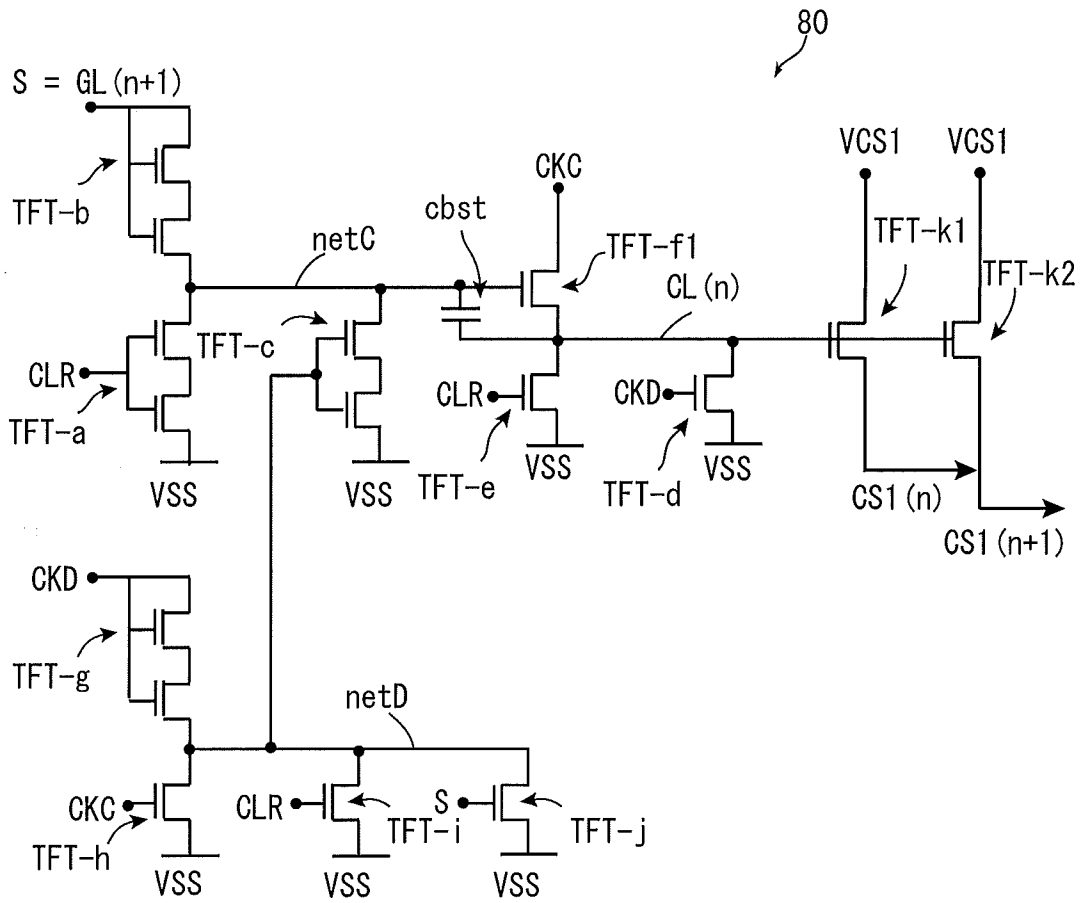
[図28]



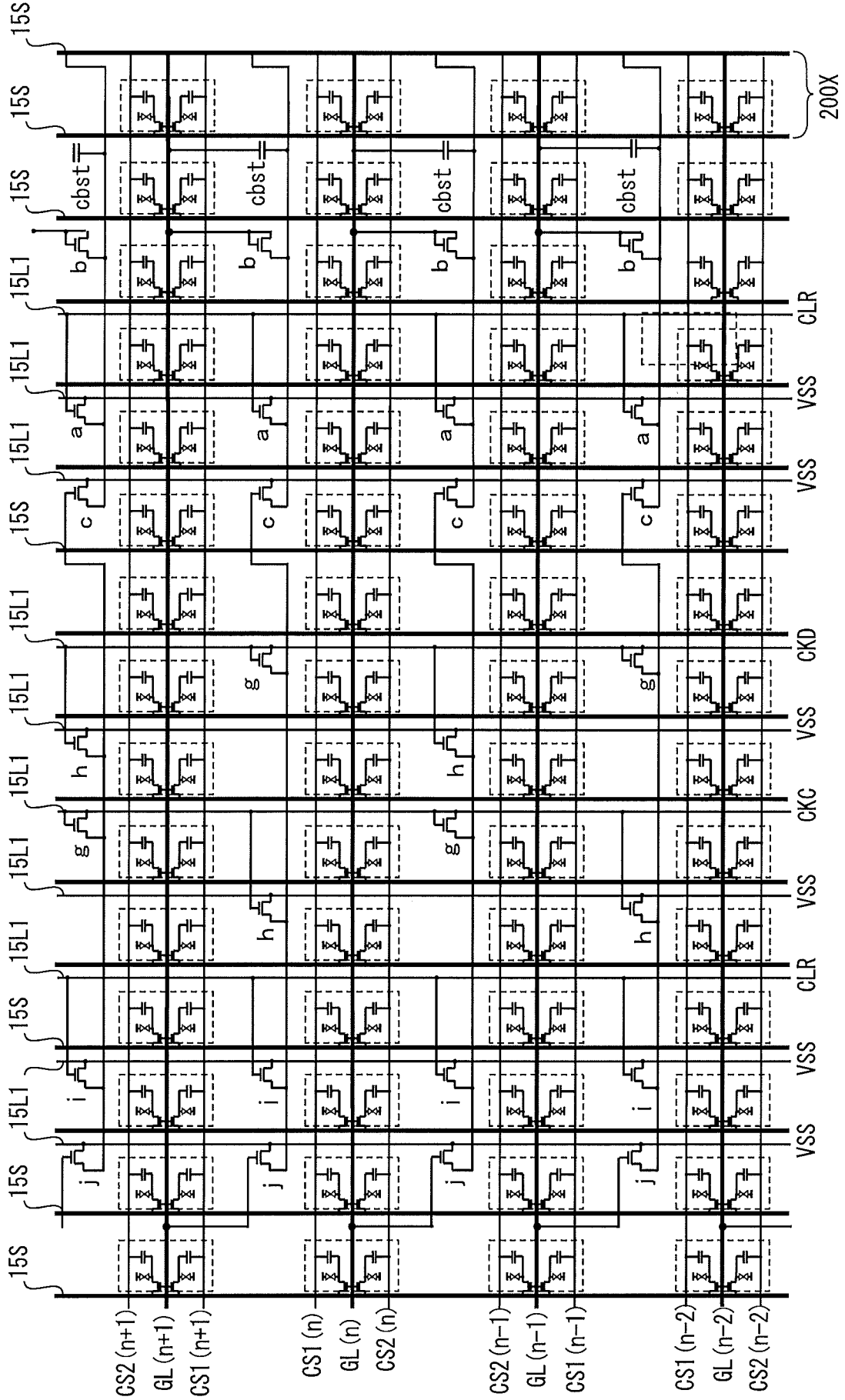
[図29]



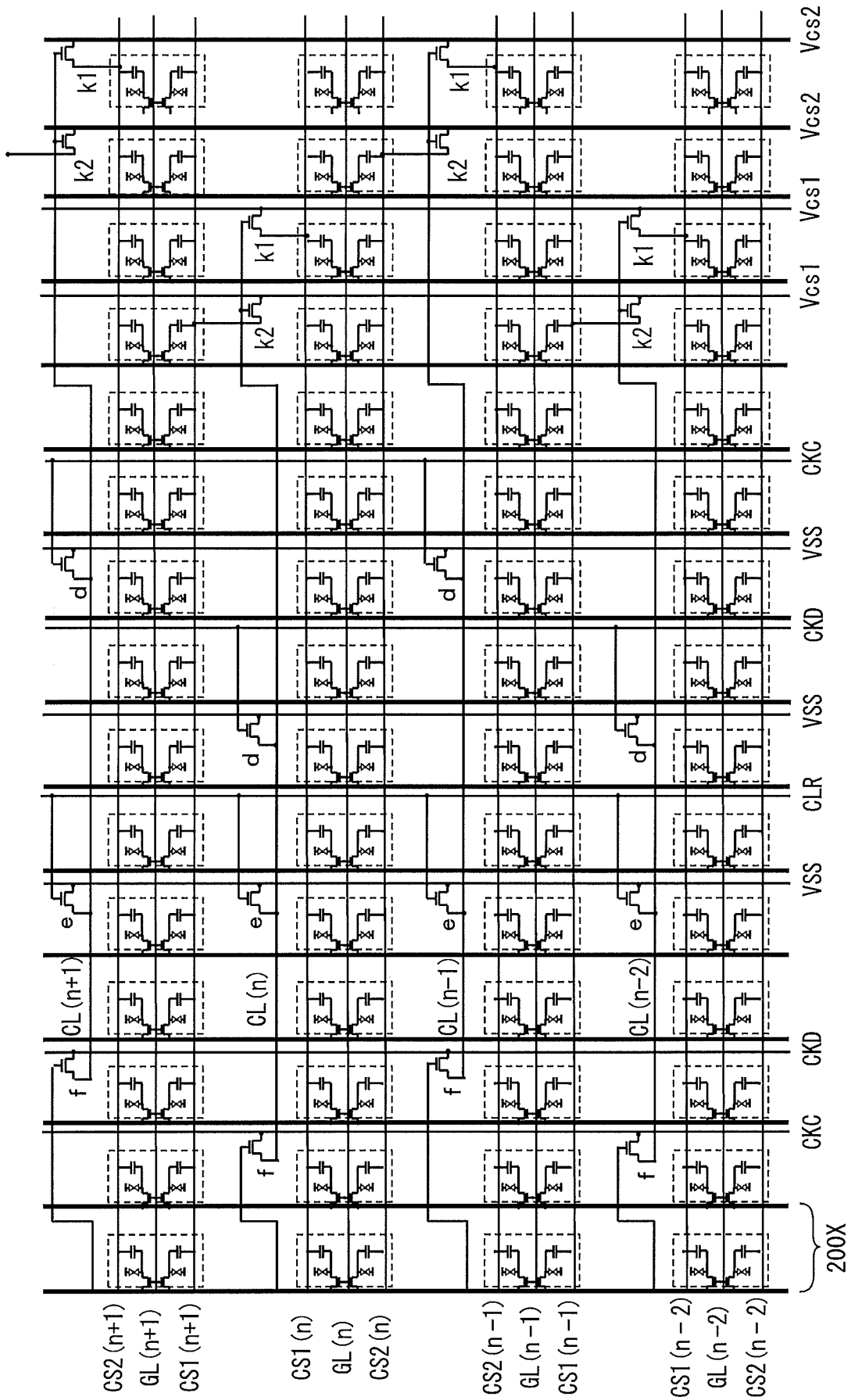
[図30]



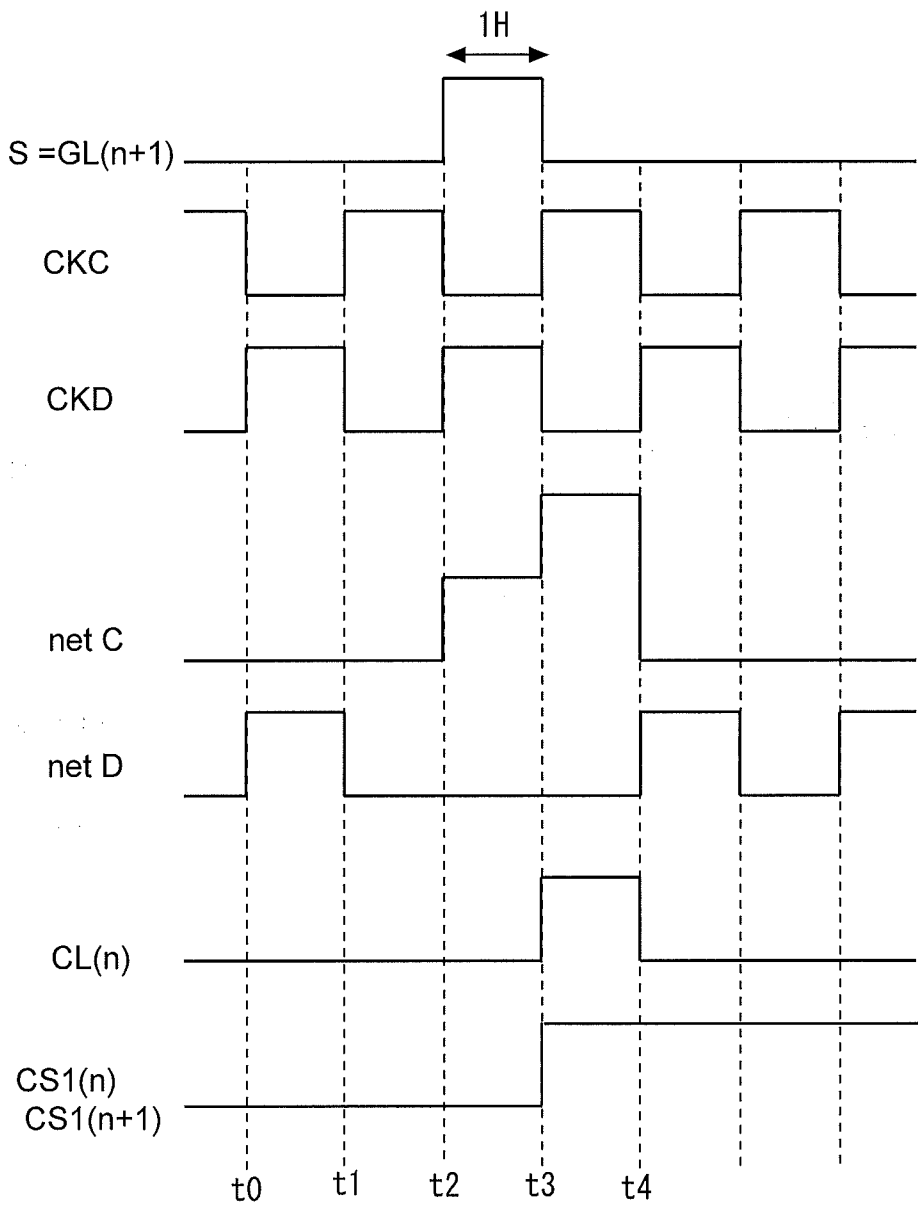
[31A]



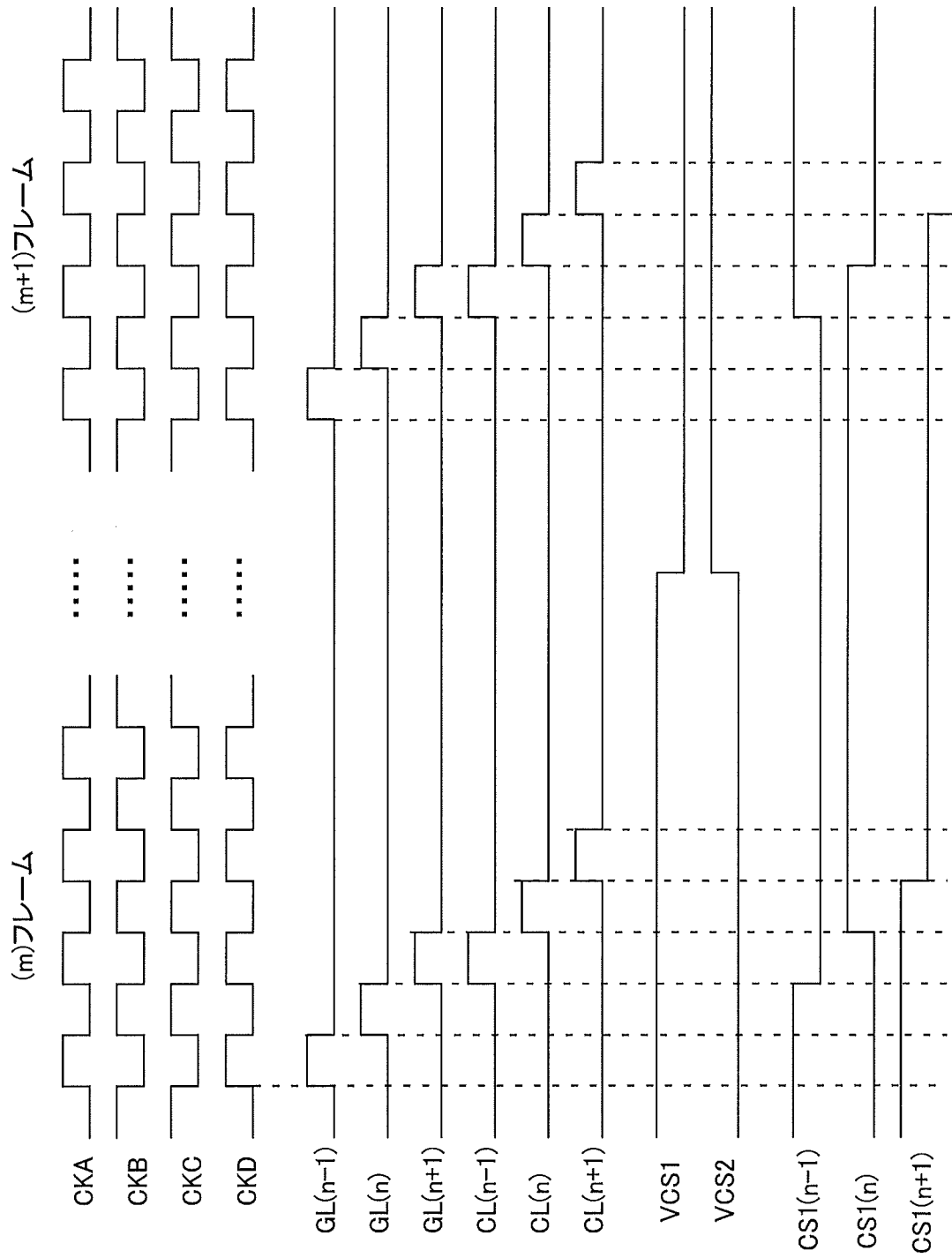
[図31B]



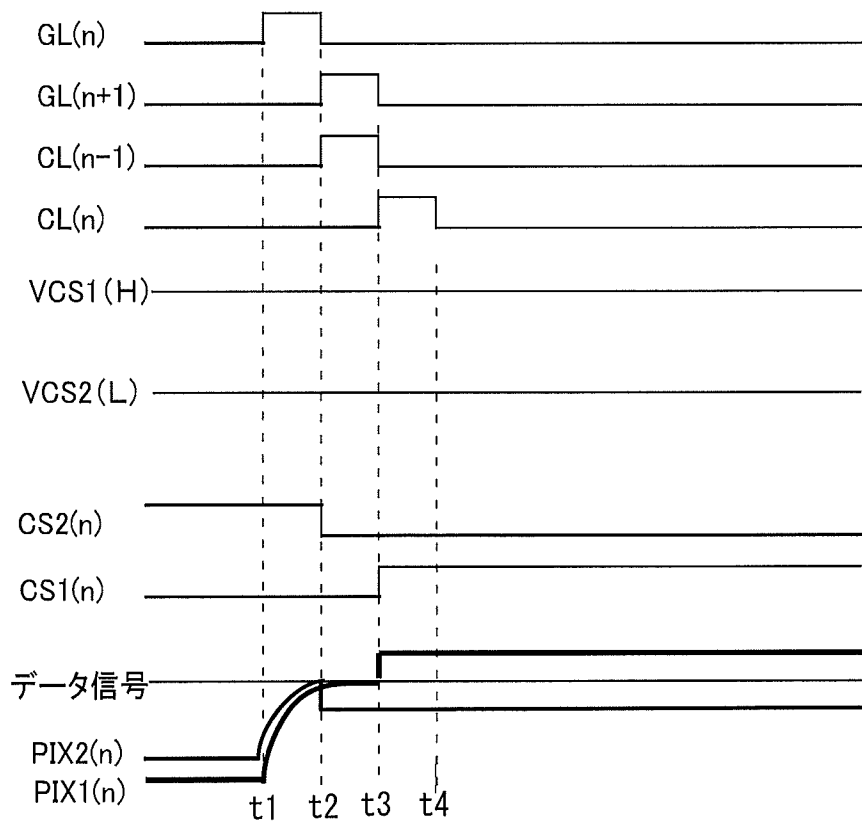
[図32]



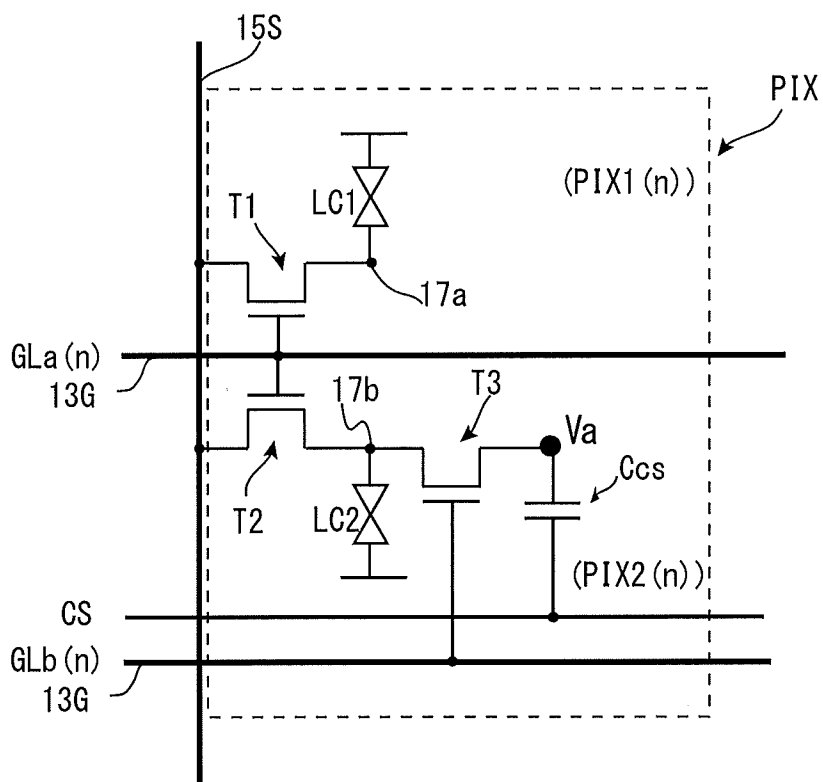
[図33A]



[図33B]



[図34]

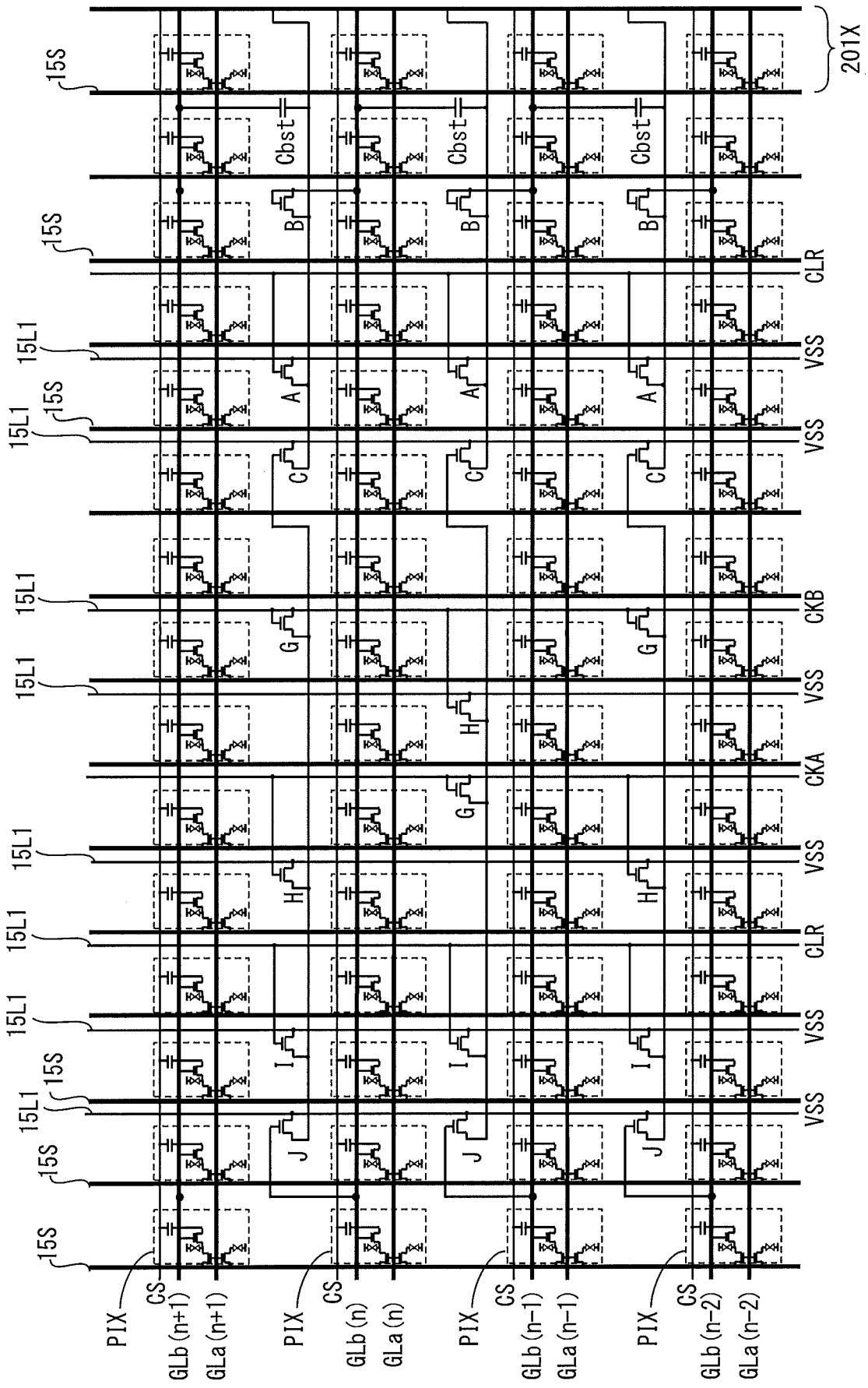





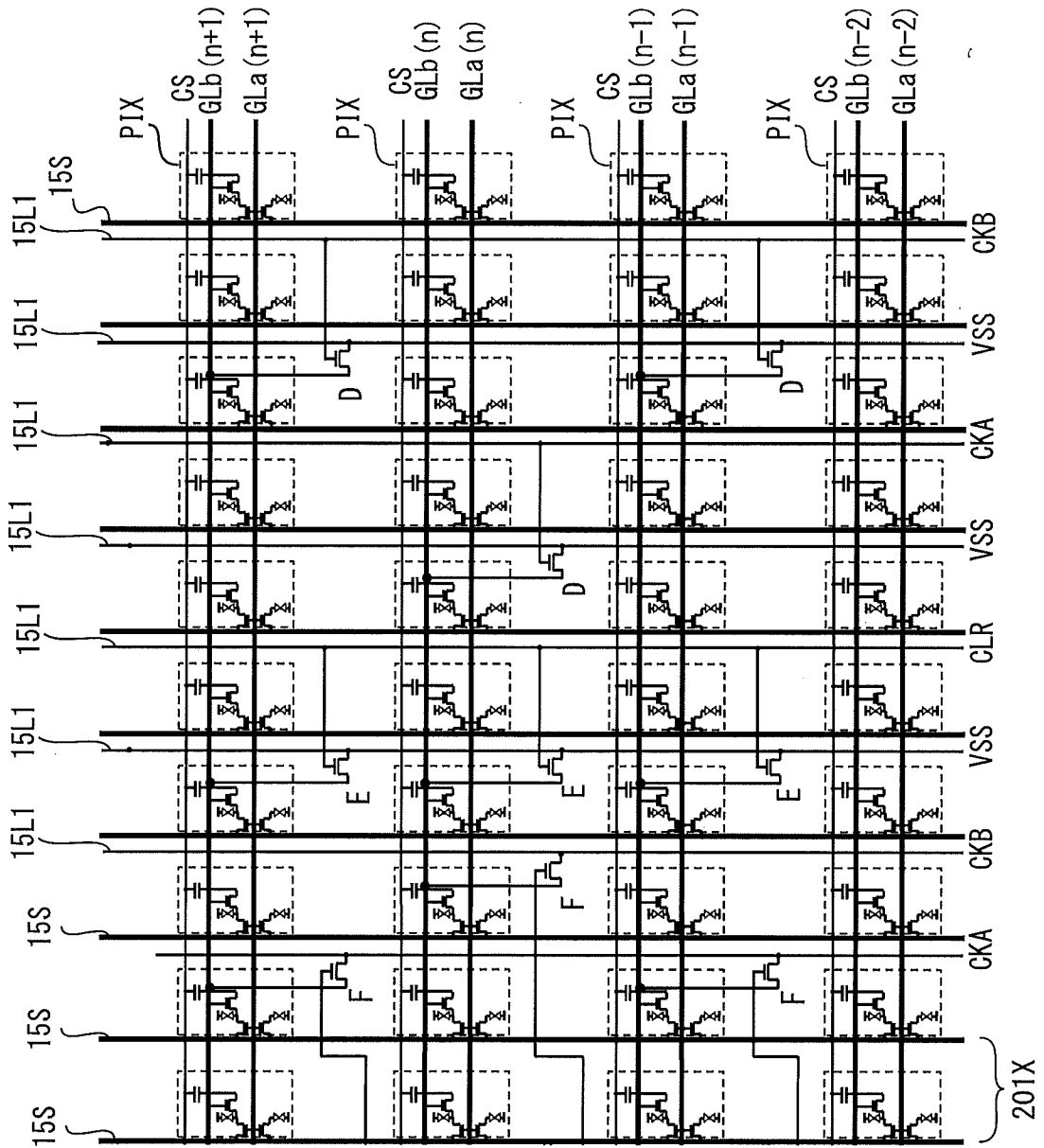




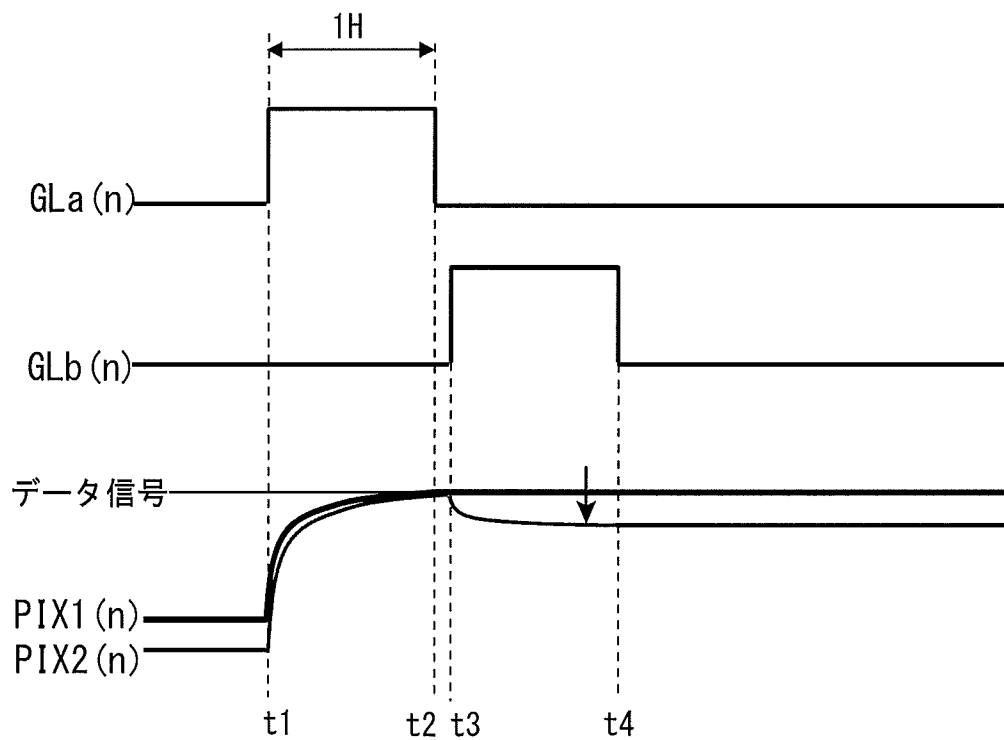
[ 36A ]



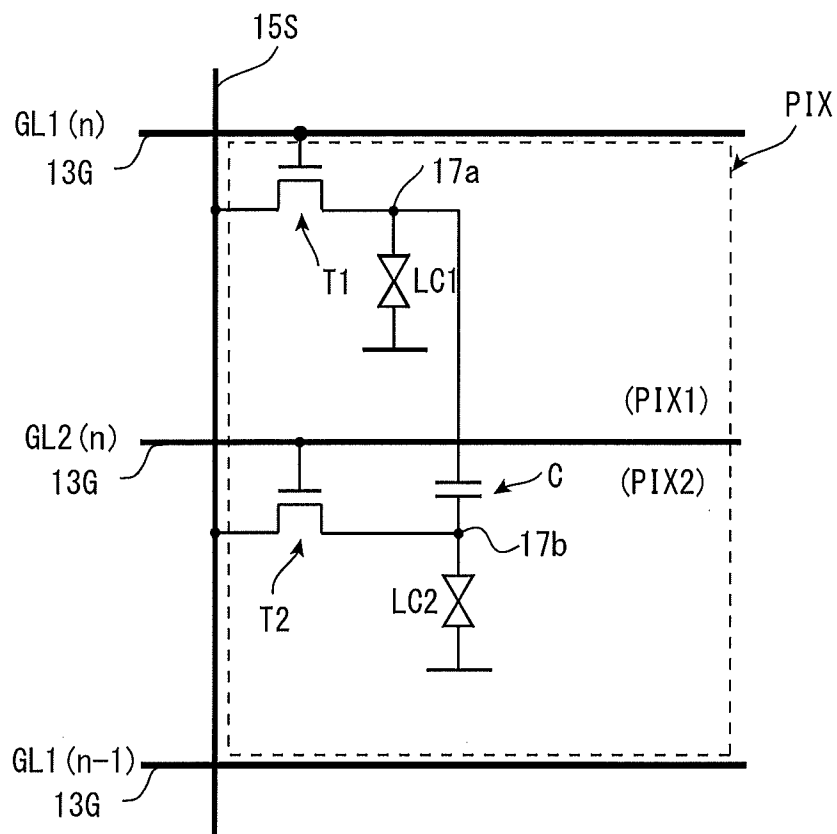
[ 36B]



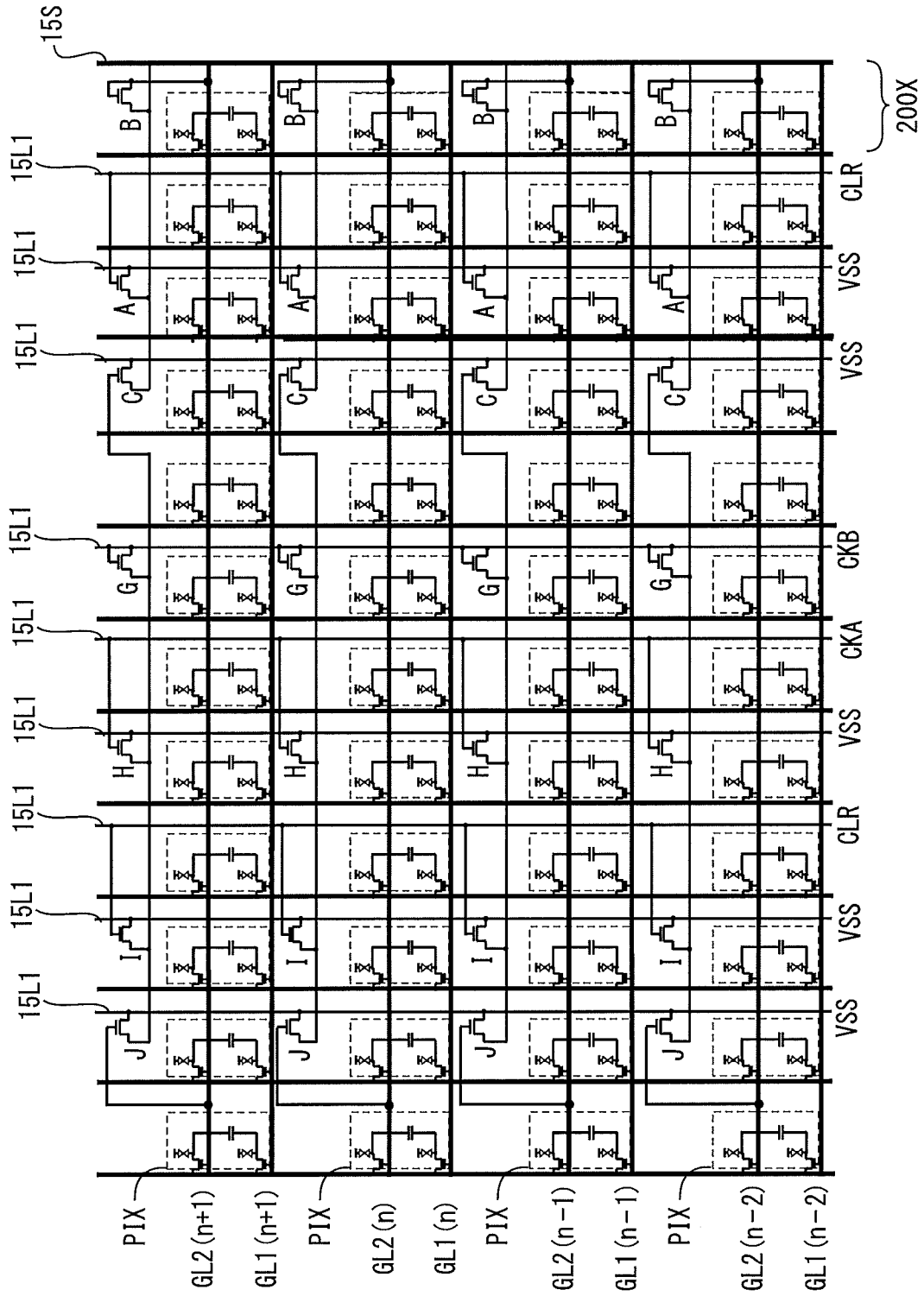
[図37]




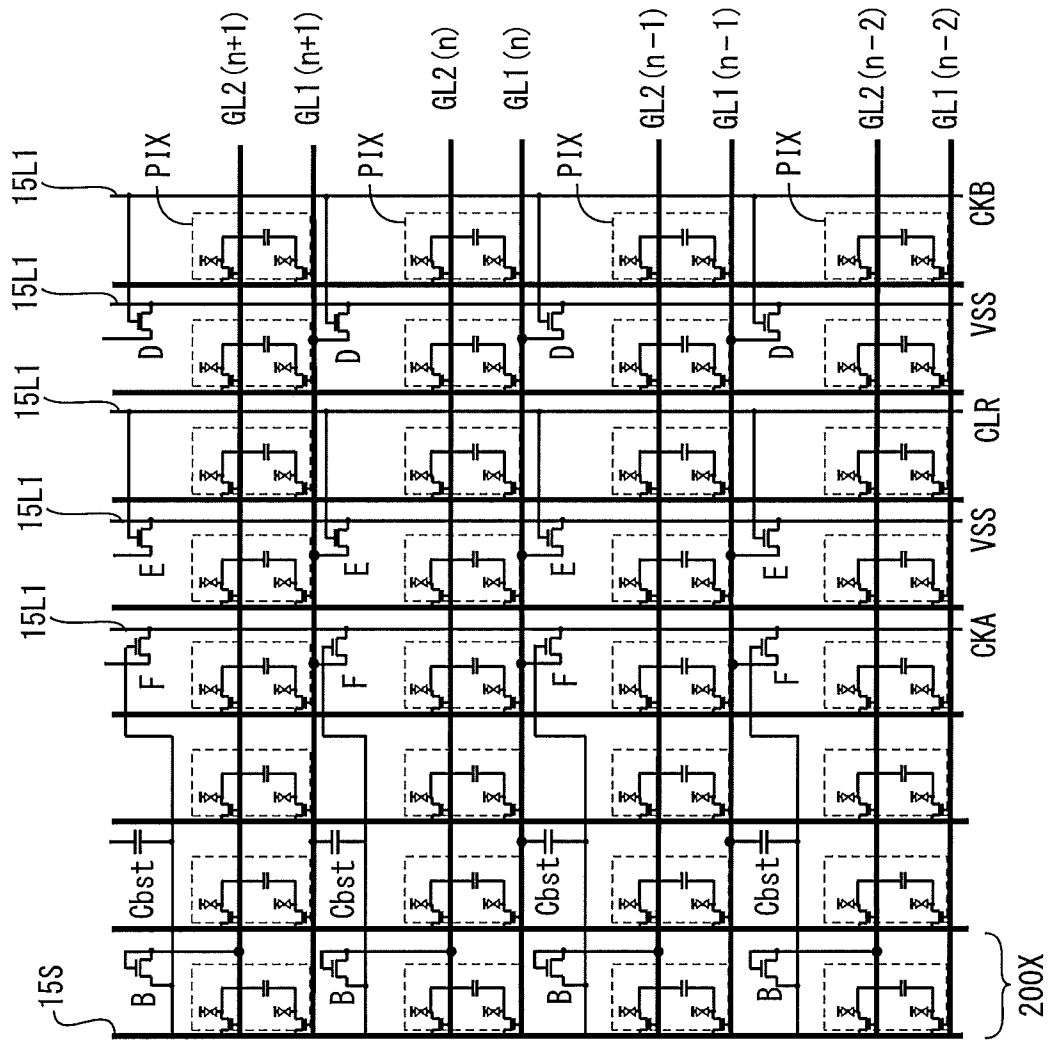
[図38]



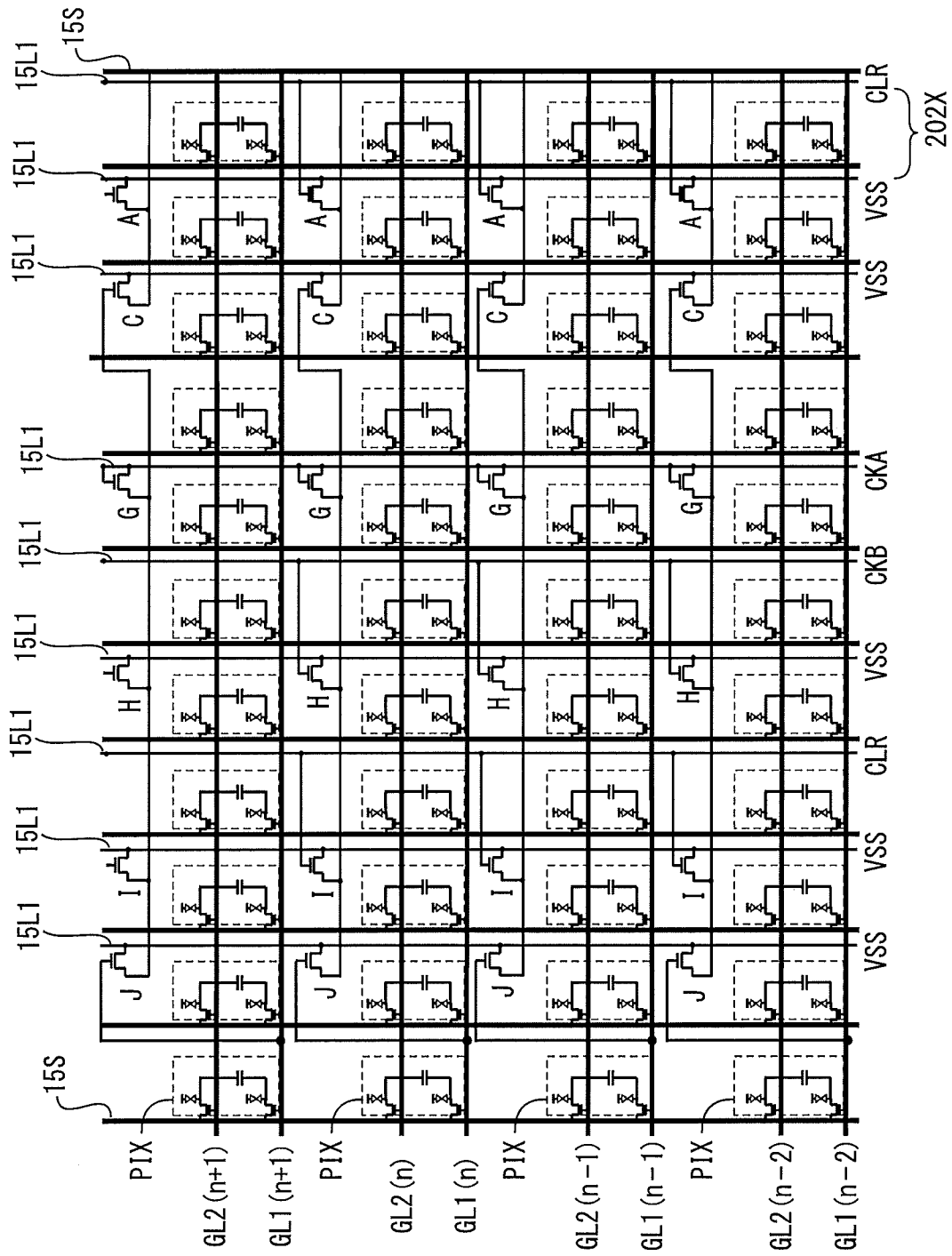
[39A]



[ 39B]



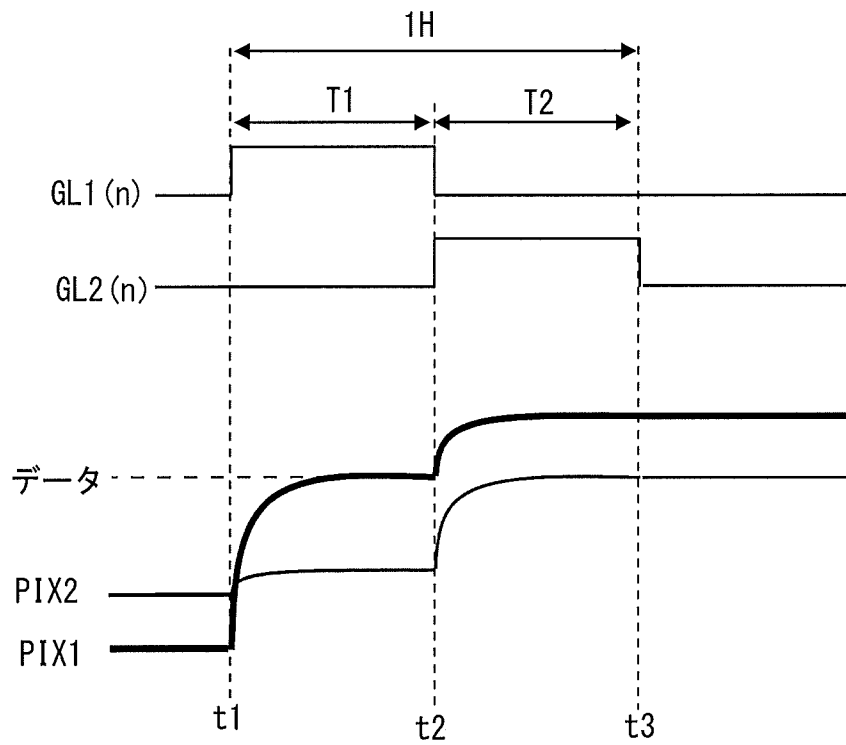
[ 39C ]



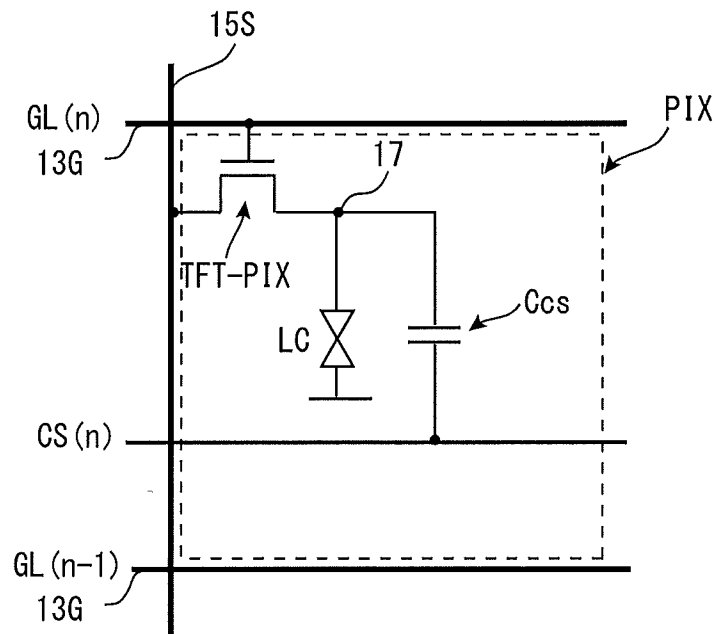




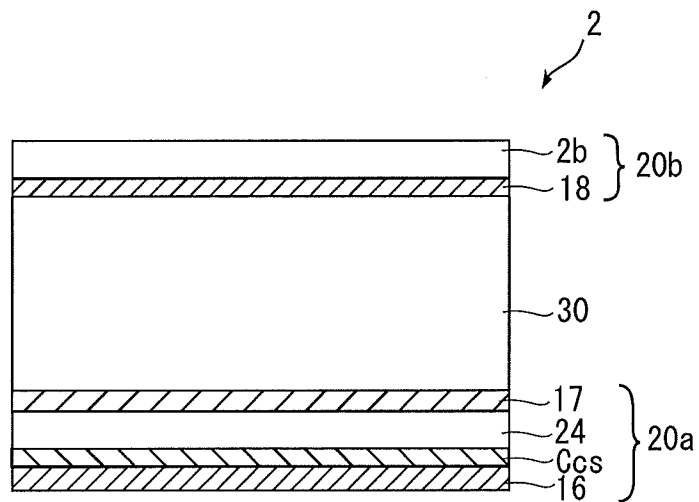
[図40]



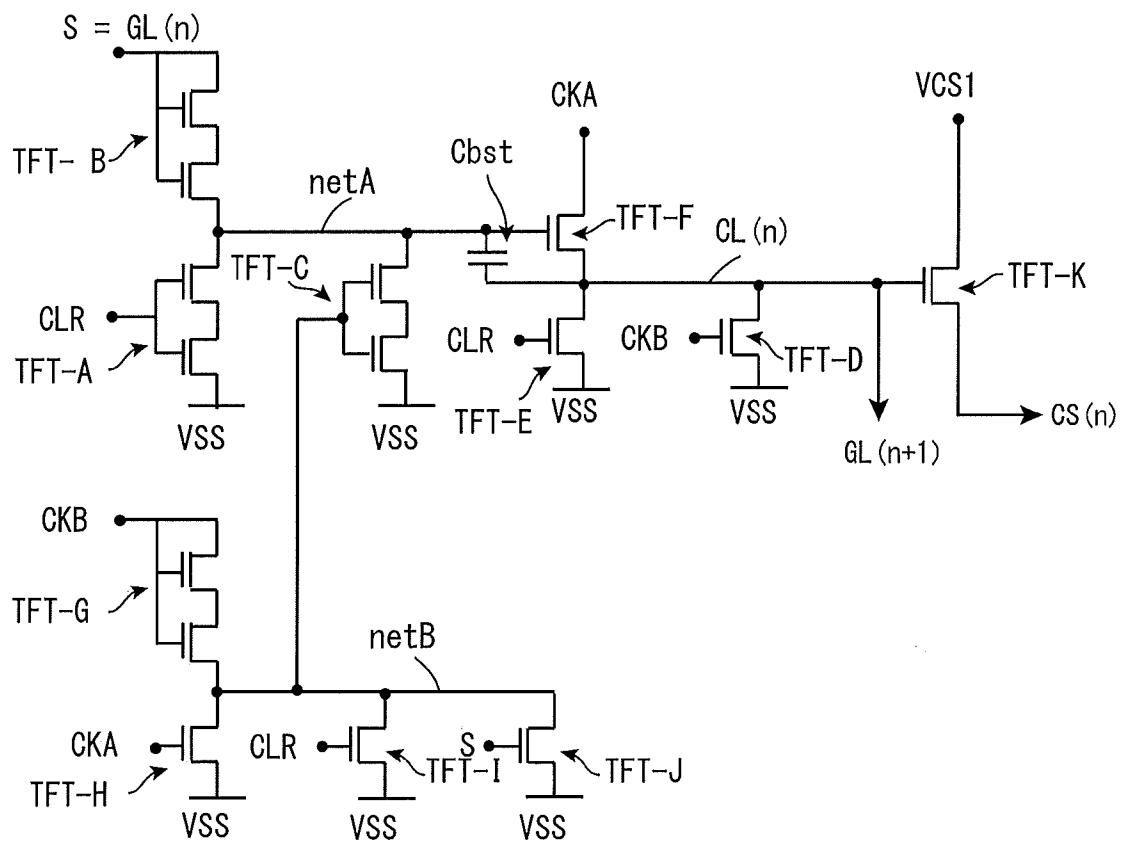
[図41]



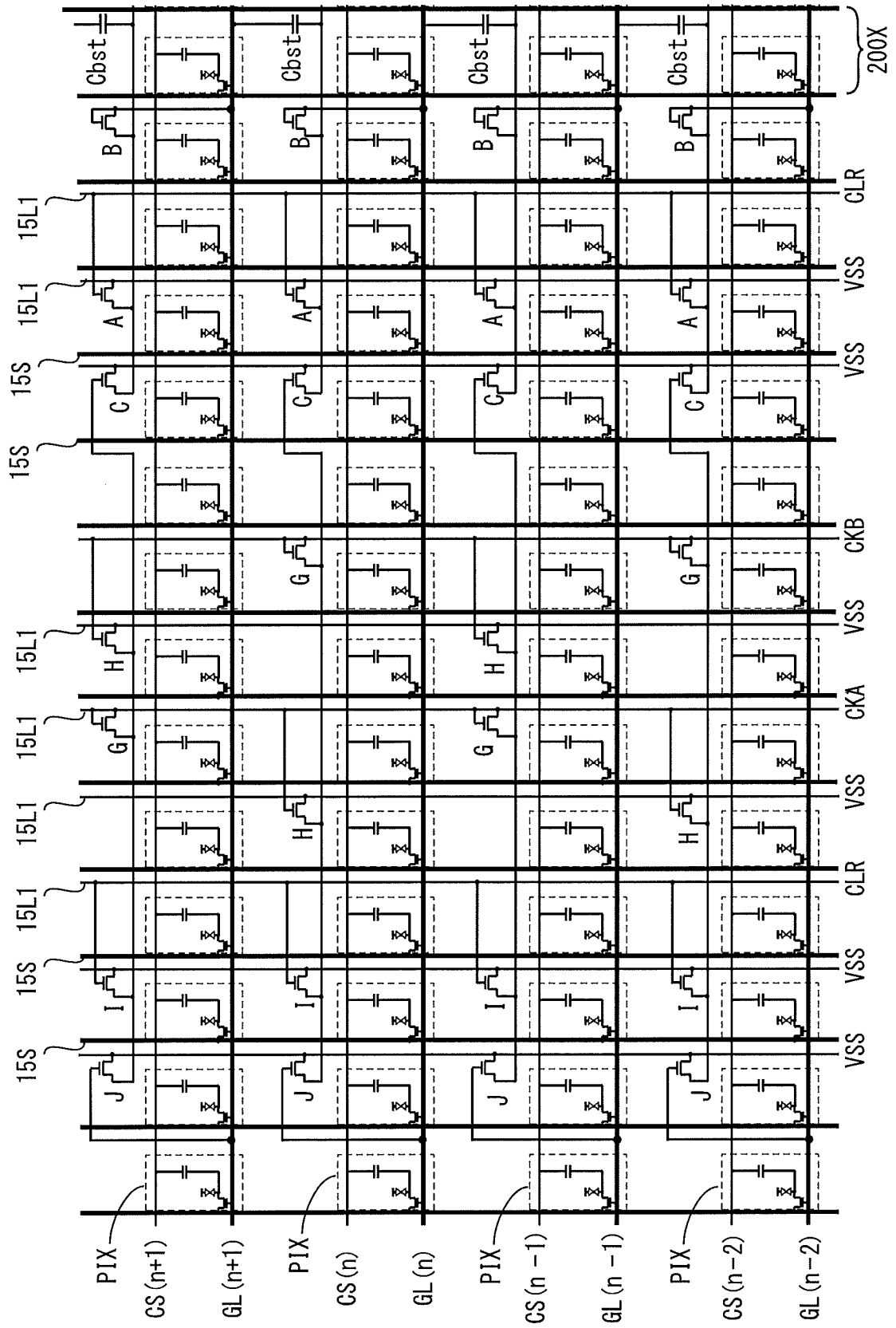
[図42]



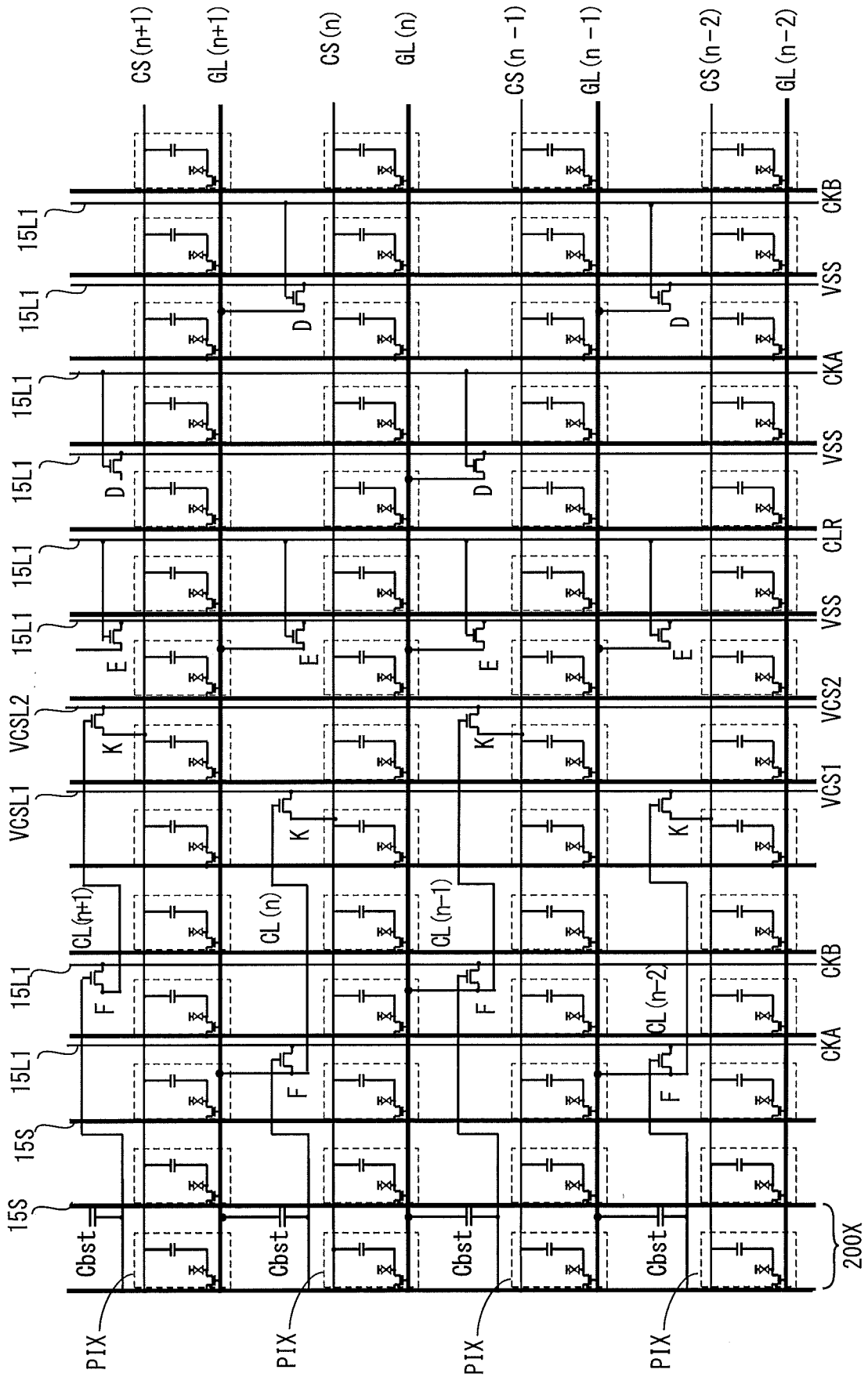
[図43]



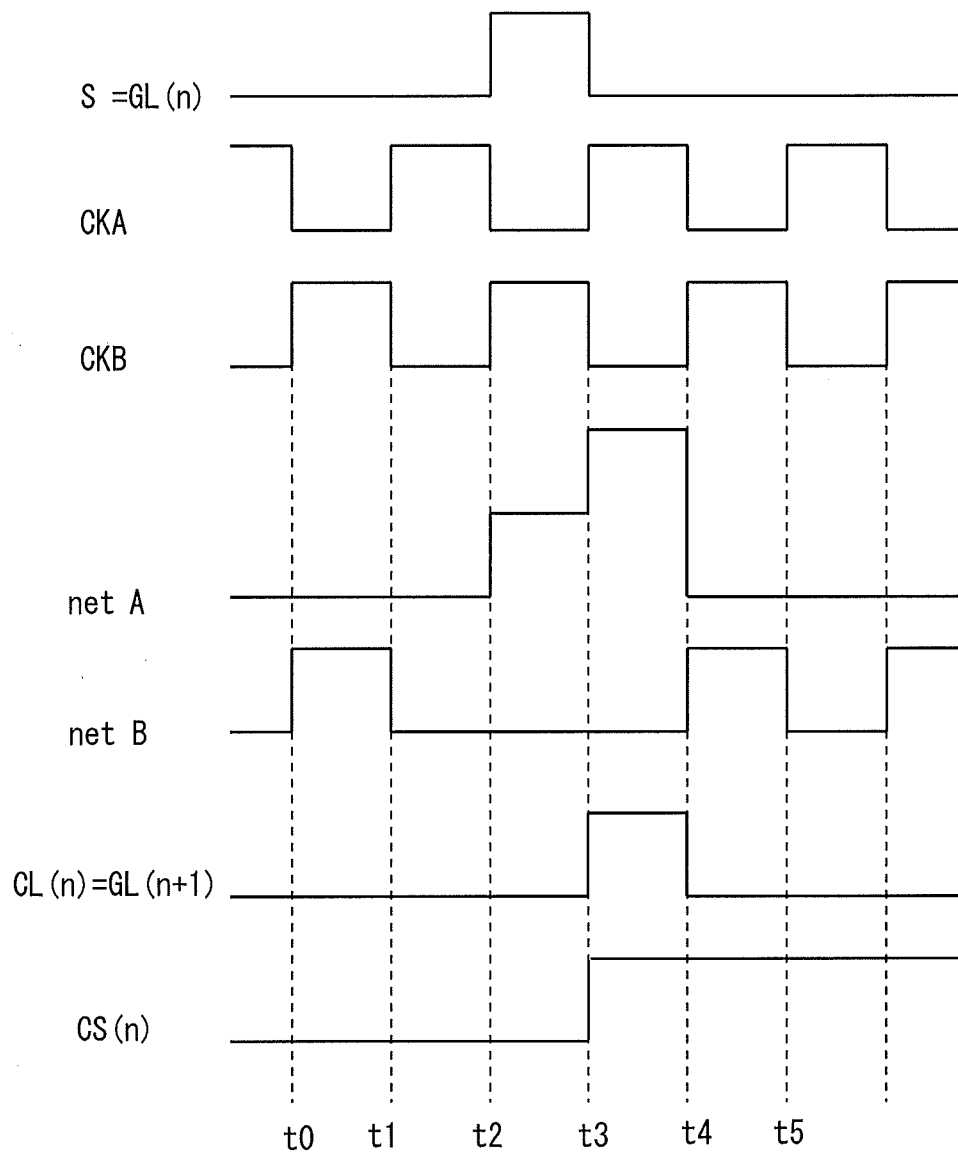
[44A]



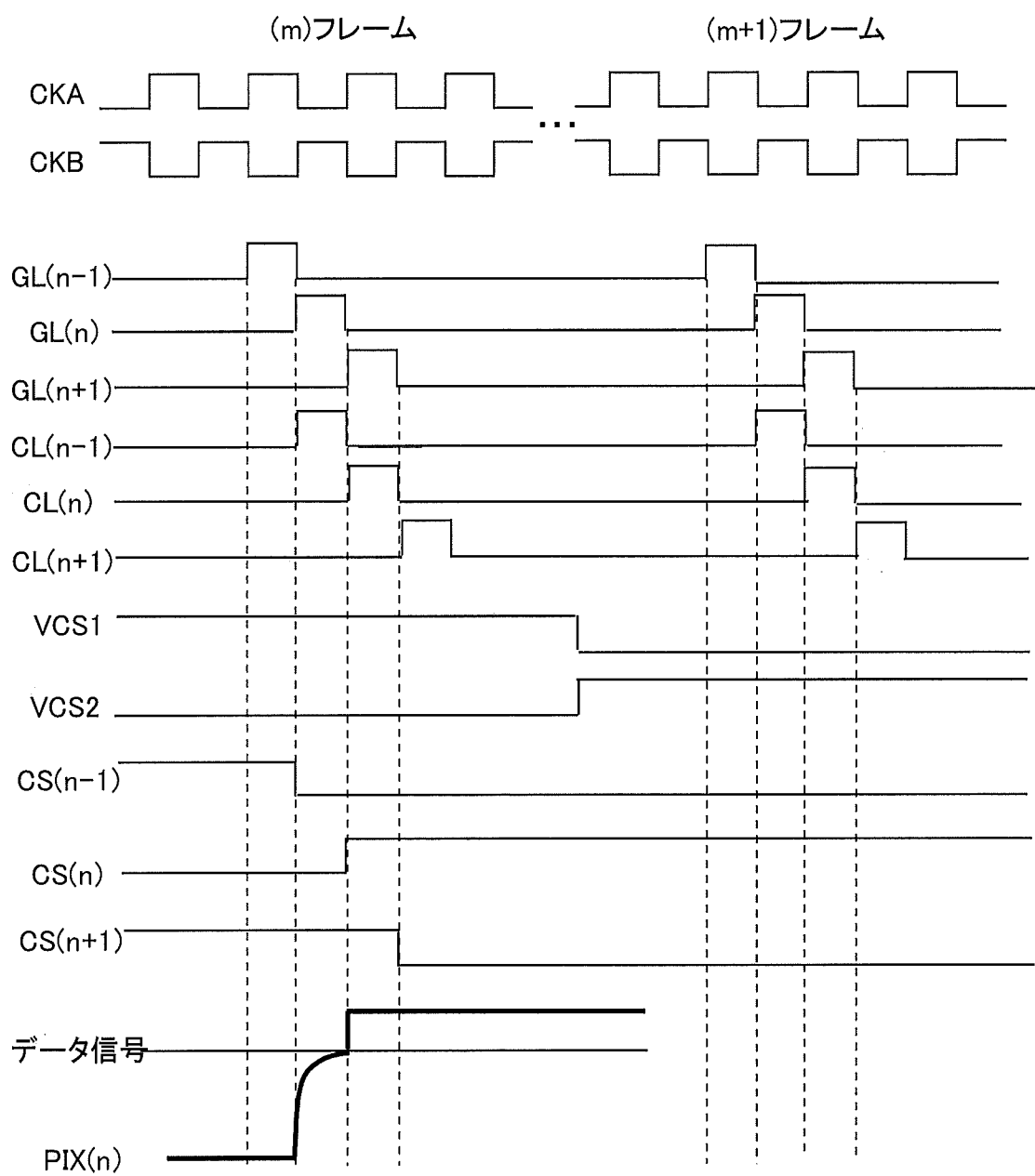
[44B]



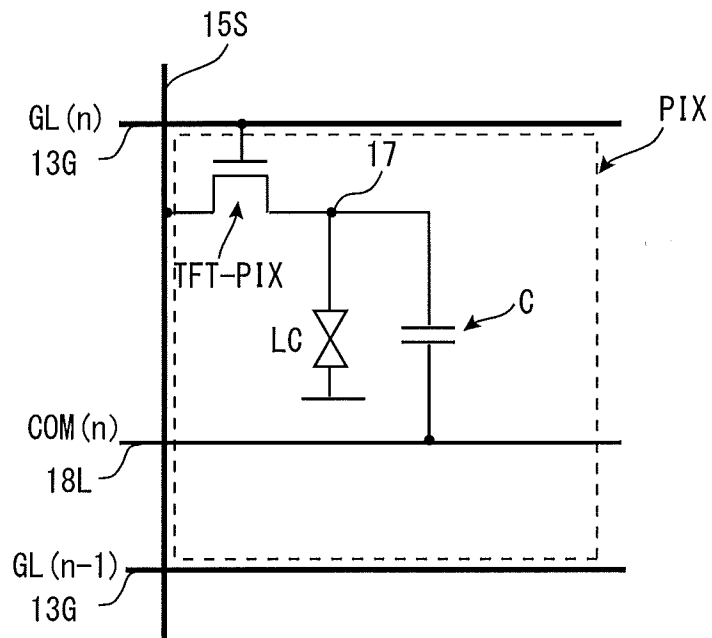
[図45]



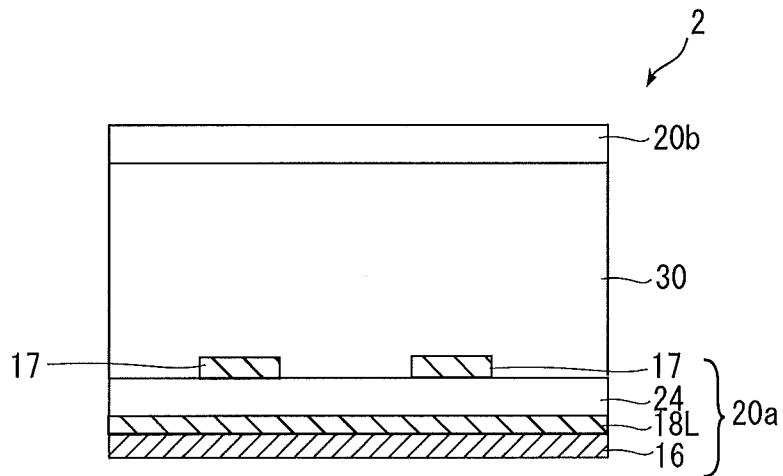
[図46]



[図47]

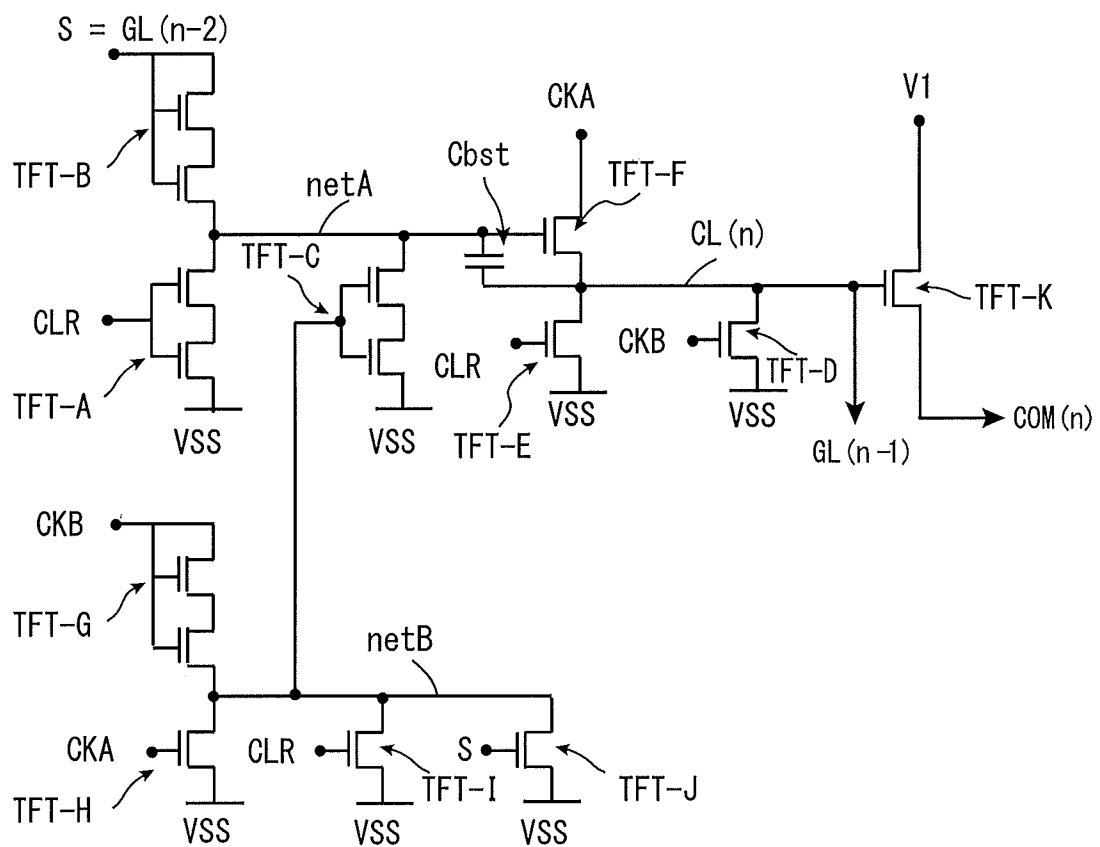


[図48]



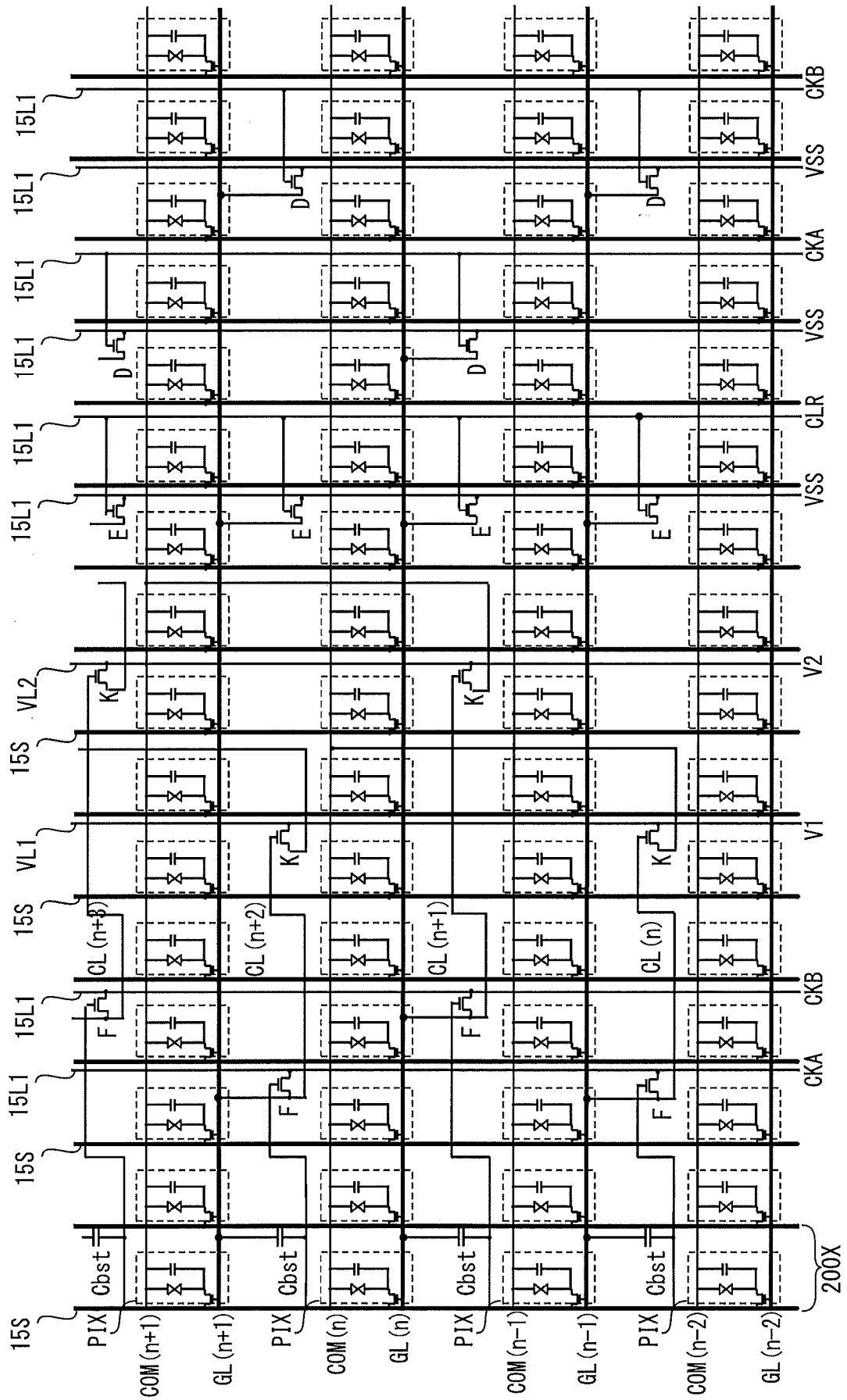


[図49]

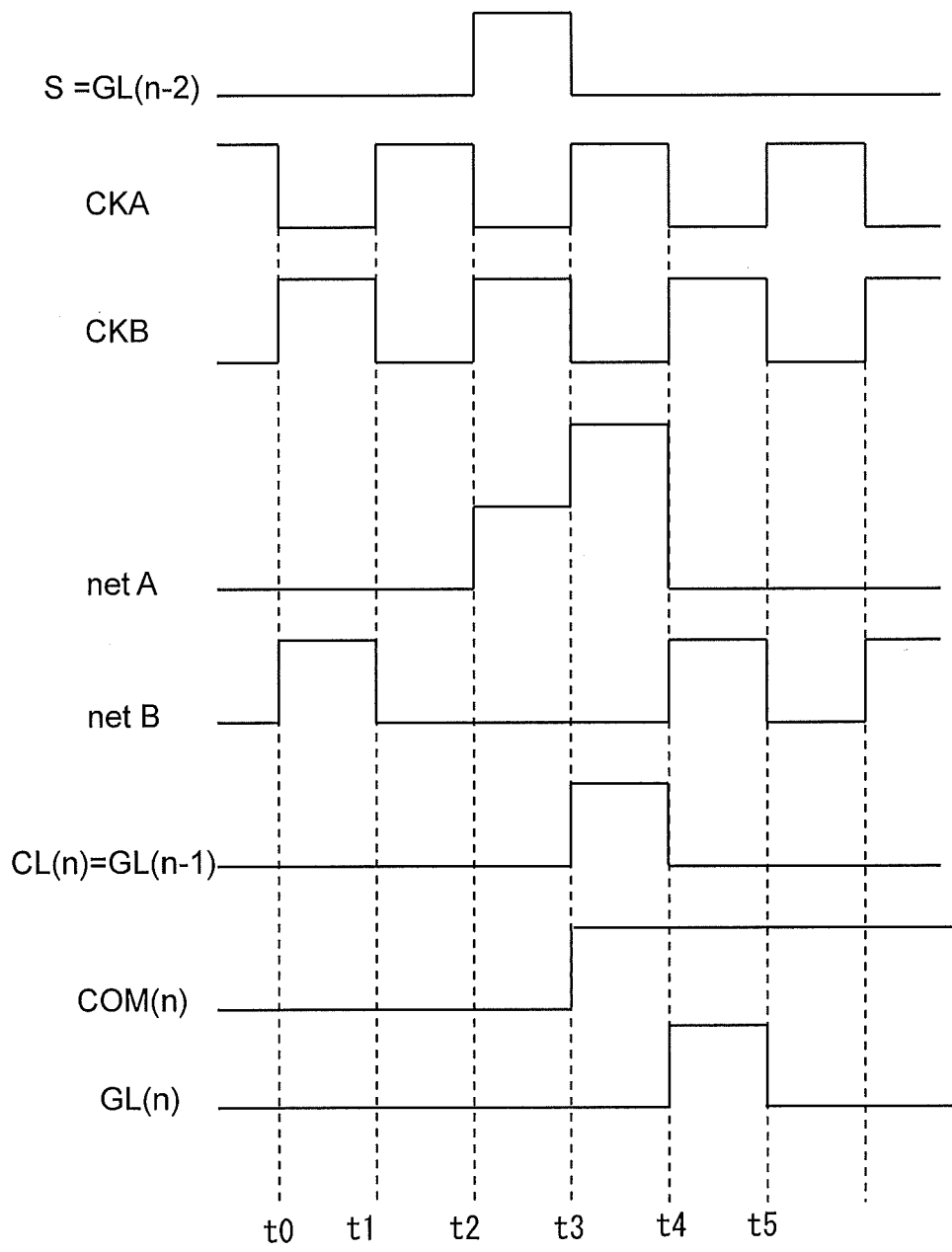




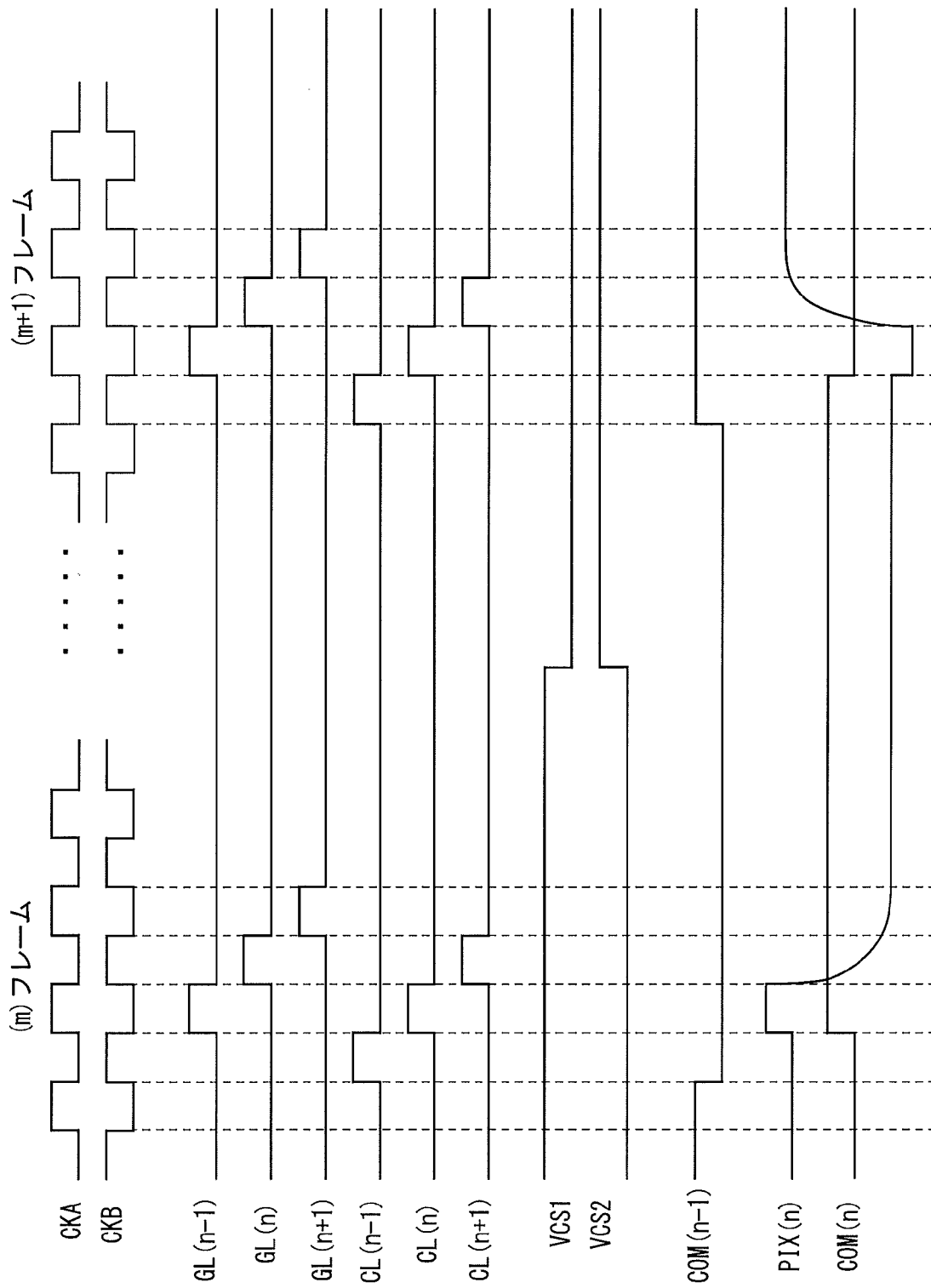
[50B]



[図51]

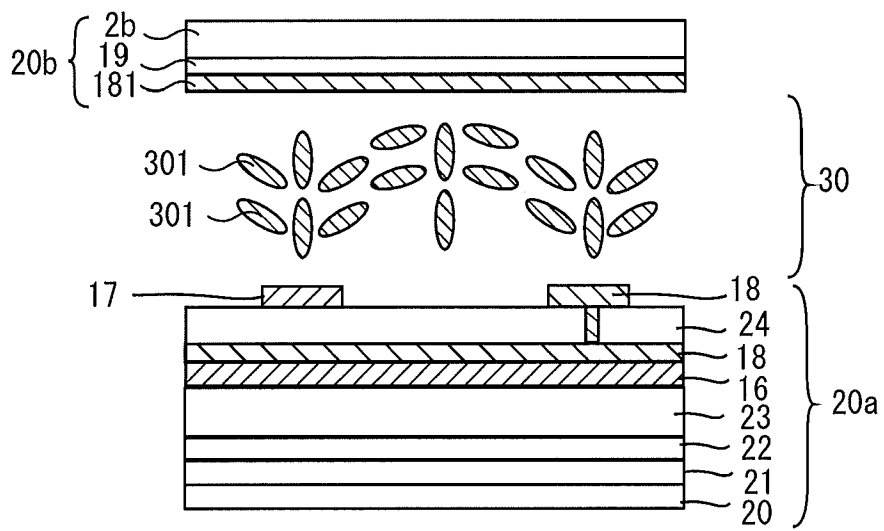


[図52]

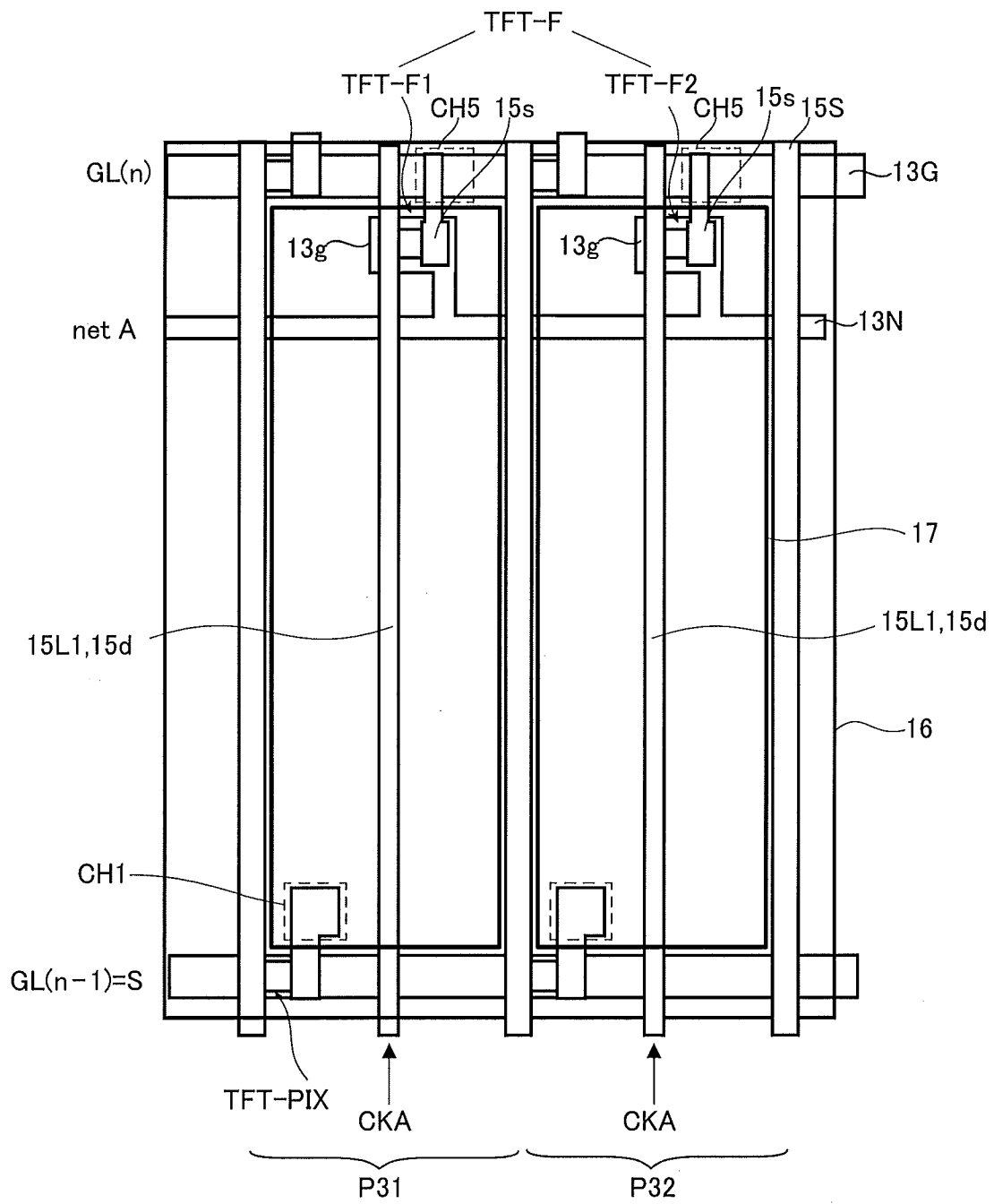




[図55B]

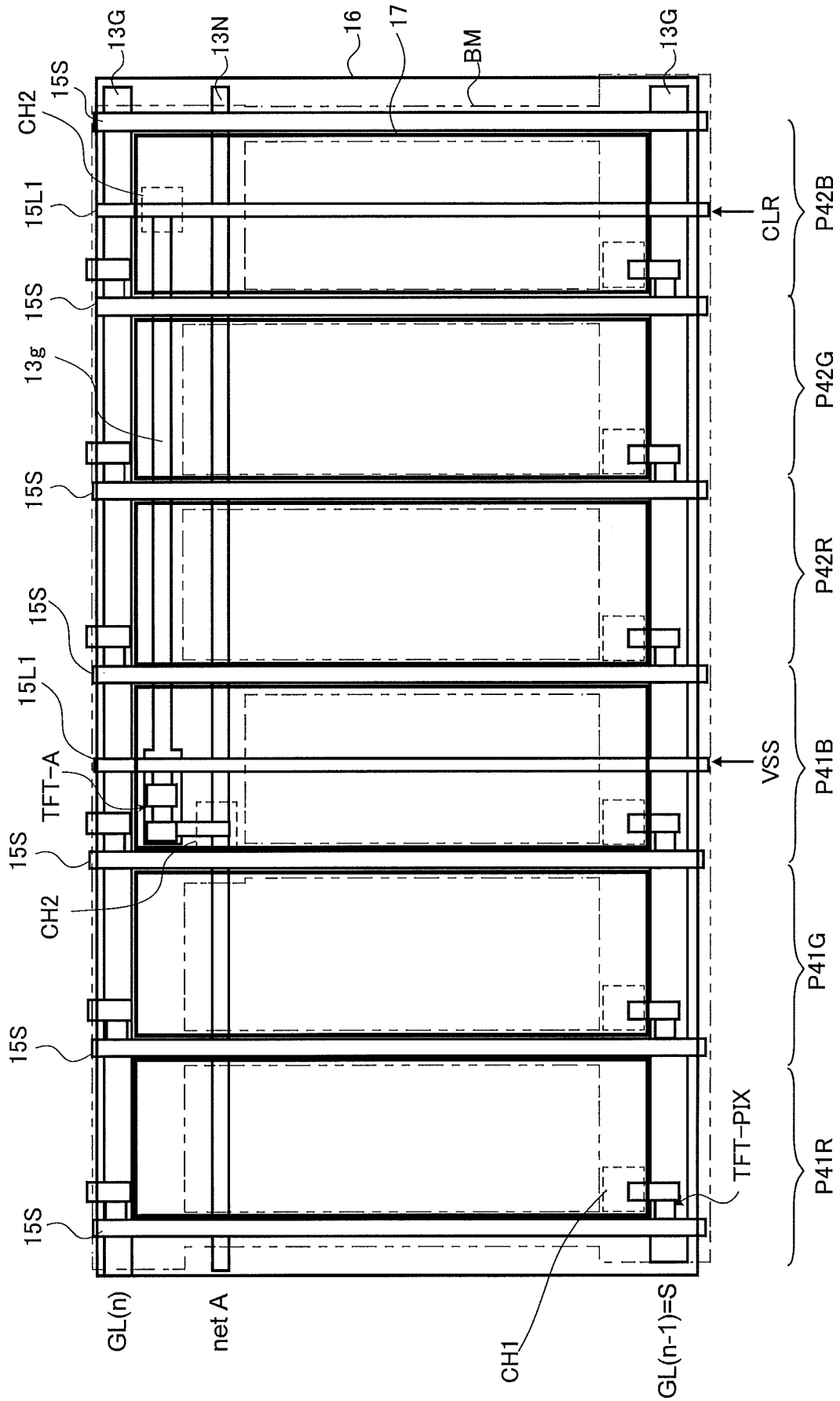


[図56]





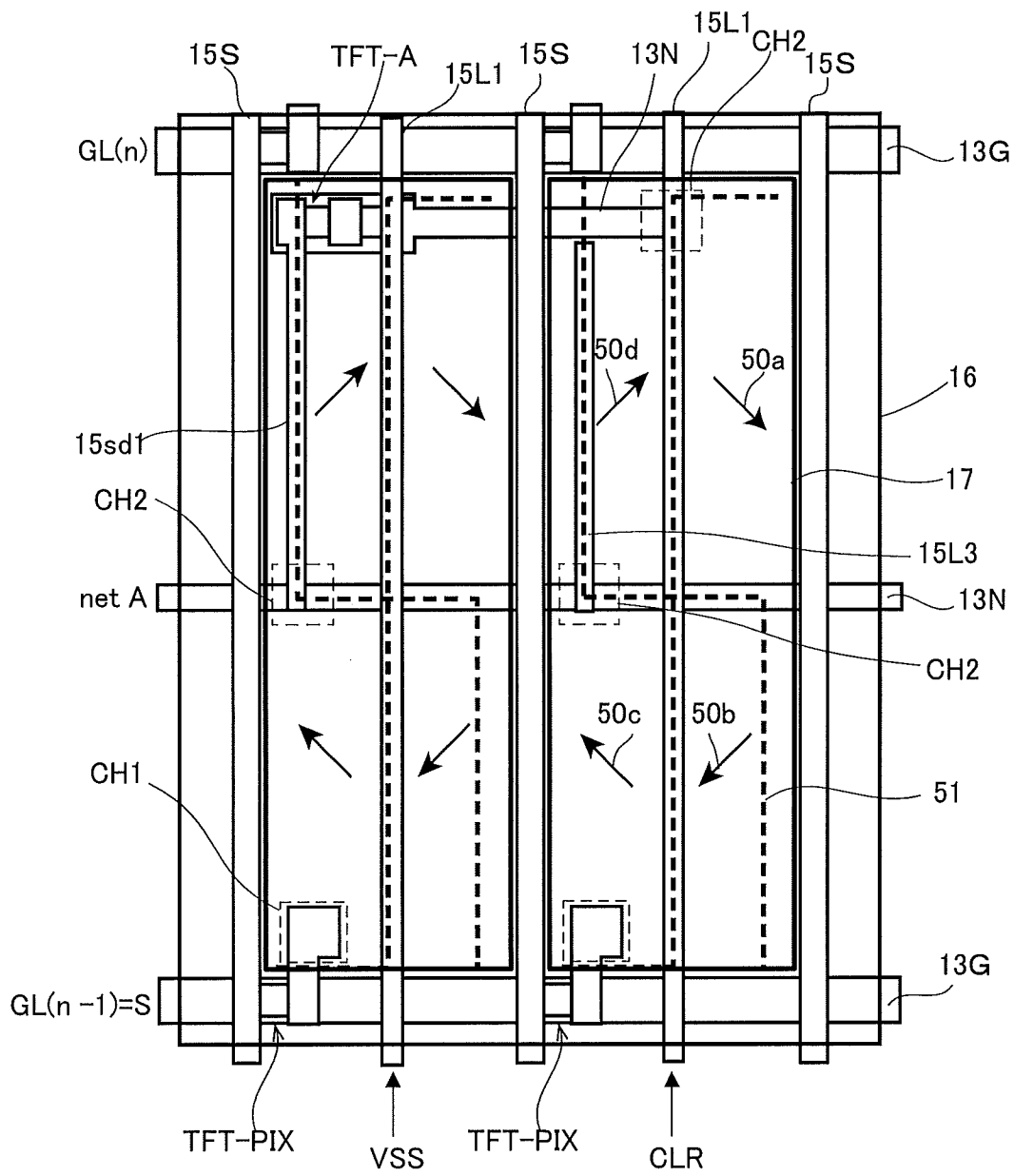
[57]



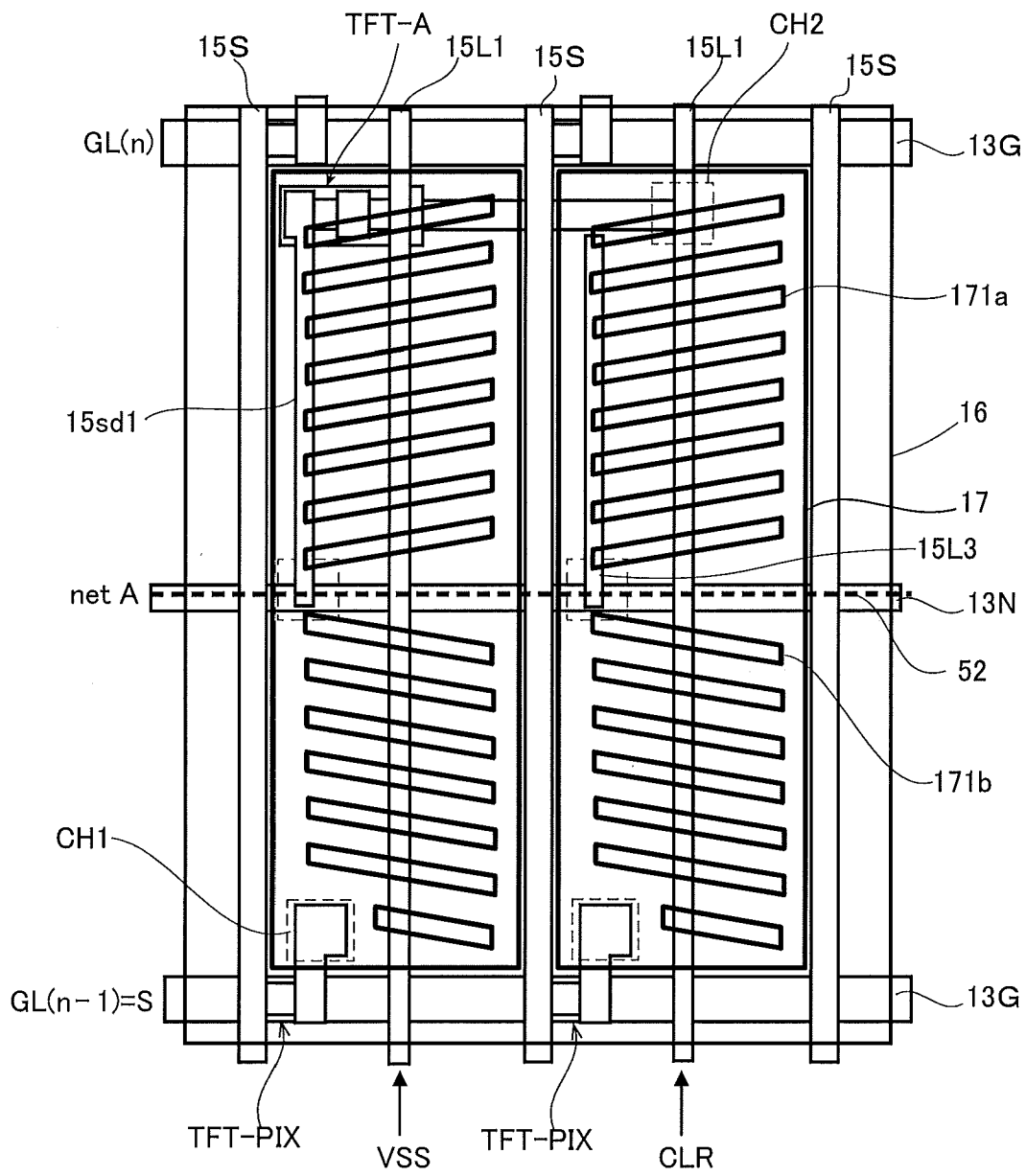




[図60A]

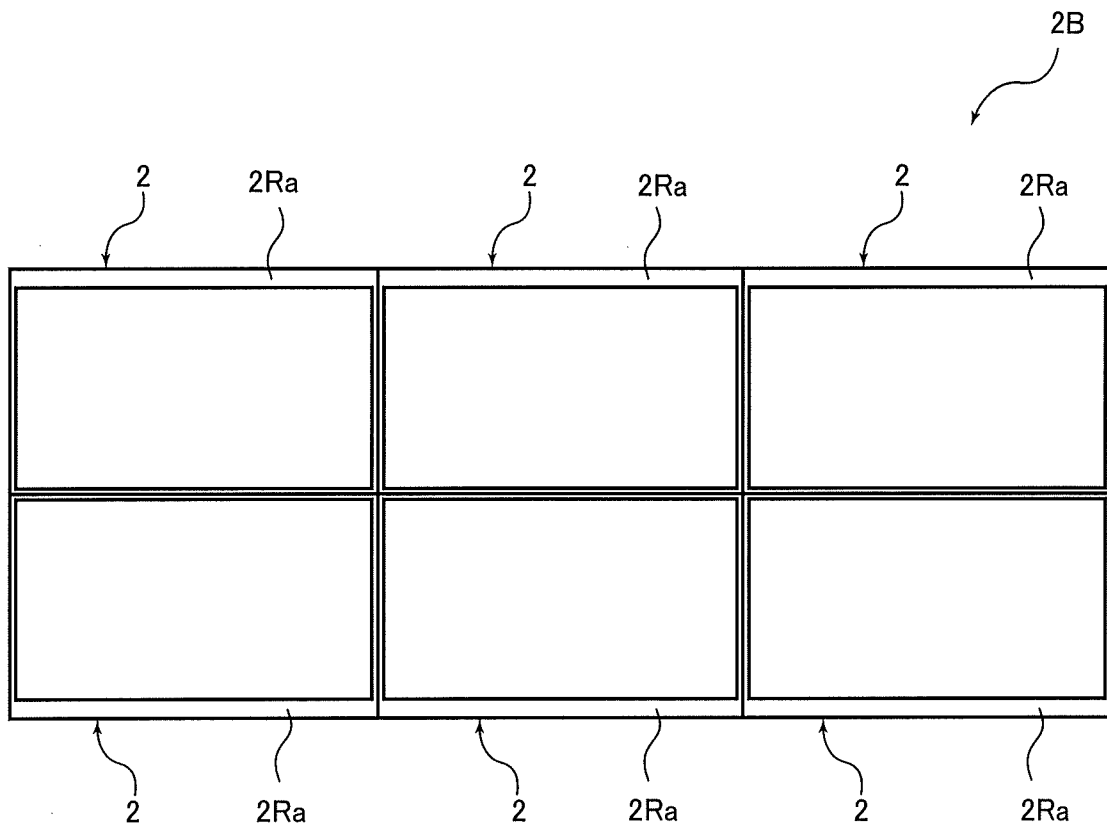


[図60B]





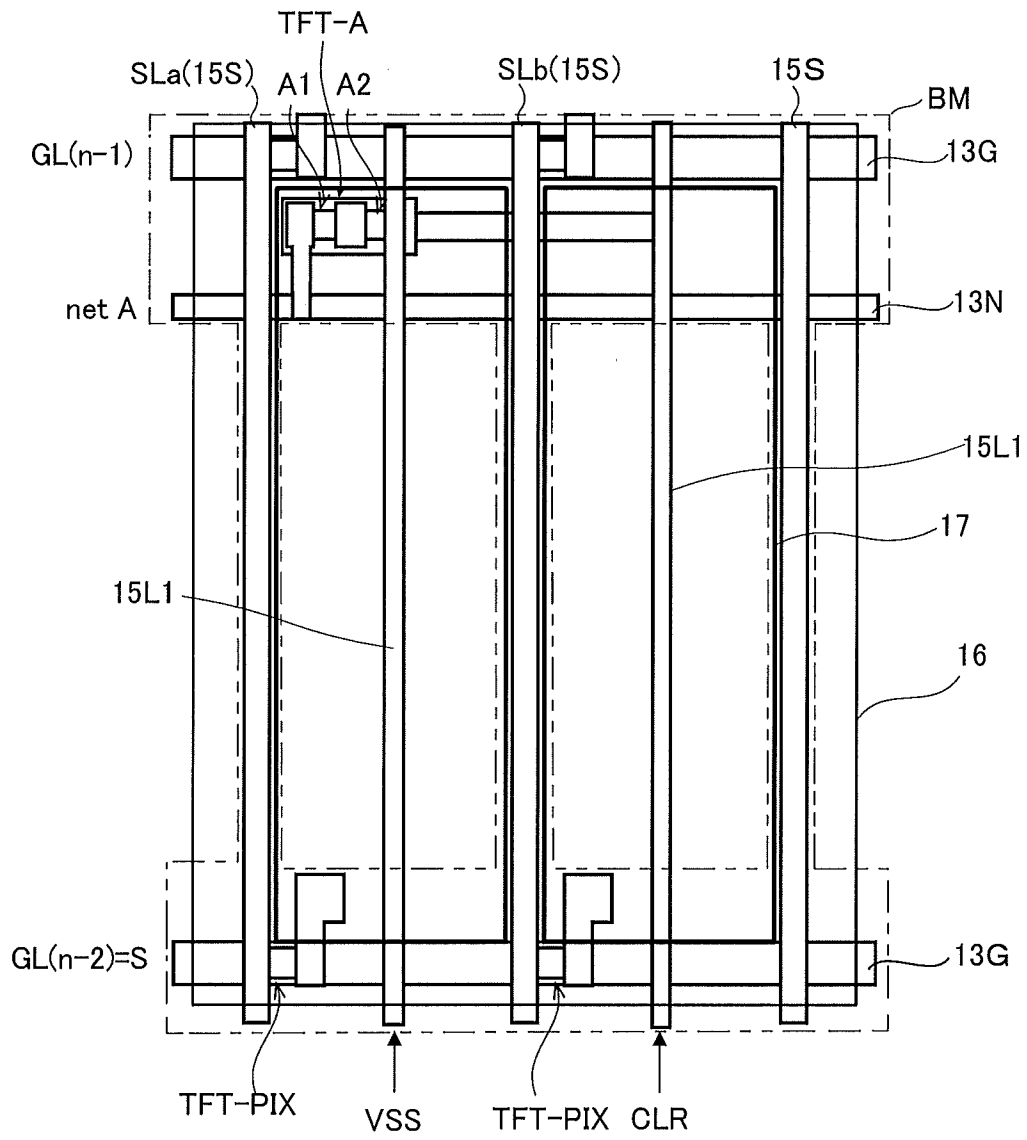
[図61B]



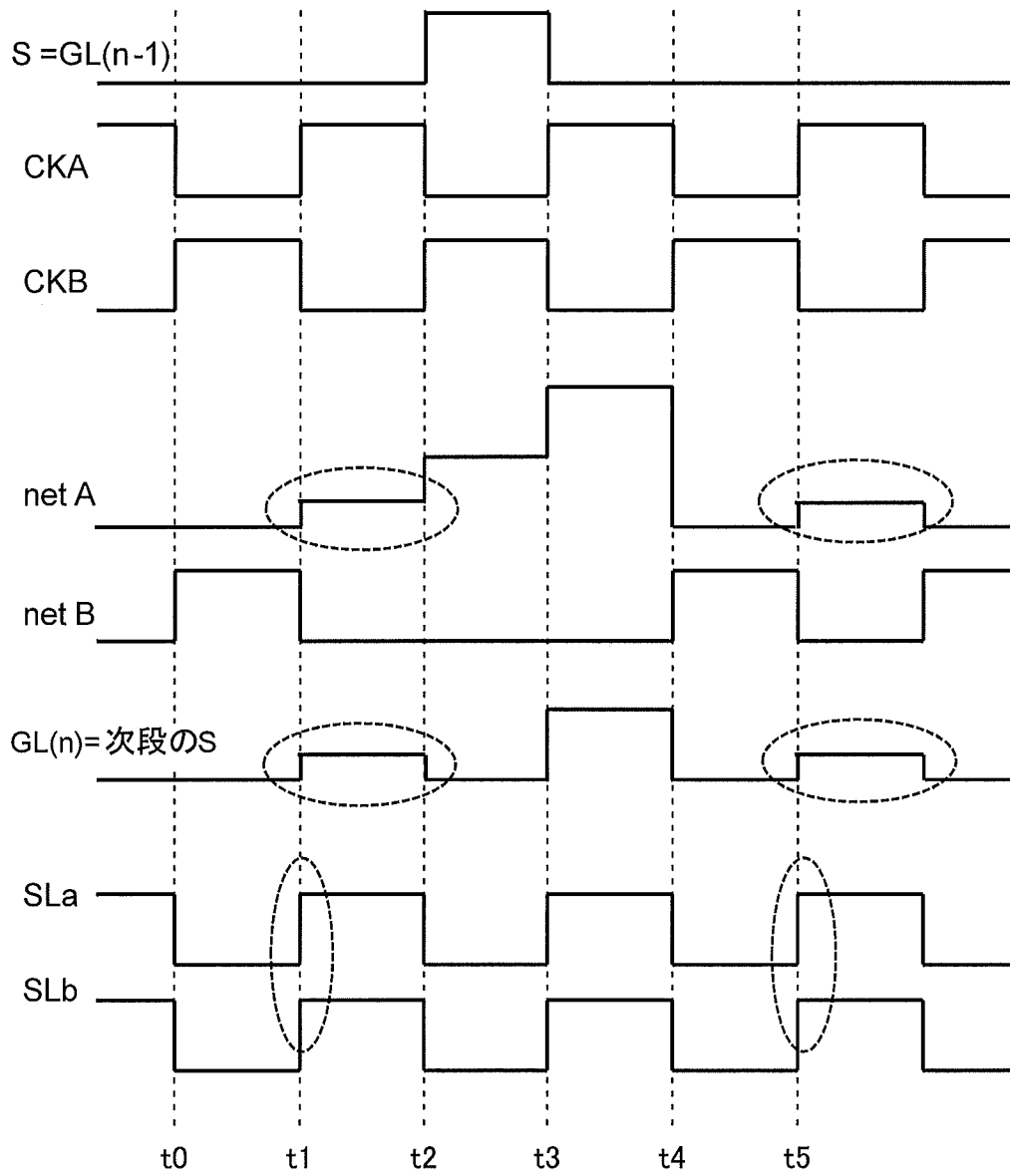




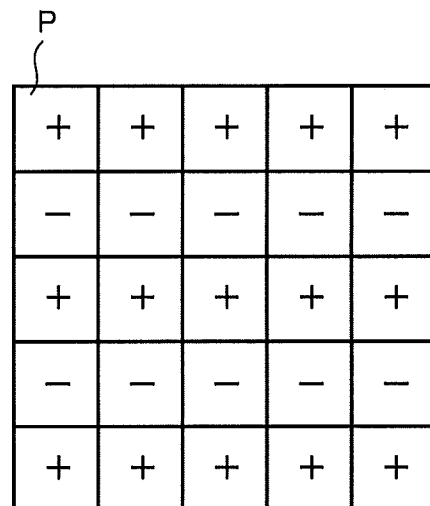
[図63A]



[図63B]



[図64A]



[図64B]

P

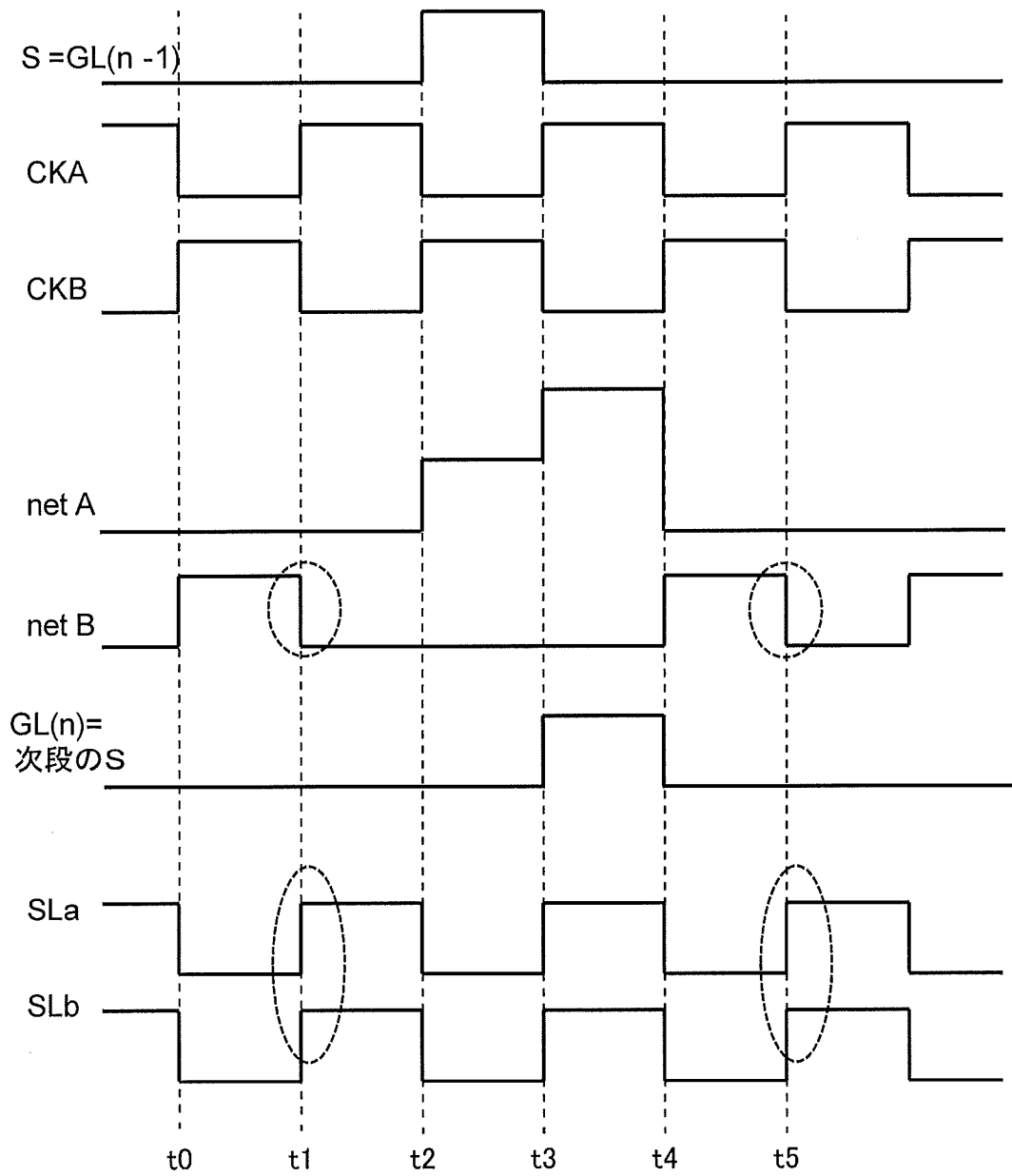
+	-	+	-	+
-	+	-	+	-
+	-	+	-	+
-	+	-	+	-
+	-	+	-	+

[図64C]

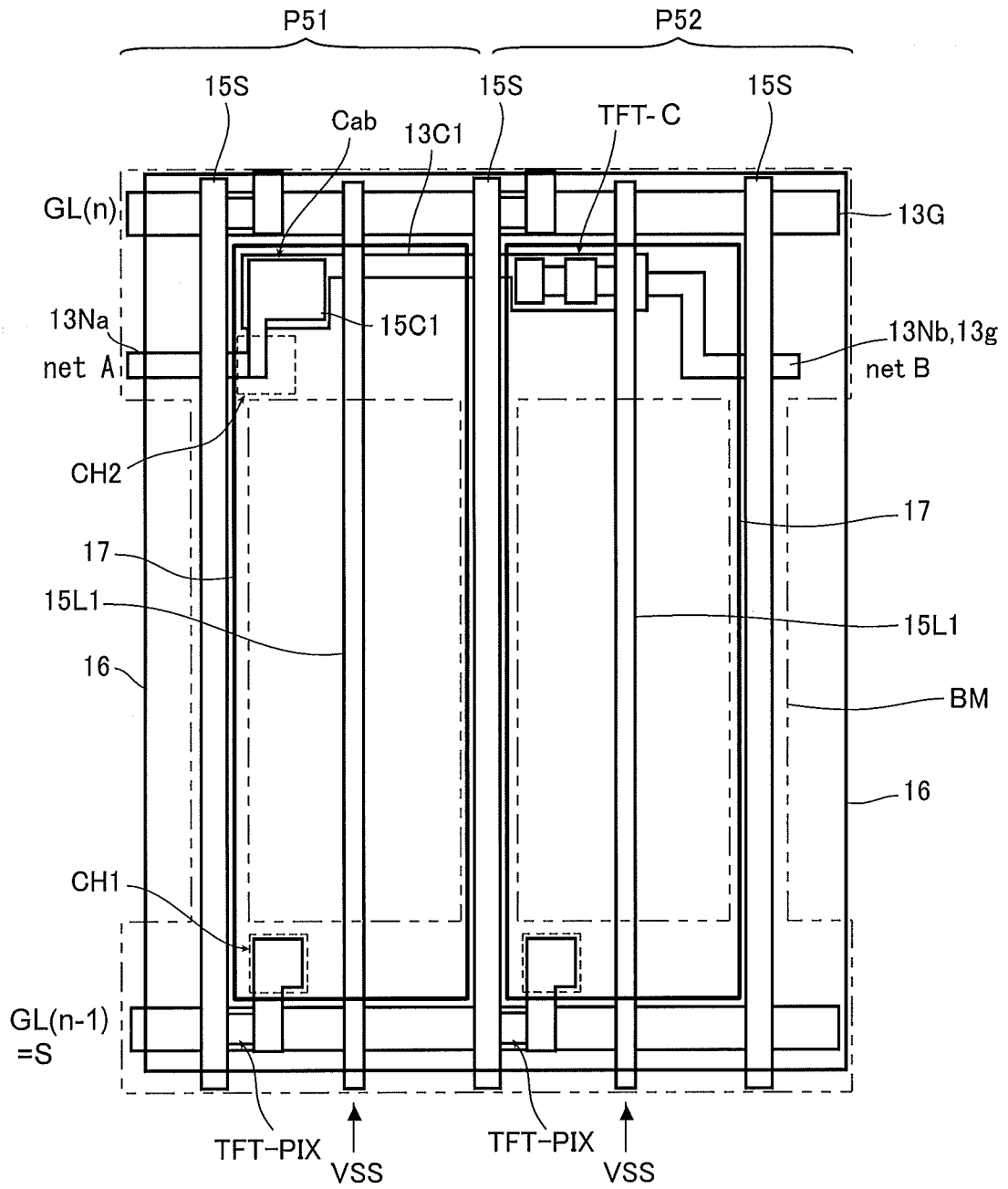
P

+	-	+	-	+
+	-	+	-	+
+	-	+	-	
+	-	+	-	+
+	-	+	-	+

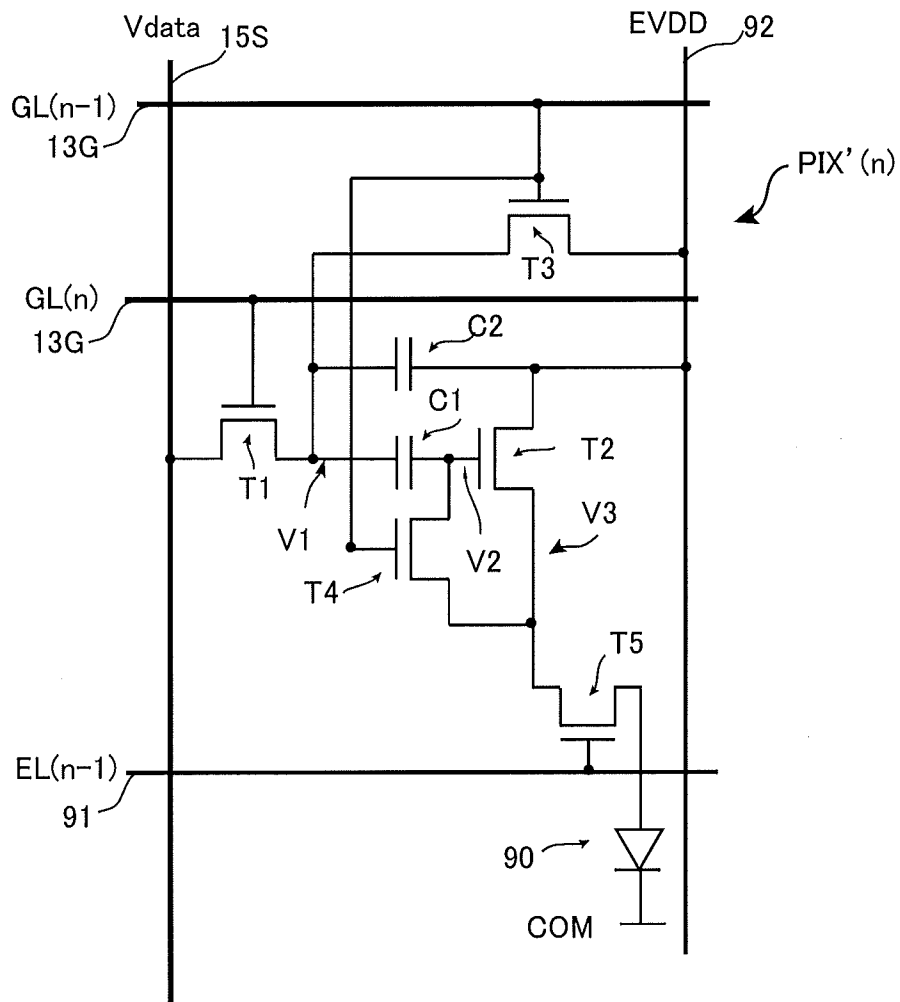
[図65]



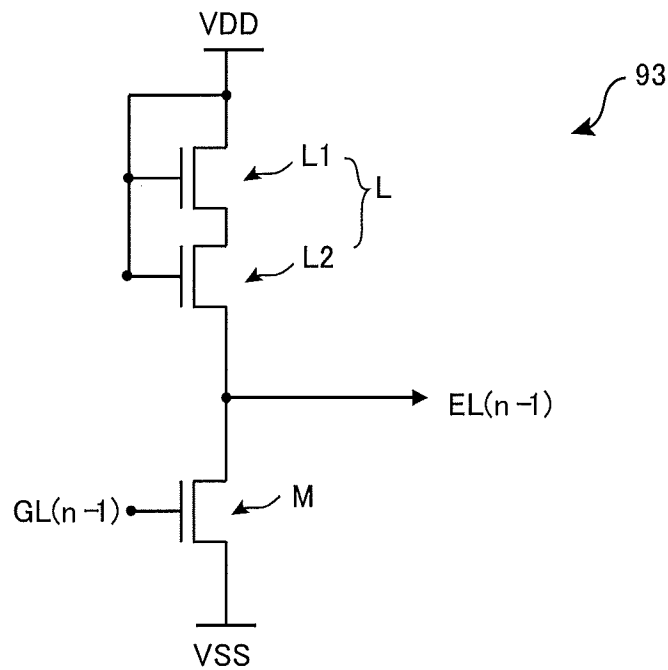
[図66]



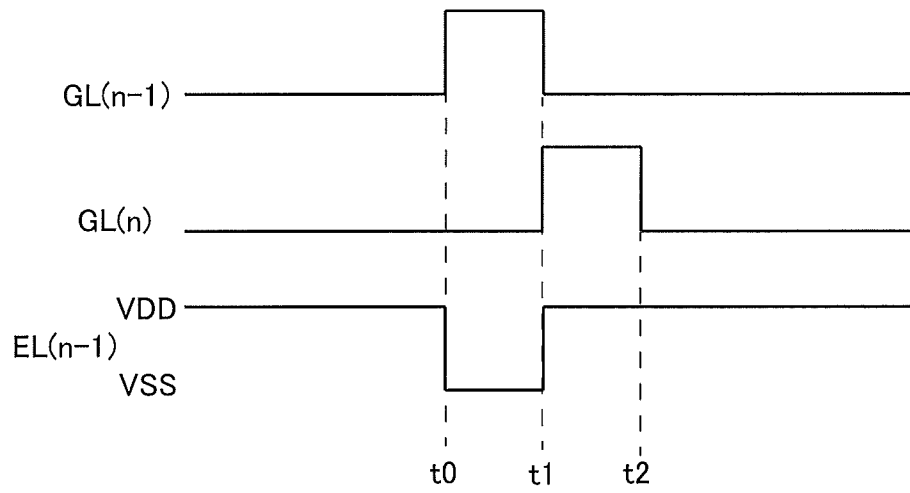
[図67]



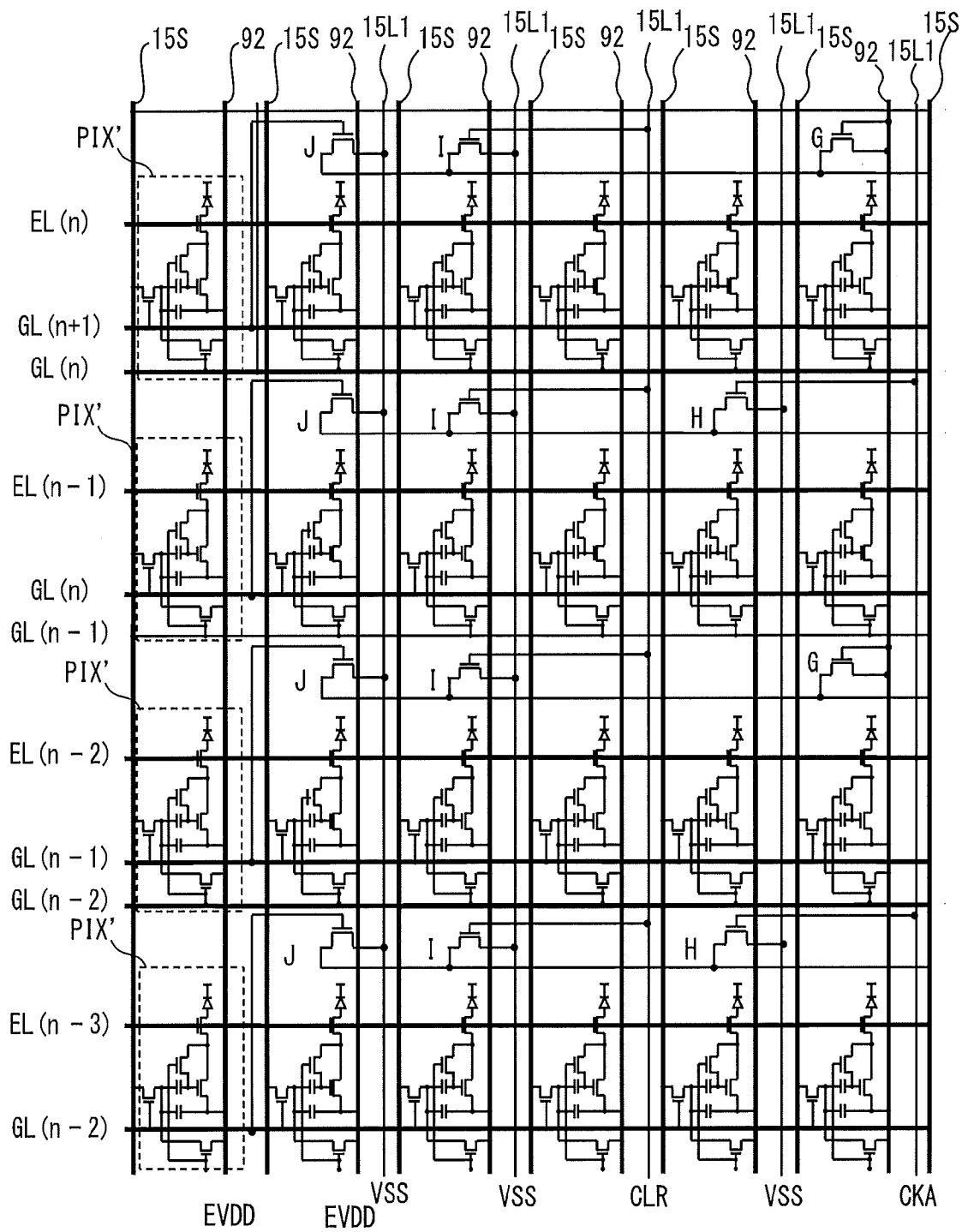
[図68A]



[図68B]

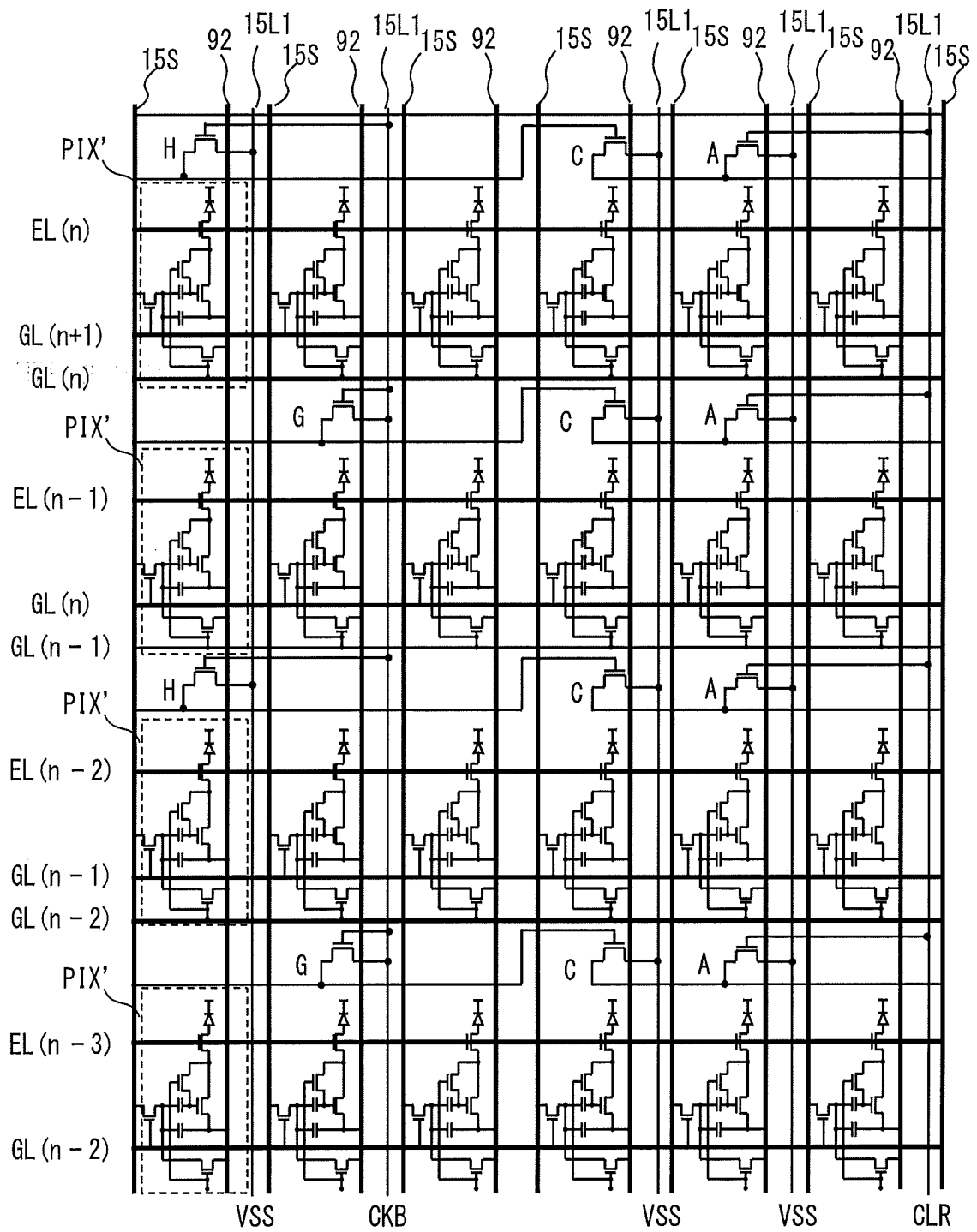


[図69A]



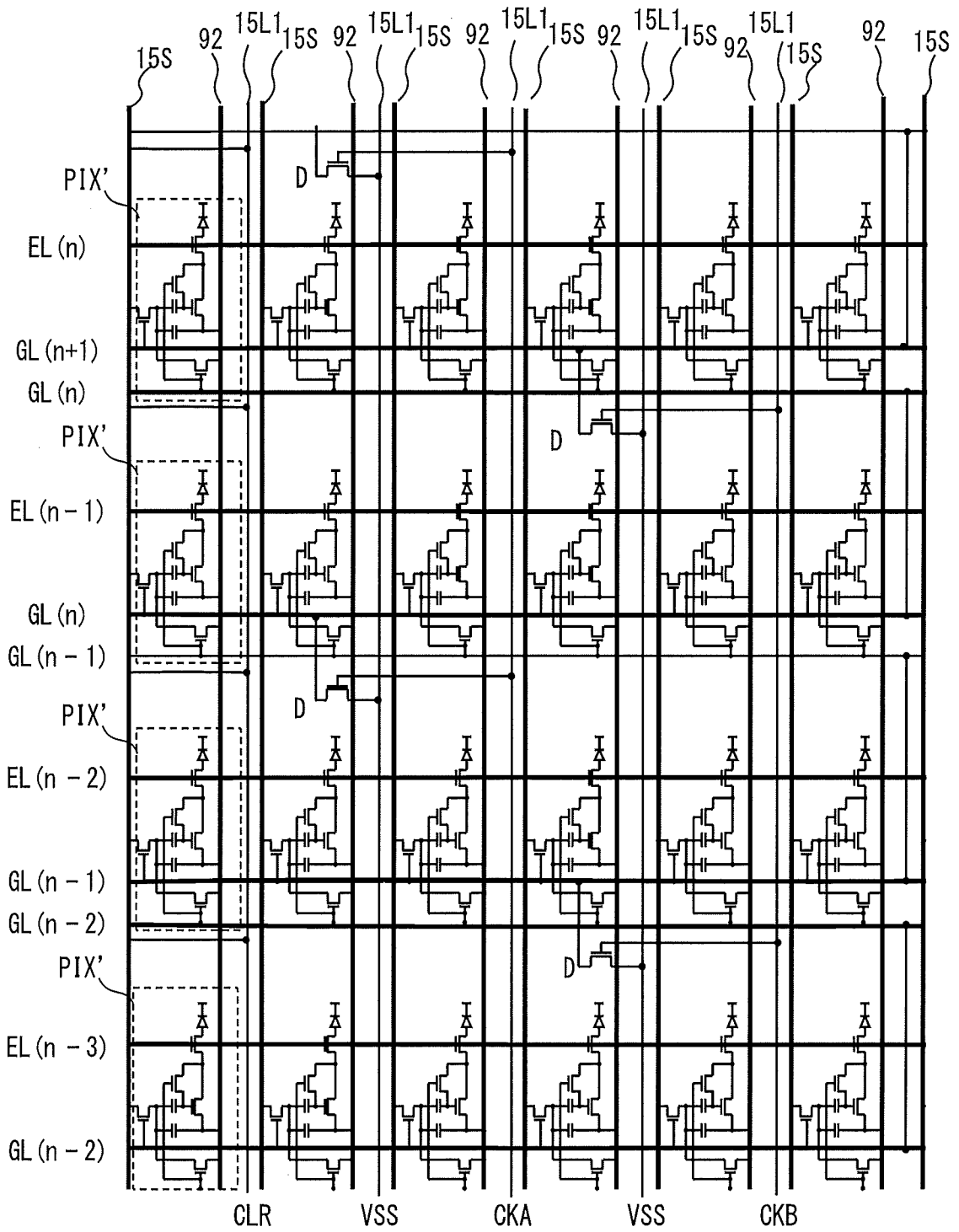


[図69B]

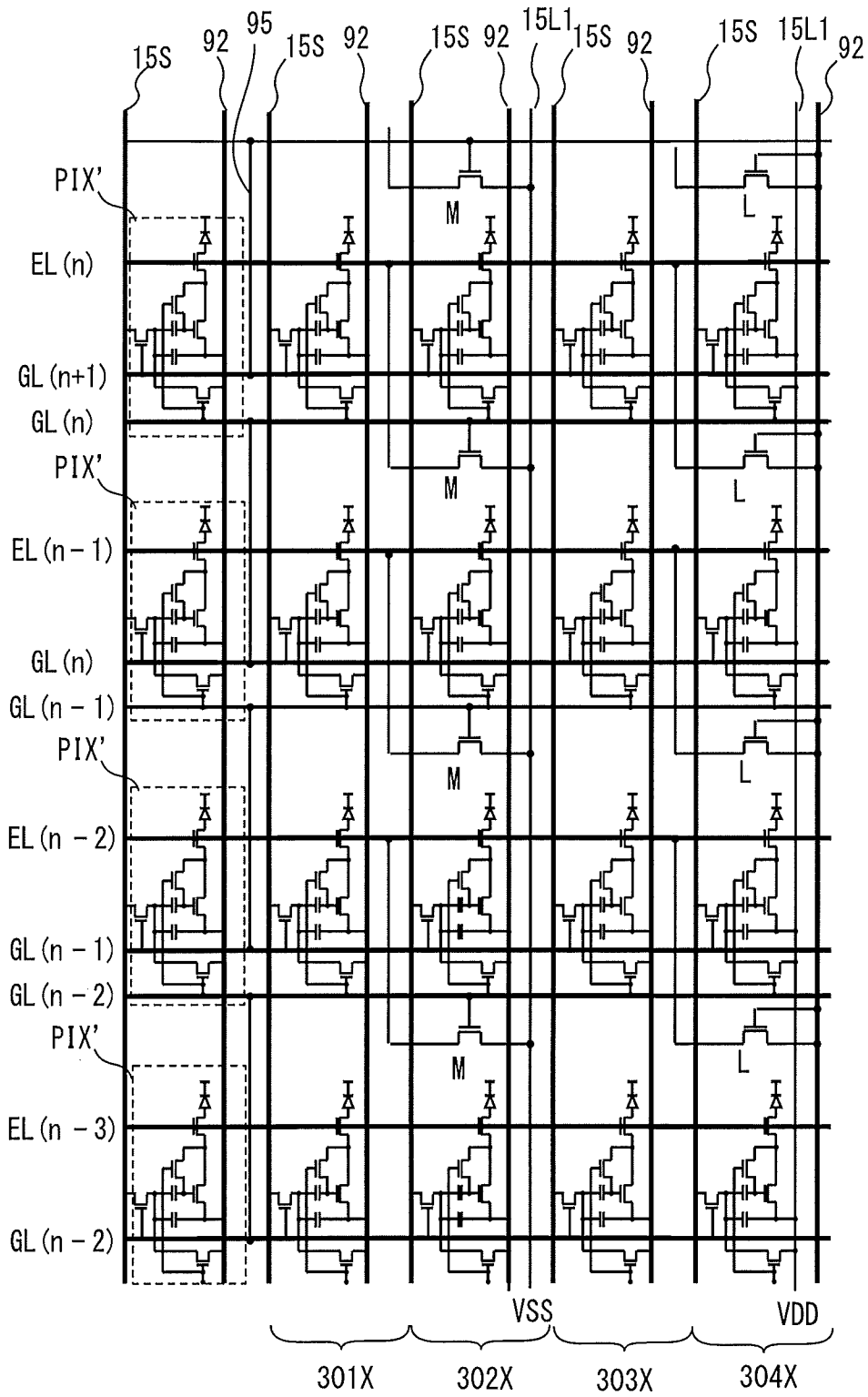




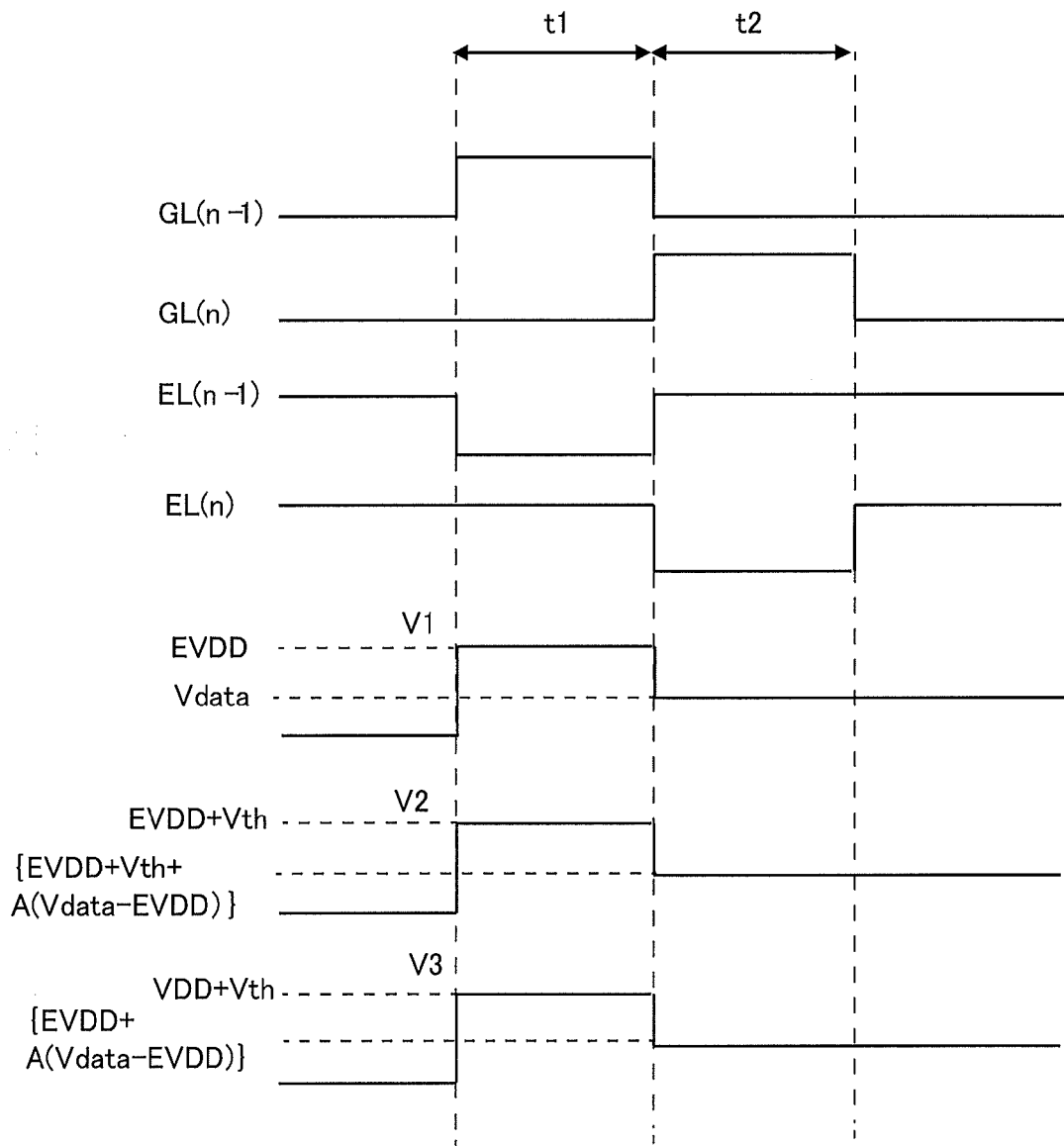
[図69D]



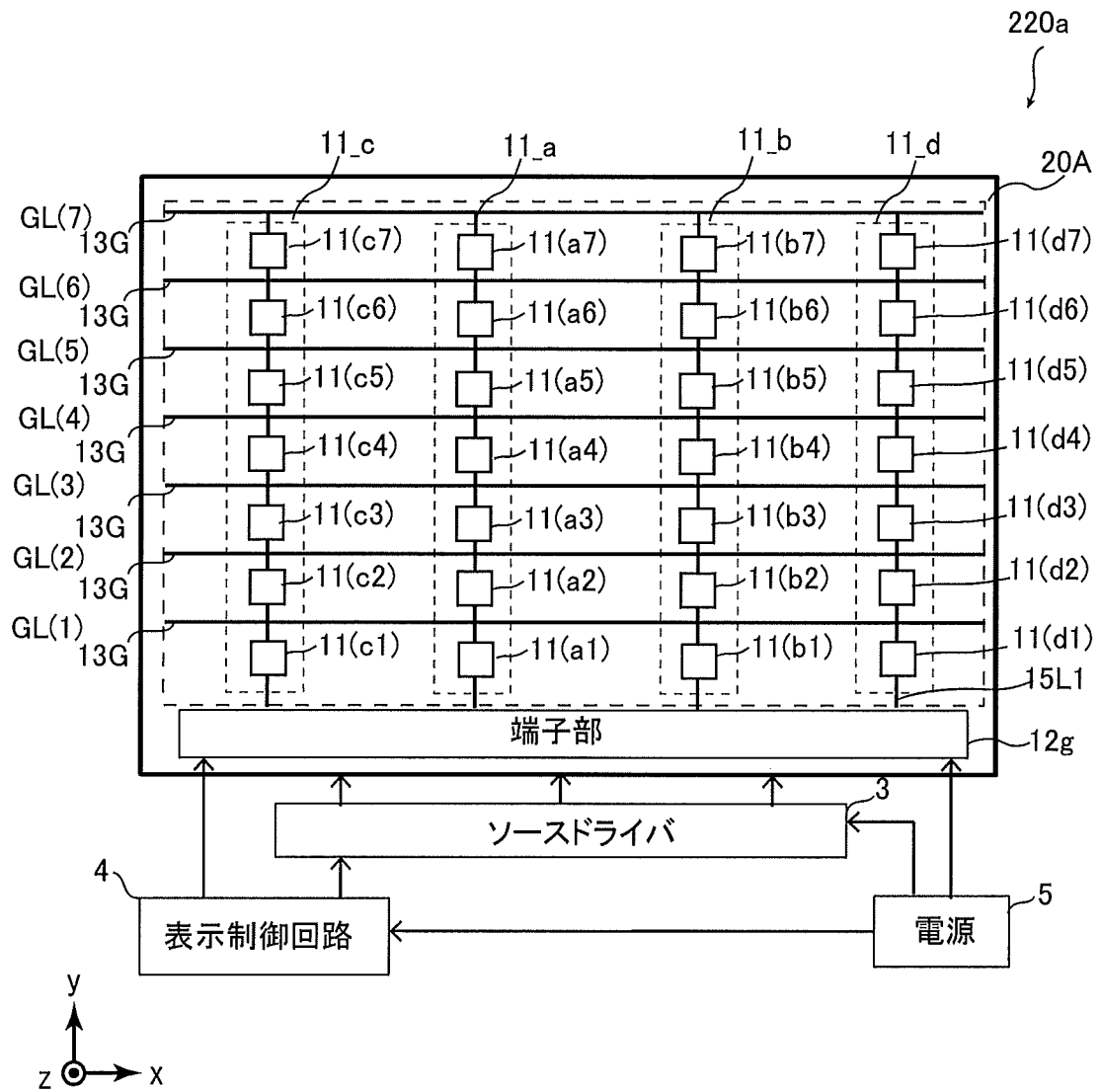
[図69E]



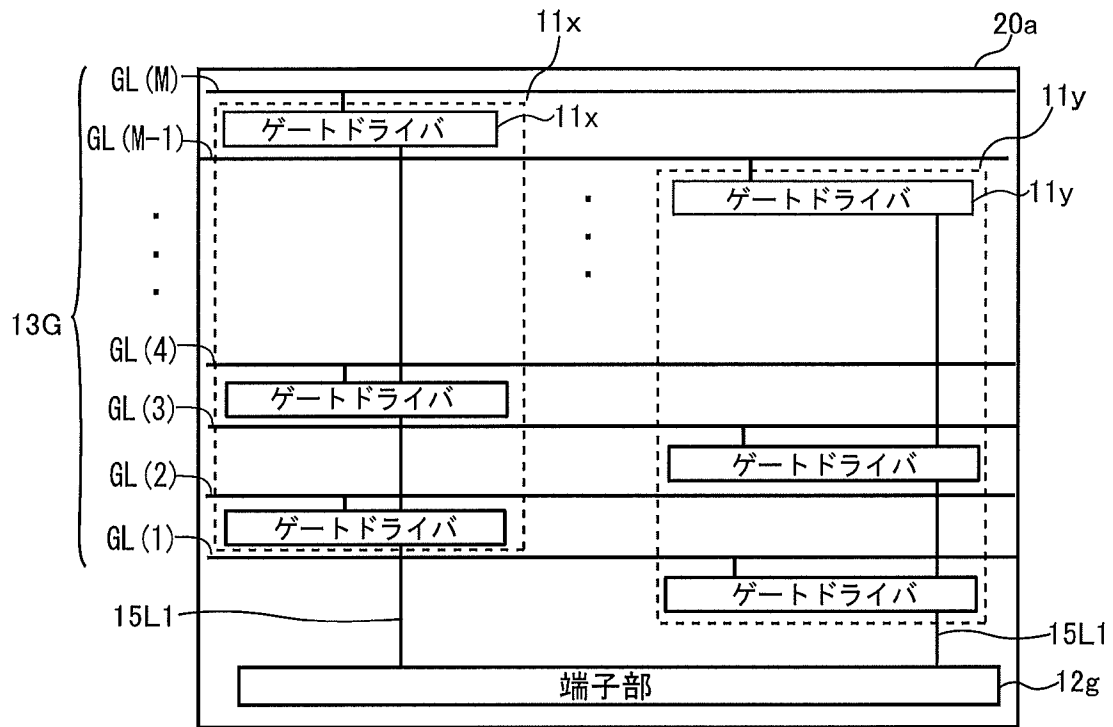
[図70]



[図71]



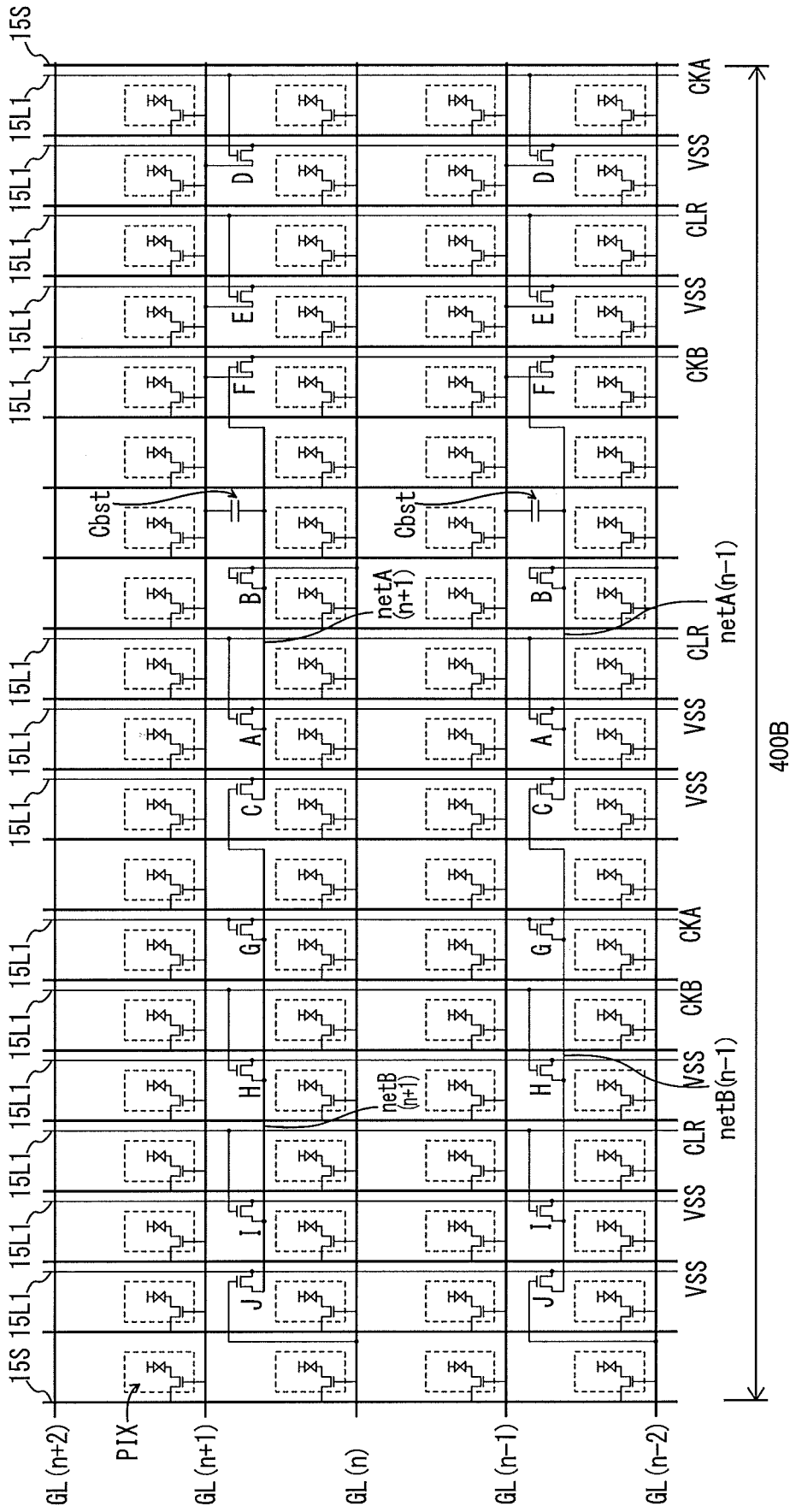
[図72]





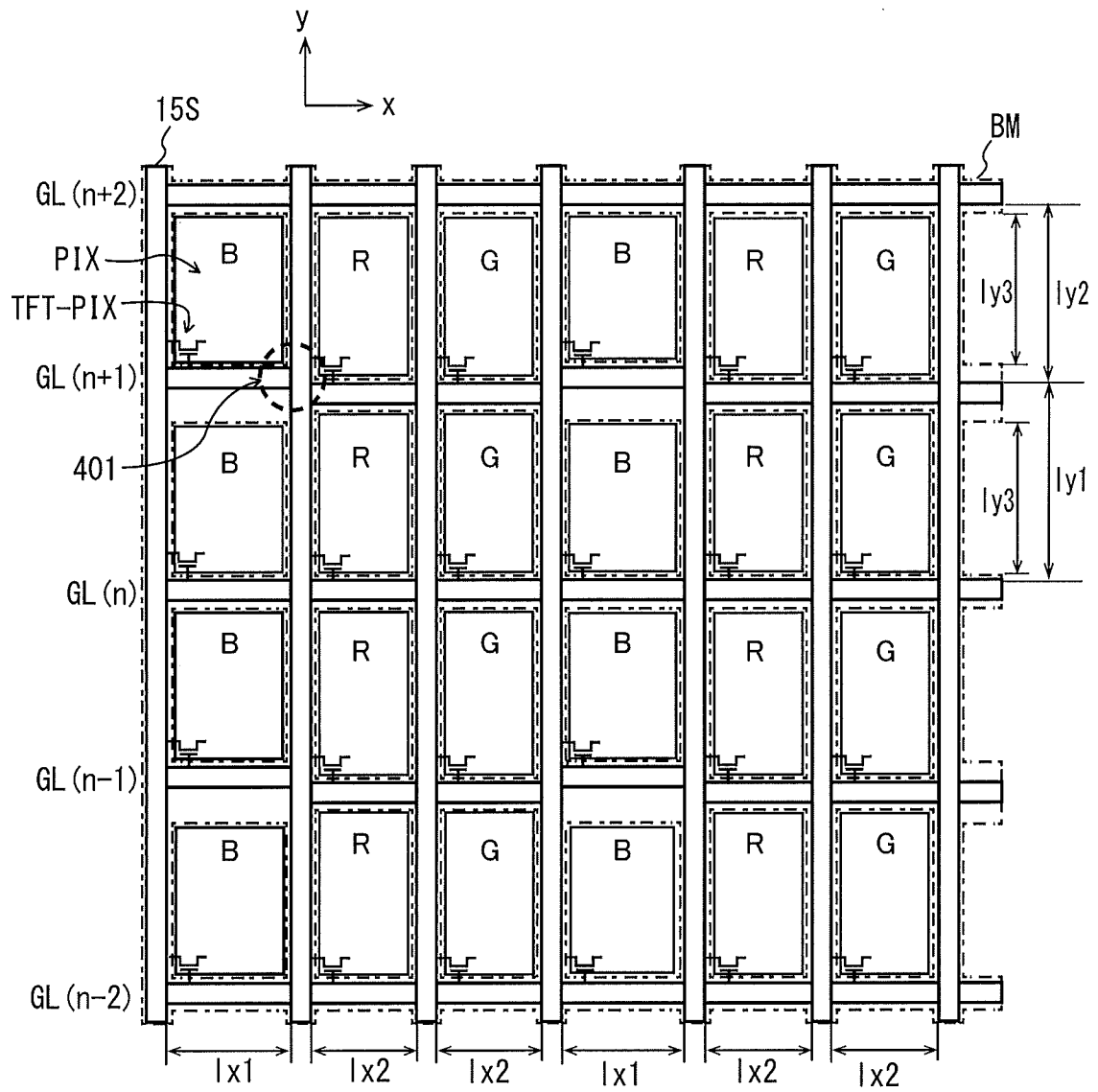


[73B]

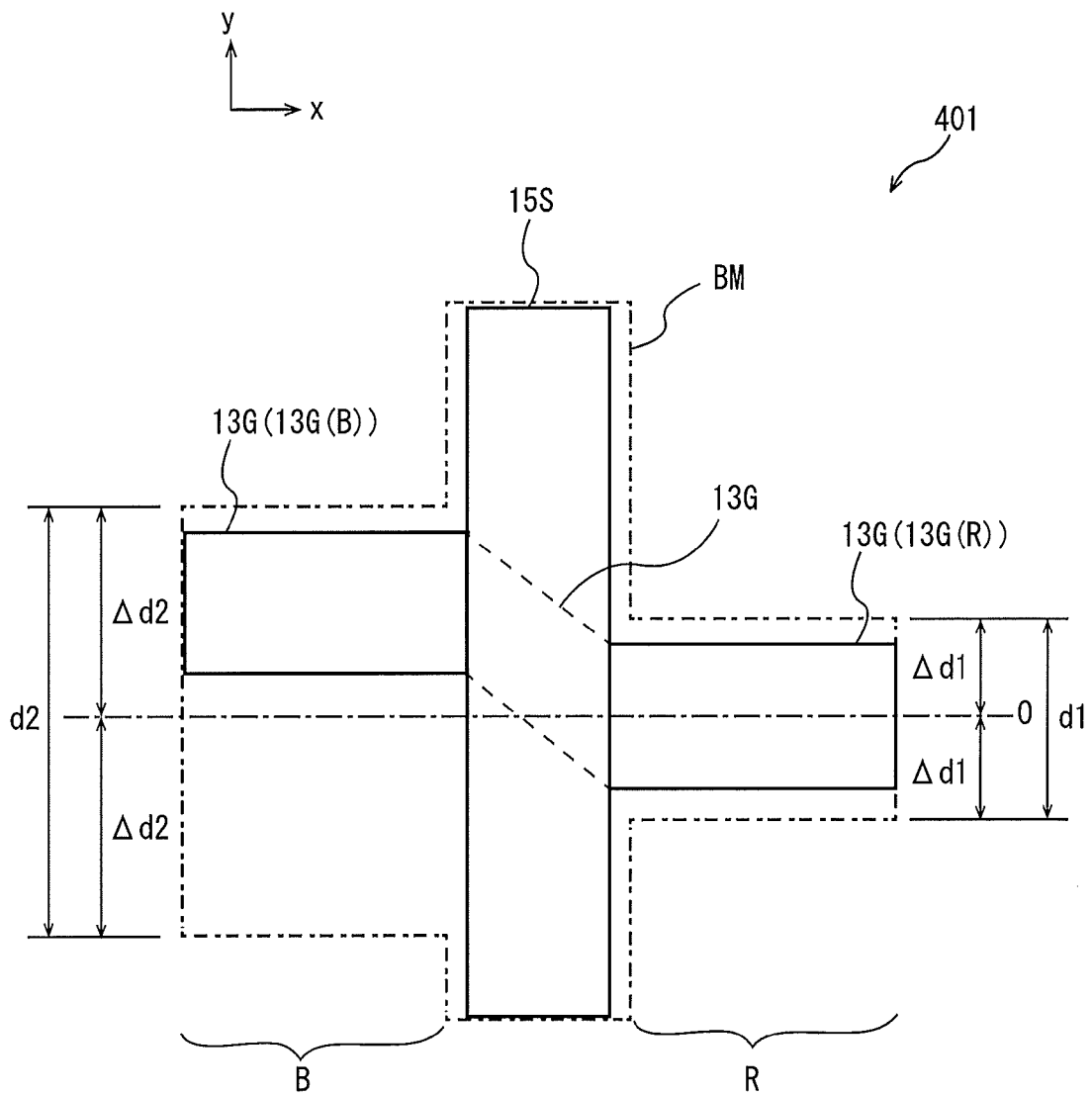




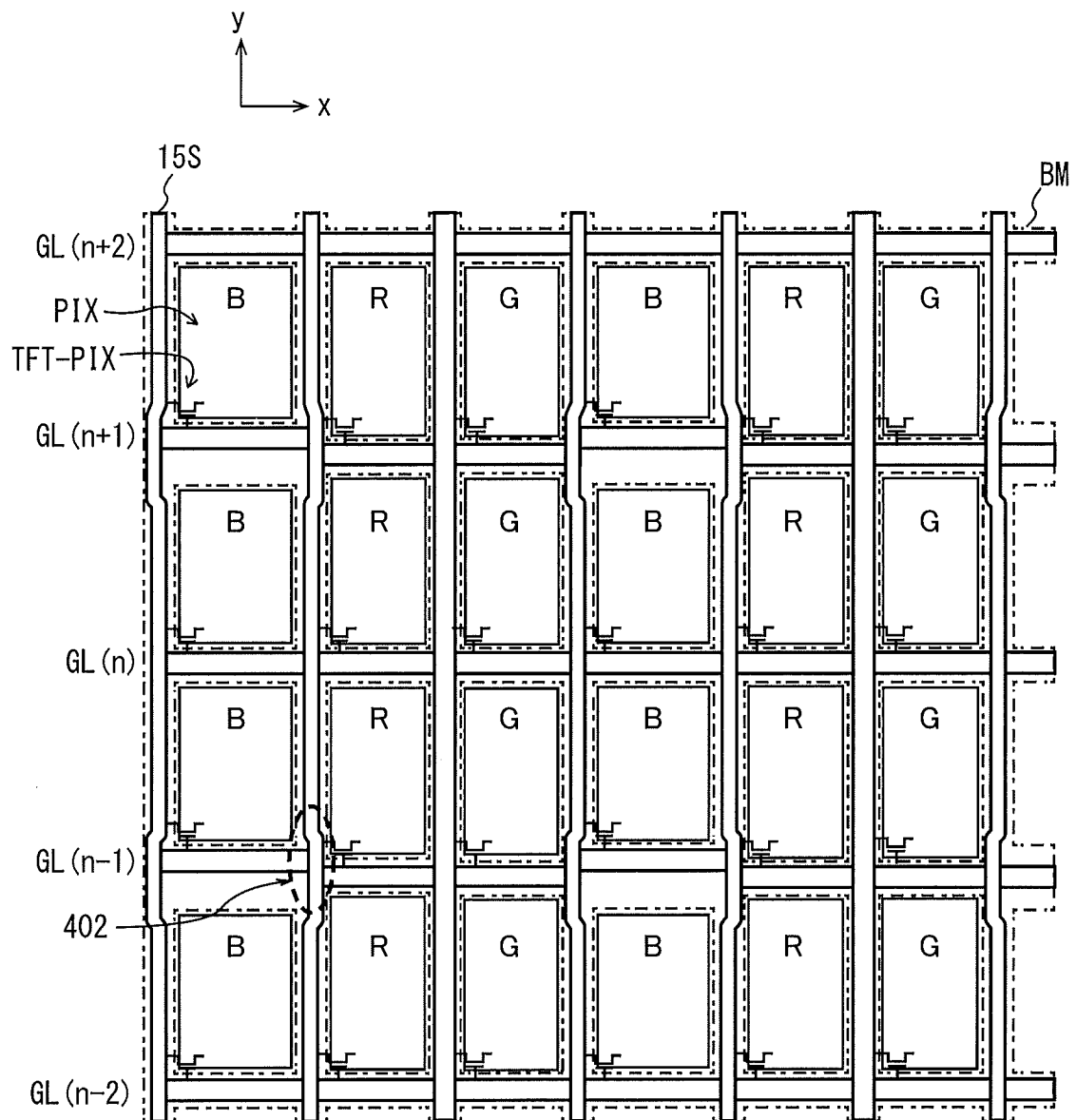
[図75A]



[図75B]



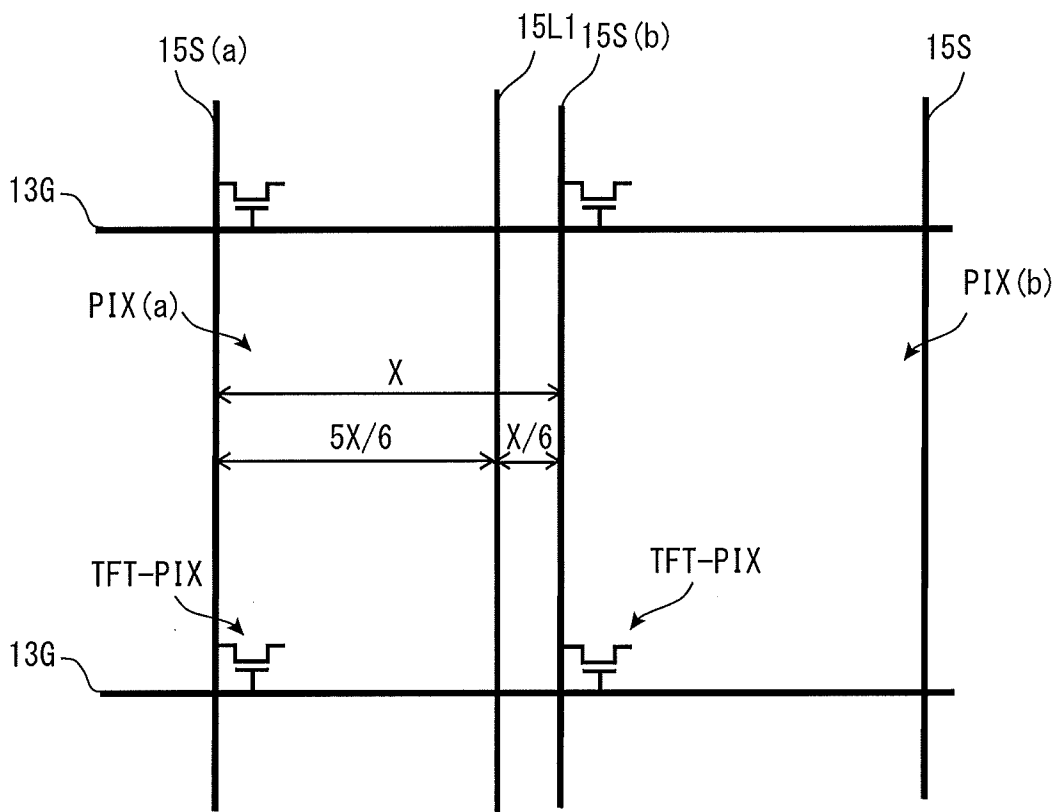
[図76A]



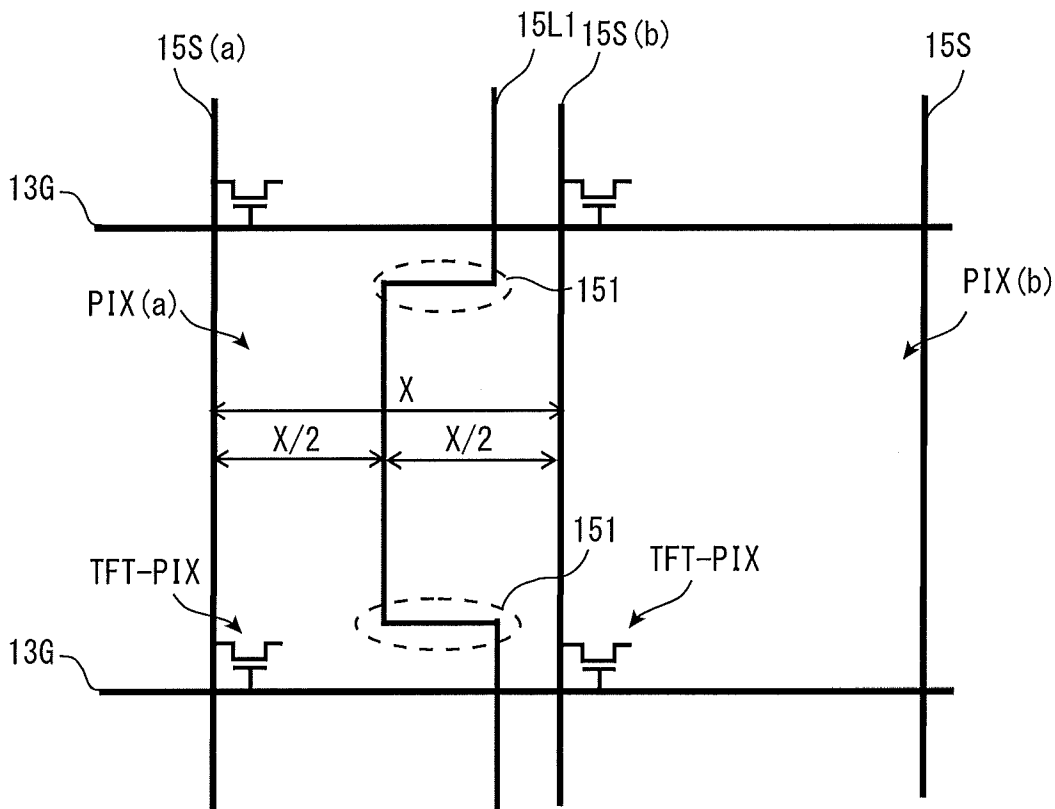




[圖78A]

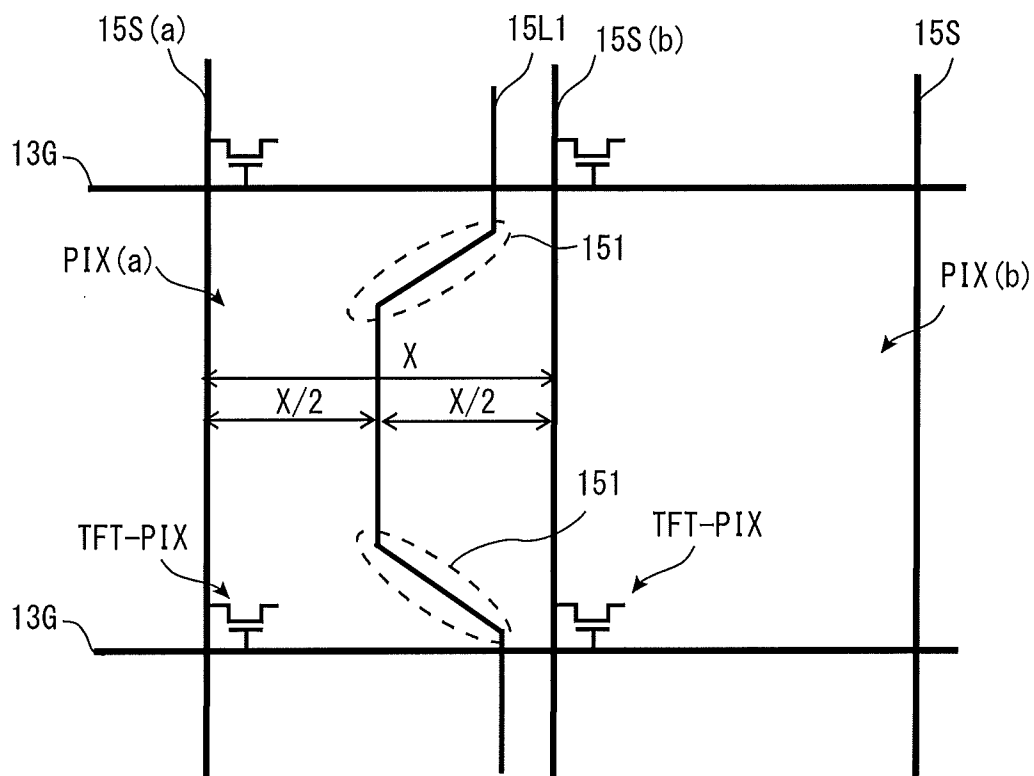


[圖78B]

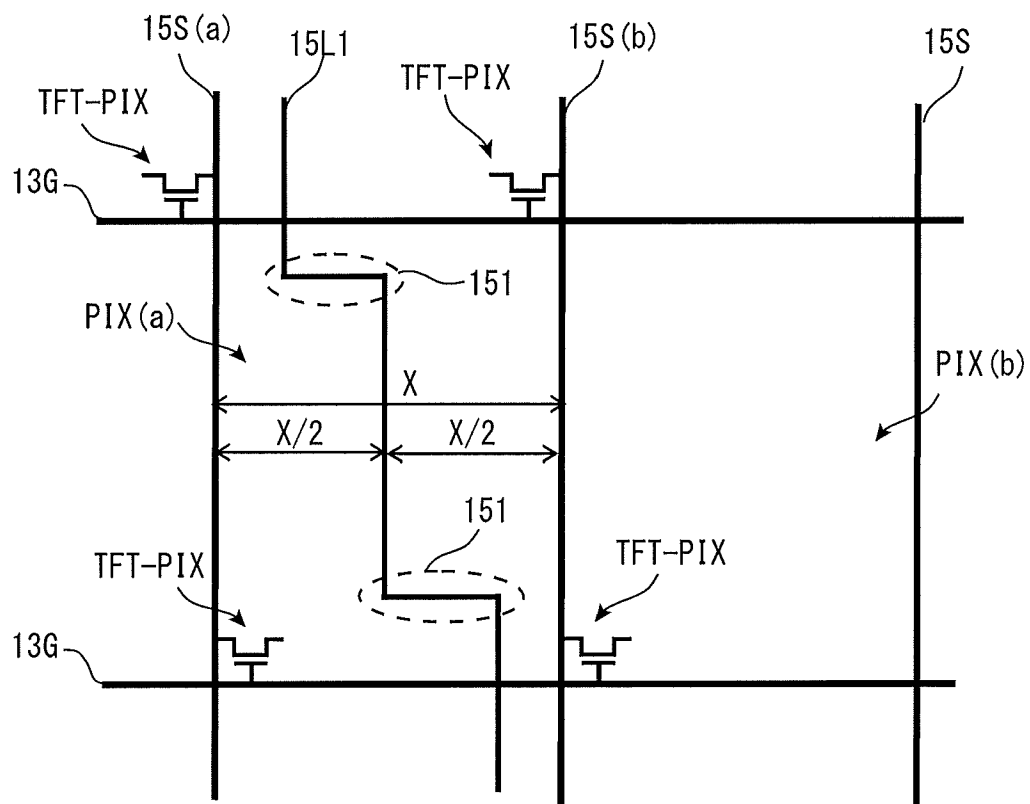




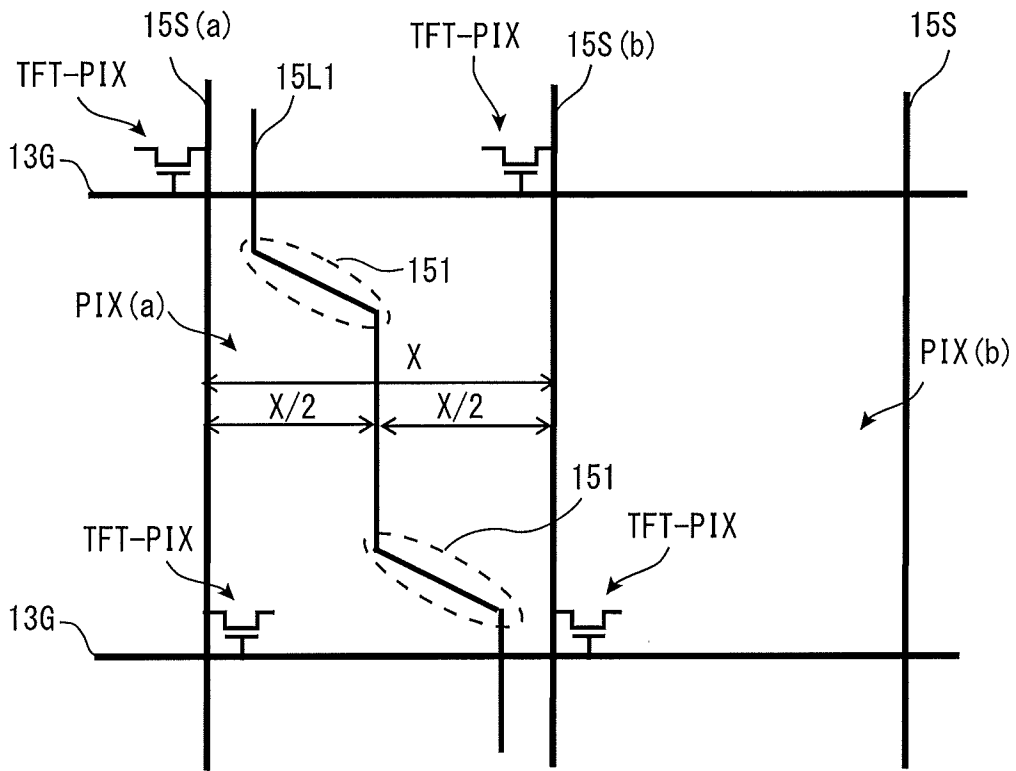
[図78C]



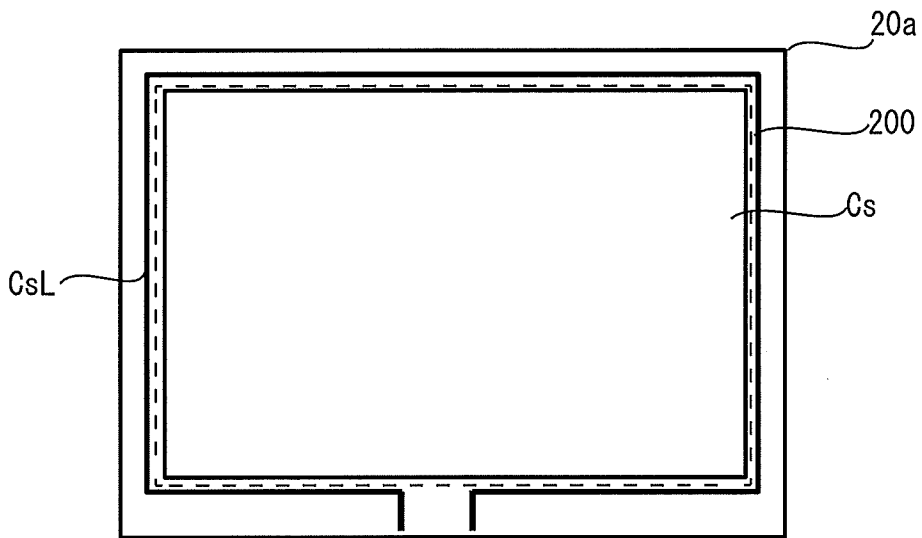
[図79A]



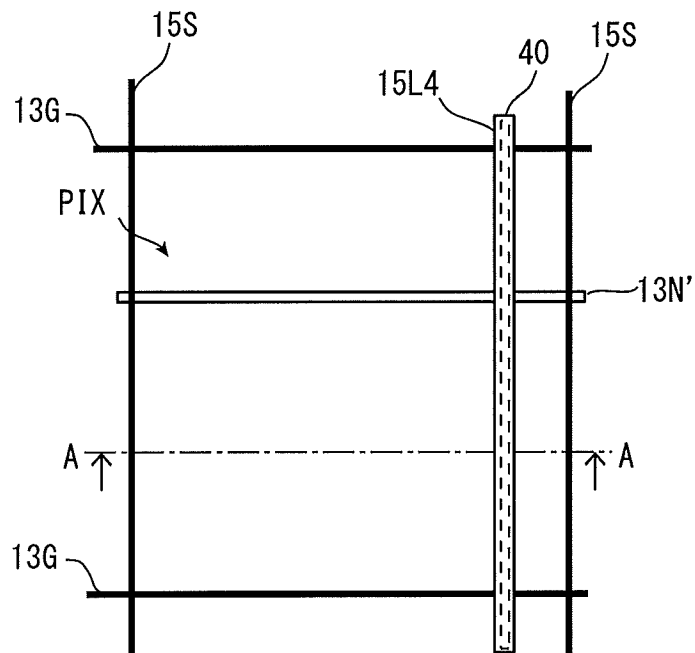
[図79B]



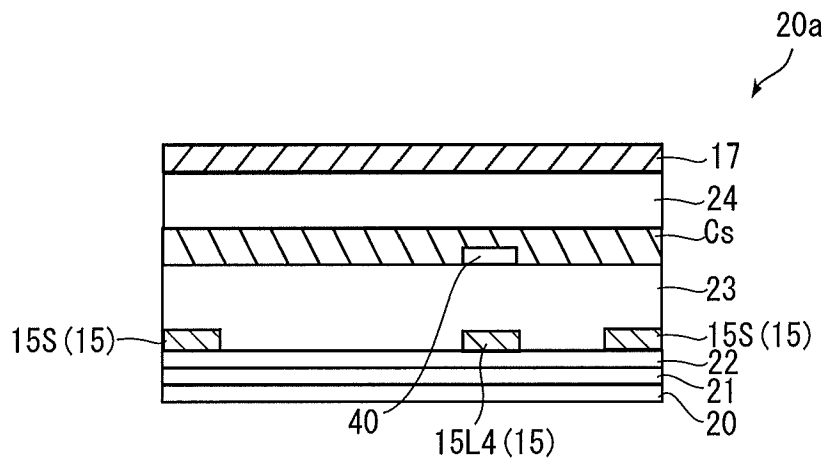
[図80]



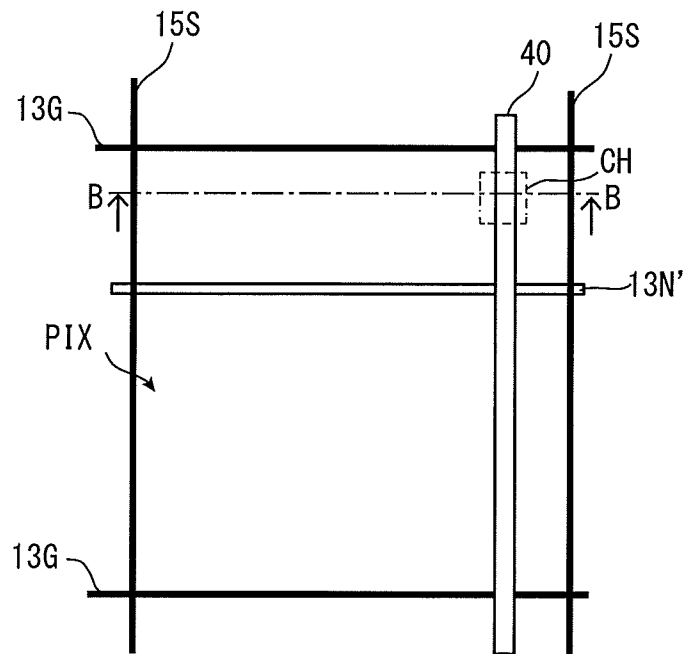
[図81A]



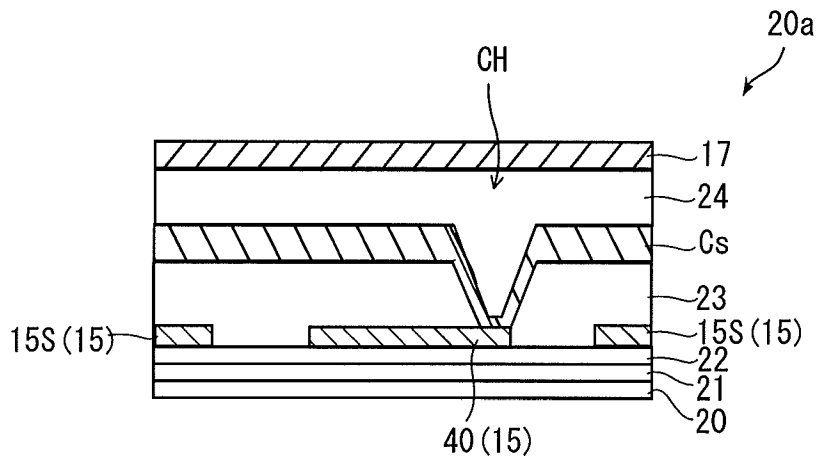
[図81B]



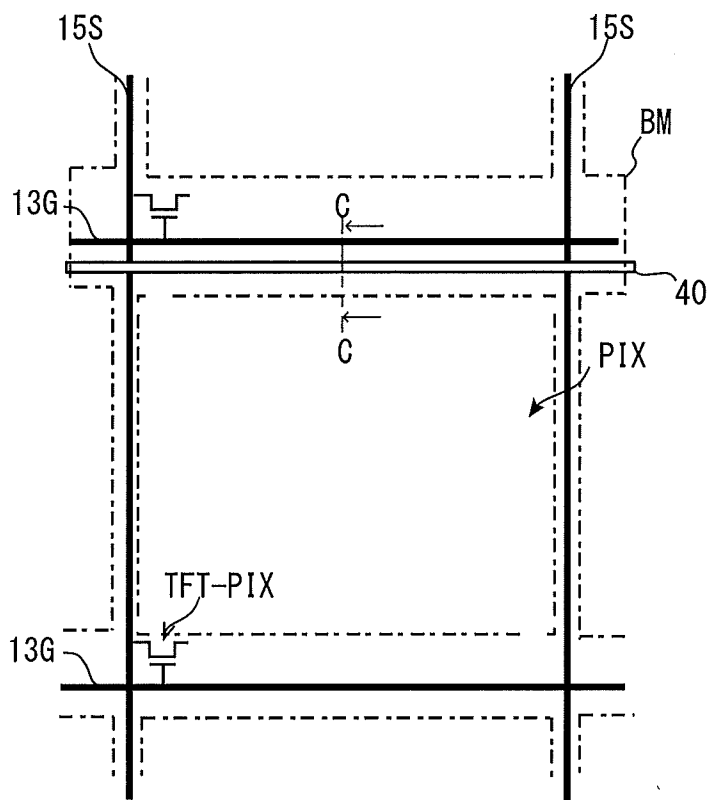
[図82A]



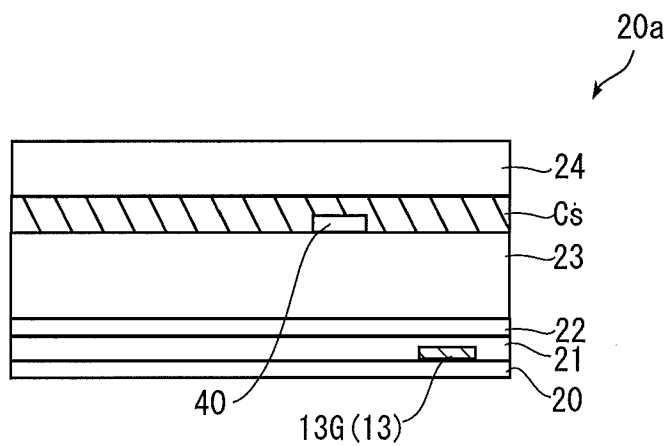
[図82B]



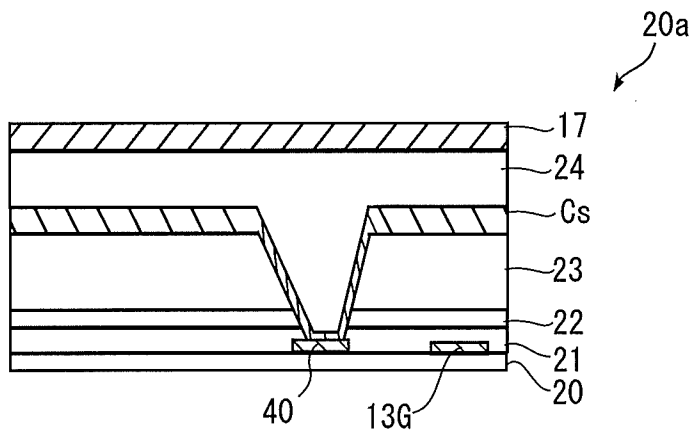
[図83A]



[図83B]



[図83C]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2013/079424

**A. CLASSIFICATION OF SUBJECT MATTER**  
G09F9/30(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G09F9/00-9/30, 9/307-9/46, G02F1/133, 1/1343-1/1345, 1/135-1/1368, H01L27/32, 51/50, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-142054 A (Seiko Epson Corp.), 02 June 2005 (02.06.2005), entire text; all drawings & US 2005/0116616 A1 & KR 10-2005-0044264 A & CN 1615057 A	1-28
A	JP 11-338422 A (TDK Corp.), 10 December 1999 (10.12.1999), entire text; all drawings (Family: none)	1-28
A	JP 11-352919 A (Mitsubishi Electric Corp.), 24 December 1999 (24.12.1999), entire text; all drawings (Family: none)	1-28

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 January, 2014 (27.01.14)	Date of mailing of the international search report 04 February, 2014 (04.02.14)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/079424

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-048169 A (Hitachi Displays, Ltd.), 10 March 2011 (10.03.2011), entire text; all drawings & US 2011/0049524 A1	1-28
A	WO 2010/140537 A1 (Sharp Corp.), 09 December 2010 (09.12.2010), entire text; all drawings & US 2012/0069273 A1 & EP 2439582 A1 & CN 102460281 A & RU 2011153689 A	1-28
A	JP 10-171369 A (Sharp Corp.), 26 June 1998 (26.06.1998), entire text; all drawings (Family: none)	1-28
A	JP 2003-302654 A (Hitachi, Ltd.), 24 October 2003 (24.10.2003), entire text; all drawings (Family: none)	1-28

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09F9/30(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09F9/00-9/30, 9/307-9/46, G02F1/133, 1/1343-1/1345, 1/135-1/1368, H01L27/32, 51/50, H05B33/00-33/28			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2005-142054 A（セイコーエプソン（株）） 2005.06.02, 全文、全図 & US 2005/0116616 A1 & KR 10-2005-0044264 A & CN 1615057 A	1-28	
A	JP 11-338422 A（ディーディーケイ（株）） 1999.12.10, 全文、全図 (ファミリーなし)	1-28	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日	27.01.2014	国際調査報告の発送日	04.02.2014
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 請園 信博 電話番号 03-3581-1101 内線 3273	21	4744



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-352919 A (三菱電機 (株) ) 1999. 12. 24, 全文、全図 (ファミリーなし)	1-28
A	JP 2011-048169 A ( (株) 日立ディスプレイズ) 2011. 03. 10, 全文、全図 & US 2011/0049524 A1	1-28
A	WO 2010/140537 A1 (シャープ (株) ) 2010. 12. 09, 全文、全図 & US 2012/0069273 A1 & EP 2439582 A1 & CN 102460281 A & RU 2011153689 A	1-28
A	JP 10-171369 A (シャープ (株) ) 1998. 06. 26, 全文、全図 (ファミリーなし)	1-28
A	JP 2003-302654 A ( (株) 日立製作所) 2003. 10. 24, 全文、全図 (ファミリーなし)	1-28