

OFFICE); 〒1000013 東京都千代田区霞が
関 3 丁目 8 番 1 号 虎の門三井ビル
ディング Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

a second insulating film which is provided between the second metal layer and the third metal layer. Each one of the plurality of transistors comprises a semiconductor layer which is provided on the substrate and a gate electrode which is formed of the first metal layer and is provided in a region that overlaps with the semiconductor layer; and one or more lines among the plurality of signal lines and the power supply line are formed of the third metal layer, and are electrically connected to the transistors.

(57) 要約: 表示装置は、基板と、基板に設けられた複数の画素と、複数の画素の各々に設けられる発光素子及び複数のトランジスタと、画素に信号を供給する複数の信号線と、画素に駆動電位を供給する電源線と、基板に垂直な方向で異なる層に設けられた第1金属層、第2金属層及び第3金属層と、第1金属層と第2金属層との間に設けられた第1絶縁膜と、第2金属層と第3金属層との間に設けられた第2絶縁膜と、を有し、複数のトランジスタは、それぞれ、基板に設けられた半導体層と、第1金属層で形成され、半導体層と重なる領域に設けられたゲート電極と、を有し、複数の信号線及び電源線のいずれか1つ以上は、第3金属層で形成され、トランジスタと電氣的に接続される。

明 細 書

発明の名称：表示装置及びアレイ基板

技術分野

[0001] 本発明は、表示装置及びアレイ基板に関する。

背景技術

[0002] 表示素子として有機発光ダイオード（OLED：Organic Light Emitting Diode）や無機発光ダイオード（マイクロLED（micro LED））を用いた表示装置が知られている。特許文献1には、表示装置等の画素回路として使用される半導体装置が記載されている。特許文献1の画素回路は、画素ごとに複数のトランジスタ及び複数の容量を有する。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-41752号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1の画素回路は、1つの画素における素子（複数のトランジスタ及び複数の容量）の数及び各素子に接続される配線の数が増大するため、配線を効率よく配置することが困難になる可能性がある。

[0005] 本発明は、配線を効率よく配置することができる表示装置及びアレイ基板を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、基板と、前記基板に設けられた複数の画素と、複数の前記画素の各々に設けられる発光素子及び複数のトランジスタと、前記画素に信号を供給する複数の信号線と、前記画素に駆動電位を供給する電源線と、前記基板に垂直な方向で異なる層に設けられた第1金属層、第2金属層及び第3金属層と、前記第1金属層と前記第2金属層との間に設けられた第1絶縁膜と、前記第2金属層と前記第3金属層との間に設けられた

第2絶縁膜と、を有し、複数のトランジスタは、それぞれ、前記基板に設けられた半導体層と、前記第1金属層で形成され、前記半導体層と重なる領域に設けられたゲート電極と、を有し、複数の前記信号線及び前記電源線のいずれか1つ以上は、前記第3金属層で形成され、前記トランジスタと電氣的に接続される。

[0007] 本発明の一態様のアレイ基板は、複数の発光素子が設けられるアレイ基板であって、基板と、前記基板に設けられた複数のトランジスタと、前記発光素子に信号を供給する複数の信号線と、前記発光素子に駆動電位を供給する電源線と、前記基板に垂直な方向で異なる層に設けられた第1金属層、第2金属層及び第3金属層と、前記第1金属層と前記第2金属層との間に設けられた第1絶縁膜と、前記第2金属層と前記第3金属層との間に設けられた第2絶縁膜と、を有し、複数のトランジスタは、それぞれ、前記基板に設けられた半導体層と、前記第1金属層で形成され、前記半導体層と重なる領域に設けられたゲート電極と、を有し、複数の前記信号線及び前記電源線のいずれか1つ以上は、前記第3金属層で形成され、前記トランジスタと電氣的に接続される。

図面の簡単な説明

[0008] [図1]図1は、実施形態に係る表示装置を模式的に示す平面図である。

[図2]図2は、複数の画素を示す平面図である。

[図3]図3は、画素回路を示す回路図である。

[図4]図4は、実施形態に係る表示装置の、2つの画素を拡大して示す平面図である。

[図5]図5は、図4のV-V'線に沿う断面図である。

[図6]図6は、図4のVⅠ-VⅠ'線に沿う断面図である。

[図7]図7は、図4のVⅠⅠ-VⅠⅠ'線に沿う断面図である。

[図8]図8は、実施形態に係る発光素子を示す断面図である。

[図9]図9は、実施形態の第1変形例に係る発光素子を示す断面図である。

[図10]図10は、実施形態の第2変形例に係る表示装置を示す断面図である。

。

[図11]図 1 1 は、実施形態の第 3 変形例に係る表示装置を示す断面図である

。

[図12]図 1 2 は、実施形態の第 4 変形例に係る表示装置を示す断面図である

。

[図13]図 1 3 は、実施形態の第 5 変形例に係る表示装置を示す断面図である

。

発明を実施するための形態

[0009] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] （実施形態）

図 1 は、実施形態に係る表示装置を模式的に示す平面図である。図 1 に示すように、表示装置 1 は、アレイ基板 2 と、画素 P i x と、駆動回路 1 2 と、駆動 I C (Integrated Circuit) 2 1 0 と、カソード配線 6 0 と、を含む。アレイ基板 2 は、各画素 P i x を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリックス基板とも呼ばれる。アレイ基板 2 は、基板 2 1、複数のトランジスタ、複数の容量及び各種配線等を有する。

[0011] 図 1 に示すように、表示装置 1 は、表示領域 A A と、周辺領域 G A とを有

する。表示領域 $A A$ は、複数の画素 $P i x$ と重なって配置され、画像を表示する領域である。周辺領域 $G A$ は、複数の画素 $P i x$ と重ならない領域であり、表示領域 $A A$ の外側に配置される。

[0012] 複数の画素 $P i x$ は、基板 2 1 の表示領域 $A A$ において、第 1 方向 $D x$ 及び第 2 方向 $D y$ に配列される。なお、第 1 方向 $D x$ 及び第 2 方向 $D y$ は、基板 2 1 の表面に対して平行な方向である。第 1 方向 $D x$ は、第 2 方向 $D y$ と直交する。ただし、第 1 方向 $D x$ は、第 2 方向 $D y$ と直交しないで交差してもよい。第 3 方向 $D z$ は、第 1 方向 $D x$ 及び第 2 方向 $D y$ と直交する方向である。第 3 方向 $D z$ は、例えば、基板 2 1 の法線方向に対応する。なお、以下、平面視とは、第 3 方向 $D z$ から見た場合の位置関係を示す。

[0013] 駆動回路 1 2 は、駆動 $I C 2 1 0$ からの各種制御信号に基づいて複数のゲート線（例えば、リセット制御信号線 $L 5$ 、出力制御信号線 $L 6$ 、画素制御信号線 $L 7$ 、初期化制御信号線 $L 8$ （図 3 参照））を駆動する回路である。駆動回路 1 2 は、複数のゲート線を順次又は同時に選択し、選択されたゲート線にゲート駆動信号を供給する。これにより、駆動回路 1 2 は、ゲート線に接続された複数の画素 $P i x$ を選択する。

[0014] 駆動 $I C 2 1 0$ は、表示装置 1 の表示を制御する回路である。駆動 $I C 2 1 0$ は、基板 2 1 の周辺領域 $G A$ に $C O G$ (Chip On Glass) として実装される。これに限定されず、駆動 $I C 2 1 0$ は、基板 2 1 の周辺領域 $G A$ に接続されたフレキシブルプリント基板やリジット基板の上に $C O F$ (Chip On Film) として実装されてもよい。

[0015] カソード配線 6 0 は、基板 2 1 の周辺領域 $G A$ に設けられる。カソード配線 6 0 は、表示領域 $A A$ の複数の画素 $P i x$ 及び周辺領域 $G A$ の駆動回路 1 2 を囲んで設けられる。複数の発光素子 3 のカソードは、共通のカソード配線 6 0 に接続され、固定電位（例えば、グランド電位）が供給される。より具体的には、発光素子 3 のカソード端子 2 2 t は、カソード電極 2 2 を介して、カソード配線 6 0 に接続される。

[0016] 図 2 は、複数の画素を示す平面図である。図 2 に示すように、1 つの画素

P i x は、複数の画素 4 9 を含む。例えば、画素 P i x は、第 1 画素 4 9 R と、第 2 画素 4 9 G と、第 3 画素 4 9 B とを有する。第 1 画素 4 9 R は、第 1 色としての原色の赤色を表示する。第 2 画素 4 9 G は、第 2 色としての原色の緑色を表示する。第 3 画素 4 9 B は、第 3 色としての原色の青色を表示する。図 2 に示すように、1 つの画素 P i x において、第 1 画素 4 9 R と第 3 画素 4 9 B は第 1 方向 D x で並ぶ。また、第 2 画素 4 9 G と第 3 画素 4 9 B は第 2 方向 D y で並ぶ。なお、第 1 色、第 2 色、第 3 色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。以下において、第 1 画素 4 9 R と、第 2 画素 4 9 G と、第 3 画素 4 9 B とをそれぞれ区別する必要がない場合、画素 4 9 という。

[0017] 画素 4 9 は、それぞれ発光素子 3 と、アノード電極 2 3 とを有する。表示装置 1 は、第 1 画素 4 9 R、第 2 画素 4 9 G 及び第 3 画素 4 9 B において、発光素子 3 R、3 G、3 B ごとに異なる光を出射することで画像を表示する。発光素子 3 は、平面視で、 $3\mu\text{m}$ 以上、 $300\mu\text{m}$ 以下程度の大きさを有する無機発光ダイオード (LED: Light Emitting Diode) チップであり、マイクロ LED (micro LED) と呼ばれる。各画素にマイクロ LED を備える表示装置 1 は、マイクロ LED 表示装置とも呼ばれる。なお、マイクロ LED のマイクロは、発光素子 3 の大きさを限定するものではない。

[0018] なお、複数の発光素子 3 は、4 色以上の異なる光を出射してもよい。また、複数の画素 4 9 の配置は、図 2 に示す構成に限定されない。例えば、第 1 画素 4 9 R は第 2 画素 4 9 G と第 1 方向 D x に隣り合ってもよい。また、第 1 画素 4 9 R、第 2 画素 4 9 G 及び第 3 画素 4 9 B が、この順で第 1 方向 D x に繰り返し配列されてもよい。また、表示装置 1 は、マイクロ LED 表示装置に限定されず、表示素子として有機発光ダイオード (OLED: Organic Light Emitting Diode) を使用した自発光表示装置、もしくは電子ペーパー等の反射型表示装置であってもよい。

[0019] 図 3 は、画素回路を示す回路図である。図 3 は、1 つの画素 4 9 に設けら

れた画素回路P I C Aを示しており、画素回路P I C Aは複数の画素4 9のそれぞれに設けられている。図3に示すように、画素回路P I C Aは、発光素子3と、5つのトランジスタと、2つの容量とを含む。具体的には、画素回路P I C Aは、駆動トランジスタD R T（第1トランジスタ）、出力トランジスタB C T、初期化トランジスタI S T、画素選択トランジスタS S T（第2トランジスタ）及びリセットトランジスタR S Tを含む。駆動トランジスタD R T、出力トランジスタB C T、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tは、それぞれn型T F T（Thin Film Transistor）で構成される。また、画素回路P I C Aは、第1容量C s 1及び第2容量C s 2を含む。

[0020] 発光素子3のカソード（カソード端子2 2 t）は、カソード電源線L 1 0に接続される。また、発光素子3のアノード（アノード端子2 3 t）は、駆動トランジスタD R T及び出力トランジスタB C Tを介してアノード電源線L 1に接続される。アノード電源線L 1には、アノード電源電位P V D Dが供給される。カソード電源線L 1 0には、カソード配線6 0及びカソード電極2 2を介してカソード電源電位P V S Sが供給される。アノード電源電位P V D Dは、カソード電源電位P V S Sよりも高い電位である。

[0021] アノード電源線L 1は、画素4 9に、駆動電位であるアノード電源電位P V D Dを供給する。具体的には、発光素子3は、理想的にはアノード電源電位P V D Dとカソード電源電位P V S Sとの電位差（ $P V D D - P V S S$ ）により順方向電流（駆動電流）が供給され発光する。つまり、アノード電源電位P V D Dは、カソード電源電位P V S Sに対し、発光素子3を発光させる電位差を有している。発光素子3のアノード端子2 3 tはアノード電極2 3に接続され、アノード電極2 3とアノード電源線L 1と間に等価回路として、第2容量C s 2が接続される。

[0022] 駆動トランジスタD R Tのソース電極は、アノード電極2 3を介して発光素子3のアノード端子2 3 tに接続され、ドレイン電極は、出力トランジスタB C Tのソース電極に接続される。駆動トランジスタD R Tのゲート電極

は、第1容量 C_{s1} 、画素選択トランジスタ SST のドレイン電極及び初期化トランジスタ IST のドレイン電極に接続される。

[0023] 出力トランジスタ $BC T$ のゲート電極は、出力制御信号線 $L6$ に接続される。出力制御信号線 $L6$ には、出力制御信号 BG が供給される。出力トランジスタ $BC T$ のドレイン電極は、アノード電源線 $L1$ に接続される。

[0024] 初期化トランジスタ IST のソース電極は、初期化電源線 $L4$ に接続される。初期化電源線 $L4$ には、初期化電位 V_{ini} が供給される。初期化トランジスタ IST のゲート電極は、初期化制御信号線 $L8$ に接続される。初期化制御信号線 $L8$ には、初期化制御信号 IG が供給される。すなわち、駆動トランジスタ $DR T$ のゲート電極には、初期化トランジスタ IST を介して初期化電源線 $L4$ が接続される。

[0025] 画素選択トランジスタ SST のソース電極は、映像信号線 $L2$ に接続される。映像信号線 $L2$ には、映像信号 V_{sig} が供給される。画素選択トランジスタ SST のゲート電極には、画素制御信号線 $L7$ が接続されている。画素制御信号線 $L7$ には、画素制御信号 SG が供給される。

[0026] リセットトランジスタ RST のソース電極は、リセット電源線 $L3$ に接続される。リセット電源線 $L3$ には、リセット電源電位 V_{rst} が供給される。リセットトランジスタ RST のゲート電極は、リセット制御信号線 $L5$ に接続される。リセット制御信号線 $L5$ には、リセット制御信号 RG が供給される。リセットトランジスタ RST のドレイン電極は、発光素子3のアノード端子 $23t$ 及び駆動トランジスタ $DR T$ のソース電極に接続される。

[0027] リセットトランジスタ RST のドレイン電極と、駆動トランジスタ $DR T$ のゲート電極との間に、等価回路として、第1容量 C_{s1} が設けられる。画素回路 $PICA$ は、第1容量 C_{s1} 及び第2容量 C_{s2} により、駆動トランジスタ $DR T$ の寄生容量とリーク電流とによるゲート電圧の変動を抑制することができる。

[0028] なお、以下の説明において、アノード電源線 $L1$ を単に電源線と表す場合がある。映像信号線 $L2$ 、リセット電源線 $L3$ 及び初期化電源線 $L4$ を信号

線と表す場合がある。リセット制御信号線L 5、出力制御信号線L 6、画素制御信号線L 7 及び初期化制御信号線L 8 をゲート線と表す場合がある。

[0029] 駆動トランジスタD R Tのゲート電極には、映像信号V s i g（または、階調信号）に応じた電位が供給される。つまり、駆動トランジスタD R Tは、出力トランジスタB C Tを介して供給されたアノード電源電位P V D Dに基づいて、映像信号V s i gに応じた電流を発光素子3に供給する。このように、アノード電源線L 1に供給されたアノード電源電位P V D Dは、駆動トランジスタD R T及び出力トランジスタB C Tによって降下するため、発光素子3のアノード端子2 3 tには、アノード電源電位P V D Dよりも低い電位が供給される。

[0030] 第2容量C s 2の一方の電極には、アノード電源線L 1を介してアノード電源電位P V D Dが供給され、第2容量C s 2の他方の電極には、アノード電源電位P V D Dよりも低い電位が供給される。つまり、第2容量C s 2の一方の電極には、第2容量C s 2の他方の電極よりも高い電位が供給される。第2容量C s 2の一方の電極は、例えば、図6に示すアノード電源線L 1であり、第2容量C s 2の他方の電極は、図5に示す駆動トランジスタD R Tのソースに接続されたアノード電極2 3及びこれに接続されたアノード接続電極2 4である。

[0031] 表示装置1において、駆動回路1 2（図1参照）は、複数の画素行を、先頭行（例えば、図1中の表示領域A Aにおいて、最上部に位置する画素行）から順番に選択する。駆動I C 2 1 0は、選択された画素行の画素4 9に映像信号V s i g（映像書き込み電位）を書き込み、発光素子3を発光させる。駆動I C 2 1 0は、1水平走査期間ごとに、映像信号線L 2に映像信号V s i gを供給し、リセット電源線L 3にリセット電源電位V r s tを供給し、初期化電源線L 4に初期化電位V i n iを供給する。表示装置1は、これらの動作が1フレームの画像ごとに繰り返される。

[0032] 次に、図4から図7を参照しつつ、各トランジスタ及び各配線の具体的な構成例について説明する。図4は、実施形態に係る表示装置の、2つの画素

を拡大して示す平面図である。

[0033] 図4は、第1方向D_xに隣り合う2つの画素49（例えば、第1画素49Rと第3画素49B）について示す。図4に示すように、アノード電源線L1、映像信号線L2、リセット電源線L3及び初期化電源線L4は、第2方向D_yに延出する。リセット制御信号線L5、出力制御信号線L6、画素制御信号線L7、初期化制御信号線L8は、第1方向D_xに延出し、平面視で、アノード電源線L1、映像信号線L2、リセット電源線L3及び初期化電源線L4とそれぞれ交差する。また、第1方向D_xに隣り合う2つのアノード電源線L1の間に接続配線L9が設けられている。接続配線L9は、駆動トランジスタDRT、画素選択トランジスタSST及び初期化トランジスタISTを接続する。

[0034] 本実施形態において、表示装置1（アレイ基板2）は、第3方向D_zで異なる方向に設けられた第1金属層ML1と、第2金属層ML2と、第3金属層ML3とを有する。第1金属層ML1、第2金属層ML2及び第3金属層ML3は、各半導体層61、65、71、75、79とは異なる層に設けられる。図4では、第1金属層ML1、第2金属層ML2、第3金属層ML3及び半導体層61、65、71、75、79を区別するために、第1金属層ML1を点線で示し、第2金属層ML2及び半導体層61、65、71、75、79に斜線を付している。

[0035] アノード電源線L1は、第2金属層ML2で形成されている。映像信号線L2、リセット電源線L3、初期化電源線L4及び接続配線L9は、第3金属層ML3で形成されている。リセット制御信号線L5、出力制御信号線L6、画素制御信号線L7、初期化制御信号線L8は、第1金属層ML1で形成されている。

[0036] 本実施形態では、複数のトランジスタに接続される各種配線として、第1金属層ML1、第2金属層ML2及び第3金属層ML3が用いられる。これにより、平面視で、アノード電源線L1は映像信号線L2と重なって設けられる。アノード電源線L1と映像信号線L2とを同層に設けた場合に比べて

、各画素49で、効率よく配線を配置することができる。この結果、各画素49の平面視での面積を小さくすることができ、表示装置1の高精細化が可能である。

[0037] 第1金属層ML1、第2金属層ML2及び第3金属層ML3として、チタン(Ti)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)、ニオブ、インジウムスズ酸化物(ITO)、アルミニウム(Al)、銀(Ag)、Ag合金、銅(Cu)、カーボンナノチューブ、グラファイト、グラフェン又はカーボンナノバッドが用いられる。ここで、第2金属層ML2で形成されるアノード電源線L1のシート抵抗値は、第3金属層ML3で形成される各信号線のシート抵抗値以下である。また、各信号線のシート抵抗値は、第1金属層ML1で形成される各ゲート線のシート抵抗値以下である。例えば、アノード電源線L1(第2金属層ML2)のシート抵抗値は、 $30\text{ m}\Omega/\square$ 以上 $120\text{ m}\Omega/\square$ 以下である。また、各信号線(第3金属層ML3)のシート抵抗値は、 $120\text{ m}\Omega/\square$ 以上 $300\text{ m}\Omega/\square$ 以下である。各ゲート線(第1金属層ML1)のシート抵抗値は、 $300\text{ m}\Omega/\square$ 以上 $3000\text{ m}\Omega/\square$ 以下である。これにより、表示装置1は、アノード電源線L1に印加される駆動電圧の電圧降下を抑制し、表示性能の低下を抑制できる。

[0038] なお、第1金属層ML1、第2金属層ML2及び第3金属層ML3は、それぞれ、単層に限定されず、積層膜で構成されていてもよい。例えば、第2金属層ML2はTi/Al/TiあるいはMo/Al/Moの積層膜であってもよく、第3金属層ML3はAlの単層膜であってもよい。また、Ti、Al、Moは合金であってもよい。

[0039] 半導体層61、65、71、75は、例えば、アモルファスシリコン、微結晶酸化物半導体、アモルファス酸化物半導体、ポリシリコン、低温ポリシリコン(LTPS: Low Temperature Polycrystalline Silicone)又は窒化ガリウム(GaN)で構成される。酸化物半導体としては、IGZO、酸化亜鉛(ZnO)、ITZOが例示される。IGZOは、インジウムガリウ

ム亜鉛酸化物である。ITZOは、インジウムスズ亜鉛酸化物である。

[0040] 図4に示すように、リセット電源線L3及び初期化電源線L4は、第1方向Dxに隣り合う2つの画素49で共有される。つまり、図4の左側に示す第1画素49Rでは、初期化電源線L4は設けられず、映像信号線L2に沿ってリセット電源線L3が設けられている。図4の右側に示す第3画素49Bでは、リセット電源線L3は設けられず、映像信号線L2に沿って初期化電源線L4が設けられている。これにより、各画素49にリセット電源線L3及び初期化電源線L4を設けた場合に比べて、配線の本数を少なくして効率よく配線を配置することができる。

[0041] 駆動トランジスタDRT（第1トランジスタ）は、半導体層61、ソース電極62及びゲート電極64を有する。半導体層61、ソース電極62及びゲート電極64は、平面視で、少なくとも一部が重なって配置され、第1方向Dxに隣り合う2つのアノード電源線L1と、出力制御信号線L6と、画素制御信号線L7とで囲まれた領域に設けられる。駆動トランジスタDRTは、半導体層61と重なって1つのゲート電極64が設けられたシングルゲート構造である。

[0042] 半導体層61は、第1部分半導体層61aと接続される。第1部分半導体層61aは、半導体層61と同層で、同じ半導体材料が用いられる。半導体層61は、第1部分半導体層61aを介してソース電極62と接続される。第1部分半導体層61aは、半導体層61と第1方向Dxに並んで設けられ、第1部分半導体層61aの第1方向Dxの幅は、半導体層61の第1方向Dxの幅よりも大きい。第1部分半導体層61aは、ゲート絶縁膜91（図5参照）及びゲート電極64と重なって設けられており、第1部分半導体層61aとゲート電極64との間に第1容量Cs1が形成される。なお、半導体層61と第1部分半導体層61aとは、1つの矩形状の半導体層で構成されていてもよい。

[0043] 出力トランジスタBCTは、半導体層65を有する。半導体層65は半導体層61と接続されており、出力制御信号線L6と平面視で交差する。半導

体層 65 のうち、出力制御信号線 L6 と重なる領域にチャネル領域が形成される。出力制御信号線 L6 のうち半導体層 65 と重なる部分が、出力トランジスタ BCT のゲート電極 66 として機能する。半導体層 65 の一端側は、アノード電源線接続部 L1a と電氣的に接続される。アノード電源線接続部 L1a は、アノード電源線 L1 から第 1 方向 Dx に分岐された部分である。これにより、駆動トランジスタ DRT 及び出力トランジスタ BCT には、アノード電源線 L1 からアノード電源電位 PVDD が供給される。

[0044] 図 4 の右側に示す第 3 画素 49B では、初期化トランジスタ IST は、半導体層 71 を有する。図 4 の左側に示す第 1 画素 49R では、初期化トランジスタ IST は、半導体層 71A を有する。半導体層 71、71A は、それぞれ、初期化制御信号線 L8 及び分岐信号線 L8a と平面視で交差する。半導体層 71、71A のうち、初期化制御信号線 L8 及び分岐信号線 L8a と重なる領域にチャネル領域が形成される。分岐信号線 L8a は、初期化制御信号線 L8 から分岐され、第 1 方向 Dx に延出する。初期化制御信号線 L8 及び分岐信号線 L8a のうち半導体層 71、71A と重なる部分が、それぞれ初期化トランジスタ IST のゲート電極 74 として機能する。つまり、初期化トランジスタ IST は、半導体層 71、71A のそれぞれに重なって 2 つのゲート電極が設けられたダブルゲート構造である。

[0045] 図 4 の右側に示す第 3 画素 49B では、半導体層 71 は、第 2 方向 Dy に延出し、一端が接続配線 L9 に電氣的に接続され、他端が初期化電源線接続部 L4a に接続される。初期化電源線接続部 L4a は、初期化電源線 L4 から第 1 方向 Dx に分岐された部分である。また、図 4 の左側に示す第 1 画素 49R では、半導体層 71A は、第 2 方向 Dy に延出する部分と、第 1 方向 Dx に延出する部分とを有する。半導体層 71A のうち、第 2 方向 Dy に延出する部分の一端が接続配線 L9 に電氣的に接続される。半導体層 71A のうち、第 1 方向 Dx に延出する部分は、平面視でアノード電源線 L1 及び映像信号線 L2 と交差して第 3 画素 49B まで延出し、初期化電源線接続部 L4a に電氣的に接続される。以上のような構成により、1 つの初期化電源線

L 4 は、2つの初期化トランジスタ I S T に電氣的に接続されて、第1方向 D x に隣り合う2つの画素49で共有される。

[0046] 画素選択トランジスタ S S T は、半導体層75を有する。半導体層75は、第1方向 D x に延出し、2つの分岐信号線 L 7 a と平面視で交差する。半導体層75のうち、2つの分岐信号線 L 7 a と重なる領域にチャネル領域が形成される。2つの分岐信号線 L 7 a は、画素制御信号線 L 7 から第2方向 D y に分岐された部分である。2つの分岐信号線 L 7 a のうち半導体層75と重なる部分が、それぞれ画素選択トランジスタ S S T のゲート電極78として機能する。つまり、画素選択トランジスタ S S T は、半導体層75に重なって2つのゲート電極78が設けられたダブルゲート構造である。半導体層75の一端は、映像信号線接続部 L 2 a に接続され、他端は接続配線 L 9 に接続される。映像信号線接続部 L 2 a は、映像信号線 L 2 から第1方向 D x に分岐された部分である。すなわち、複数の画素選択トランジスタ S S T は、それぞれ、基板21に設けられた半導体層75と、第1金属層 M L 1 で形成され、半導体層75と重なる領域に設けられたゲート電極78と、を有する。また、映像信号線 L 2 は、第3金属層 M L 3 で形成され、画素選択トランジスタ S S T と電氣的に接続される。

[0047] リセットトランジスタ R S T は、半導体層79を有する。半導体層79は、第2方向 D y に延出し、リセット制御信号線 L 5 及び分岐信号線 L 5 a と平面視で交差する。半導体層79のうち、リセット制御信号線 L 5 及び分岐信号線 L 5 a と重なる領域にチャネル領域が形成される。分岐信号線 L 5 a は、リセット制御信号線 L 5 から分岐され、第1方向 D x に延出する。リセット制御信号線 L 5 及び分岐信号線 L 5 a のうち、半導体層79と重なる部分が、それぞれリセットトランジスタ R S T のゲート電極として機能する。つまり、リセットトランジスタ R S T は、ダブルゲート構造である。

[0048] リセット電源線 L 3 には、第1方向 D x に延出するリセット電源線接続部 L 3 a、L 3 b 及びブリッジ部 L 3 c が接続されている。リセット電源線接続部 L 3 a、L 3 b は第3金属層 M L 3 で形成され、ブリッジ部 L 3 c は、

リセット電源線接続部L 3 a、L 3 bと異なる層、例えば第1金属層ML 1で形成される。リセット電源線接続部L 3 aは第1画素4 9 Rに設けられ、リセット電源線接続部L 3 bは、第3画素4 9 Bに設けられる。リセット電源線接続部L 3 aとリセット電源線接続部L 3 bとの間に、アノード電源線L 1、映像信号線L 2及び初期化電源線L 4が設けられる。ブリッジ部L 3 cは、平面視でアノード電源線L 1、映像信号線L 2及び初期化電源線L 4と交差して、リセット電源線接続部L 3 aとリセット電源線接続部L 3 bとを接続する。

[0049] 第1画素4 9 Rにおいて、半導体層7 9の一端はリセット電源線接続部L 3 aに接続される。また、第3画素4 9 Bにおいて、半導体層7 9の一端はリセット電源線接続部L 3 bに接続される。また、半導体層7 9の他端は、それぞれ第1部分半導体層6 1 aを介して半導体層6 5に電氣的に接続される。つまり、リセットトランジスタR S Tの半導体層7 9の他端は、半導体層6 5、ソース電極6 2を介して発光素子3のアノード端子2 3 tに電氣的に接続される。以上のような構成により、1つのリセット電源線L 3は、2つのリセットトランジスタR S Tに電氣的に接続されて、第1方向D xに隣り合う2つの画素4 9で共有される。

[0050] また、本実施形態において、発光素子3に駆動電流を供給するための駆動トランジスタD R T及び出力トランジスタB C Tは、シングルゲート構造である。初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tはダブルゲート構造である。これにより、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tのリーク電流を抑制することができる。

[0051] 次に、表示装置1の断面構成について説明する。図5は、図4のV-V'線に沿う断面図である。図6は、図4のV I-V I'線に沿う断面図である。図7は、図4のV I I-V I I'線に沿う断面図である。なお、図6では、周辺領域G Aに設けられたカソード配線6 0及びトランジスタT rを模式的に示している。

- [0052] 図5に示すように、発光素子3は、アレイ基板2の上に設けられる。アレイ基板2は、基板21、各種トランジスタ、各種配線及び各種絶縁膜を有する。基板21は絶縁基板であり、例えば、ガラス基板、樹脂基板又は樹脂フィルム等が用いられる。
- [0053] 本明細書において、基板21の表面に垂直な方向において、基板21から平坦化膜27に向かう方向を「上側」とする。また、平坦化膜27から基板21に向かう方向を「下側」とする。
- [0054] 駆動トランジスタDRT、出力トランジスタBCT、初期化トランジスタIST、画素選択トランジスタSST及びリセットトランジスタRST（図5では図示しない）は、基板21の一方の面側に設けられる。基板21の一方の面に、アンダーコート膜90、第1金属層ML1、ゲート絶縁膜91、半導体層61、65、71、75、第1絶縁膜92、第2金属層ML2、第2絶縁膜93、第3金属層ML3、第3絶縁膜94の順に積層される。言い換えると、基板21に垂直な方向において、第1絶縁膜92は、第1金属層ML1と第2金属層ML2との間に設けられる。第2絶縁膜93は、第2金属層ML2と第3金属層ML3との間に設けられる。
- [0055] 第3絶縁膜94の上にアノード接続電極24及びシールド電極26が設けられ、アノード接続電極24、シールド電極26の上に、第4絶縁膜95を介して、アノード電極23及び発光素子3が設けられる。シールド電極26は、各トランジスタと発光素子3との間をシールドするために設けられ、図3における第2容量Cs2も兼ねている。
- [0056] 表示装置1において、アレイ基板2は、基板21からアノード電極23までの各層を含む。アレイ基板2には、平坦化膜27、カソード電極22及び発光素子3は含まれない。
- [0057] アンダーコート膜90、ゲート絶縁膜91、第1絶縁膜92及び第4絶縁膜95は、シリコン酸化膜（SiO）、シリコン窒化膜（SiN）又はシリコン酸化窒化膜（SiON）等の無機絶縁材料が用いられる。また、各無機絶縁膜は、単層に限定されず積層膜であってもよい。また、アンダーコート

膜 90 は設けられていなくてもよい。第 2 絶縁膜 93、第 3 絶縁膜 94 及び平坦化膜 27 は、有機絶縁膜あるいは無機有機ハイブリッド絶縁膜（Si-O 主鎖に、例えば有機基（メチル基あるいはフェニル基）が結合した材料）である。第 2 絶縁膜 93 及び第 3 絶縁膜 94 のうち、いずれか一方は、無機絶縁膜であってもよい。

[0058] 第 1 金属層 ML1 で形成されるゲート電極 64、66、74、78 は、アンダーコート膜 90 を介して基板 21 の上に設けられる。ゲート絶縁膜 91 は、ゲート電極 64、66、74、78 を覆ってアンダーコート膜 90 の上に設けられる。半導体層 61、65、71、75 は、ゲート絶縁膜 91 の上に設けられる。第 1 絶縁膜 92 は、半導体層 61、65、71、75 を覆ってゲート絶縁膜 91 の上に設けられる。

[0059] 図 5 に示す例では、各トランジスタは、いわゆるボトムゲート構造である。ただし、各トランジスタは、半導体層の上側にゲート電極が設けられたトップゲート構造でもよく、半導体層の上側及び下側の両方にゲート電極が設けられたデュアルゲート構造でもよい。

[0060] 第 2 金属層 ML2 で形成されるソース電極 62、72 及びドレイン電極 67、73、77 は、第 1 絶縁膜 92 の上に設けられる。ソース電極 62、72 及びドレイン電極 67、73、77 は、それぞれ第 1 絶縁膜 92 に設けられたコンタクトホールを介して各半導体層と電氣的に接続される。

[0061] 第 2 絶縁膜 93 は、ソース電極 62、72 及びドレイン電極 67、73、77 を覆って、第 1 絶縁膜 92 の上に設けられる。第 3 金属層 ML3 で形成される接続配線 L9 及び初期化電源線接続部 L4a は、第 2 絶縁膜 93 の上に設けられる。接続配線 L9 は、第 2 絶縁膜 93 に設けられたコンタクトホールを介して、初期化トランジスタ IST のドレイン電極 73 及び画素選択トランジスタ SST のドレイン電極 77 と接続される。これにより、画素選択トランジスタ SST のドレインと初期化トランジスタ IST のドレインとが電氣的に接続される。また、初期化電源線接続部 L4a は、第 2 絶縁膜 93 に設けられたコンタクトホールを介して、ソース電極 72 と接続される。

- [0062] 第3絶縁膜94は、接続配線L9及び初期化電源線接続部L4aを覆って、第2絶縁膜93の上に設けられる。第3絶縁膜94の上にアノード接続電極24及びシールド電極26が設けられる。アノード接続電極24は、第2絶縁膜93及び第3絶縁膜94に設けられたコンタクトホールを介してソース電極62と接続される。アノード接続電極24と、アノード電源線L1及びアノード電源線L1に接続された各種配線との間及びアノード電源線L1とシールド電極26との間に第2容量Cs2（図3参照）が形成される。シールド電極26は、アノード電極23及び発光素子3の下に設けられる。
- [0063] 第4絶縁膜95は、アノード接続電極24及びシールド電極26を覆って、第3絶縁膜94の上に設けられる。アノード電極23は第4絶縁膜95の上に設けられる。アノード電極23は、第4絶縁膜95に設けられたコンタクトホールを介してアノード接続電極24と電氣的に接続される。
- [0064] 発光素子3は、アノード電極23の上に設けられ、発光素子3のアノード端子23tとアノード電極23が接続される。これにより、発光素子3のアノード端子23tは、駆動トランジスタDRTのソース電極62と電氣的に接続される。
- [0065] 平坦化膜27は、発光素子3の少なくとも側面3aを覆って第4絶縁膜95の上に設けられる。カソード電極22は、平坦化膜27の上に設けられ、発光素子3のカソード端子22tと接続される。カソード電極22は、表示領域AAから周辺領域GAに亘って設けられており、複数の画素49の発光素子3と電氣的に接続される。
- [0066] 図6に示すように、基板21の周辺領域GAには、複数のトランジスタとして、駆動回路12（図1参照）に含まれるトランジスタTr及びカソード配線60が設けられる。カソード配線60は、第2金属層ML2で形成され、周辺領域GAにおいて第1絶縁膜92の上に設けられる。図5に示すカソード電極22は、カソード配線60と電氣的に接続される。また、図3に示すカソード電源線L10は、カソード配線60及びカソード電極22を含む。なお、カソード配線60は、第3金属層ML3で形成され、第2絶縁膜9

3の上に設けられていてもよい。

[0067] トランジスタ T_r は、半導体層81、ソース電極82、ドレイン電極83及びゲート電極84を含む。トランジスタ T_r は、画素回路 $PICA$ に含まれる各トランジスタと同様の層構成を有しており、詳細な説明は省略する。トランジスタ T_r のソース電極82及びドレイン電極83には、第3金属層 $ML3$ で形成される配線82a、83aが接続される。これにより、駆動回路12を含む周辺領域 GA の配線を効率よく配置できる。なお、配線82a、83aは、第2金属層 $ML2$ で形成され、ソース電極82及びドレイン電極83と同層に設けられていてもよい。

[0068] 図6に示すように、映像信号線 $L2$ は、アノード電源線 $L1$ の上側に設けられる。また、リセット電源線 $L3$ は、アノード電源線 $L1$ と重ならない位置に設けられる。アノード電源線 $L1$ の幅は、映像信号線 $L2$ 及びリセット電源線 $L3$ のそれぞれの幅よりも大きい。また、アノード電源線 $L1$ （第2金属層 $ML2$ ）の厚さ $t2$ は、ゲート電極64（第1金属層 $ML1$ ）の厚さ $t1$ （図5参照）よりも厚い。また、アノード電源線 $L1$ （第2金属層 $ML2$ ）の厚さ $t2$ は、映像信号線 $L2$ 及びリセット電源線 $L3$ （第3金属層 $ML3$ ）の厚さ $t3$ よりも厚い。これにより、アノード電源線 $L1$ の抵抗値を小さくすることができる。

[0069] 各配線の層構成は適宜変更できる。例えば、映像信号線 $L2$ の上側にアノード電源線 $L1$ が設けられていてもよい。つまり、アノード電源線 $L1$ が第3金属層 $ML3$ で形成されて、第2絶縁膜93の上に設けられ、映像信号線 $L2$ 及びリセット電源線 $L3$ が第2金属層 $ML2$ で形成され、第1絶縁膜92の上に設けられていてもよい。

[0070] 本実施形態において、第1絶縁膜92の比誘電率は、第2絶縁膜93及び第3絶縁膜94の比誘電率よりも大きい。アノード電源線 $L1$ は、第1絶縁膜92を介して各種ゲート線（リセット制御信号線 $L5$ 、出力制御信号線 $L6$ 、画素制御信号線 $L7$ 、初期化制御信号線 $L8$ （図4参照））と対向する。比誘電率の高い第1絶縁膜92により、アノード電源線 $L1$ と各種ゲート

線との間に形成される容量が大きくなる。アノード電源線L 1に形成される容量は、デカップリングコンデンサとして用いられる。これにより、デカップリングコンデンサは、アノード電源電位P V D Dの変動を吸収して、駆動IC 210を安定して動作させることができる。また、デカップリングコンデンサは、表示装置1で発生する電磁ノイズが外部に漏れることを抑制できる。

[0071] 図7は、画素回路P I C Aに含まれる複数のトランジスタの接続構成の一例として、画素選択トランジスタS S Tの断面図を示す。画素選択トランジスタS S Tは、第2金属層M L 2で形成されるソース電極76を有する。ソース電極76は、第1絶縁膜92に設けられたコンタクトホールを介して半導体層75と接続される。映像信号線L 2（映像信号線接続部L 2 a）は、第2絶縁膜93に設けられたコンタクトホールを介してソース電極76と接続される。言い換えると、映像信号線L 2は、第2金属層M L 2で形成された中継電極（ソース電極76）を介して半導体層75と電氣的に接続される。

[0072] ドレイン電極77は、第1絶縁膜92に設けられたコンタクトホールを介して半導体層75と接続される。接続配線L 9は、第2絶縁膜93に設けられたコンタクトホールを介してドレイン電極77と接続される。駆動トランジスタD R Tのゲート電極64は、第2金属層M L 2で形成された中継電極64 sと接続される。接続配線L 9は、第2絶縁膜93に設けられたコンタクトホールを介して中継電極64 sと接続される。このような構成により、駆動トランジスタD R Tのゲート電極64は、第3金属層M L 3で形成された接続配線L 9を介して画素選択トランジスタS S Tの半導体層75と電氣的に接続される。

[0073] 以上説明したように、本実施形態の表示装置1は、基板21と、複数の画素49と、発光素子3及び複数のトランジスタと、信号線と、第1金属層M L 1、第2金属層M L 2及び第3金属層M L 3と、第1絶縁膜92と、第2絶縁膜93とを有する。複数の画素49は、基板21に設けられる。発光素

子3及び複数のトランジスタ（駆動トランジスタDRT、出力トランジスタBCT、初期化トランジスタIST、画素選択トランジスタSST及びリセットトランジスタRST）は、複数の画素49の各々に設けられる。信号線（映像信号線L2、リセット電源線L3及び初期化電源線L4）は、画素49に信号を供給する。第1金属層ML1、第2金属層ML2及び第3金属層ML3は、基板21に垂直な方向で異なる層に設けられる。第1絶縁膜92は、第1金属層ML1と第2金属層ML2との間に設けられる。第2絶縁膜93は、第2金属層ML2と第3金属層ML3との間に設けられる。複数のトランジスタの少なくとも1つ（例えば画素選択トランジスタSST）は、基板21に設けられた半導体層75と、第1金属層ML1で形成され、半導体層75と重なる領域に設けられたゲート電極78と、を有し、信号線（例えば、映像信号線L2）は、第3金属層ML3で形成され、半導体層75と電氣的に接続される。

[0074] これによれば、表示装置1（アレイ基板2）において、各画素49に複数のトランジスタが設けられる場合であっても、トランジスタに接続される電源線、信号線、ゲート線等の複数の配線は、第1金属層ML1、第2金属層ML2及び第3金属層ML3により形成できる。このため、複数の配線の配置の自由度が大きくなり、表示装置1（アレイ基板2）は、効率よく配線を配置することができる。

[0075] 図8は、実施形態に係る発光素子を示す断面図である。本実施形態の表示装置1において、発光素子3は、アノード端子23tが下側に設けられカソード端子22tが上側に設けられた、いわゆるフェースアップ構造である。

[0076] 図8に示すように、発光素子3は、複数の部分発光素子3sと、複数の部分発光素子3sを覆う保護層39と、p型電極37と、n型電極38と、を有する。複数の部分発光素子3sは、p型電極37とn型電極38との間に、それぞれ柱状に形成される。複数の部分発光素子3sは、n型クラッド層33と、活性層34と、p型クラッド層35と、を有する。n型電極38は、n型クラッド層33に電氣的に接続される。p型電極37はp型クラッド

層 3 5 に電氣的に接続される。p 型電極 3 7 の上に、p 型クラッド層 3 5、活性層 3 4、n 型クラッド層 3 3 の順に積層される。n 型クラッド層 3 3、活性層 3 4 及び p 型クラッド層 3 5 は、発光層であり、例えば、窒化ガリウム (Ga N)、アルミニウムインジウム燐 (Al I n P) 等の化合物半導体 が用いられる。

[0077] n 型電極 3 8 は、ITO (Indium Tin Oxide) 等の透光性の導電性材料 である。n 型電極 3 8 は、発光素子 3 のカソード端子 2 2 t であり、カソー ド電極 2 2 に接続される。また、p 型電極 3 7 は、発光素子 3 のアノード端 子 2 3 t であり、Pt 層 3 7 a と、メッキにより形成された厚膜 Au 層 3 7 b と、を有する。厚膜 Au 層 3 7 b は、アノード電極 2 3 の載置面 2 3 a と 接続される。

[0078] 保護層 3 9 は、例えば SOG (Spin on Glass) である。保護層 3 9 の側 面が、発光素子 3 の側面 3 a となる。平坦化膜 2 7 は、保護層 3 9 の側面を 囲んで設けられる。

[0079] (第 1 変形例)

図 9 は、実施形態の第 1 変形例に係る発光素子を示す断面図である。表示 装置 1 において、発光素子 3 はフェースアップ構造に限定されず、発光素子 3 の下部が、アノード電極 2 3 及びカソード電極 2 2 に接続される、いわゆ るフェースダウン構造であってもよい。

[0080] 図 9 に示すように、発光素子 3 A は、透光性基板 3 1 の上に、バッファ層 3 2、n 型クラッド層 3 3、活性層 3 4、p 型クラッド層 3 5、p 型電極 3 6 の順に積層される。発光素子 3 A は、透光性基板 3 1 が上側に、p 型電極 3 6 が下側になるように実装される。また、n 型クラッド層 3 3 において、 カソード電極 2 2 と対向する面側には、活性層 3 4 から露出した領域が設け られている。この領域に n 型電極 3 8 A が設けられている。

[0081] p 型電極 3 6 は、発光層からの光を反射する金属光沢のある材料で形成さ れる。p 型電極 3 6 はバンプ 3 9 A を介してアノード電極 2 3 に接続される 。n 型電極 3 8 A はバンプ 3 9 B を介してカソード電極 2 2 に接続される。

絶縁膜 97 はカソード電極 22 及びアノード電極 23 を覆っており、絶縁膜 97 の開口部分でバンプ 39A、39B は、それぞれアノード電極 23 及びカソード電極 22 と接続される。

[0082] 発光素子 3A では、p 型クラッド層 35 と n 型クラッド層 33 とが直接接合せずに、間に別の層（活性層 34）が導入されている。これにより、電子や正孔といったキャリアを活性層 34 の中に集中させることができ、効率よく再結合（発光）させることが可能となる。高効率化のために数原子層からなる井戸層と障壁層とを周期的に積層させた多重量子井戸構造（MQW 構造）が、活性層 34 として採用されてもよい。

[0083] （第 2 変形例）

図 10 は、実施形態の第 2 変形例に係る表示装置を示す断面図である。図 10 は、図 7 と同様に、画素選択トランジスタ SST の断面図を示す。本変形例の表示装置 1A は、上述した表示装置 1 と比べて、接続配線 L9A が第 2 金属層 ML2 で形成されている点異なる。

[0084] 図 10 に示すように、接続配線 L9A は第 1 絶縁膜 92 の上に設けられる。接続配線 L9A は、中継電極を介さずに、第 1 絶縁膜 92 に設けられたコンタクトホールを介して画素選択トランジスタ SST の半導体層 75 と電氣的に接続される。接続配線 L9A のうち、半導体層 75 と重なる部分がドレイン電極 77 として機能する。また、接続配線 L9A は、中継電極を介さずに、第 1 絶縁膜 92 及びゲート絶縁膜 91 に設けられたコンタクトホールを介してゲート電極 64 と電氣的に接続される。このような構成により、駆動トランジスタ DRT のゲート電極 64 は、第 2 金属層 ML2 で形成された接続配線 L9A を介して画素選択トランジスタ SST の半導体層 75 と電氣的に接続される。

[0085] 接続配線 L9A は第 2 金属層 ML2 で形成されているため、接続配線 L9A の上側の層に配線等を配置することもできる。このため、本変形例では効率よく配線を配置できる。

[0086] （第 3 変形例）

図 1 1 は、実施形態の第 3 変形例に係る表示装置を示す断面図である。本変形例の表示装置 1 B は、上述した表示装置 1、1 A と比べて、映像信号線 L 2 と半導体層 7 5 との間に、第 2 金属層 M L 2 で形成された中継電極（ソース電極 7 6）が設けられていない点が異なる。また、接続配線 L 9 においても、第 2 金属層 M L 2 で形成されたドレイン電極 7 7、中継電極 6 4 s が設けられていない。

[0087] 図 1 1 に示すように、映像信号線 L 2（映像信号線接続部 L 2 a）と半導体層 7 5 との間において、第 1 絶縁膜 9 2 及び第 2 絶縁膜 9 3 には、基板 2 1 に垂直な方向に貫通するコンタクトホール H 1 が設けられる。映像信号線 L 2 は、コンタクトホール H 1 を介して画素選択トランジスタ S S T の半導体層 7 5 と電氣的に接続される。本変形例では、映像信号線接続部 L 2 a のうち、半導体層 7 5 と重なる部分がソース電極 7 6 として機能する。また、接続配線 L 9 は、中継電極を介さずに、第 1 絶縁膜 9 2 及び第 2 絶縁膜 9 3 を貫通するコンタクトホールを介して画素選択トランジスタ S S T の半導体層 7 5 と電氣的に接続される。接続配線 L 9 のうち、半導体層 7 5 と重なる部分がドレイン電極 7 7 として機能する。また、接続配線 L 9 は、中継電極を介さずに、第 1 絶縁膜 9 2、第 2 絶縁膜 9 3 及びゲート絶縁膜 9 1 に設けられたコンタクトホールを介してゲート電極 6 4 と電氣的に接続される。

[0088] このような構成により、中継電極を設けた場合に比べて、第 1 絶縁膜 9 2 の上で、配線を設けるスペースが大きくなり、効率よく配線を配置できる。また、本変形例の構成は、画素選択トランジスタ S S T に限定されず、各トランジスタの半導体層と信号線との接続に適用可能である。

[0089]（第 4 変形例）

図 1 2 は、実施形態の第 4 変形例に係る表示装置を示す断面図である。本変形例の表示装置 1 C は、上述した表示装置 1、1 A、1 B と比べて、接続配線 L 9 A が第 2 金属層 M L 2 で形成され、かつ、映像信号線 L 2 と半導体層 7 5 との間に、第 2 金属層 M L 2 で形成された中継電極（ソース電極 6 2）が設けられていない点が異なる。

[0090] 図12に示すように、接続配線L9Aの接続構成は、第2変形例と同様であり、映像信号線L2の接続構成は、第3変形例と同様である。接続配線L9A及び映像信号線L2に限られず、各配線は、第1金属層ML1、第2金属層ML2及び第3金属層ML3を適宜組み合わせることができる。また、層間の接続構成も適宜組み合わせることができる。

[0091] (第5変形例)

図13は、実施形態の第5変形例に係る表示装置を示す断面図である。本変形例の表示装置1Dは、上述した表示装置1、1A、1B、1Cと比べて、第1絶縁膜92に凹部92aが設けられている点が異なる。

[0092] 図13に示すように、アノード電源線L1は、凹部92aに設けられている。つまり、第1絶縁膜92は、アノード電源線L1と重なる第1部分92bと、アノード電源線L1と重ならない第2部分92cとを含む。第1部分92bの厚さt4は、第2部分92cの厚さt5よりも薄い。

[0093] これにより、アノード電源線L1と各種ゲート線との間に形成される容量が大きくなる。すなわち、デカップリングコンデンサとして用いられる容量が大きくなる。これにより、デカップリングコンデンサは、アノード電源電位PVD Dの変動を吸収して、駆動IC210を安定して動作させることができる。また、デカップリングコンデンサは、表示装置1で発生する電磁ノイズが外部に漏れることを抑制できる。

[0094] なお、本変形例の構成は、上述した第1変形例から第4変形例と組み合わせることができる。

[0095] なお、上述した図3に示す画素回路PICAの構成は適宜変更することができる。例えば1つの画素49での配線の数及びトランジスタの数は異なってもよい。また、画素回路PICAはカレントミラー回路であってもよい。カレントミラー回路は、例えば特開2002-215093号公報に記載されているので、特開2002-215093号公報の記載を本実施形態に含め、記載を省略する。

[0096] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施

の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

符号の説明

- [0097] 1、1 A、1 B、1 C、1 D 表示装置
- 2 アレイ基板
- 3、3 A 発光素子
- 1 2 駆動回路
- 2 1 基板
- 6 0 カソード配線
- 6 1、6 5、7 1、7 1 A、7 5、7 9 半導体層
- 9 2 第1絶縁膜
- 9 3 第2絶縁膜
- 9 4 第3絶縁膜
- 9 5 第4絶縁膜
- D R T 駆動トランジスタ
- B C T 出力トランジスタ
- I S T 初期化トランジスタ
- S S T 画素選択トランジスタ
- R S T リセットトランジスタ
- P V D D アノード電源電位
- P V S S カソード電源電位
- L 1 アノード電源線
- L 2 映像信号線
- L 3 リセット電源線

- L 4 初期化電源線
- L 5 リセット制御信号線
- L 6 出力制御信号線
- L 7 画素制御信号線
- L 8 初期化制御信号線
- L 9 接続配線
- ML 1 第1金属層
- ML 2 第2金属層
- ML 3 第3金属層

請求の範囲

- [請求項1] 基板と、
前記基板に設けられた複数の画素と、
複数の前記画素の各々に設けられる発光素子及び複数のトランジスタと、
前記画素に信号を供給する複数の信号線と、
前記画素に駆動電位を供給する電源線と、
前記基板に垂直な方向で異なる層に設けられた第1金属層、第2金属層及び第3金属層と、
前記第1金属層と前記第2金属層との間に設けられた第1絶縁膜と、
、
前記第2金属層と前記第3金属層との間に設けられた第2絶縁膜と、
、を有し、
複数のトランジスタは、それぞれ、
前記基板に設けられた半導体層と、
前記第1金属層で形成され、前記半導体層と重なる領域に設けられたゲート電極と、を有し、
複数の前記信号線及び前記電源線のいずれか1つ以上は、前記第3金属層で形成され、前記トランジスタと電氣的に接続される表示装置。
- [請求項2] 複数の前記信号線は、前記第3金属層で形成され、
前記電源線は、前記第2金属層で形成され、
平面視で、前記電源線は前記信号線と重なって設けられる請求項1に記載の表示装置。
- [請求項3] 前記電源線のシート抵抗値は、前記信号線のシート抵抗値以下である
請求項1又は請求項2に記載の表示装置。
- [請求項4] 前記第1絶縁膜は、前記電源線と重なる第1部分と、前記電源線と

重ならない第2部分とを含み、

前記第1部分の厚さは、前記第2部分の厚さよりも薄い
請求項1から請求項3のいずれか1項に記載の表示装置。

[請求項5]

複数の前記トランジスタは、

前記発光素子に電流を供給する第1トランジスタと、

前記第1トランジスタに接続された第2トランジスタと、を含み、

前記第1金属層で形成され、前記第2トランジスタのゲート電極に
接続されるゲート線を有し、

前記信号線のシート抵抗値は、前記ゲート線のシート抵抗値以下で
ある

請求項1から請求項4のいずれか1項に記載の表示装置。

[請求項6]

前記第1トランジスタの半導体層と重なって1つのゲート電極が設
けられ、

前記第2トランジスタの半導体層と重なって2つのゲート電極が設
けられる

請求項5に記載の表示装置。

[請求項7]

前記信号線は、前記第2金属層で形成された中継電極を介して前記
第2トランジスタの前記半導体層と電氣的に接続される

請求項5又は請求項6に記載の表示装置。

[請求項8]

前記基板に垂直な方向で、前記第1絶縁膜及び前記第2絶縁膜を貫
通するコンタクトホールが設けられ、

前記信号線は、前記コンタクトホールを介して前記第2トランジス
タの前記半導体層と電氣的に接続される

請求項5又は請求項6に記載の表示装置。

[請求項9]

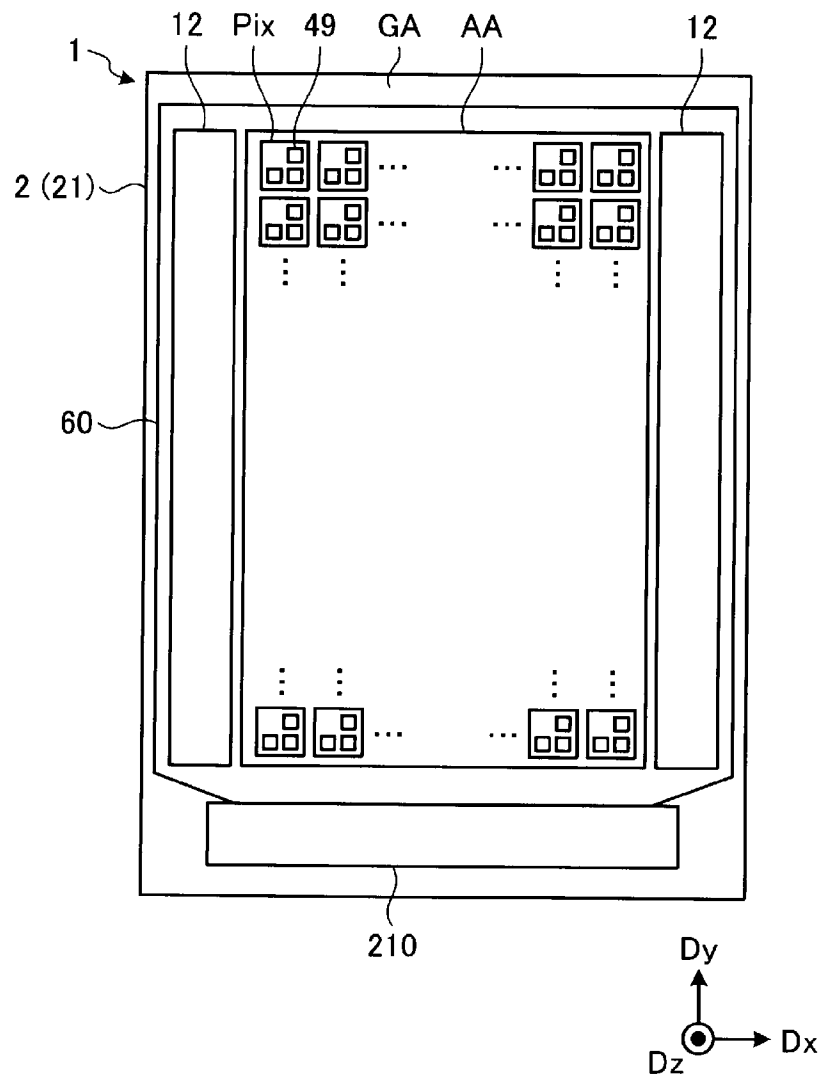
前記第3金属層で形成された接続配線を有し、

前記第1トランジスタのゲート電極は、前記接続配線を介して前記
第2トランジスタの半導体層と電氣的に接続される

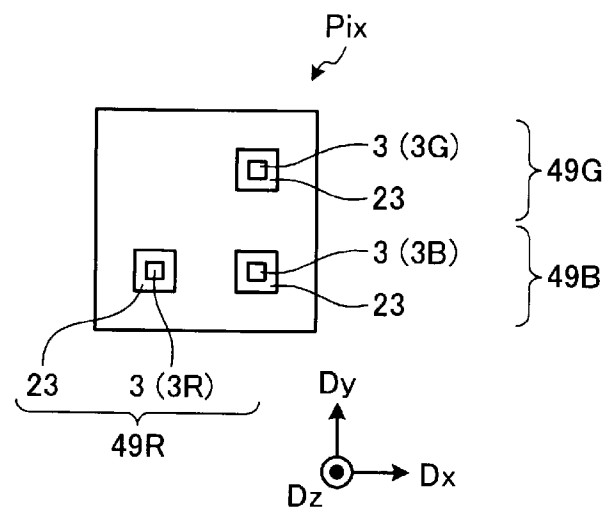
請求項5から請求項8のいずれか1項に記載の表示装置。

- [請求項10] 前記第2金属層で形成された接続配線を有し、
前記第1トランジスタのゲート電極は、前記接続配線を介して前記第2トランジスタの半導体層と電氣的に接続される
請求項5から請求項8のいずれか1項に記載の表示装置。
- [請求項11] 前記第1絶縁膜の比誘電率は、前記第2絶縁膜の比誘電率よりも大きい
請求項1から請求項10のいずれか1項に記載の表示装置。
- [請求項12] 複数の発光素子が設けられるアレイ基板であって、
基板と、
前記基板に設けられた複数のトランジスタと、
前記発光素子に信号を供給する複数の信号線と、
前記発光素子に駆動電位を供給する電源線と、
前記基板に垂直な方向で異なる層に設けられた第1金属層、第2金属層及び第3金属層と、
前記第1金属層と前記第2金属層との間に設けられた第1絶縁膜と、
、
前記第2金属層と前記第3金属層との間に設けられた第2絶縁膜と、
、を有し、
複数のトランジスタは、それぞれ、
前記基板に設けられた半導体層と、
前記第1金属層で形成され、前記半導体層と重なる領域に設けられたゲート電極と、を有し、
複数の前記信号線及び前記電源線のいずれか1つ以上は、前記第3金属層で形成され、前記トランジスタと電氣的に接続される
アレイ基板。

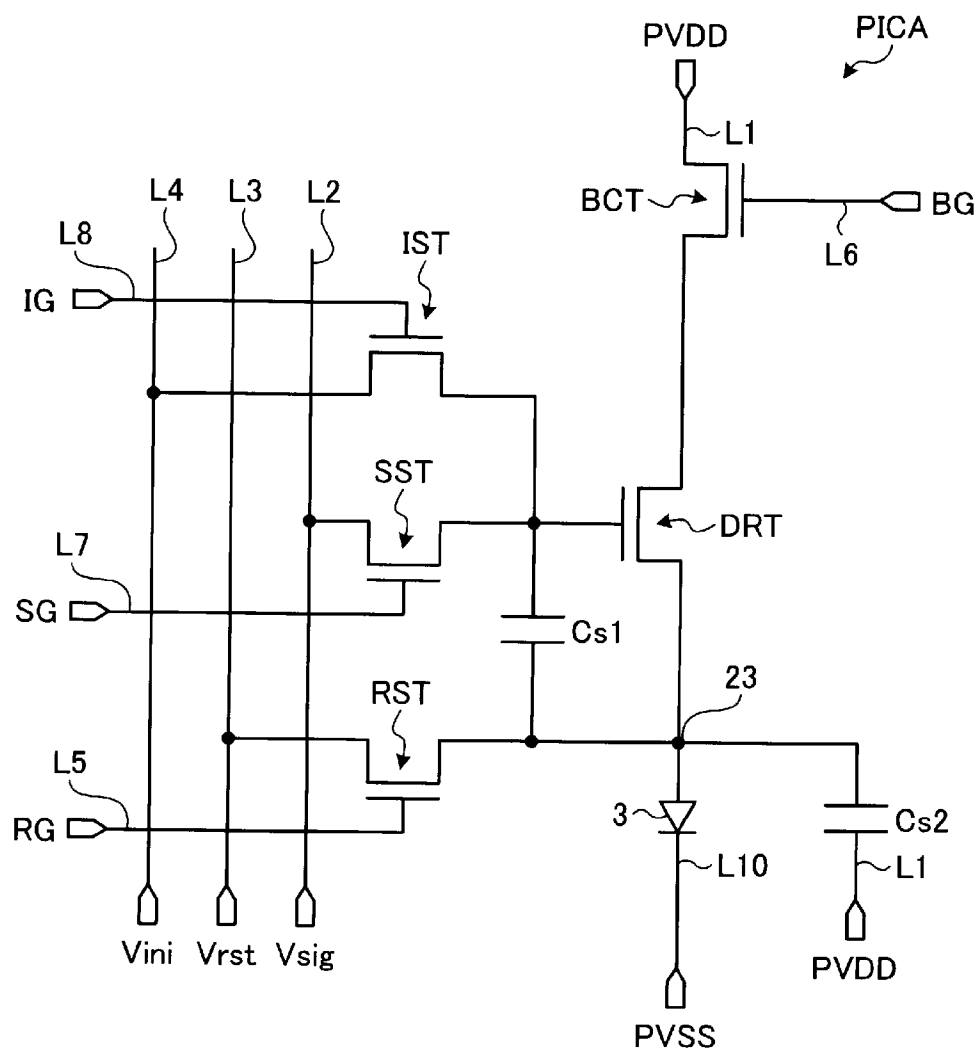
[図1]



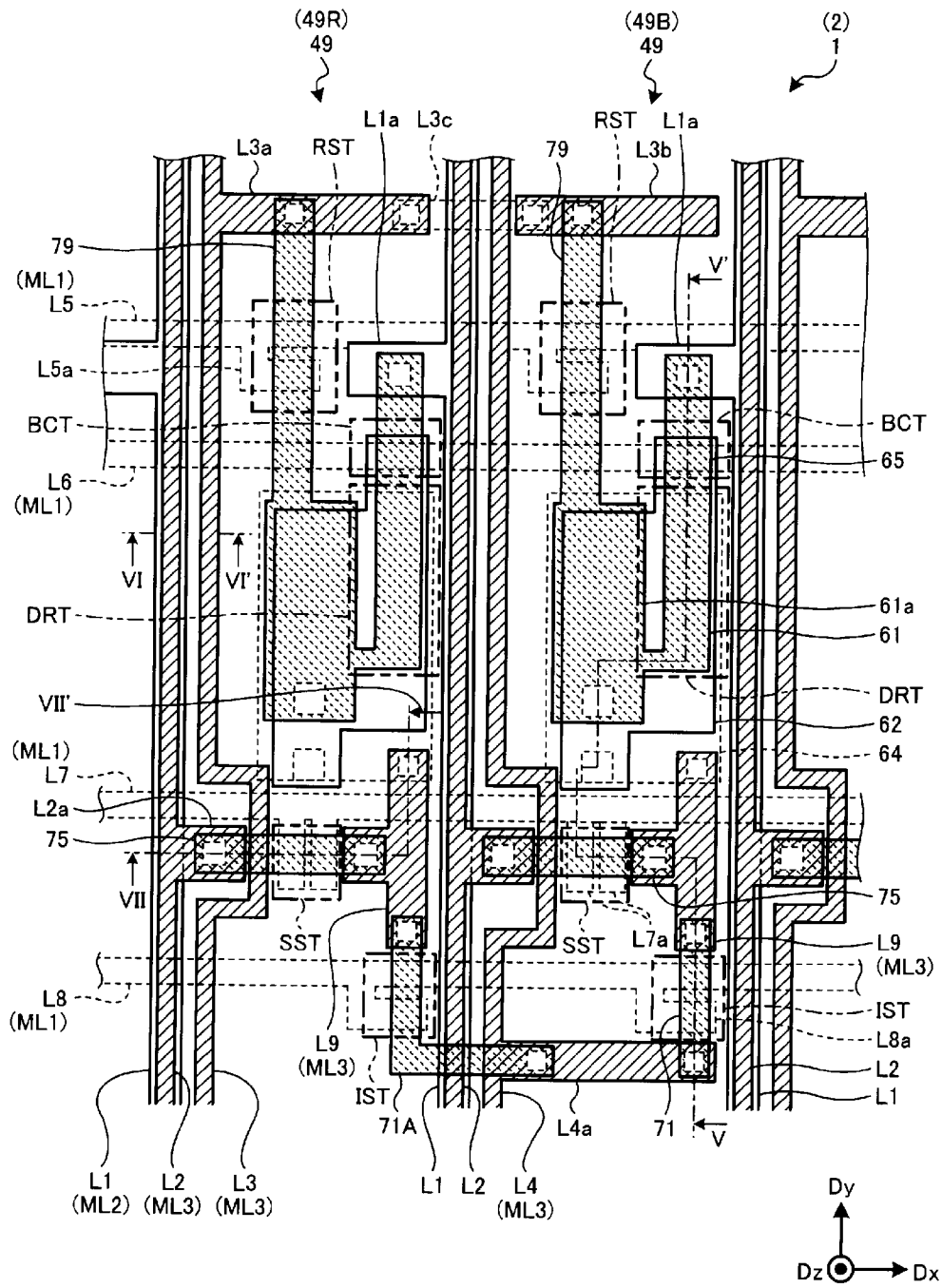
[図2]



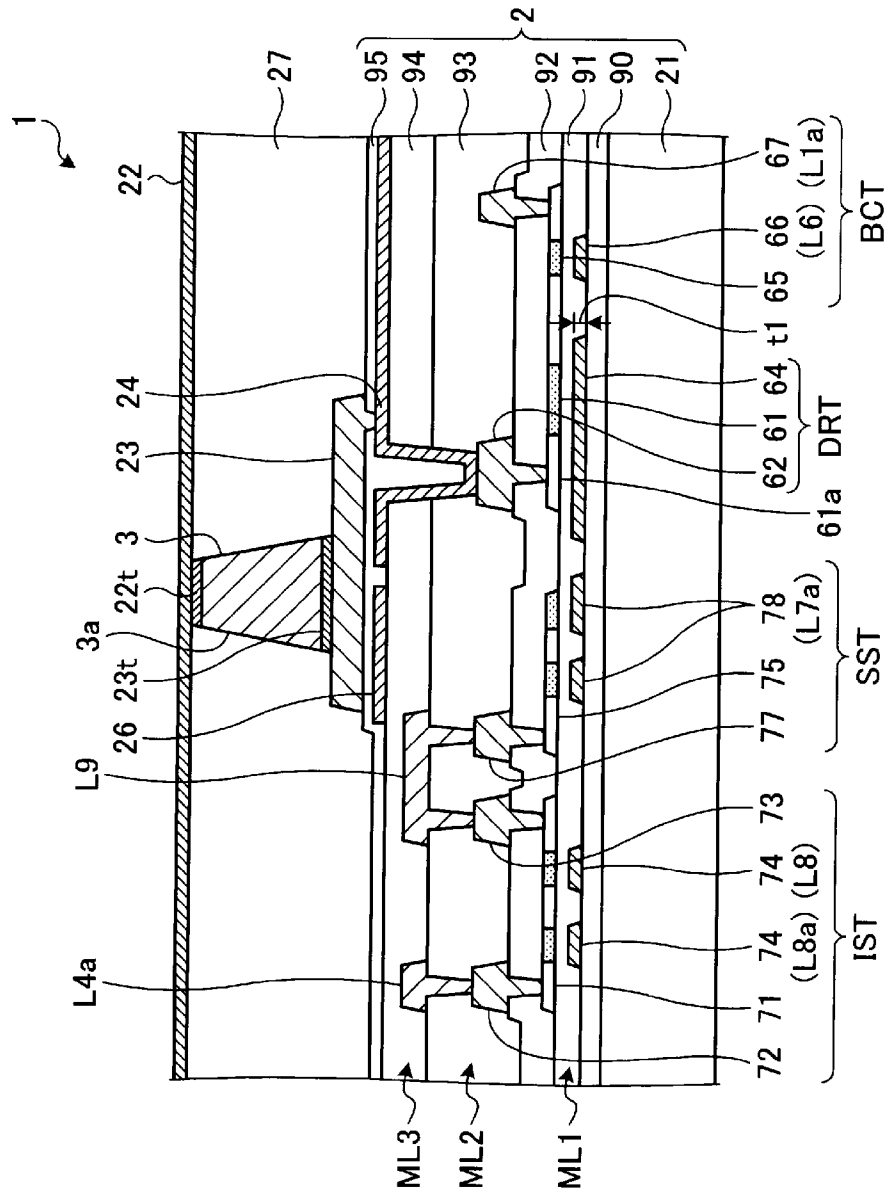
[図3]



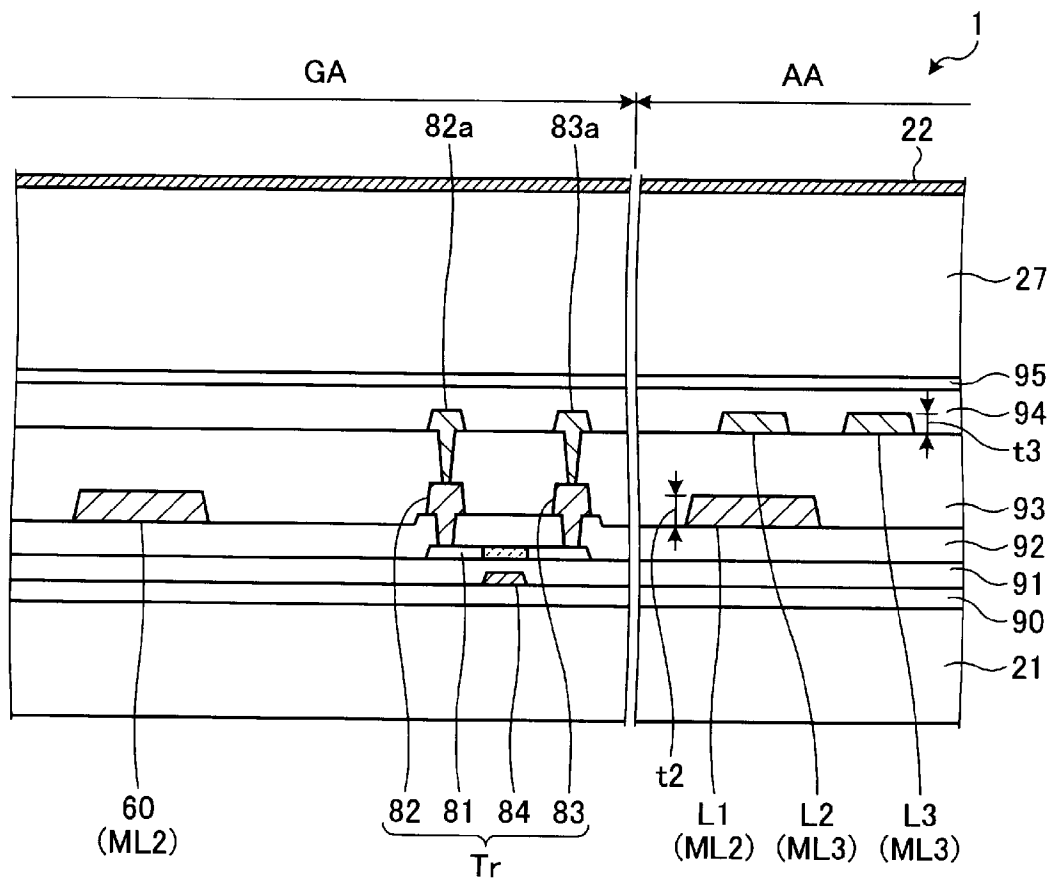
[図4]



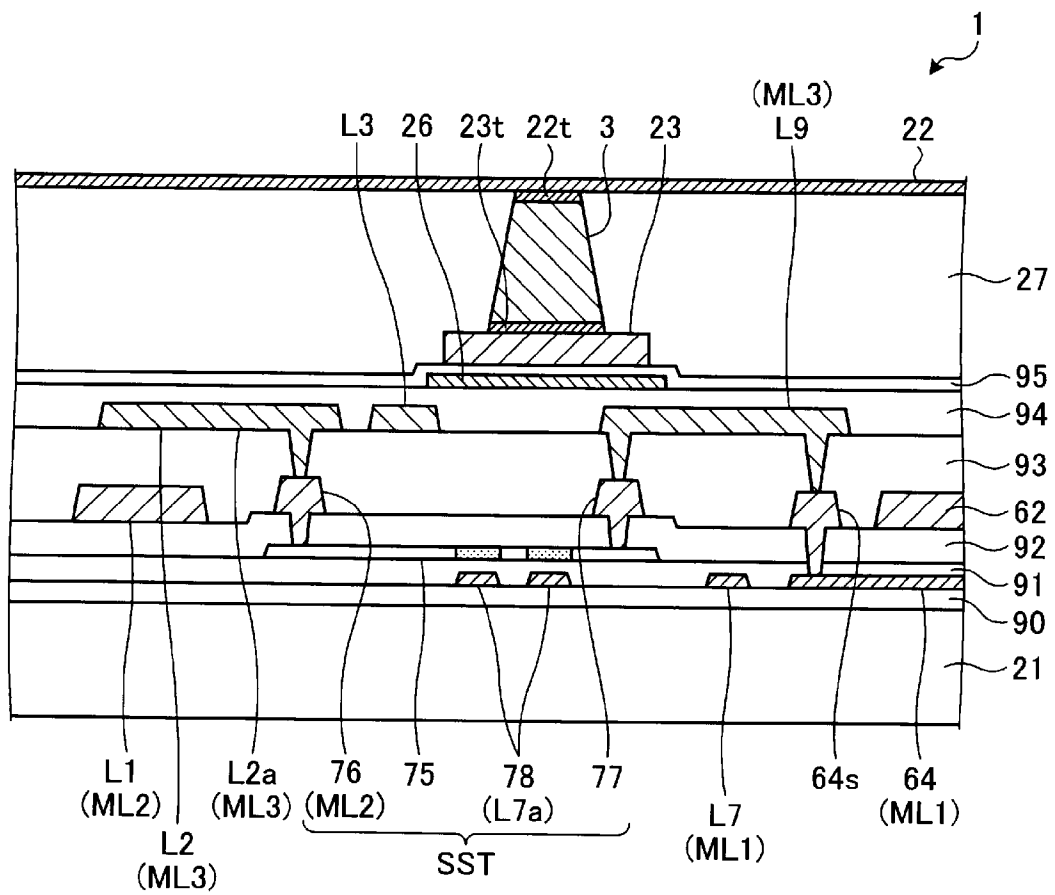
[図5]



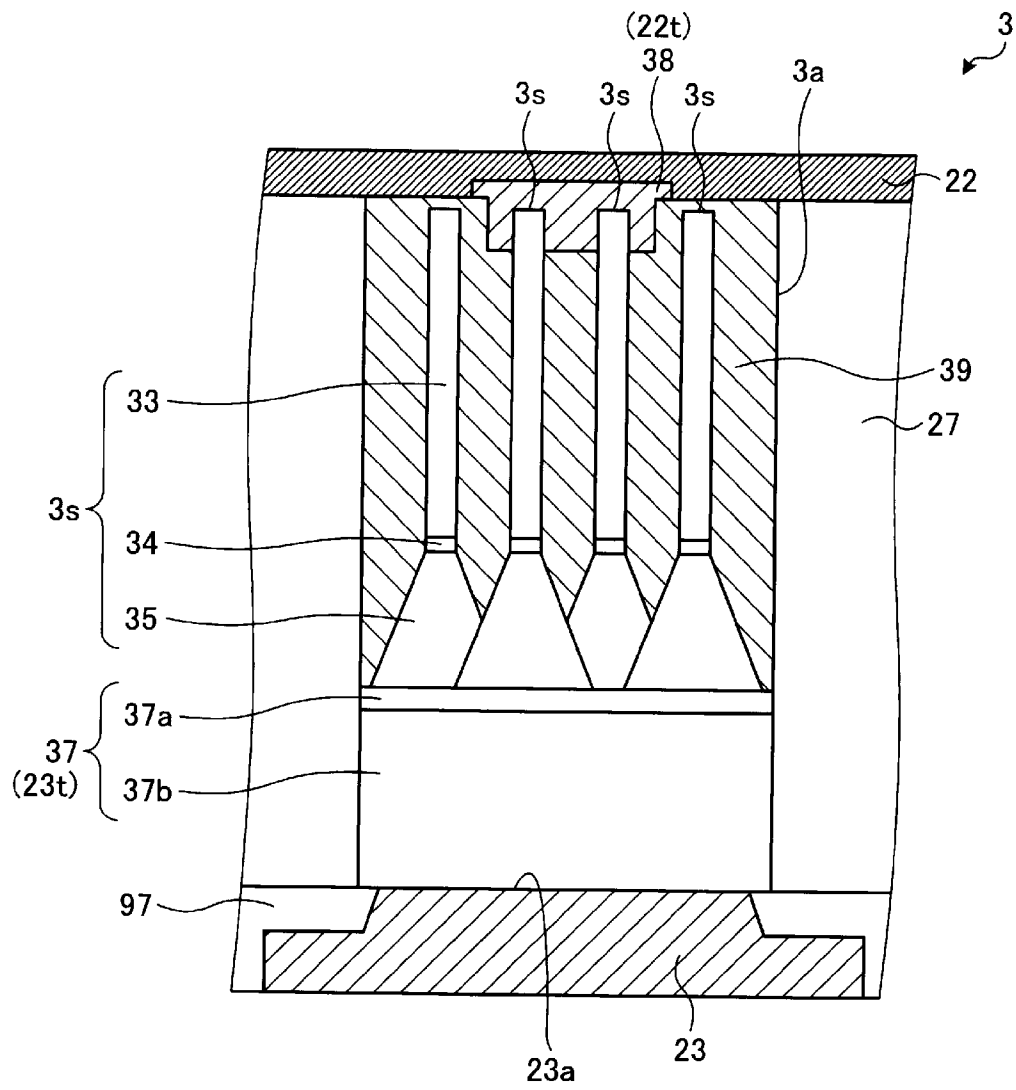
[図6]



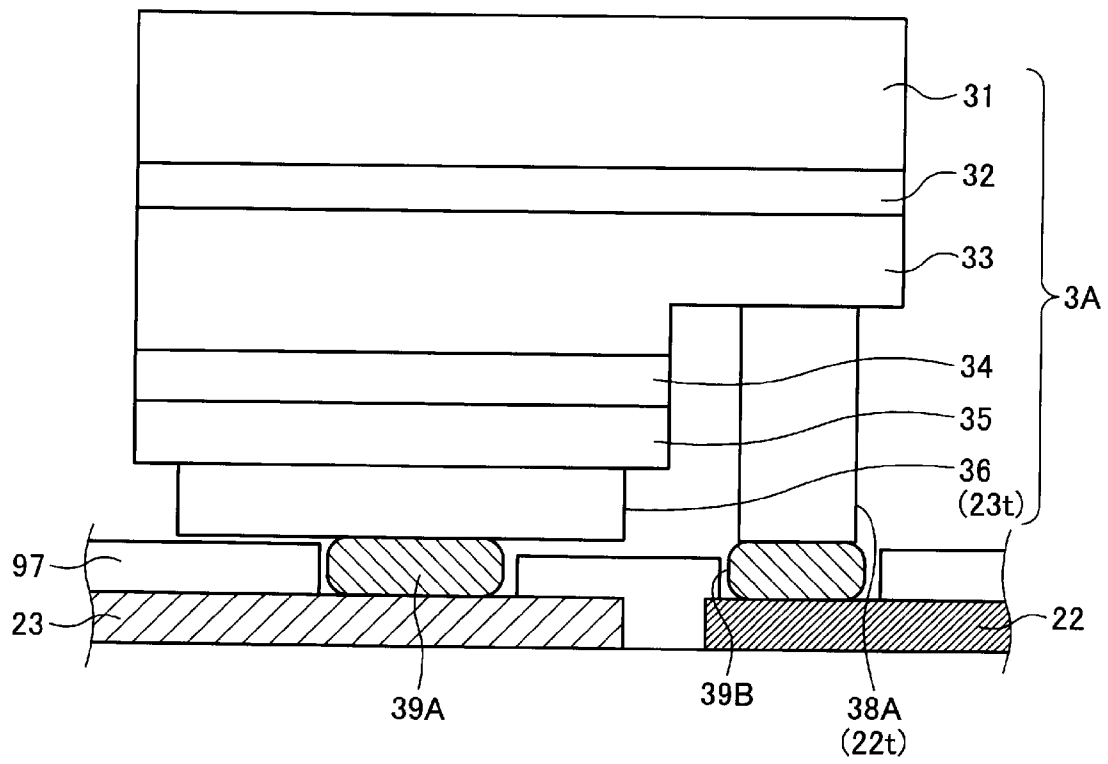
[図7]



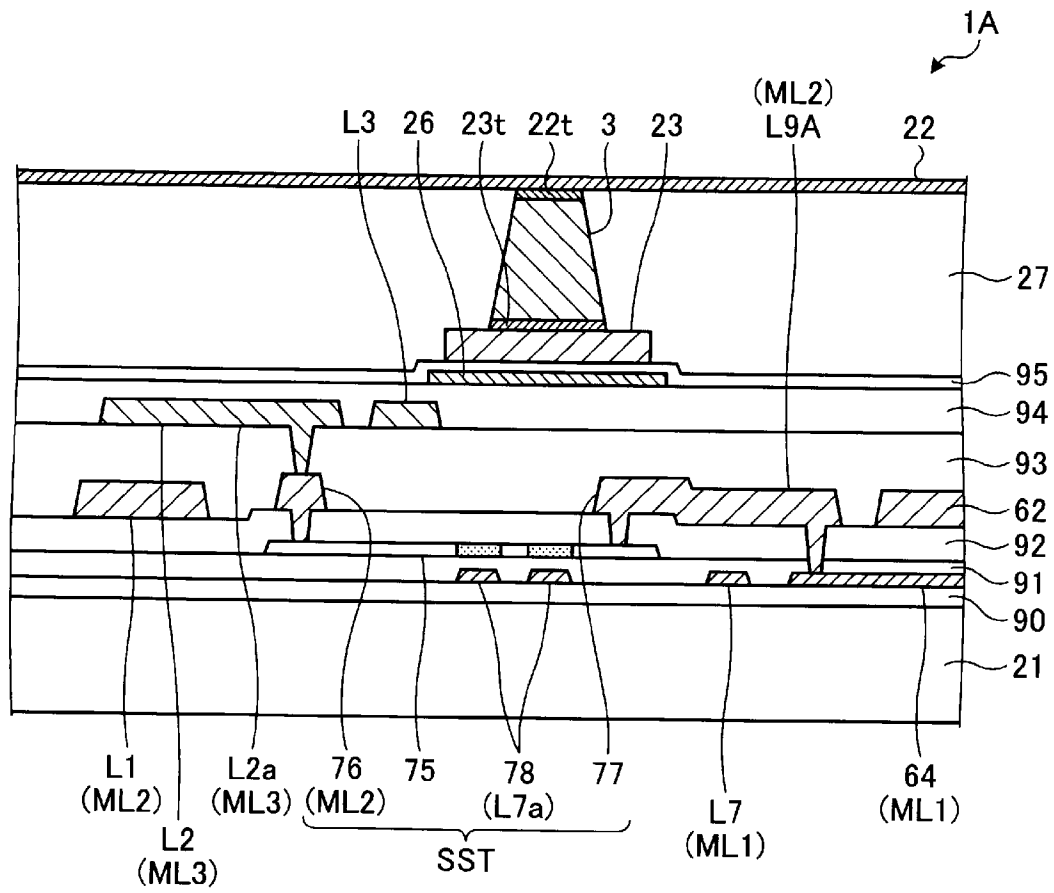
[図8]



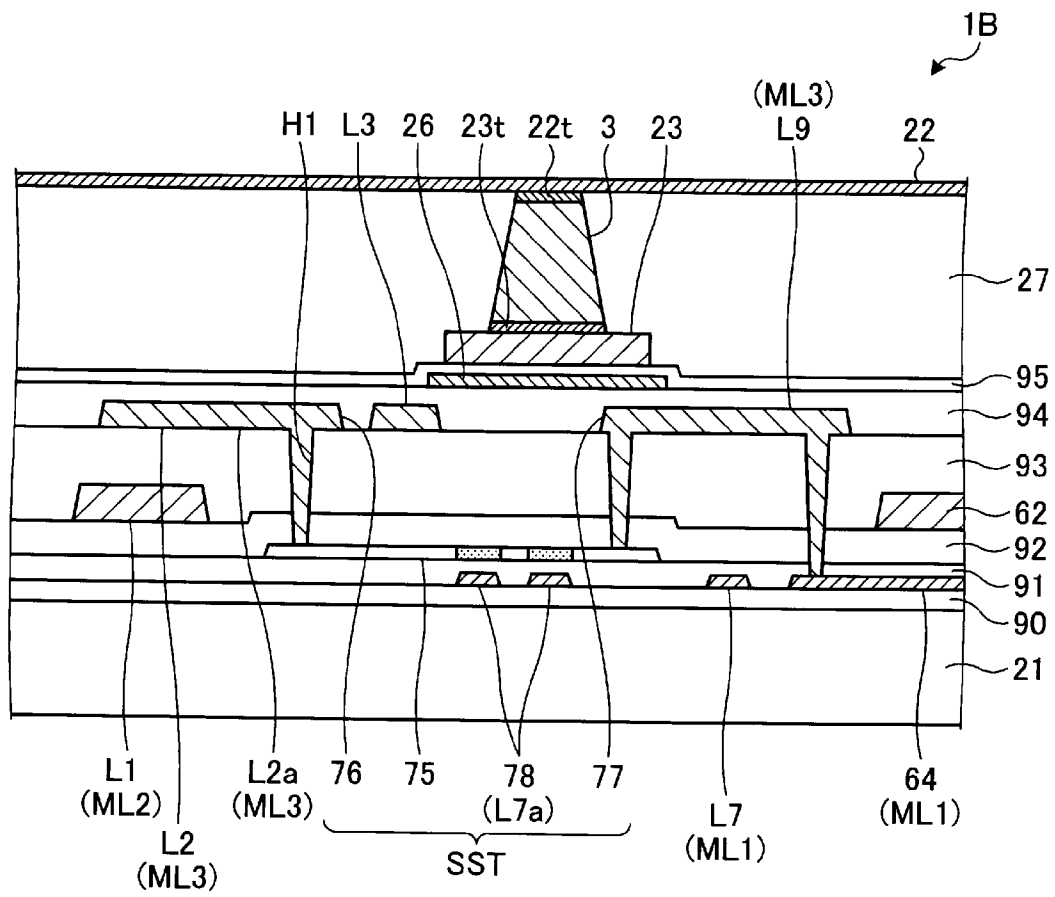
[図9]



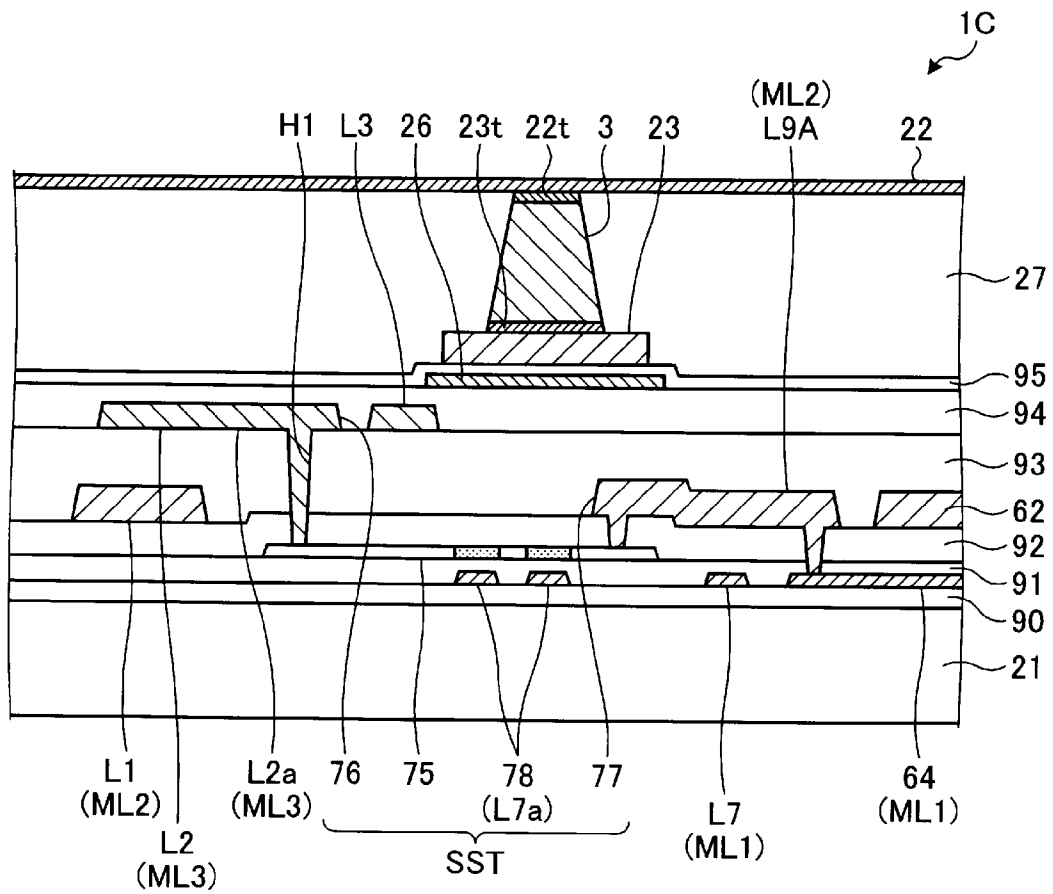
[図10]



[図11]



[図12]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/033808

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30 (2006.01) i, G09F9/33 (2006.01) i, G09G3/20 (2006.01) i,
G09G3/32 (2016.01) i, G09G3/3233 (2016.01) i, H01L27/32 (2006.01) i,
H01L51/50 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/30, G09F9/33, G09G3/20, G09G3/32, G09G3/3233, H01L27/32,
H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-341513 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02 December 2004, paragraphs [0036], [0045], [0050]-[0066], fig. 4-5, 11 & US 2004/0211964 A1, paragraphs [0052], [0062], [0069]-[0075], fig. 4-5, 11	1-5, 7-10, 12
Y		6, 11
Y	JP 2005-107168 A (SANYO ELECTRIC CO., LTD.) 21 April 2005, paragraph [0015], fig. 1-2 & US 2005/0110421 A1, paragraph [0018], fig. 1-2	6, 11
Y	JP 2004-118013 A (SANYO ELECTRIC CO., LTD.) 15 April 2004, paragraph [0018], fig. 2 (Family: none)	6, 11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
13 November 2019 (13.11.2019)

Date of mailing of the international search report
26 November 2019 (26.11.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/033808

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-102058 A (SEIKO EPSON CORP.) 02 April 2004, paragraphs [0012]-[0015] & US 2004/0046902 A1, paragraphs [0013]-[0016]	11
A	US 2018/0197932 A1 (EVERDISPLAY OPTRONICS (SHANGHAI) LIMITED) 12 July 2018, entire text, all drawings & CN 108305888 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, G09F9/33(2006.01)i, G09G3/20(2006.01)i, G09G3/32(2016.01)i,
G09G3/3233(2016.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/30, G09F9/33, G09G3/20, G09G3/32, G09G3/3233, H01L27/32, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-341513 A（株式会社半導体エネルギー研究所）2004.12.02, [0036], [0045], [0050]-[0066], 図4-5, 11 & US 2004/0211964 A1, [0052], [0062], [0069]-[0075], FIGS. 4-5, 11	1-5, 7-10, 12 6, 11
Y	JP 2005-107168 A（三洋電機株式会社）2005.04.21, [0015], 図1-2 & US 2005/0110421 A1, [0018], FIGS. 1-2	6, 11
Y	JP 2004-118013 A（三洋電機株式会社）2004.04.15, [0018], 図2（フ ァミリーなし）	6, 11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

13.11.2019

国際調査報告の発送日

26.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橋本 直明

21

9707

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-102058 A (セイコーエプソン株式会社) 2004. 04. 02, [0012]-[0015] & US 2004/0046902 A1, [0013]-[0016]	11
A	US 2018/0197932 A1 (EVERDISPLAY OPTRONICS (SHANGHAI) Limited) 2018. 07. 12, 全文全図 & CN 108305888 A	1-12