

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4086753号  
(P4086753)

(45) 発行日 平成20年5月14日 (2008. 5. 14)

(24) 登録日 平成20年2月29日 (2008. 2. 29)

(51) Int. Cl.

F I

H O 1 J 31/12 (2006. 01)

H O 1 J 31/12 C

G O 9 G 3/20 (2006. 01)

G O 9 G 3/20 6 7 O D

G O 9 G 3/22 (2006. 01)

G O 9 G 3/20 6 7 O K

G O 9 G 3/22 E

請求項の数 5 (全 25 頁)

(21) 出願番号 特願2003-346270 (P2003-346270)  
 (22) 出願日 平成15年10月3日 (2003. 10. 3)  
 (65) 公開番号 特開2005-116239 (P2005-116239A)  
 (43) 公開日 平成17年4月28日 (2005. 4. 28)  
 審査請求日 平成18年7月28日 (2006. 7. 28)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100085006  
 弁理士 世良 和信  
 (74) 代理人 100100549  
 弁理士 川口 嘉之  
 (74) 代理人 100106622  
 弁理士 和久田 純一  
 (72) 発明者 鈴木 朝岳  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社 内  
 (72) 発明者 藪 成樹  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社 内

最終頁に続く

(54) 【発明の名称】 画像形成装置及びその駆動制御方法

(57) 【特許請求の範囲】

【請求項 1】

カソード、ゲート及びアノードと、  
 前記カソードに設けられ、カソードとアノードとの間のみ電圧を印加した状態において  
 電子放出を行い得る電子放出体と、

前記電子放出体に対向して配置され、前記電子放出体から放出された電子が衝突するこ  
 とによる発光を利用して画像を形成する画像形成部材と、

カソードとゲートとの間に遮断電圧を印加し、前記電子放出体からの電子放出を停止す  
 るための駆動手段と、

カソードとアノードとの間の電圧によって前記電子放出体から放出され、前記アノード  
 に向かう電子の軌跡を偏向させる偏向手段と、  
 を備え、

前記カソードはリアプレートに設けられ、前記アノードと前記画像形成部材と電子の衝  
 突による画像形成を妨げる部材とが前記リアプレートに対向するフェースプレートに設け  
 られており、

前記電子の衝突による画像形成を妨げる部材が、前記フェースプレートのうちの、前記  
 カソードと前記アノードとの間のみに電圧を印加した場合に電子が照射される領域に位置  
 することを特徴とする画像形成装置。

【請求項 2】

前記電子放出体は、炭素を主成分とする膜状部材である請求項 1 に記載の画像形成装置

10

20

。

【請求項 3】

前記炭素を主成分とする膜状部材は、フラーレン、ダイヤモンド、ダイヤモンドライクカーボン（DLC）、カーボンナノチューブ（CNT）、繊維状カーボン（カーボンファイバー）、グラファイトナノファイバー（GNF）のいずれかである請求項 2 に記載の画像形成装置。

【請求項 4】

前記偏向手段は、前記カソードに対する電位を前記ゲートとは独立に制御し得る別のゲートを含む請求項 1 乃至 3 のいずれかに記載の画像形成装置。

【請求項 5】

前記偏向手段は、前記ゲートとアノードの間に設けられ、前記カソードとアノードとの間の電位分布の偏りを生じさせる電位が与えられる偏向電極を含む請求項 1 乃至 3 のいずれかに記載の画像形成装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子放出体から放出された電子を画像形成部材に照射して画像を形成する画像形成装置に関わり、特にアノード電圧を印加することで電子放出するような閾値を持った電子放出体を備えた画像形成装置に関する。

20

【背景技術】

【0002】

近年、電子放出素子を電子源として用いた平面型ディスプレイが注目されている。

【0003】

電子放出素子としては、熱陰極型と冷陰極型があるが、平面型ディスプレイにおいては主として冷陰極型が用いられており、電界放出型（以下 FE 型という）、金属／絶縁層／金属型（以下 MIM 型という）や表面伝導型（以下 SC 型という）等が知られている。

【0004】

FE 型の例としては、C.A.Spindt、"Physical properties of thin-film field emission cathodes with molybdenum cones"、J.Appl.Phys.、47、5248（1976）に

30

【0005】

MIM 型の例としては、C.A.Mead、"Operation of Tunnel-Emission Devices"、J.Appl.Phys.、32、646（1961）に開示されたものが知られている。

【0006】

また SC 型としては、M.I.Elinson、Radio Eng. Electron Phys.、10、1290（1965）に開示されているものが知られている。

【0007】

これらの電子放出素子を電子源として用いてディスプレイ等の画像形成装置を実現するためには、XYマトリクスおよびカソード等が形成された基板と、それに対向して配置される蛍光体を設けられたアノードを設け、電子放出素子より放出された電子をアノード側の蛍光体に照射して蛍光体を発光させる構成とする。

40

【0008】

こうした画像形成装置を構成するための電子放出素子として、特に適しているものとして、電子放出のための仕事関数が小さく閾値電圧が低いカーボン系の材料が注目されており、それらの電子放出膜を用いた例が、特許文献 1、特許文献 2、および特許文献 3 等に開示されている。

【0009】

これらはいずれも、フラーレン、ダイヤモンド、ダイヤモンドライクカーボン（DLC）、カーボンナノチューブ（CNT）、繊維状カーボン（カーボンファイバー等）等を電

50

子放出膜として用いたものであり、特にアノード - カソード間に電圧を印加することによりカソードより電界電子放出による電子が放出され、カソード - ゲート間に電圧を印加することによって電子放出の抑制を行うように構成されたものである。このような構成は、下記に述べるノーマリーオン型の動作に適している。

【 0 0 1 0 】

ノーマリーオン型の電子放出素子の代表例について、以下簡単に説明する。

【 0 0 1 1 】

図 2 1 はノーマリーオン型の電子放出素子の電位分布を示す模式図であり、電子を放出する駆動状態 ( a ) と、電子放出を停止している駆動状態 ( b ) の電位分布を示している。なお、図 2 1 はあくまでも発明の内容を説明するための模式図のため寸法の比率等は任意であり場所によって一定ではない。

10

【 0 0 1 2 】

図 2 1 ( a ) に示す状態では、カソード 9 0 2 上の電子放出膜 9 0 5 に電子放出が開始される閾値電界より大きな電界がアノード 9 0 6 から印加され、電子放出が起こる駆動状態であることを示しており、これをノーマリーオン状態と呼ぶ。

【 0 0 1 3 】

例えば、電子放出膜 9 0 5 の閾値電界が  $3 \text{ V} / \mu\text{m}$  であるとする、アノード 9 0 6 をカソード 9 0 2 から  $2 \text{ mm}$  の距離を隔てた位置に設けた場合、カソード 9 0 2 を  $0 \text{ V}$  としアノード 9 0 6 に電圧を印加すると概ねアノード電圧  $6 \text{ kV}$  で電子放出が開始される。

【 0 0 1 4 】

20

なおノーマリーオン状態にするためにはさらに高いアノード電圧を印加すればよく、アノード電圧は電子放出素子の電圧 - 電流特性により必要な電流密度の得られる電界強度によって決めればよく、例えば  $5 \text{ V} / \mu\text{m}$  の電界強度で必要な電流密度が得られるのであれば、アノード電圧として概ね  $10 \text{ kV}$  を印加するようにすればよい。

【 0 0 1 5 】

図 2 1 ( a ) には、この時の等電位面の様子を図示してあるが、アノード 9 0 6 と電子放出膜 9 0 5 の間にほぼ均等に等電位面が存在し、電子放出膜 9 0 5 近傍の電界強度も約  $5 \text{ V} / \mu\text{m}$  となり電子放出が起こる。

【 0 0 1 6 】

また、ゲート 9 0 4 に印加する電圧は、アノード電圧による電界強度に影響を与えない電位であれば  $0 \text{ V}$  に限定されることはなく、正電位でもよいが、上記ノーマリーオン状態での電界強度においては  $0 \text{ V}$  に設定した場合を例に挙げた。またこの場合の電子ビームは等電位面がアノード 9 0 6 と電子放出膜 9 0 5 の間でほぼ平行なので、図に示した通りほぼ真上に軌道を持ちそのままアノード 9 0 6 に到達する。

30

【 0 0 1 7 】

一方、図 2 1 ( b ) に示す状態では、ゲート 9 0 4 に負の電圧を印加すると、電子放出膜 9 0 5 近傍において、アノード 9 0 6 による電界強度が小さくなり電子放出に必要な閾値電界以下となり、電子放出が停止する。この時のゲート電圧を遮断電圧と呼ぶ。

【 0 0 1 8 】

ゲート 9 0 4 に遮断電圧を印加した時の等電位面は、図示したようにカソード 9 0 2 および電子放出膜 9 0 5 は  $0 \text{ V}$  で、ゲート 9 0 4 が負電位となるために電子放出膜 9 0 5 近傍の等電位面の間隔が広くなり、電界強度が小さくなることわかる。

40

【 0 0 1 9 】

なお、この時のゲート 9 0 4 に印加する遮断電圧は、電子放出膜 9 0 5 の閾値電界、およびノーマリーオン状態のアノード電圧による電界強度によって必要な電界強度が決まり、電子放出膜 9 0 5 の寸法およびゲート - カソード間距離、ゲート寸法等の設計によって適宜決定することができる。

【 0 0 2 0 】

以上のように、ノーマリーオン型の電子放出素子においては、アノード電圧の印加のみによって電子放出が行われ得るものであり、カソード - ゲート間に遮断電圧を印加して電

50

子放出を遮断することにより電子放出を制御するようにしているので、カソード・ゲート間の電圧を電子放出に必要な遮断電圧と逆極性の閾値電圧以上にしないため、より低電圧での安定した駆動制御が可能であるため、平面型ディスプレイの電子源として好適である。

【特許文献１】特開２０００－２５１７８３号公報

【特許文献２】特開２０００－２６８７０６号公報

【特許文献３】特開２００２－１００２７９号公報

【発明の開示】

【発明が解決しようとする課題】

【００２１】

10

ところで、こうしたノーマリーオン型の電子源を用いたＸＹマトリクス型の平面型ディスプレイの場合、電子ビームがアノードに対してほぼ真上に飛ぶため、電子ビームによってイオン化された正イオンが、電子放出体に降り注ぎ、素子の寿命に影響を与える場合がある。また、停電などの突発的な場合を含む電源オフ時に、アノードに蓄積された電荷が放電されるまでの間、フラットパネル全面が発光しユーザーの違和感の原因にもなっている。

【００２２】

或いは、カソード・ゲート間に電子放出体からの電子放出を遮断できる遮断電圧が充分に印加し難い不安定な状態となりやすい、電源オン、オフ時や故障時などでは、カソード・アノード間にのみ所定の電圧が印加されると、上述した課題が生じるため、何からの対策を採る必要があった。

20

【００２３】

本発明は、かかる従来技術の課題を解決するためになされたものであって、その目的は、電子放出体の劣化を抑制することにある。

【００２４】

本発明の別の目的は、カソード・ゲート間への遮断電圧が充分に印加できず、カソード・アノード間に電子放出を生起し得る所定の電圧が印加される場合であっても、電子放出体の劣化を抑制できる画像形成装置及びその駆動制御方法を提供することにある。

【００２５】

また、本発明の他の目的は、カソード・ゲート間への遮断電圧が充分に印加できず、カソード・アノード間に電子放出を生起し得る所定の電圧が印加される場合であっても、ユーザーの違和感を緩和できる画像形成装置及びその駆動制御方法を提供することにある。

30

【課題を解決するための手段】

【００２６】

本発明においては、上記課題を解決するために、カソード、ゲート及びアノードと、前記カソードに設けられ、カソードとアノードとの間のみ電圧を印加した状態において電子放出を行い得る電子放出体と、前記電子放出体に対向して配置され、前記電子放出体から放出された電子が衝突することによる発光を利用して画像を形成する画像形成部材と、カソードとゲートとの間に遮断電圧を印加し、前記電子放出体からの電子放出を停止するための駆動手段と、カソードとアノードとの間の電圧によって前記電子放出体から放出され、前記アノードに向かう電子の軌跡を偏向させる偏向手段と、を備え、前記カソードはリアプレートに設けられ、前記アノードと前記画像形成部材と電子の衝突による画像形成を妨げる部材とが前記リアプレートに対向するフェースプレートに設けられており、前記電子の衝突による画像形成を妨げる部材が、前記フェースプレートのうちの、前記カソードと前記アノードとの間のみに電圧を印加した場合に電子が照射される領域に位置することを特徴とする画像形成装置である。

40

【００２７】

このようにすれば、偏向手段により、電子放出体から放出された電子が、カソード・アノード間の電圧によって、画像形成部材の電子放出体に対向する位置（電子放出体の直上

50

の位置)に衝突するのを抑制することができるので、この衝突による電子放出体の劣化を抑制することができる。

【0029】

また、電源オフ時にアノードに蓄積された電荷によって生じる電場によって電子放出体から放出された電子が、画像形成部材に衝突しても画像形成が妨げられるので異常な画像形成を防止することができる。

【0032】

前記電子放出体は、炭素を主成分とする膜状部材であることが好適である。

【0033】

前記炭素を主成分とする膜状部材は、フラーレン、ダイヤモンド、ダイヤモンドライクカーボン(DLC)、カーボンナノチューブ(CNT)、繊維状カーボン(カーボンファイバー)、グラファイトナノファイバー(GNF)のいずれかであることが好適である。

【0034】

前記偏向手段は、前記カソードに対する電位を前記ゲートとは独立に制御し得る別のゲートを含むことが好適である。

【0035】

前記偏向手段は、前記ゲートとアノードの間に設けられ、前記電子放出体から前記画像形成部材に向かう方向に対して、前記カソードとアノードとの間の電位分布の偏りを生じさせる電位が与えられる偏向電極を含むことが好適である。

【発明の効果】

【0039】

本発明によれば、電子放出体の劣化を抑制することができる。或いは、フラットパネル全面が発光するような、ユーザーの違和感を緩和することができる。そして、これらの制御に適した画像形成装置を提供することができる。

【発明を実施するための最良の形態】

【0040】

以下に図面を参照して、本発明の電子源を用いた表示装置の実施の形態について例示的に説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、配置等については、特に限定的な記載なき限り、本発明の範囲をそれらのみに限定する趣旨のものではない。

【0041】

(第1の実施形態)

図1、図2を用いて、本発明の実施の形態に係る画像形成装置に用いる平面型ディスプレイの構造を説明する。

【0042】

本実施の形態に係る平面型ディスプレイは、電子放出素子を複数配置して得られるもので、図1において、1は電子源基板、26はアノード基板、14は外枠、11はX方向配線、12はY方向配線であり、100はノーマリーオン型の電子放出素子である。

【0043】

図1においてm本のX方向配線11はC1、C2・・・Cmからなり、ストライプ状のカソード2を形成しており、蒸着法等にて形成されたアルミニウム系配線材料で構成されている。なお配線の材料、膜厚、線巾は、適宜設計されるものであり、また製造法も適宜選択されるものである。

【0044】

このストライプ状のカソード2上の電子放出素子100の位置に電子放出膜7が形成されている。

【0045】

なお電子放出膜7としては、前述のようにフラーレン、ダイヤモンド、ダイヤモンドライクカーボン(DLC)、カーボンナノチューブ(CNT)、繊維状カーボン(カーボン

10

20

30

40

50

ファイバー等)、グラファイトナノファイバー(GNF)等の炭素系材料を用いることができる。

【0046】

Y方向配線12は、G1、G2・・・Gnのn本の配線よりなり、ストライプ状のゲート4を形成しており、X方向配線11と同様に形成されている。

【0047】

このストライプ状のゲート4には、カソード2上の電子放出膜7に対応する部分にホール10が設けられている。

【0048】

詳細は、実施例にて説明するが、更に、ゲート4の上には、ビームを変更するための偏向電極6が設けられている。

10

【0049】

なおストライプ状のゲート4およびホール10は、図面を見易くするために一番手前側のカソード2上については図示していない。

【0050】

またX方向配線11にカソード2を、Y方向配線12にゲート4を設けるようにしたが、この接続配置は逆でもよい。

【0051】

これらm本のX方向配線11とn本のY方向配線12の間には、図面を見易くするために不図示とした層間絶縁層3が設けられており、両者を電氣的に分離している(以上m、nは、共に正の整数)。なお層間絶縁層3は、電子放出膜7とホール10に対応する部分には設けられていない。

20

【0052】

不図示の層間絶縁層3は、スパッタ法等を用いて形成された絶縁層である。例えば、X方向配線11を形成した基板1の全面又は一部に所望の形状で形成され、特に、X方向配線11とY方向配線12の交差部の電位差に耐え得るように、膜厚、材料、製法等が適宜選択されるものである。

【0053】

また、ゲート4 - 偏向電極6間にも同様に不図示の層間絶縁層が設けられる。

【0054】

30

X方向配線11とY方向配線12は、それぞれ外部端子として引き出されている。

【0055】

本実施の形態においては、電子放出素子100を構成する一対の電極の層自体が、m本のX方向配線11とn本のY方向配線12としての機能も果たしている。

【0056】

また、偏向電極6は電氣的に1本に共通化されて、外部に取り出され、偏向電圧Gzを与える電源130Bに接続されている。

【0057】

X方向配線11には、X方向に配列した電子放出素子100の行を選択するための走査信号を印加する不図示の走査回路が接続される。

40

【0058】

一方、Y方向配線12には、Y方向に配列した電子放出素子100の各列を入力信号に応じて、変調するための不図示の変調回路が接続される。

【0059】

各電子放出素子に印加されるカソード2 - ゲート4間の遮断電圧は、当該素子に印加される走査信号と情報信号の差電圧として供給される。なお、本実施形態においてはX方向配線(カソード)は正電位、Y方向配線(ゲート)は負電位になるように接続されて遮断電圧が与えられる。

【0060】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆

50

動可能とすることができる。

【0061】

このような単純マトリクス配置の電子源基板に対向して、電子放出素子上部にフェイスプレート26を配置する。フェイスプレート26では、アノード基板上27に画像形成部材として設けられた蛍光体28をアライメントして配置する。蛍光体28上には、高圧印加用の導体として蒸着等によってアルミニウム系配線材料をメタルバック29として設けている。

【0062】

また本発明の別の実施形態として図2を用いて説明する。

【0063】

図2における実施形態の概略図は、図1とほぼ同じであり、同じ構成部材については同じ番号を付与している（但し、図2では、偏向電極6の図示を省略している。）。電子ビーム遮蔽体15が付加されているところが図1と異なる。電子ビーム遮蔽体（電子遮蔽部材）15の配置は後述するが、対向する電子源基板1とアノード基板27の間に設置され、前述の偏向電極6あるいは後述する第2ゲートによって偏向された電子軌道に当たる部分のみ通過孔16があいている。

【0064】

このように、電子ビーム遮蔽体15を設けることにより、電源オフ時に全面白表示となることを防止できるので、たとえ短時間であってもユーザーがディスプレイ装置の故障を疑ったり、少なくとも不快感を覚えたりするような現象を防止することができ、画像形成装置の表示品位の向上に役立つ。

【0065】

次に、上述したディスプレイ構造を用いた画像形成装置の構成を図3を参照して説明する。

【0066】

まず、走査回路1302であるが、同回路は、内部にm個のスイッチング素子を備えたもので（図中、S1ないしSmで模式的に示している）ある。各スイッチング素子は、直流電圧源1303Aの出力電圧Vx又は0[V]（グラウンドレベル）のいずれか一方を選択し、表示パネル1301の端子と電気的に接続される（この端子は、X方向配線C1ないしCmに接続された端子である。）。

【0067】

S1乃至Smの各スイッチング素子は、制御回路1303が出力する制御信号TSCANに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0068】

直流電圧Vxは、本実施形態の場合には電子放出素子の特性（電子放出閾値電圧）に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるような一定電圧を出力するよう設定されている。

【0069】

偏向電極6は、直流電圧Gzを与える電圧源1303Bに接続されている。

【0070】

制御回路1303は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる機能を有する。制御回路1303は、同期信号分離回路1306より送られる同期信号TSYNCに基づいて、各部に対してTSCANおよびTSFTおよびTMRYの各制御信号を発生する。また、制御回路1303は、各電源1303A～1303Dのオン、オフを制御する。

【0071】

同期信号分離回路1306は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路1306により分離された同期信号は、垂直

10

20

30

40

50

同期信号と水平同期信号より成るが、ここでは説明の便宜上 T SYNC信号として図示した。

【 0 0 7 2 】

前記テレビ信号から分離された画像の輝度信号成分は便宜上 D A T A 信号と表した。該 D A T A 信号はシフトレジスタ 1 3 0 4 に入力される。

【 0 0 7 3 】

シフトレジスタ 1 3 0 4 は、時系列的にシリアルに入力される前記 D A T A 信号を、画像の 1 ライン毎にシリアル / パラレル変換するためのもので、前記制御回路 1 3 0 3 より送られる制御信号 T SFT に基づいて動作する ( 即ち、制御信号 T SFT は、シフトレジスタ 1 3 0 4 のシフトクロックであるということもできる。 ) 。

【 0 0 7 4 】

シリアル / パラレル変換された画像 1 ライン分 ( 電子放出素子  $n$  素子分の駆動データに相当 ) のデータは、 $I d 1$  乃至  $I d n$  の  $n$  個の並列信号として前記シフトレジスタ 1 3 0 4 より出力される。

【 0 0 7 5 】

ラインメモリ 1 3 0 5 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 1 3 0 3 より送られる制御信号 T MRY に従って適宜  $I d 1$  乃至  $I d n$  の内容を記憶する。記憶された内容は、 $I ' d 1$  乃至  $I ' d n$  として出力され、変調信号発生器 1 3 0 7 に入力される。

【 0 0 7 6 】

変調信号発生器 1 3 0 7 は、画像データ  $I ' d 1$  乃至  $I ' d n$  の各々に応じて本発明の実施の形態に係る電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D o y 1、D o y  $n$  を通じて表示パネル 1 3 0 1 内の本発明の実施の形態に係る電子放出素子に印加される。

【 0 0 7 7 】

ここで、本発明の実施の形態に係る電子放出素子は放出電流  $I e$  に対して以下の基本特性を有している。

【 0 0 7 8 】

すなわち、電子放出には明確な閾値電圧  $V t h$  があり、 $V t h$  以上の電圧を印加された時のみ電子放出が生じる。電子放出閾値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。

【 0 0 7 9 】

このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの電圧波高値  $V m$  を変化させる事により出力電子ビームの強度を制御することが可能である。

【 0 0 8 0 】

また、パルスの幅  $P w$  を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【 0 0 8 1 】

従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式、或いは、それらを組み合わせた電圧波高値とパルス幅の両方を適宜変調する方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 1 3 0 7 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【 0 0 8 2 】

パルス幅変調方式を実施するに際しては、変調信号発生器 1 3 0 7 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【 0 0 8 3 】

シフトレジスタやラインメモリは、デジタル信号式あるいはアナログ信号式のものを採

10

20

30

40

50



用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【 0 0 8 4 】

デジタル信号式を用いる場合には、同期信号分離回路 1 3 0 6 の出力信号 D A T A をデジタル信号化する必要があるが、これには 1 3 0 6 の出力部に A / D 変換器を設ければ良い。これに関連してラインメモリ 1 3 0 5 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 1 3 0 7 に用いられる回路が若干異なったものとなる。

【 0 0 8 5 】

すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1 3 0 7 には、例えば D / A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1 3 0 7 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を本発明の電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1 3 0 7 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて本発明の実施の形態に係る電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【 0 0 8 6 】

ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。例えば入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL, SECAM方式、デジタル放送方式など他、これよりも、多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【 0 0 8 7 】

また、本実施形態に係る電子放出素子は、平面型ディスプレイを有する表示装置の他、感光性ドラム等を用いて構成された光プリンターの露光手段に用いられる画像形成装置等としても用いることができる。

【 0 0 8 8 】

ここで、電子放出素子として低電界電子放出材料を用いたものを採用すると、従来技術に係る電子放出素子のように、ノーマリーオン駆動をすることで駆動電圧を抑えて素子のON/OFF動作が可能になったが、前述のように、素子の真上に電子軌道が存在する課題があった。

【 0 0 8 9 】

これに対して本発明の実施の形態においては、次のように駆動することで、そのような課題を解決している。

【 0 0 9 0 】

以下、電子放出機構について図4、図5、図6を参照して詳細に説明する。

【 0 0 9 1 】

図4の(a)は本実施形態の電子放出素子の電子を放出する駆動状態（以下ONと言う）、図5は電子放出を停止している駆動状態（以下OFFと言う）の電位分布及び電子軌道を示しており、図6はゲート4及び偏向電極6への印加電圧に対する電子放出の応答を示している。

【 0 0 9 2 】

ここでは、アノード8をカソード2から2mmの距離を隔てた位置に設け、アノード8に10kVを印加するようにしている。

【 0 0 9 3 】

ここで、アノード8がカソード2に作用する電界をE<sub>a</sub>、ゲート4がカソード2に作用する電界をE<sub>g</sub>、カソード2から電子放出が開始される閾値電界をE<sub>e</sub>とすると、電子を

放出する駆動状態の場合には、 $E_g < E_e$ かつ $E_e < E_a$ を満たすと共に、電子放出を停止させる場合には、 $E_g < E_a$ かつ $E_a < E_e$ 、または、 $E_a < E_g$ かつ $E_g < E_e$ を満たすように、ゲート4に電圧を印加することが必要である。

【0094】

図4(a)に示す状態では、カソード2に電子放出が開始される閾値電界 $E_e$ より大きな電界 $E_a$ がアノード8から印加され、電子放出が起こるON状態であり、更に偏向電極からの電場の影響を受けて電子軌道が偏向して電子放出部の真上から外れた位置でアノード8に当たっていることを示している。

【0095】

一方、図5に示す状態では、ゲート4に負の電圧が印加され、アノード8による電界 $E_a$ が $E_e > E_a$ となり、素子はOFF状態となる。

10

【0096】

すなわち、本実施形態の場合には、図6に示す時間応答のように、ゲート4に負電圧を印加する状態では電子放出が停止し、ゲートに電圧を印加しないか、あるいは若干の正電圧を印加した状態では電子放出が行われ、パルス幅変調や電圧変調が可能になる。

【0097】

この間、偏向電極には一定の電圧300Vが印加されたままである。

【0098】

図7に本実施形態に係る画像形成装置における駆動電圧のタイミングチャートを示す。

【0099】

20

アノード8に10kVの電位が印加される以前に、ゲート4の電位を0Vから-50Vに変化させておき、アノード8に10kVの電位が印加されるのと同時に偏向電極6の電位を0Vから300Vへと変化させる。ここで、アノード8に10kVの電位が印加されるときには、ゲート4の電位は-50Vであるから、カソード2からの電子は放出されない。その後ゲート4の電位が0Vに変化するときには、既に偏向電極6には300Vの電位が印加されているので、カソード2から放出された電子が電子放出部直上のアノード8に衝突することはない。なお、ゲート4の電位は、アノードに対する電圧の印加を停止し、その電位が0Vに戻った後に、ゲート4の電位を0Vに戻している。このようにすれば、電源オンまたはオフ時のようなアノード8への電圧の印加及び停止時に、放出された電子によりディスプレイが異常発光するのを防止することができる。

30

【0100】

また、偏向電極6に印加された電圧によってON時の電子軌道が偏向することで電子放出部直上でアノード8に電子ビームが衝突することがなくなるのでこれによるイオンの発生によって電子放出部にイオンが降り注ぐことが少なくなり、素子特性の劣化を誘発することがなくなった。

【0101】

一方、ディスプレイの駆動を制御する方法、特に、電源オン及び/又はオフ時に電子放出体へのイオン照射を抑制する方法は、上述したゲート4の電位を制御する方法に限られない。アノード8に10kVの電圧を印加開始するときには、ゲート4の電位に係らず、アノード8が電子放出を生起する電位となる以前に偏向電極6に300Vのような偏向電位を与えておく。また、電源供給を止めるような場合には、ゲート4への遮断電圧を印加に係らず、偏向電極6を偏向電位に保ち、アノード電位が電子放出を伴わない電位以下に低下するまで、その電位を維持してから、偏向電極の電源がオフするように制御する。こうすれば、カソード・アノード間に電子放出を生起せしめる電位差が生じていたとしても、電子放出体へのイオンの照射を抑えることができる。

40

【0102】

また、ディスプレイの駆動を制御する方法、特に、電源オン及び/又はオフ時に、ユーザーの違和感を緩和する方法としては、アノード8に10kVの電位を印加するときには、ゲート4の電位に係らず、アノード8に10kVの電位を印加する以前に偏向電極6の電位を0Vから-数十~数百V(例えば-200V)に変更しておき、アノード8に10

50

k Vの電位を印加した後に偏向電極6の電位を300 Vに変更する方法がある。また、電源供給を止めるような場合には、ゲート4への遮断電圧を印加に係らず、偏向電極6の電位を300 Vから - 数十 ~ 数百 Vに変更し、アノード電位が電子放出を伴わない電位以下に低下するまで、偏向電極の電位を維持してから、偏向電極の電源がオフするように制御する。こうすれば、カソード・アノード間に電子放出を生起せしめる電位差が生じていたとしても、電子放出体へのイオンの照射や異常発光を抑えることができる。

#### 【0103】

つまり、電子放出抑制手段としての偏向電極に、前記電子放出体からの放出電子を偏向する電位を与えたり、前記電子放出体からの電子放出を抑制する電位を与えることを制御することによっても、電子放出体の劣化を抑制や、ユーザーの違和感を緩和することができる。

10

#### 【0104】

以上のような電源の制御は、主電源スイッチやリモコンの電源スイッチに連動して働く制御回路1303によって、各電源を連携制御することにより達成できる。

#### 【0105】

以下に、図4 ~ 図6を参照して、本発明の実施形態に係る電子放出素子100の全体構成及び製造方法について説明する。図4は本発明の実施の形態に係る電子放出素子の模式図((a)は模式的断面図、(b)は模式的平面図)であり、図8は本発明の実施の形態に係る電子放出素子の製造工程図である。

#### 【0106】

20

本実施の形態に係る電子放出素子100は、概略、基板1と基板1上に積層されるカソード2と、カソード2上に積層される第1絶縁層3と、第1絶縁層3上に積層されるゲート4と、更にその上の第2絶縁層5、偏向電極6、第1絶縁層3及びゲート4、第2絶縁層5、偏向電極6を貫き、カソードを露出させる開口部内の電子放出部7と、これらに対向して配置されるアノード8と、から構成される。

#### 【0107】

本実施例の電子放出素子の製造方法を説明すると、予め、その表面を十分に洗浄した、石英ガラス、Na等の不純物含有量を減少させたガラスからなる基板、青板ガラス及びシリコン基材等にスパッタ法等によりSiO<sub>2</sub>を積層した積層体からなる基板、アルミナ等のセラミックスの絶縁性の基板1上にカソード2を形成する。

30

#### 【0108】

カソード2は一般的に導電性を有しており、蒸着法やスパッタ法等の一般的真空成膜技術、フォトリソグラフィ技術により形成される。

#### 【0109】

カソード2の材料は、例えば、Be、Mg、Ti、Zr、Hf、V、Nb、Ta、Mo、W、Al、Cu、Ni、Cr、Au、Pt、Pd等の金属または合金材料、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、GdB<sub>4</sub>等の硼化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等から適宜選択される。

#### 【0110】

40

また、カソード2の厚さとしては、数十nmから数百μmの範囲で設定され、好ましくは数百nmから数μmの範囲で選択される。

#### 【0111】

次に、カソード2に続いて第1絶縁層3を堆積する。第1絶縁層3は、スパッタ法等の一般的な真空成膜法、熱酸化法、陽極酸化法等で形成され、その厚さとしては、数nmから数μmの範囲で設定される。

#### 【0112】

更に、第1絶縁層3上にゲート4を堆積する。

#### 【0113】

ゲート4は、カソード2と同様に導電性を有しており、蒸着法やスパッタ法等の一般的

50

真空成膜技術、フォトリソグラフィ技術により形成される。

【0114】

ゲート4の材料は、例えば、Be、Mg、Ti、Zr、Hf、V、Nb、Ta、Mo、W、Al、Cu、Ni、Cr、Au、Pt、Pd等の金属または合金材料、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、GdB<sub>4</sub>等の硼化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等から適宜選択される。

【0115】

ゲート4は、アノード8からの電場により電子が放出しないように、カソード2に比べて、仕事関数の大きな材料が望ましい。

10

【0116】

ゲート4の厚さとしては、数十nmから数μmの範囲で設定される。

【0117】

更に、ゲート4に続いて第2絶縁層5を堆積する。第2絶縁層5は、第1絶縁層3と同様に形成される。

【0118】

更に、第2絶縁層5上に偏向電極6を堆積する(図8(a))。

【0119】

偏向電極6も導電性を有しており、ゲート4と同じ材料で形成し、厚みも100nmとした。次に、フォトリソグラフィ技術により、偏向電極6、第2絶縁層5、第1絶縁層3の一部及びゲート4の一部が基板1から取り除かれ、カソード2がアノード8側に露出するように開口領域が形成される(図8(b))。

20

【0120】

この開口領域は、開口部周辺に第1絶縁層3とゲート4の積層領域が配置されるように形成される。また、本エッチング工程は、カソード2上で停止しても良いし、カソード2の一部がエッチングされて停止しても良い。

【0121】

また偏向電極6は、開口部の片側に面するようにストライプ状にパターニングされる。

【0122】

なお、この開口領域内に、電子放出部7が形成される。ただし、この電子放出部7は、開口領域内の空間部自体が電子放出部となる場合や、カソード2と同じ材料あるいは異なる材料によって、電子放出を容易にするために所定の構造を形成する場合がある。

30

【0123】

本工程で形成される開口領域として、例えば、ホール型やスリット型等が挙げられ、必要なビーム形状や駆動電圧等により適切な形状が選ばれるが、本実施形態では、矩形型とした。また、開口領域のサイズは、必要なビームサイズ、駆動電圧等により最適な領域から選択され、そのサイズは数nmから数十μmの範囲から選択される。

【0124】

ここで、本実施形態の電子放出素子及び電子放出素子の駆動方法の場合には、アノード8の電場によってカソード2から容易に直接電子が放出するように、カソード2上に、ダイヤモンド、DLC、CNT、GNFなどのカーボンファイバーを配置した構造を設けて、これを電子放出部7とするのが望ましい(図8(c))。

40

【0125】

<実施例1>

以下に、上記実施の形態に基づいた具体的な実施例について説明する。なお電子放出素子および平面型ディスプレイの実施例については、例えば特開2002-100279に記載されている実施例とほぼ同様であるため、ここでは簡単に構成を述べるにとどめる。

【0126】

本実施例に係る電子放出素子は、概略、基板1と基板1上に積層されるカソード2と、カソード2上に積層される第1絶縁層3と、第1絶縁層3上に積層されるゲート4と、更

50

にその上の第2絶縁層5、偏向電極6、第1絶縁層3及びゲート4、第2絶縁層5、偏向電極6を貫き、カソードを露出させる開口部内の電子放出部7と、これらに対向して配置されるアノード8と、から構成される。

【0127】

本実施例の電子放出素子の製造方法においては、まず、青板ガラスにSiO<sub>2</sub>を積層して形成した絶縁性の基板1上にカソード2を形成する。

【0128】

カソード2は一般的に導電性を有しており、蒸着法やスパッタ法等の一般的真空成膜技術、フォトリソグラフィ技術により形成されるが、本実施例ではカソードの材料としてTiNを選択した。

10

【0129】

また、カソード2の厚さは、本実施例では100nmとした。

【0130】

次に、カソード2に続いて第1絶縁層3を堆積する。第1絶縁層3は、スパッタ法等の一般的な真空成膜法、熱酸化法、陽極酸化法等で形成され、その厚さは、本実施例においては、1μmとした。

【0131】

更に、第1絶縁層3上にゲート4を堆積する。

【0132】

ゲート4は、カソード2と同様に導電性を有しており、蒸着法やスパッタ法等の一般的真空成膜技術、フォトリソグラフィ技術により形成されるが、ゲート4の材料は、本実施例においては、Ptとした。

20

【0133】

また、ゲート4の厚さは、本実施例においては100nmとした。

【0134】

更に、ゲート4に続いて第2絶縁層5を堆積する。第2絶縁層5は、第1絶縁層3と同様に形成され厚さは2μmとした。

【0135】

更に、第2絶縁層5上に偏向電極6を堆積する(図8(a))。

【0136】

偏向電極6も導電性を有しており、ゲート4と同じ材料で形成し、厚みも100nmとした。次に、フォトリソグラフィ技術により、偏向電極6、第2絶縁層5、第1絶縁層3の一部及びゲート4の一部が基板1から取り除かれ、カソード2がアノード8側に露出するように開口領域が形成される(図8(b))。

30

【0137】

この開口領域は、開口部周辺に第1絶縁層3とゲート4の積層領域が配置されるように形成される。また、本エッチング工程は、カソード2上で停止しても良いし、カソード2の一部がエッチングされて停止しても良い。

【0138】

また偏向電極6は、開口部の片側に面するようにストライプ状にパターニングされる。

40

【0139】

なお、この開口領域内に、電子放出部7が形成される。本実施例で形成される開口領域は、矩形型とした。また、開口領域のサイズは、本実施例では、横10μm、縦15μmとした。

【0140】

ここで、本実施例の電子放出素子の場合には、アノード8の電場によってカソード2から容易に直接電子が放出するように、カソード2上に、ダイヤモンド、DLC、CNT、GNFなどのカーボンファイバーを配置した構造を設けて、これを電子放出部7としている(図8(c))。

【0141】

50

(第2の実施形態)

以下に本発明の第2の実施形態について説明する。第2の実施形態において第1の実施形態と共通する構成要素には同様の符号を付し、説明についても重複する部分については省略し、異なった部分に限定して説明を行う。

【0142】

図9は、本発明の第2の実施形態に係る平面型ディスプレイのパネル構造を示す。

【0143】

本実施形態では、カソード2上に、X方向に延びる第1ゲート4と第2ゲート9とが平行に配置されている。すなわち、第1の実施形態におけるゲートがX方向に沿って2つに分割した電極構成となっている(X-Y方向は第1の実施形態とは逆になっている)。図9では、X方向の配線12は、G11、G12・・・G1mのm本の配線と、図示されていないが図9の手前側に引き出されるG21、G22・・・G2mのm本の配線の2×m本の配線からなる。ここで、m本の配線G11、G12・・・G1mは、第1ゲート4にそれぞれ接続され、m本の配線G21、G22・・・G2mは、第2ゲート9にそれぞれ接続される。

【0144】

ここで、低電界電子放出材料を用いた電子放出素子においては、従来技術に係る電子放出素子のように、ノーマリーオン駆動をすることで駆動電圧を抑えて素子のON/OFF動作が可能になったが、前述のように、素子の真上に電子軌道が存在する問題があった。

【0145】

これに対して本発明の実施の形態においては、次のように駆動することで、そのような問題を解決している。

【0146】

以下、本実施形態に係る電子放出機構について図10、図13、図14を参照して詳細に説明する。

【0147】

図10は本発明の実施の形態に係る電子放出素子の模式図((a)は模式的断面図、(b)は模式的平面図)であり、(a)は電源を配線し電子放出した場合の電位分布及び、電子軌道の模式図も兼ねている。

【0148】

本実施形態の電子放出素子は、概略、基板1と基板1上に積層されるカソード2と、カソード2上に積層される絶縁層3と、絶縁層3上に積層される第1ゲート4と、第2ゲート9、また絶縁層3及び第1ゲート4、第2ゲート9を貫き、カソードを露出させる開口部内の電子放出部7と、これらに対向して配置されるアノード8と、から構成される。

【0149】

図11は、上述したディスプレイ構造を用いた画像形成装置の構成を示すブロック図である。

【0150】

図11に示すように、本実施形態では、X方向配線12には、X方向に配列した電子放出素子100の行を選択するための走査回路13021、13022(走査信号印加手段)が接続される。走査回路13021、13022は、第1の実施形態において説明した走査回路1302と同様の構成を有する。すなわち、内部にそれぞれm個のスイッチング素子S11～S1m、S21～S2mを備える。S11～S1mはX方向配線G11、G12・・・G1mに、S21～S2mはY方向配線G21、G22・・・G2mにそれぞれ接続される。ここで、スイッチング素子S1iとS2iとは、ともに制御回路1303が出力するTSCANに基づいて同様に切り替えられる。但し、走査回路13021においては、スイッチング素子S11～S1mによって、直流電圧源1303Aの出力電圧V1X又は0[V](グラウンドレベル)のいずれかが選択される。一方、走査回路13022においては、スイッチング素子S21～S2mによって、直流電圧源1303Eの出力電圧V2X1、直流電圧源1303Fの出力電圧V2X2、又は0[V](グラウンドレベル)

10

20

30

40

50

のいずれかが選択される。

【0151】

一方、Y方向配線11には、Y方向に配列した電子放出素子100の各列を入力信号に応じて変調するための変調信号発生器1307（情報信号発生手段）が接続される。

【0152】

図10の(a)は本実施形態の電子放出素子の電子を放出する駆動状態（以下ONと言う）、図12は電子放出を停止している駆動状態（以下OFFと言う）の電位分布及び電子軌道を示しており、図13は第1ゲート4、第2ゲート9及びカソード2への印加電圧に対する電子放出の応答を示している。

【0153】

本実施形態においても、アノード8をカソード2から2mmの距離を隔てた位置に設け、アノード8に10kVを印加するようにしている。

【0154】

ここで、アノード8がカソード2に作用する電界を $E_a$ 、第1ゲート4、第2ゲート9がカソード2に作用する電界をそれぞれ $E_{g1}$ 、 $E_{g2}$ 、カソード2から電子放出が開始される閾値電界を $E_e$ とすると、電子を放出する駆動状態の場合には、 $E_{g1}$ 、 $E_{g2} < E_e$ かつ $E_e < E_a$ を満たすと共に、電子放出を停止させる場合には、 $E_{g1}$ 、 $E_{g2} < E_a$ かつ $E_a < E_e$ 、または、 $E_a < E_{g1}$ 、 $E_{g2}$ かつ $E_{g1}$ 、 $E_{g2} < E_e$ を満たすように、ゲート4に電圧を印加することが必要である。

【0155】

図10(a)に示す状態では、カソード2に電子放出が開始される閾値電界 $E_e$ より大きな電界 $E_a$ がアノード8から印加され、電子放出が起こるON状態であり、さらに、 $E_{g1} < E_{g2}$ とすることにより、第2ゲート9からの電場の影響を受けて電子軌道が偏向して電子放出部の真上から外れた位置でアノード8に当たっていることを示している。

【0156】

一方、図12に示す状態では、第1ゲート4及び第2ゲート9に負の電圧が印加され、アノード8による電界 $E_a$ が $E_e > E_a$ となり、素子はOFFする。

【0157】

すなわち、本実施形態の場合には、図13に示す時間応答のように、第1ゲート4及び第2ゲート9に負電圧（-50V）を印加する状態では電子放出が停止し、第1ゲート4に電圧を印加せず（0V）、第2ゲート9には若干の正電圧（偏向電圧：15V）を印加した状態では、カソード2が正電圧（50V）である場合には電子が放出されず、カソード2に電圧を印加しない（0V）場合には電子放出が行われ、パルス幅変調が可能になる。

【0158】

図14に本実施形態に係る画像形成装置のタイミングチャートを示す。

【0159】

アノード8に10kVの電位が印加される以前に、第1ゲート4及び第2ゲート9の電位を0Vから-50Vに変化させておく。ここで、アノード8に10kVの電位が印加されるときには、第1ゲート4及び第2ゲートの電位はともに-50Vであるから、カソード2の電位にかかわらずカソード2の電子は放出されない。その後、アノード8に10kVの電位が印加された状態で、第1ゲート4の電位を0V、第2ゲート9の電位を15Vとすることにより、電子放出素子の各行を選択するとともに、情報信号に応じた期間だけカソード2の電位を50Vから0Vへと変化させる。また、アノード8への電位の印加を停止するときには、第1ゲート4、第2ゲート9とも-50Vに維持しておき、アノード8への電位が0Vに戻った後に、第1ゲート4及び第2ゲート9の電極を0Vに戻す。このようにすれば、アノード8への電位の印加時及び停止時に、放出された電子によりディスプレイが異常発光することを防止することができる。

【0160】

このように、本実施形態の電子放出素子の場合には、アノード8によって形成する電界

10

20

30

40

50

によって、直接カソード２から電子を放出させる構成であって、アノード８に対して一定電圧を印加した状態のまま、第１ゲート４、第２ゲート９、カソード２に対する印加電圧を制御することによって、電子の放出及び停止を制御することができる。

【０１６１】

尚且つ、第２ゲート９に印加された電圧によってON時の電子軌道が偏向することで電子放出部７直上でアノード８に電子ビームが衝突することがなくなるのでこれによるイオンの発生によって電子放出部７にイオンが降り注ぐことが少なくなり、素子特性の劣化を誘発することがなくなった。

【０１６２】

一方、ディスプレイの駆動を制御する方法、特に、電源オン及び／又はオフ時に抑制する方法としては、アノード８に１０ｋＶの電圧を印加開始するときに、第１ゲート４の電位に係らず、アノード８が電子放出を生起する電位となる以前に、電子放出抑制手段としても機能する第２ゲート９に－５０Ｖのような遮断電位を与えておく方法であってもよい。また、電源供給を止めるような場合には、第１ゲート４への遮断電圧を印加に係らず、第２ゲート９を遮断電位に保ち、アノード電位が電子放出を伴わない電位以下に低下するまで、その電位を維持してから、第２ゲート９の電源１３０３Ｅがオフするように制御する。こうすれば、カソード・アノード間に電子放出を生起せしめる電位差が生じていたとしても、イオン照射や異常表示は抑制される。

【０１６３】

以上のような電源の制御は、主電源スイッチやリモコンの電源スイッチに連動して働く制御回路１３０３によって、各電源を連携制御することにより達成できる。

【０１６４】

図１５は本実施形態の電子放出素子の製造工程図である。

【０１６５】

基板１及びその上のカソード２、絶縁層３、ゲート４については、第１の実施形態と同様に同材料、同プロセスを用いて作成した（図１５（ａ））。

【０１６６】

次に、フォトリソグラフィ技術により、絶縁層３の一部及びゲート４の一部が基板１から取り除かれ、カソード２がアノード８側に露出するように開口領域が形成される（図１５（ｂ））。このときゲートは図１０（ｂ）に示した通り第１ゲート４と第２ゲート９に分かれるようにパターニングされ電氣的にも分割される。

【０１６７】

この開口領域は、開口部周辺に絶縁層３と第１ゲート４及び第２ゲートの積層領域が配置されるように形成される。また、本エッチング工程は、カソード２上で停止しても良いし、カソード２の一部がエッチングされて停止しても良い。

【０１６８】

なお、この開口領域内に、電子放出部７が形成される（図１５（ｃ））。ただし、この電子放出部７は、開口領域内の空間部自体が電子放出部となる場合や、カソード２と同じ材料あるいは異なる材料によって、電子放出を容易にするために所定の構造を形成する場合がある。

【０１６９】

本工程で形成される開口領域には、ホール型やスリット型等が挙げられ、必要なビーム形状や駆動電圧等により適切な形状が選ばれるが、本実施例でも矩形型とし横１０μｍ、縦１５μｍとした。

【０１７０】

ここで、本実施例の電子放出素子及び電子放出素子の駆動方法の場合には、アノード８の電場によってカソード２から容易に直接電子が放出するように、カソード２上に、ダイヤモンド、ＤＬＣ、ＣＮＴ、ＧＮＦなどのカーボンファイバーを配置した構造を設けて、これを電子放出部７とするのが望ましい。

【０１７１】



## (第3の実施形態)

本発明の第3の実施形態について図16を用いて説明する。本実施形態の電子源基板1、カソード2、絶縁層3、第1ゲート4、第2ゲート9、電子放出部7については第2の実施形態と同じであり、電圧の印加の仕方も図13と同じであるので説明は省略する。

## 【0172】

本実施形態に係るディスプレイの特徴は、図16に示すようにブラックストライプと称される画像形成を妨げる部材である黒色導電体30を蛍光体28を分割する形で形成している。更に図に示したように遮光体としてのブラックストライプ30は電子放出部7に対向する配置している。ここで図16の(a)は通常のON状態を示しており、図13に示した通り第1ゲートが0V、第2ゲートが+15Vで駆動されているため電子軌道は偏向してアノード8上の蛍光体28に当たり発光している。

10

## 【0173】

ところが、画像表示装置の電源が切れて第1ゲート4、第2ゲート9共に0Vに低下した場合、アノード8には高圧でチャージされた電荷が存在しているため、すぐにアノード電圧が低下しない場合があるが、その場合の電子軌道を示したのが図16の(b)である。この場合は、電子軌道が電子放出部7の真上になるため、電子はブラックストライプ30に当たり発光が起こらない。

## 【0174】

図17に本実施形態に係る画像形成装置のタイミングチャートを示す。

## 【0175】

20

本実施形態では、アノード8の電位が0Vから10kVに変化したタイミングで第1ゲート4及び第2ゲートの電位を-50Vに変更する。その後、各行を選択するために第1ゲート4及び第2ゲートにそれぞれ0V及び+15Vの電位のパルスを入力する。また、アノード8への10kVの電位の印加の停止の同じタイミングで、第1ゲート4及び第2ゲートとともに-50Vを印加した状態から、ともに電位の印加を停止し、0Vに戻す。

## 【0176】

このように、ブラックストライプを電子放出膜の直上に配置することで電源オフ(停電などの場合を含む)時にも、画面が異常発光してユーザーに違和感を与えることが無くなった。また第1、第2の実施形態と同様に、電子軌道が偏向することにより電子放出部7直上でアノード8に電子ビームが衝突することがなくなるので、これによるイオンの発生によって電子放出部にイオンが降り注ぐことが少なくなり、素子特性の劣化を誘発することがなくなった。

30

## 【0177】

## (第4の実施形態)

本発明の第4の実施形態について図18、図19を用いて説明する。本実施形態の電子源基板1、カソード2、絶縁層3、第1ゲート4、第2ゲート9、電子放出部7については第2実施形態と同じであり、電圧の印加の仕方も図8と同じであるので説明は省略する。

## 【0178】

本実施形態の特徴は、図18及び図19に示すように電子ビーム遮蔽体(電子遮蔽部材)と呼ぶ導体板15を電子源基板1とアノード8の間に配置していることである。更に、図19に示したように電子ビーム遮蔽体5は電子放出部7に対向する位置以外の位置に、電子軌道が通るための開口部16が設けられている。この全体の形状は実施形態で示した図2と同様である。また電子ビーム遮蔽体15の電位は、電子源基板1とアノード8に印加されるアノード電圧による電界を乱さないように、電子源基板1との距離aとアノード8との距離bからほぼ $V_s \cdot a / (a+b) \cdot V_a$ に保たれる。

40

## 【0179】

ここで図19の(a)は通常のON状態を示しており、図13に示した通り第1ゲート4が0V、第2ゲート9が+15Vで駆動されているため電子軌道は偏向してアノード基板26上の蛍光体に当たり発光している。

50

## 【 0 1 8 0 】

ところが、画像表示装置の電源が切れて第 1 ゲート 4、第 2 ゲート 9 共に 0 V に低下した場合、アノード 8 には高圧でチャージされた電荷が存在しているため、すぐにアノード電圧が低下しない場合があるが、その場合の電子軌道を示したのが図 19 の ( b ) である。この場合は、電子軌道が電子放出部 7 の真上になるため、電子は電子ビーム遮蔽体 2 2 に当たり発光が起こらない。

## 【 0 1 8 1 】

図 20 に本実施形態に係る画像形成装置のタイミングチャートを示す。

## 【 0 1 8 2 】

本実施形態における、アノード 8、第 1 ゲート 4 及び第 2 ゲートに対する電位制御は、第 3 の実施形態の場合と同様である。但し、本実施形態では、電子ビーム遮蔽体 2 2 に対しても電位制御を行っている。すなわち、アノード 8 の電位を 0 V から 10 k V に変化させるのと同じタイミングで、電子ビーム遮蔽体 2 2 の電位も 0 V から所定の電位  $V_s [V]$  に変化させ、アノード 8 の電位を 10 k V から 0 V に変化させるのと同じタイミングで、電子ビーム遮蔽体 2 2 の電位も  $V_s [V]$  から 0 V に変化させる。

## 【 0 1 8 3 】

このように、電子ビーム遮蔽体 2 2 を電子放出膜の直上に配置することで電源オフ（停電などの場合を含む）時にも、画面が異常発光してユーザーに違和感を与えることが無くなった。また第 1 及び第 2 の実施形態と同様に、電子軌道が偏向することで電子放出部 7 直上でアノード 8 に電子ビームが衝突することがなくなるのでこれによるイオンの発生によって電子放出部 7 にイオンが降り注ぐことが少なくなり、素子特性の劣化を誘発することがなくなった。

## 【図面の簡単な説明】

## 【 0 1 8 4 】

【図 1】図 1 は本発明の第 1 の実施形態に係るディスプレイパネルの斜視図である。

【図 2】図 2 は本発明の第 1 の実施形態に係る他のディスプレイパネルの斜視図である。

【図 3】図 3 は本発明の第 1 の実施形態に係る画像形成装置の構成を示すブロック図である。

【図 4】図 4 は本発明の第 1 の実施形態に係る画像形成装置の電子放出機構を説明する図である。

【図 5】図 5 は本発明の第 1 の実施形態に係る画像形成装置における電子放出オフ時の状態を示す図である。

【図 6】図 6 は本発明の第 1 の実施形態に係る電子放出素子の駆動電圧に対する応答を示す図である。

【図 7】図 7 は本発明の第 1 の実施形態に係る画像形成装置における駆動電圧のタイミングチャートである。

【図 8】図 8 は本発明の第 1 の実施形態に係る電子放出素子の製造工程を示す図である。

【図 9】図 9 は本発明の第 2 の実施形態に係るディスプレイの斜視図である。

【図 10】図 10 ( a ) は本発明の第 2 の実施形態に係る画像形成装置の電子放出機構を説明する図であり、図 10 ( b ) は本発明の第 2 の実施形態に係る電子放出素子の構造を示す模式的平面図である。

【図 11】図 11 は本発明の第 2 の実施形態に係る画像形成装置の構成を示すブロック図である。

【図 12】図 12 は第 2 の実施形態に係る画像形成装置における電子放出オフ時の状態を示す図である。

【図 13】図 13 は第 2 の実施形態に係る電子放出素子の駆動電圧に対する応答を示す図である。

【図 14】図 14 は第 2 の実施形態に係る画像形成装置における駆動電圧のタイミングチャートである。

【図 15】図 15 は第 2 の実施形態に係る電子放出素子の製造工程を示す図である。

【図 16】図 16 ( a ) は本発明の第 3 の実施形態に係る画像形成装置における電子放出オン時の状態を示す図であり、図 16 ( b ) は同電子放出オフ時の状態を示す図である。

【図 17】図 17 は本発明の第 3 の実施形態に係る画像形成装置における駆動電圧のタイミングチャートである。

【図 18】図 18 は本発明の第 4 の実施形態に係るディスプレイの斜視図である。

【図 19】図 19 は本発明の第 4 の実施形態に係る画像形成装置における電子放出オン時の状態を示す図であり、図 19 ( b ) は同電子放出オフ時の状態を示す図である。

【図 20】図 20 は本発明の第 4 の実施形態に係る画像形成装置における駆動電圧のタイミングチャートである。

【図 21】図 21 は従来のノーマリーオン型の電子放出素子駆動状態を説明する概念図である。

10

【符号の説明】

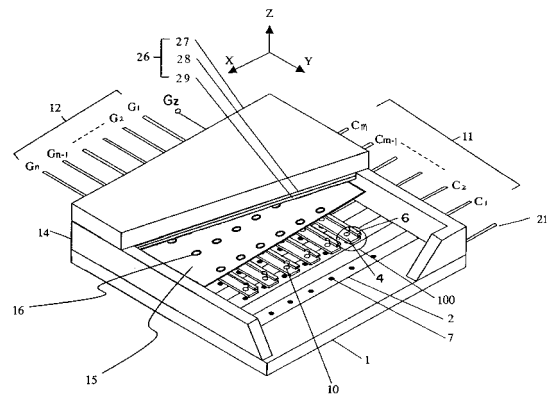
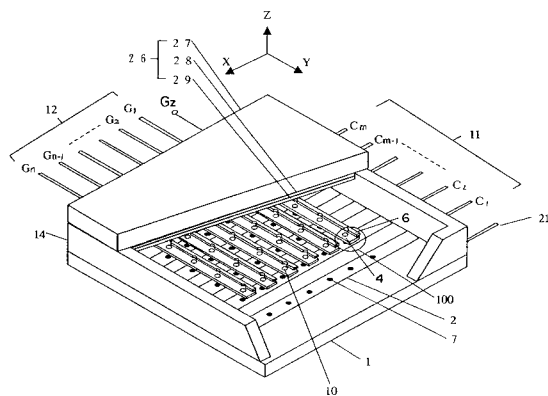
【 0 1 8 5 】

- 1 0 0 電子放出素子
- 2 カソード
- 4 (第 1) ゲート
- 9 第 2 ゲート
- 7 電子放出膜
- 6 偏向電極
- 2 6 フェースプレート
- 2 7 アノード基板
- 2 8 蛍光体
- 2 9 メタルバック
- 3 0 ブラックストライプ
- 1 5 電子ビーム遮蔽体

20

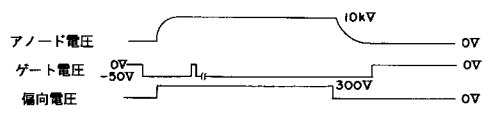
【図 1】

【図 2】

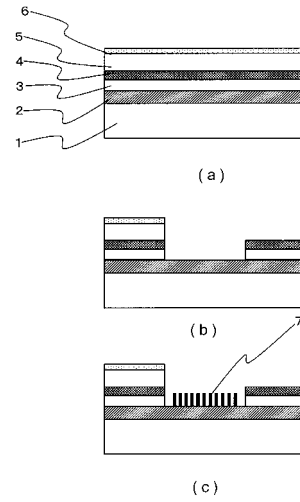




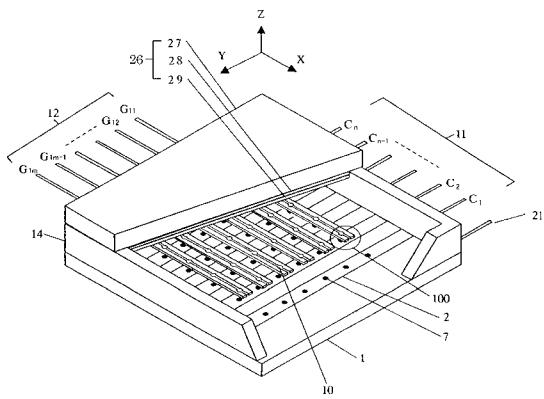
【図 7】



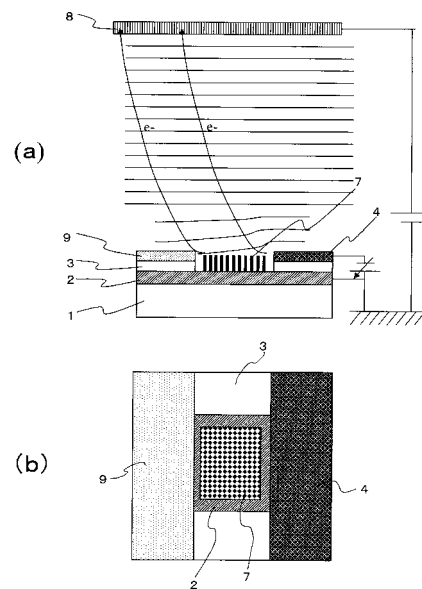
【図 8】



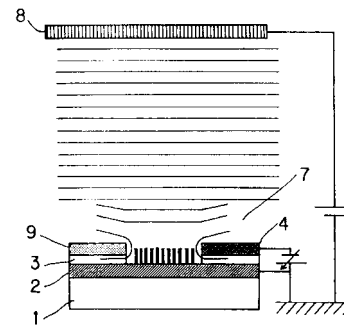
【図 9】



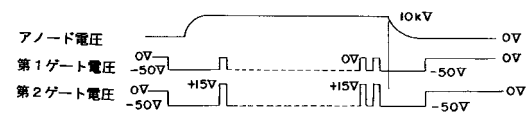
【図 10】



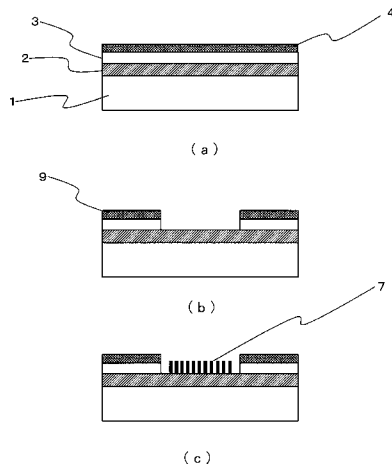
【圖 12】



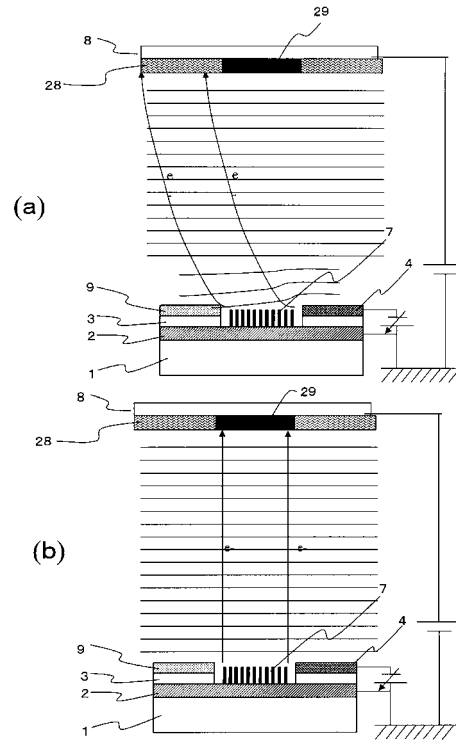
【 図 1 4 】



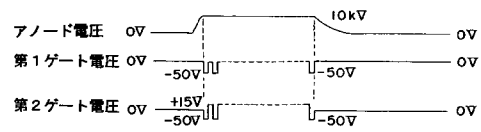
【図 15】



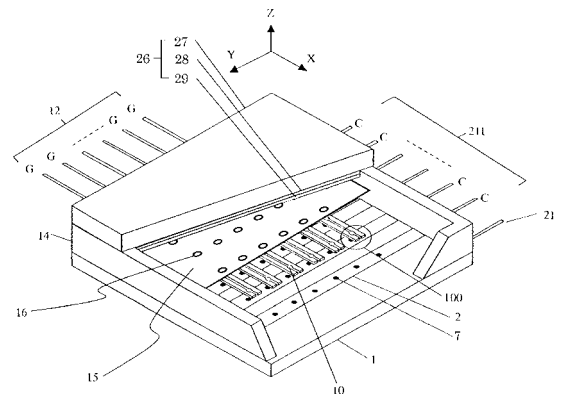
【図 16】



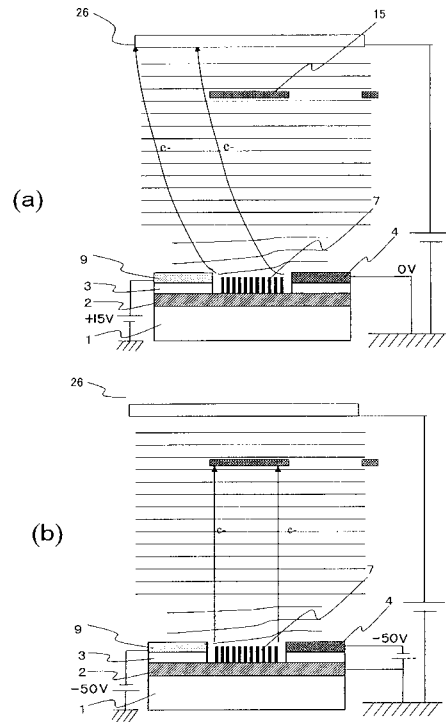
【図 17】



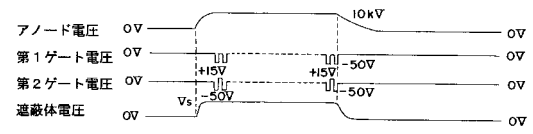
【図 18】



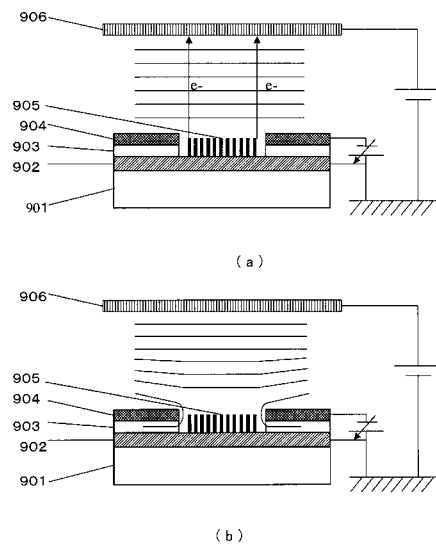
【図 19】



【図 20】



【図 21】





---

フロントページの続き

審査官 村井 友和

- (56)参考文献 特開平 1 1 - 2 8 8 2 4 9 ( J P , A )  
特開 2 0 0 2 - 1 0 0 2 7 9 ( J P , A )  
特開 2 0 0 3 - 0 3 1 1 6 6 ( J P , A )  
特開平 1 0 - 3 2 1 1 6 6 ( J P , A )  
特開 2 0 0 2 - 2 7 0 1 2 0 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
H 0 1 J 3 1 / 1 2