

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 982 280**

51 Int. Cl.:

G04F 10/00 (2006.01)

G01R 31/28 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.11.2018** **PCT/IL2018/051267**

87 Fecha y número de publicación internacional: **31.05.2019** **WO19102467**

96 Fecha de presentación y número de la solicitud europea: **22.11.2018** **E 18880360 (5)**

97 Fecha y número de publicación de la concesión europea: **17.04.2024** **EP 3714280**

54 Título: **Detección de fallos en un panel de circuito integrado**

30 Prioridad:

23.11.2017 US 201762590308 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

15.10.2024

73 Titular/es:

PROTEANTECS LTD. (100.0%)

36 HaNamal St.

3303203 Haifa, IL

72 Inventor/es:

FAYNEH, EYAL;

COHEN, SHAI;

LANDMAN, EVELYN;

DAVID, YAHIEL y

WEINTROB, INBAR

74 Agente/Representante:

DEL VALLE VALIENTE, Sonia

ES 2 982 280 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Detección de fallos en un panel de circuito integrado

5 Referencia cruzada a solicitudes relacionadas

Esta solicitud reivindica el beneficio de prioridad de la solicitud de patente provisional estadounidense n.º 62/590.308, presentada el 23 de noviembre de 2017.

10 Campo de la invención

La invención se refiere al campo de los circuitos integrados.

15 Antecedentes

Los circuitos integrados (CI) pueden incluir circuitos electrónicos analógicos y digitales en un sustrato semiconductor plano, tal como una oblea de silicio. Unos transistores microscópicos se imprimen sobre el sustrato usando técnicas de fotolitografía para producir circuitos complejos de miles de millones de transistores en un área muy pequeña, lo que hace que el diseño moderno de circuitos electrónicos que utilizan CI sea de bajo coste y de alto rendimiento. Los CI se producen en líneas de ensamblaje de fábricas, denominadas fundiciones, que han mercantilizado la producción de CI, tales como CI de semiconductores complementarios de óxido metálico (CMOS, por sus siglas en inglés). Los CI digitales contienen miles de millones de transistores dispuestos en unidades funcionales y/o lógicas en la oblea y están empaquetados en una carcasa de metal, plástico, vidrio o cerámica. La carcasa, o paquete, se conecta a una placa de circuito, por ejemplo, mediante soldadura. Los tipos de paquetes pueden incluir un marco conductor (orificio pasante, montaje en superficie, soporte de chips y/o similares), una matriz de rejillas de clavijas, un paquete de escala de chips, una matriz de rejillas esféricas y/o similares, para conectar entre los paneles de circuitos integrados y la placa de circuito. Como se usa en el presente documento, el término CI significa el circuito integrado que incluye el paquete.

La publicación de solicitud de patente estadounidense n.º 2011/0187433, concedida a Baumann y otros, describe un circuito de monitorización de retardo autocalibrable integrado, que puede utilizarse para minimizar o evitar las violaciones de temporización causadas por cambios en la tensión de alimentación requeridos por un circuito integrado y/o causadas por variaciones de temperatura del circuito integrado mediante la estimación del retardo de las trayectorias del circuito integrado en determinadas condiciones.

La publicación de solicitud de patente europea n.º 2413150 de Minas y otros describe un sistema y un método de medición que pueden usarse para probar la funcionalidad de una vía pasante de silicio (TSV) en un circuito integrado midiendo su capacitancia solo desde un lado. La capacitancia de la TSV se puede determinar midiendo un retardo de temporización introducido en un circuito de medición debido a la presencia de la TSV.

Los ejemplos anteriores de la técnica relacionada y las limitaciones de los mismos pretenden ser ilustrativos y no exclusivos. Otras limitaciones de la técnica relacionada resultarán evidentes para los expertos en la técnica tras una lectura de la memoria descriptiva y un estudio de las figuras.

45 Resumen

Las siguientes realizaciones y aspectos de las mismas se describen e ilustran junto con sistemas, herramientas y métodos que pretenden ser ejemplares e ilustrativos.

Se proporciona, de acuerdo con la presente invención, un circuito integrado (CI) de semiconductores que comprende un circuito conversor de tiempo a digital (TDC, de cualquier tipo), en donde las entradas de tiempo al TDC son (i) una o más señales de entrada a una memoria intermedia de entrada/salida (E/S) de un panel del CI, y (ii) una o más salidas de la memoria intermedia de E/S. El CI comprende un circuito comparador digital configurado eléctricamente para: recibir un flujo de valores de salida digitales del TDC, comparar cada valor del flujo con uno o más valores anteriores del flujo y, cuando la comparación refleja un valor de diferencia mayor que un umbral, emitir una notificación. El umbral lo determinan uno o más del grupo que consiste en: (i) un umbral predefinido, (ii) un umbral recibido de un circuito de prueba externo durante el funcionamiento inicial del CI, (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de tiempo, (iv) un umbral que varía con el tiempo y (v) un umbral que varía con respecto a al menos una condición ambiental.

En algunas realizaciones, las entradas de tiempo al TDC se determinan a partir de la mitad inferior de la oscilación de tensión de la memoria intermedia de E/S utilizando uno o más circuitos comparadores analógicos.

En algunas realizaciones, la emisión se realiza cuando el valor de la diferencia es mayor que el umbral para un número específico de casos.

En algunas realizaciones, la emisión se realiza cuando el valor de la diferencia es mayor que el umbral para un número específico de casos dentro de un período de tiempo.

En algunas realizaciones, el CI puede comprender además un dispositivo de aprendizaje de impedancia configurado para recibir un flujo de valores de salida digital del TDC (en particular, durante el funcionamiento inicial del CI) y para determinar el umbral en función del flujo recibido (durante el funcionamiento inicial). Esto puede aplicarse especialmente cuando el umbral está determinado por (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de tiempo. En tales realizaciones, el dispositivo de aprendizaje de impedancia está configurado opcionalmente para determinar el umbral mediante el análisis del flujo recibido utilizando al menos uno del grupo que consiste en: (a) un estimador estadístico (tal como un estimador de máxima verosimilitud); (b) un algoritmo de aprendizaje automático; y (c) un cálculo del intervalo de confianza.

En algunas realizaciones, la al menos una condición ambiental comprende al menos una del grupo que consiste en: tensión y temperatura.

En algunas realizaciones, el circuito comparador digital se implementa (mediante firmware/hardware/software) en un servidor computarizado, en donde el servidor computarizado es externo al CI.

La notificación puede ser dirigida a uno o más del grupo que consiste en: (i) un usuario del CI; (ii) provocar una alerta que pueda ser detectada por el usuario del CI, en respuesta a la notificación (por ejemplo, utilizando un circuito generador de alertas configurado para ese propósito, siendo la alerta audible, visual o detectable al interactuar con el CI de alguna manera, por ejemplo, a través de una interfaz de comunicaciones); (iii) inhabilitar una parte o la totalidad del CI, en respuesta a la notificación (por ejemplo, a través de un circuito de desactivación del CI configurado para ese propósito); y (iv) provocar una reasignación de carriles de al menos una parte del CI, en respuesta a la notificación (por ejemplo, a través de un circuito de reasignación de carriles y/o un programa informático, es decir, un software configurado para ese propósito).

Se proporciona, de acuerdo con una realización, un método para detectar las desconexiones de un panel de CI, que comprende el uso de uno o más procesadores de hardware para recibir un flujo de valores de salida digitales desde un TDC. Los procesadores de hardware se utilizan para comparar cada valor del flujo con uno o más valores anteriores del flujo. El método puede comprender además, cuando la comparación refleja un valor de diferencia mayor que un umbral, emitir una notificación. Las entradas al TDC son (i) una o más señales digitales desde una memoria intermedia de entrada/salida (E/S) de un panel del CI, y (ii) una o más salidas digitales desde la memoria intermedia de E/S. El umbral lo determinan uno o más del grupo que consiste en: (i) un umbral predefinido, (ii) un umbral recibido de un circuito de prueba externo durante el funcionamiento inicial del CI, (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de tiempo, (iv) un umbral que varía con el tiempo y (v) un umbral que varía con respecto a al menos una condición ambiental. En dichas realizaciones del método, las etapas del método pueden proporcionarse opcionalmente para incluir cualquiera de las características descritas con referencia a la realización de CI. En algunas realizaciones, puede considerarse un medio legible por ordenador, que tiene instrucciones almacenadas en el mismo para llevar a cabo cualquiera de las realizaciones del método descritas en el presente documento, cuando dichas instrucciones son ejecutadas por un procesador.

Además de los aspectos y realizaciones ejemplares descritos anteriormente, otros aspectos y realizaciones se harán evidentes haciendo referencia a las figuras y mediante el estudio de la siguiente descripción detallada. El experto en la técnica apreciará que también se pueden proporcionar combinaciones y subcombinaciones de características específicas descritas en el presente documento, incluso si no se describen explícitamente.

Breve descripción de las figuras

Las realizaciones ejemplares se ilustran en las figuras referenciadas. Las dimensiones de los componentes y las características mostradas en las figuras se eligen generalmente por conveniencia y para una presentación más clara y no necesariamente se muestran a escala. Las figuras se enumeran a continuación.

La figura 1 muestra esquemáticamente un sistema computarizado para detectar la integridad del panel del CI;

La figura 2 muestra un diagrama de flujo de un método para detectar la integridad de un panel de CI;

La figura 3A muestra esquemáticamente una protuberancia de soldadura de un panel de CI;

La figura 3B muestra esquemáticamente las protuberancias de soldadura de un paquete de CI 2.5D;

La figura 4 muestra un esquema eléctrico de una protuberancia de soldadura de un panel de CI;

La figura 5A muestra un esquema eléctrico de una protuberancia de soldadura de un panel de CI para detectar la integridad de la conexión eléctrica;

La figura 5B muestra un esquema eléctrico de un TDC;

La figura 6A muestra un esquema eléctrico de un circuito de detección para una protuberancia de soldadura con degradación de la integridad de la conexión eléctrica;

La figura 6B muestra una ruta de escritura de datos ejemplar para un byte de datos, en la que se produce un fallo;

La figura 7 muestra un esquema eléctrico de una protuberancia de soldadura de un panel de CI para simular la integridad de la conexión eléctrica;

La figura 8A muestra una primera pantalla de osciloscopio de una primera simulación de retardo de temporización eléctrica para detectar la integridad de la conexión eléctrica de un panel de CI;

La figura 8B muestra una segunda pantalla de osciloscopio de una segunda simulación de retardo de temporización eléctrica para detectar la integridad de la conexión eléctrica de un panel de CI;

La figura 9 muestra un gráfico de simulación de retardo de temporización eléctrica para detectar la integridad de la conexión eléctrica de un panel de CI;

La figura 10A muestra gráficos de una primera simulación del rendimiento del circuito de detección de integridad de la conexión eléctrica; y

La figura 10B muestra gráficos de una segunda simulación del rendimiento del circuito de detección de integridad de la conexión eléctrica.

Descripción detallada

En el presente documento se describen dispositivos, sistemas y métodos para detectar desconexiones intermitentes/instantáneas de un panel de CI. Al medir el retardo de entrada a salida (E/S) para cada memoria intermedia de E/S de un panel de CI, el retardo de temporización se puede convertir en un valor digital que refleje la impedancia de conexión del panel de E/S. Cuando la soldadura del panel de E/S se desconecta de forma intermitente, instantánea o parcial, la impedancia de la conexión del panel de E/S cambia y el retardo de la memoria intermedia de E/S cambia. Al monitorizar este retardo, un circuito del CI o un sistema de procesamiento externo puede determinar que la soldadura del panel de E/S se ha visto comprometida. El retardo se mide mediante un circuito convertidor de tiempo a digital (TDC, de cualquier tipo) que tiene 2 entradas: (i) Señal de entrada de la memoria intermedia de E/S y (ii) señal de salida de la memoria intermedia de E/S, opcionalmente cada una después de un circuito comparador analógico.

De este modo, el TDC produce un flujo de salidas, cada una de las cuales indica un retardo en un cierto tiempo de medición. Un valor del flujo se compara con al menos un valor anterior (por ejemplo, el valor inmediatamente anterior del flujo, un número de valores inmediatamente anteriores o un promedio de un número de valores anteriores o valores inmediatamente anteriores del flujo) para proporcionar un valor de diferencia. El valor de diferencia se compara con un umbral para determinar si el valor de diferencia es mayor que el umbral. El umbral puede ser: (i) un umbral predefinido (es decir, preestablecido en el CI); (ii) un umbral recibido de un circuito de prueba externo (especialmente durante el funcionamiento inicial del CI); (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de tiempo; (iv) un umbral que varía con el tiempo (que puede preestablecerse o ajustarse dinámicamente, por ejemplo, calcularse y/o almacenarse en el CI); y (v) un umbral que varía con respecto a al menos una condición ambiental (como la temperatura y/o la tensión, que pueden medirse usando un sensor respectivo u otro dispositivo que proporcione una señal indicativa de la condición ambiental respectiva). Por lo tanto, el umbral permite la identificación de un fallo potencial o real dentro del CI.

Opcionalmente, el circuito comparador analógico compara la señal de salida de la memoria intermedia de E/S sin procesar con un cierto umbral, como un umbral en la mitad inferior de la oscilación de tensión de la memoria intermedia de E/S. Esto se puede hacer para filtrar las reflexiones de la carga de impedancia de la memoria intermedia que pueden afectar al retardo medido. La señal filtrada en la salida del comparador analógico puede estar limpia de reflexiones, y la oscilación de tensión puede ser igual a la oscilación de tensión de la señal de entrada de la memoria intermedia. El TDC puede convertir el retardo instantáneo de la memoria intermedia en una lectura digital. El TDC medirá cualquier cambio en el retardo de la memoria intermedia basándose en la resolución escalonada, que es un retardo del inversor. Como se usa en el presente documento, la oscilación de tensión significa la diferencia entre la tensión de salida máxima y la tensión de salida mínima.

Opcionalmente, otras trayectorias de datos pueden monitorizarse para detectar cambios en la impedancia mediante la detección de cambios en los retardos de la memoria intermedia de señales.

Ahora se hace referencia a la figura 1 y la figura 2, que muestran (i) esquemáticamente un sistema computarizado 100 y (ii) un diagrama de flujo del método 200, un flujo para detectar la integridad del panel de CI. El sistema computarizado

100 comprende un CI 150 con TDC, tales como 131, 132, 133 y/o similares, cada uno conectado eléctricamente (141, 42, 143, etc.) que mide el retardo entre la entrada y la salida de una memoria intermedia de E/S (151, 52, 153, etc.) conectado a un panel de CI. Los valores digitales de medición del tiempo pueden comunicarse a través de una red de datos 140, entre una interfaz de datos 111 del CI 150 y una interfaz de datos 110 de un ordenador 101A. El ordenador 101A comprende uno o más procesadores 101B de hardware, una interfaz 120 de usuario y un medio 102 de almacenamiento no transitorio legible por ordenador. El medio de almacenamiento 102 tiene codificados en el mismo módulos de código de programa (102A, 102B, 102C, etc.) que, cuando se ejecutan en los procesadores de hardware 101B, realizan acciones del método 200, tales como 201, 202, 203, 304, 205 y/o similares. Opcionalmente, los valores de TDC son recibidos por un componente de procesamiento (no mostrado) en el CI que realiza las acciones del método 200. Por ejemplo, un receptor de datos TDC 102A recibe 201 valores de TDC. Por ejemplo, un dispositivo de aprendizaje de impedancia 102B analiza los valores del TDC durante un período de tiempo inicial para determinar un comportamiento de referencia del CI en funcionamiento. Por ejemplo, el receptor de datos de TDC 102A y/o un detector de desconexión del panel 102C supervisan 203 valores de TDC y, cuando se detecta una anomalía 204, notifican 205 sobre un fallo del panel, un fallo inminente, un fallo futuro y/o similares.

Opcionalmente, las anomalías se cuentan antes de que se emita una notificación.

Opcionalmente, las anomalías se cuentan dentro de un período de tiempo antes de que se emita una notificación.

Ahora se hace referencia a la figura 3A, que muestra esquemáticamente una protuberancia de soldadura de un panel de CI. La memoria intermedia de E/S puede impulsar la E/S de una placa con chip plegable, como una protuberancia de conexión de chip con colapso controlado (C4) conectada al panel. La protuberancia C4 es un ejemplo de una tecnología de empaquetado común y, en el caso general, la invención es aplicable a cualquier tecnología de empaquetado o a cualquier tecnología de empaquetado de chip a chip, como las tecnologías de empaquetado 2.5D y/o 3D.

Opcionalmente, la integridad de la conexión eléctrica se detecta a través de una o más conexiones de soldadura de un paquete y/o circuito electrónico, como microprotuberancias, protuberancias a través de silicio, protuberancias C4, protuberancias de paquete (tal como bolas BGA) y/o similares.

Ahora se hace referencia a la figura 3B, que muestra las protuberancias de soldadura de un paquete de CI 2.5D. Se muestran algunos niveles diferentes de uniones de soldadura dentro de un paquete de CI y entre el paquete de CI y la placa de circuito.

Ahora se hace referencia a la figura 4, que muestra un esquema eléctrico (circuito equivalente) de una protuberancia de soldadura de un panel de CI. El diagrama eléctrico muestra una memoria intermedia de E/S que acciona un panel con circuitos de protección contra descargas electrostáticas (ESD) (como el condensador Cpanel), un rastreo de paquetes (representado por un componente de línea de transmisión) y una carga del receptor (representada por el condensador Cpanel). El retardo de la memoria intermedia de E/S puede depender de la impedancia total de salida de la memoria intermedia, tal como la carga de resistencia-inductancia-capacitancia (RLC) de todos los componentes eléctricos conectados a la memoria intermedia de E/S. Un cambio mecánico en la soldadura del panel, como una desconexión, puede cambiar la carga de impedancia RLC de la salida de la memoria intermedia.

Ahora se hace referencia a la figura 5A, que muestra un esquema eléctrico de una protuberancia de soldadura de un panel de CI para detectar la integridad. La memoria intermedia de E/S puede generar un valor de temporización, utilizando el TDC, que refleja su retardo de entrada a salida, que a su vez puede ser una función de la carga de impedancia del RLC. El retardo de la memoria intermedia de E/S puede medirse para cada borde ascendente y descendente de la señal que llega al panel de E/S.

El TDC y el circuito/ordenador de procesamiento pueden detectar el cambio de carga de salida basándose en las siguientes etapas:

a. Convertir el retardo de memoria intermedia de E/S medido de cada panel monitorizado en una lectura de valores digitales.

i. Se puede generar una lectura para cada transición ascendente y/o descendente.

ii. La precisión de conversión puede ser una resolución de 1 retardo de inversión, tal como la determinada por una conexión en serie de elementos de retardo (diodos). Por ejemplo, la conversión de retardo a digital se determina con una precisión de 1 picosegundo (ps). La precisión y/o la resolución del retardo pueden estar entre 1 femtosegundo y 1 milisegundo.

b. Conocer el comportamiento del retardo y rastreo a lo largo del tiempo, por ejemplo, mediante algoritmos de aprendizaje automático, lógica de posprocesamiento local en CI y/o similares.

c. Detectar un cambio en el retardo de la memoria intermedia comparando el retardo de la memoria intermedia a lo largo del tiempo con su propio historial y con el comportamiento continuo de otros retardos de memorias intermedias en este CI u otros CI comparables.

5 Ahora se hace referencia a la figura 5B, que muestra un esquema eléctrico de un TDC. Después de cada elemento de retardo en serie, un dispositivo de almacenamiento, tal como un flipflop, registra que (es decir, cuándo) la señal alcanzó ese retardo de tiempo y, a continuación, el decodificador convierte ese retardo en un valor digital.

10 Un circuito de detección puede determinar que el valor de retardo ha superado un umbral. Por ejemplo, un modelo de señal y ruido puede ser: $s = s_1(t) + s_2(t) + n(t)$, donde $s_1(t)$ indica la señal determinista de estado estacionario (puede ser un tono único), $s_2(t)$ indica la señal de evento (mala), y $n(t)$ indica el ruido estocástico. El evento puede ser $E = \{s_2(t) > \beta\}$. El objetivo (para un δ dado) puede ser encontrar un método $F[s(t)] \rightarrow 0,1$ tal que: $P(F[s(t)] = 1, E^c) < \delta_1$ (falso positivo) (E^c representa el complemento de E) y $P(F[s(t)] = 0, E) < \delta_2$ (falso negativo).

15 Ahora se hace referencia a la figura 6A, que muestra un esquema eléctrico de un circuito de detección para una protuberancia de soldadura con degradación de la integridad de la conexión eléctrica.

20 Los problemas derivados de las desconexiones de los paneles de E/S pueden ser críticos en muchos sistemas y/o circuitos electrónicos. Las desconexiones pueden deberse a muchos tipos de fallos en las juntas de soldadura, tales como tensión mecánica, corrosión, tensión térmica, vibración, fatiga y/o similares. La desconexión puede ser permanente o intermitente. Puede producirse una desconexión intermitente cuando el panel se desconecta durante un breve período de tiempo mientras está en funcionamiento.

25 La detección puede realizarse de forma no intrusiva, por ejemplo, mientras el dispositivo/sistema está en pleno funcionamiento (no es necesario detener el funcionamiento del dispositivo para realizar ningún tipo de prueba especial). El problema de desconexión mecánica del panel se convierte en una señal eléctrica que puede detectarse mediante circuitos eléctricos y métodos de posprocesamiento. La técnica no es sensible a la ubicación de los paneles en el paquete o circuito de CI, y se puede usar para uno o más paneles, hasta el número máximo de paneles en el CI.

30 Estos problemas se vuelven críticos en muchas aplicaciones, tal como aplicaciones en las que el coste de un fallo es alto (tal como vehículos autónomos), el coste de reemplazo es alto (tal como el fallo de CI de un satélite), el coste de un fallo para la imagen de un producto es alto (tal como una experiencia de usuario resultante negativa creada por un fallo) y/o similares. Una realización de circuito integrado (CI) que utiliza las técnicas descritas en el presente documento incluye uno o más circuitos de medición de retardos de memoria intermedia de E/S y un sistema (y/o un circuito CI) que puede alertar sobre los retardos que indican que está a punto de producirse o se ha producido un fallo.

35 El fallo intermitente en un CI puede ser fatal, especialmente si ocurre en el campo. En tal caso, el sistema puede fallar debido a la pérdida (interrupción) de la integridad de la señal. Por ejemplo, se pueden perder los datos o el control, lo que provocará una falla completa de al menos una parte del CI. Como resultado, la alerta y/o notificación inmediata o rápida (dentro de un período de tiempo predeterminado) de un fallo intermitente, una vez detectado en el campo, puede ser muy ventajoso, ya que las consecuencias de dicho fallo intermitente no se conocen necesariamente. Puede resultar difícil reproducir un fallo intermitente, ya que, por definición, no es continuo y puede deberse a un problema mecánico. Se puede realizar una reparación después de detener el funcionamiento del CI (fuera de línea), por ejemplo, identificando y reemplazando una matriz defectuosa. La desactivación del CI representa otra opción posible para evitar el fallo completo del CI una vez que se haya detectado un fallo intermitente de esta manera.

40 Además de proporcionar una notificación o alerta o como alternativa a estas opciones, puede ser posible tomar una o más medidas de mitigación en línea para reducir la probabilidad de que un fallo intermitente que cause un fallo persistente o completo del CI o repararla. Por ejemplo, esto puede incluir la activación de un mecanismo de "reparación de carriles" o "reasignación de carriles" basado en software en el campo. Este mecanismo puede reemplazar un carril con un fallo (tal como una trayectoria de datos) por un carril libre.

45 Con referencia a la figura 6B, se muestra un ejemplo de trayectoria de escritura de datos para un byte de datos, en la que se produce un fallo. El circuito que recibe la señal d5 ha fallado (lo indica la cruz). La señal d5 se reasigna entonces al siguiente circuito descendente (sustituyendo la señal d6), con la consiguiente reasignación a otros circuitos. Es posible que se pierdan algunas señales en esta reasignación. En este ejemplo, se pierde la señal p1. Esta es una señal menos importante, pero dicho proceso permite mantener la funcionalidad del sistema, insertando una o más señales importantes para reemplazar al menos una señal menos importante. El proceso de reasignación se puede ampliar a varios bytes. Por ejemplo, puede ser posible reasignar una señal importante fallida del BYTE 0 a una señal menos importante en el BYTE 1.

50 La reasignación de carriles puede realizarse escribiendo un registro (suave) o cortando un eFuse (duro). Aunque esto se ha ilustrado con respecto a un circuito de escritura de datos, también será aplicable a otros tipos de circuitos que implican señales a lo largo de una trayectoria, tales como circuitos de lectura, circuitos de memoria y circuitos de procesamiento de datos. Como muestran dichos ejemplos, el enfoque de la presente descripción no solo puede indicar y depurar un problema, sino que también puede ser posible una solución al problema.

Resultados experimentales

A continuación se muestran los resultados de las simulaciones de un circuito de detección y fallas en un panel de E/S.

Ahora se hace referencia a la figura 7, que muestra un esquema eléctrico de una protuberancia de soldadura de una placa de CI para simular la integridad de la conexión eléctrica. La figura 7 es similar a la figura 5A, con la adición de un interruptor (sw) para simular la desconexión eléctrica de un panel de soldadura.

Ahora se hace referencia a la figura 8A y la figura 8B, que muestran una primera y una segunda pantalla de osciloscopio de una primera y una segunda simulación de retardo de temporización eléctrica (respectivamente) para detectar la integridad del panel de CI. Una señal de entrada 801 comprendía una forma de vagón de carga que iba de 0 a 0,8 en un tiempo igual a 2 nanosegundos (ns), y volvía a cero a los 5 ns. Una señal de interruptor cerrado 802 muestra la forma retardada del vagón de carga en convolución con la impedancia del circuito de memoria intermedia de E/S. Una señal de interruptor abierto 803 muestra los cambios como resultado de la desconexión de un panel, incluido un retardo ligeramente mayor. La figura 8B muestra una escala temporal de primer plano del retardo entre la señal de entrada 811, una señal de interruptor cerrado 812 y una señal de interruptor abierto 813, que muestra un aumento de 187 ps en el tiempo de retardo.

Ahora se hace referencia a la figura 9, que muestra un gráfico de simulación de retardo de temporización eléctrica para detectar la integridad del panel de CI. El gráfico de la figura 9 representa la derivada de la salida del TDC ($x[n] - x[n-1]$) para una determinada señal de retardo. Los valores se centran alrededor de cero (con cierta cantidad de ruido) y, cuando se produce la falla intermitente, el retraso aumenta y luego disminuye bruscamente. Se simula una desconexión de un panel en $n = 9$, y el resultado fue un salto significativo en la lectura del TDC y la derivada. En este ejemplo, el cambio de retardo de memoria intermedia simulado fue de aproximadamente 200 picosegundos (ps) y la etapa de TDC fue de 20 ps. La aplicación de un circuito/módulo de detección de umbrales puede detectar esta anomalía y alertar/notificar a la entidad apropiada para que tome las medidas necesarias.

La salida digital del TDC se posprocesó utilizando un algoritmo de máxima verosimilitud (ML) que aprendió el retardo de la memoria intermedia y su derivada a lo largo del tiempo. Un umbral del análisis de ML puede representar un buen comportamiento en función del historial de CI específico y el comportamiento de otras memorias intermedias de ese CI y de CI comparables. El posprocesamiento también puede realizarse mediante un circuito lógico local en el CI. Parte del posprocesamiento puede ser la cancelación de ruido para aumentar la relación señal/ruido de la señal de valor digital TDC (es decir, el vector).

Ahora se hace referencia a la figura 10A y la figura 10B, que muestran gráficos de una primera y una segunda simulaciones del rendimiento del circuito de detección de integridad de la conexión eléctrica. Las dos simulaciones muestran la detección de una desconexión intermitente en la señal y la señal del circuito de detección, tal como se muestra mediante un círculo discontinuo que rodea la anomalía.

A lo largo de esta solicitud, varias realizaciones de esta invención pueden presentarse en un formato de intervalo. Debe entenderse que la descripción en formato de intervalo es simplemente por conveniencia y brevedad y no debe interpretarse como una limitación inflexible del alcance de la invención. Por consiguiente, debe considerarse que la descripción de un intervalo describe específicamente todos los posibles subintervalos, así como valores numéricos individuales dentro de ese intervalo. Por ejemplo, se debe considerar que la descripción de un intervalo tal como de 1 a 6 describe específicamente subintervalos tales como de 1 a 3, de 1 a 4, de 1 a 5, de 2 a 4, de 2 a 6, de 3 a 6, etc., así como números individuales dentro de ese intervalo, por ejemplo, 1, 2, 3, 4, 5 y 6. Esto se aplica independientemente de la amplitud del intervalo.

Siempre que se indique un intervalo numérico en el presente documento, se pretende incluir cualquier número citado (fraccionario o integral) dentro del intervalo indicado. Las frases “que varía/varía entre” un primer número indicado y un segundo número indicado y “que varía/varía de” un primer número indicado “a” un segundo número indicado se usan indistintamente en el presente documento y pretenden incluir el primer y segundo números indicados y todos los números fraccionales e integrales entre ellos.

En la descripción y las reivindicaciones de la solicitud, cada una de las palabras “comprende” “incluye” y “tiene” y formas de las mismas, no están necesariamente limitadas a elementos en una lista con la que pueden asociarse las palabras. Además, en caso de incoherencias entre esta solicitud y cualquier documento incorporado por referencia, se entenderá que prevalece la presente solicitud.

Para aclarar las referencias en esta descripción, se observa que el uso de sustantivos como nombres comunes, nombres propios, denominaciones, y/o similares no pretenden implicar que las realizaciones de la invención se limitan a una sola realización, y muchas configuraciones de los componentes descritos pueden usarse para describir algunas realizaciones de la invención, mientras que otras configuraciones pueden derivarse de estas realizaciones en diferentes configuraciones.

Para mayor claridad, no se muestran ni describen todas las características rutinarias de las implementaciones descritas en el presente documento. Por supuesto, debe apreciarse que en el desarrollo de cualquier implementación real de este tipo, se deben realizar numerosas decisiones específicas de implementación para lograr los objetivos específicos del desarrollador, tal como el cumplimiento de las restricciones relacionadas con la aplicación y el negocio, y que estos objetivos específicos variarán de una implementación a otra y de un desarrollador a otro. Además, se apreciará que dicho esfuerzo de desarrollo podría ser complejo y llevar mucho tiempo, pero sería una tarea rutinaria de ingeniería para los expertos en la técnica que tengan conocimiento de esta descripción.

Basándose en las enseñanzas de esta descripción, se espera que un experto en la técnica sea capaz de poner en práctica fácilmente la presente invención. Se considera que las descripciones de las diversas realizaciones proporcionadas en el presente documento proporcionan una información amplia y detalles de la presente invención para permitir a un experto en la técnica ponerla en práctica. Además, las diversas características y realizaciones de la invención descritas anteriormente están contempladas específicamente para usarlas solas, así como en diversas combinaciones.

Se pueden usar herramientas de diseño y diseño de circuitos convencionales y/o contemporáneos para implementar la invención. Las realizaciones específicas descritas en el presente documento, y en particular los diversos espesores y composiciones de diversas capas, son ilustrativas de realizaciones ilustrativas y estas opciones de implementación específicas no deben considerarse limitantes de la invención. Por consiguiente, se pueden proporcionar varios ejemplos para los componentes descritos en el presente documento como un solo ejemplo.

Si bien generalmente se supone la presencia de circuitos y estructuras físicas, es bien sabido que en el diseño y la fabricación de semiconductores modernos, se pueden incorporar estructuras físicas y circuitos en una forma descriptiva legible por ordenador adecuada para su uso en etapas de diseño, prueba o fabricación posteriores, así como en circuitos integrados semiconductores fabricados resultantes. En consecuencia, las reivindicaciones dirigidas a circuitos o estructuras tradicionales pueden, de acuerdo con su lenguaje particular, leer codificaciones legibles por ordenador (que pueden denominarse programas) y representaciones de las mismas, ya sean incorporadas en medios o combinadas con instalaciones de lectura adecuadas para permitir la fabricación, la prueba o el refinamiento del diseño de los circuitos y/o estructuras correspondientes. Las estructuras y funcionalidad que se presentan como componentes discretos en las configuraciones ejemplares pueden implementarse como una estructura o componente combinados. Se contempla que la invención incluya circuitos, sistemas de circuitos, métodos relacionados y codificaciones (medios) legibles por ordenador de dichos circuitos, sistemas y métodos, todos como se describe en el presente documento, y como se define en las reivindicaciones adjuntas. Como se usa en el presente documento, un medio legible por ordenador incluye al menos un disco, una cinta u otro semiconductor magnético, óptico (por ejemplo, tarjetas de memoria flash, ROM) o medio electrónico y una red, un medio de cable, inalámbrico u otro medio de comunicación.

La descripción detallada anterior ha descrito solo algunas de las muchas implementaciones posibles de la presente invención. Por esta razón, esta descripción detallada está prevista a modo de ilustración, y no como limitaciones. Solo las siguientes reivindicaciones, incluidas todas las equivalentes, pretenden definir el alcance de esta invención. En particular, aunque las realizaciones preferidas se describen en el contexto de un PLL que funciona a frecuencias ejemplares, se cree que las enseñanzas de la presente invención son ventajosas para su uso con otros tipos de circuitos en los que un elemento de circuito, tal como un inductor, puede beneficiarse de un blindaje electromagnético. Además, las técnicas descritas en el presente documento también se pueden aplicar a otros tipos de aplicaciones de circuitos. En consecuencia, otras variaciones, modificaciones, adiciones y mejoras pueden estar dentro del alcance de la invención tal como se define en las reivindicaciones siguientes.

Las realizaciones de la presente invención pueden usarse para fabricar, producir y/o ensamblar circuitos integrados y/o productos basados en circuitos integrados.

Los aspectos de la presente invención se describen en el presente documento con referencia a ilustraciones de diagramas de flujo y/o diagramas de bloques de métodos, aparatos (sistemas) y productos de programas informáticos según realizaciones de la invención. Se entenderá que cada bloque de las ilustraciones del diagrama de flujo y/o los diagramas de bloques, y las combinaciones de bloques en las ilustraciones del diagrama de flujo y/o los diagramas de bloques, pueden implementarse mediante instrucciones de programa legibles por ordenador.

El diagrama de flujo y los diagramas de bloques en las figuras ilustran la arquitectura, la funcionalidad y el funcionamiento de posibles implementaciones de sistemas, métodos y productos de programas informáticos según diversas realizaciones de la presente invención. A este respecto, cada bloque en el diagrama de flujo o diagramas de bloques puede representar un módulo, segmento o porción de instrucciones, que comprenda una o más instrucciones ejecutables para implementar las funciones lógicas especificadas. En algunas implementaciones alternativas, las funciones indicadas en el bloque pueden ocurrir fuera del orden indicado en las figuras. Por ejemplo, dos bloques mostrados en sucesión pueden, de hecho, ejecutarse de manera sustancialmente concurrente, o los bloques a veces pueden ejecutarse en el orden inverso, dependiendo de la funcionalidad involucrada. También se observará que cada bloque de los diagramas de bloques y/o la ilustración del diagrama de flujo, y las combinaciones de bloques en los diagramas de bloques y/o la ilustración del diagrama de flujo, pueden implementarse mediante sistemas basados en

hardware específico que realicen las funciones o actos especificados o lleven a cabo combinaciones de hardware específico e instrucciones informáticas.

- 5 Las descripciones de las diversas realizaciones de la presente invención se han presentado con fines ilustrativos, pero no pretenden ser exhaustivas ni limitadas a las realizaciones descritas. La terminología utilizada en el presente documento se eligió para explicar mejor los principios de las realizaciones, la aplicación práctica o la mejora técnica con respecto a las tecnologías que se encuentran en el mercado, o para permitir que otros expertos en la técnica entiendan las realizaciones descritas en el presente documento.

REIVINDICACIONES

1. Un circuito integrado semiconductor (CI) (150) que comprende:

5 un circuito conversor de tiempo a digital (TDC) (131, 132, 133), en donde las entradas de tiempo al TDC son (i) al menos una entrada a una memoria intermedia de entrada/salida (E/S) (151, 152, 153) de un panel del CI, y (ii) al menos una salida de la memoria intermedia de E/S; y
un circuito comparador digital configurado eléctricamente para:

10 (a) recibir un flujo de valores de salida digitales del TDC,
(b) comparar cada valor de la secuencia con al menos un valor anterior en el flujo, y
(c) cuando la comparación refleje un valor de diferencia superior a un umbral, emitir una notificación,

15 en donde el umbral lo determina al menos uno del grupo que consiste en: (i) un umbral predefinido, (ii) un umbral recibido de un circuito de prueba externo durante el funcionamiento inicial del CI, (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de tiempo, (iv) un umbral que varía con el tiempo y (v) un umbral que varía con respecto a al menos una condición ambiental seleccionada del grupo que consiste en: tensión y temperatura.

20 2. El CI (150) de la reivindicación 1, en donde las entradas de tiempo al TDC (131, 132, 133) se determinan a partir de la mitad inferior de la oscilación de tensión de la memoria intermedia de E/S utilizando uno o más circuitos comparadores analógicos.

25 3. El CI (150) de la reivindicación 1 o la reivindicación 2, en donde la emisión se realiza cuando el valor de la diferencia es mayor que el umbral para un número específico de casos.

4. El CI (150) de cualquiera de las reivindicaciones 1 a 3, en donde la emisión se realiza cuando el valor de la diferencia es mayor que el umbral para un número específico de casos dentro de un período de tiempo.

30 5. El CI (150) de cualquiera de las reivindicaciones 1 a 4, en donde el umbral está determinado por (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de tiempo, comprendiendo además el CI un dispositivo de aprendizaje de impedancia configurado para recibir un flujo de valores de salida digital del TDC (131, 132, 133) durante el funcionamiento inicial del CI y para determinar el umbral en función del flujo recibido durante el funcionamiento inicial.

35 6. El CI (150) de la reivindicación 5, en donde el dispositivo de aprendizaje de impedancia (102B) está configurado para determinar el umbral mediante el análisis del flujo recibido utilizando al menos uno del grupo que consiste en: (a) un estimador estadístico; (b) un algoritmo de aprendizaje automático; y (c) un cálculo de intervalo de confianza.

40 7. El CI (150) de cualquiera de las reivindicaciones 1 a 6, en donde el circuito comparador digital está configurado, cuando la comparación refleja un valor de diferencia superior a un umbral, para emitir la notificación a uno o más del grupo que consiste en:

45 (i) un usuario del CI;
(ii) un circuito generador de alertas, configurado para provocar una notificación o una alerta que pueda ser detectada por el usuario del CI, en respuesta a la notificación;
(iii) un circuito de desactivación del CI, configurado para desactivar una parte o la totalidad del CI, en respuesta a la notificación; y
50 (iv) un circuito de reasignación de carriles, configurado para provocar una reasignación de carriles de al menos parte del CI, en respuesta a la notificación.

8. Un método para detectar las desconexiones de un panel de CI (150), utilizando al menos un procesador de hardware configurado para:

55 recibir un flujo de valores de salida digitales desde un TDC (131, 132, 133);
comparar cada valor del flujo con al menos un valor anterior del flujo; y
cuando la comparación refleje un valor de diferencia superior a un umbral, emitir una notificación,
60 en donde las entradas de tiempo al TDC son (i) al menos una entrada a una memoria intermedia de entrada/salida (E/S) (151, 152, 153) de un panel del CI, y (ii) al menos una salida de la memoria intermedia de E/S, y
en donde el umbral lo determina al menos uno del grupo que consiste en: (i) un umbral predefinido,
(ii) un umbral recibido de un circuito de prueba externo durante el funcionamiento inicial del CI, (iii)
65 un umbral calculado y almacenado durante el funcionamiento inicial del CI durante un período de

tiempo, (iv) un umbral que varía con el tiempo y (v) un umbral que varía con respecto a al menos una condición ambiental seleccionada del grupo que consiste en: tensión y temperatura.

- 5 9. El método de la reivindicación 8, que comprende además determinar las entradas de tiempo al TDC (131, 132, 133) a partir de la mitad inferior de la oscilación de tensión de la memoria intermedia de E/S utilizando uno o más circuitos comparadores analógicos.
- 10 10. El método de la reivindicación 8 o la reivindicación 9, en donde la emisión se realiza cuando el valor de la diferencia es mayor que el umbral para un número específico de casos.
- 11 11. El método de cualquiera de las reivindicaciones 8 a 10, en donde la emisión se realiza cuando el valor de la diferencia es mayor que el umbral para un número específico de casos dentro de un período de tiempo.
- 15 12. El método de cualquiera de las reivindicaciones 8 a 11, en donde el umbral se determina mediante (iii) un umbral calculado y almacenado durante el funcionamiento inicial del CI (150) durante un período de tiempo, comprendiendo además el método recibir un flujo de valores de salida digitales desde el TDC (131, 132, 133) durante el funcionamiento inicial del CI y determinar el umbral en función del flujo recibido durante el funcionamiento inicial.
- 20 13. El método de la reivindicación 12, en donde la etapa de determinación del umbral se realiza mediante el análisis del flujo recibido utilizando al menos uno del grupo que consiste en: (a) un estimador estadístico; y (b) un algoritmo de aprendizaje automático.
- 25 14. El método de cualquiera de las reivindicaciones 8 a 13, en donde el circuito comparador digital se implementa en un servidor computarizado, en donde el servidor computarizado es externo al CI (150).
15. El método de cualquiera de las reivindicaciones 8 a 14, en donde la etapa de emitir una notificación es para uno o más del grupo que consiste en:
30 (i) un usuario del CI (150);
(ii) provocar una notificación o una alerta que pueda ser detectada por el usuario de CI, en respuesta a la notificación;
(iii) inhabilitar una parte o la totalidad del CI, en respuesta a la notificación; y
35 (iv) provocar una reasignación de carriles de al menos una parte del CI, en respuesta a la notificación.

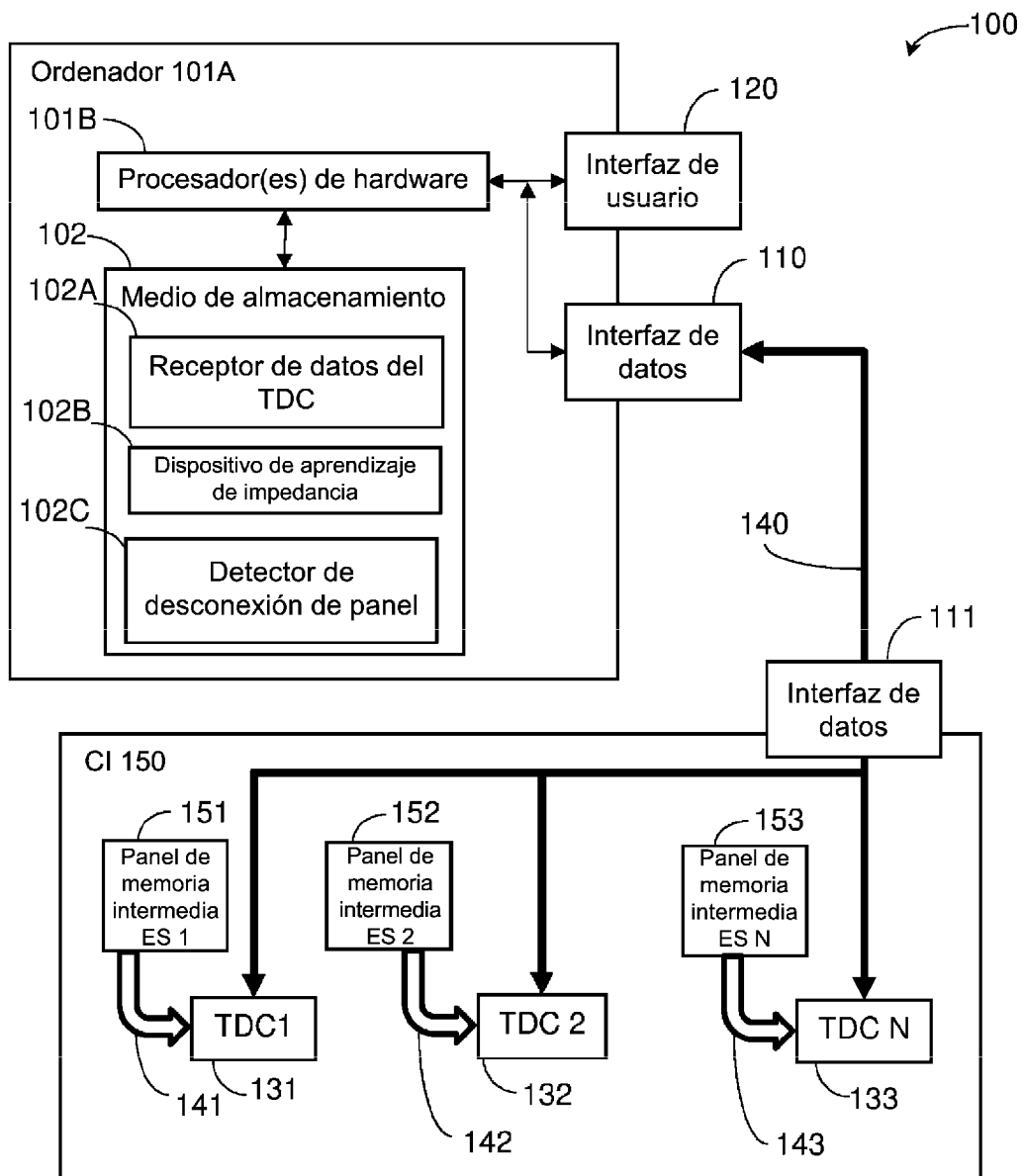


Fig. 1

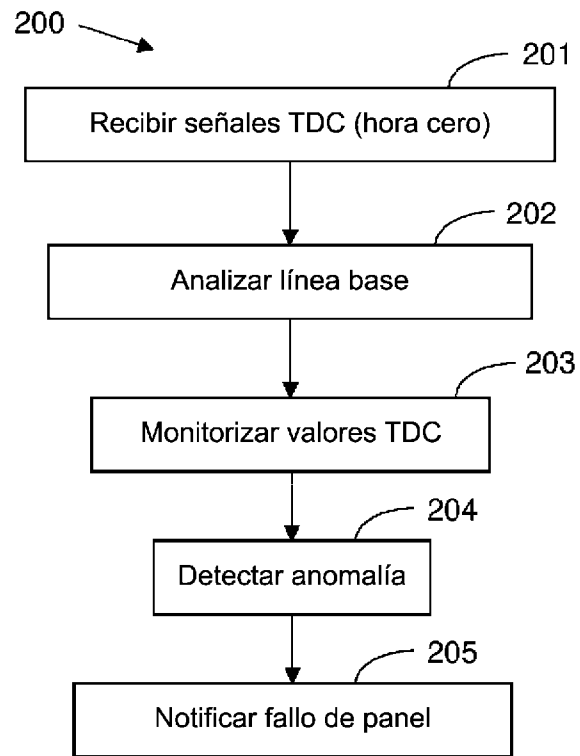


Fig. 2

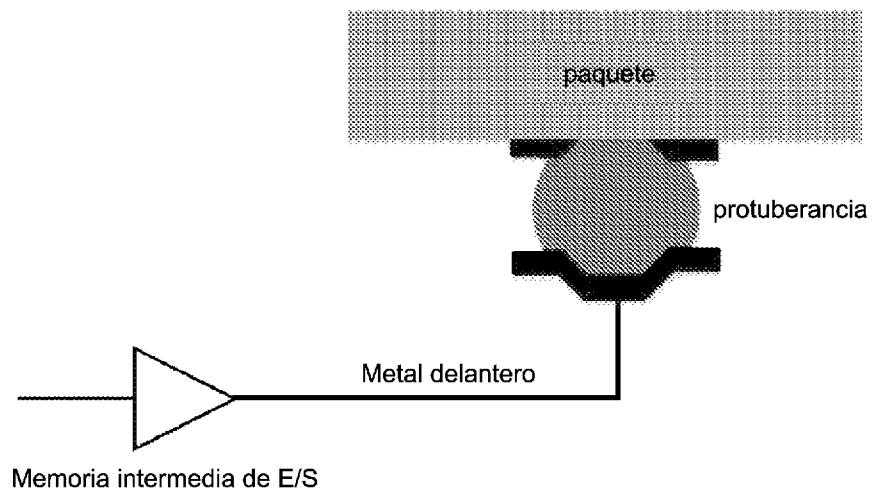


Fig. 3A

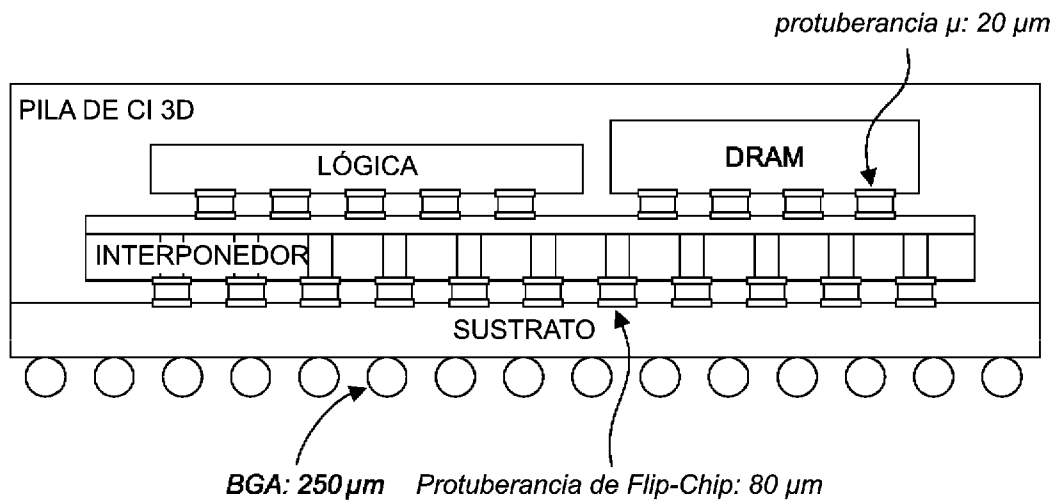


Fig. 3B

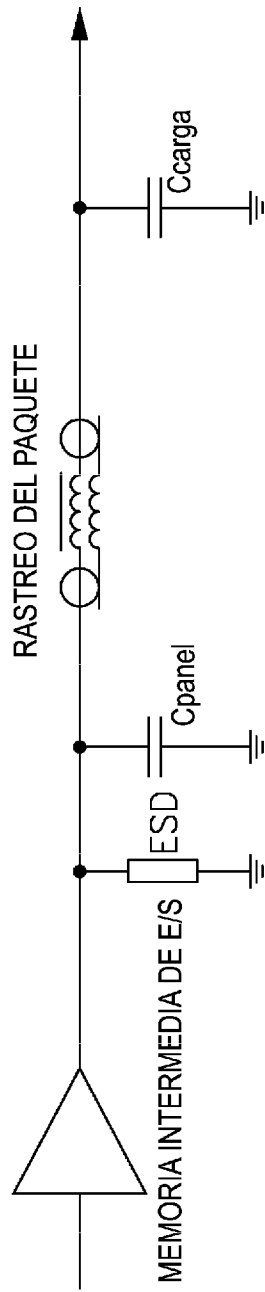


Fig. 4

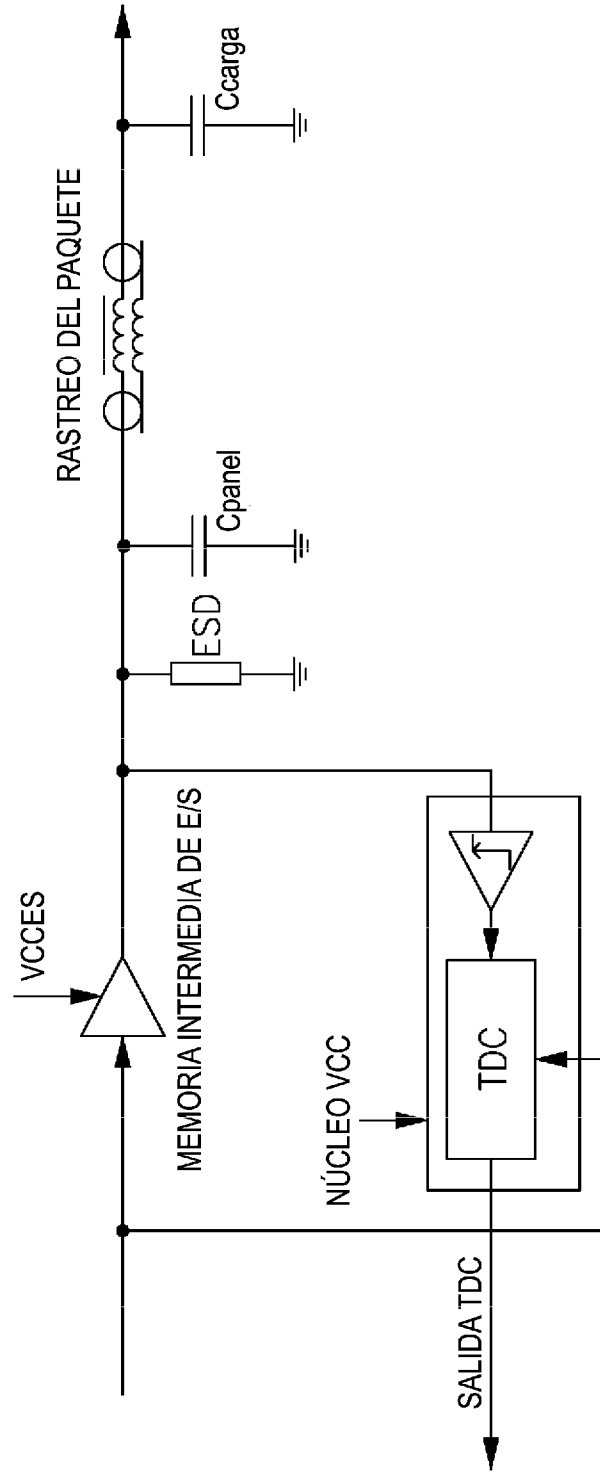


Fig. 5A

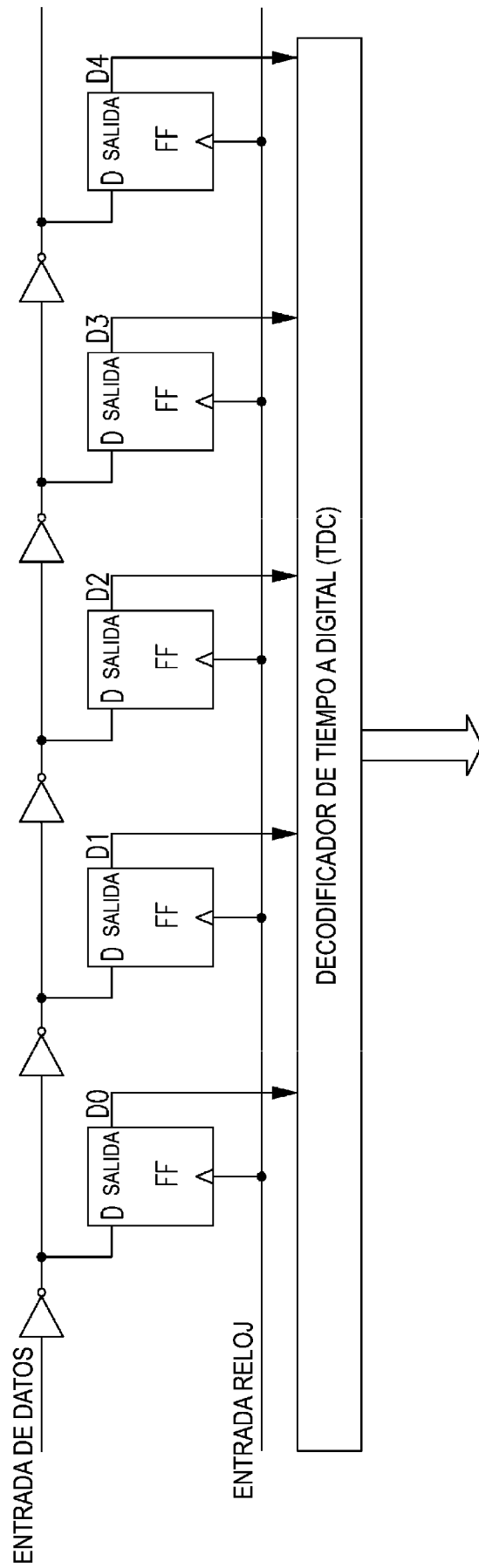


Fig. 5B

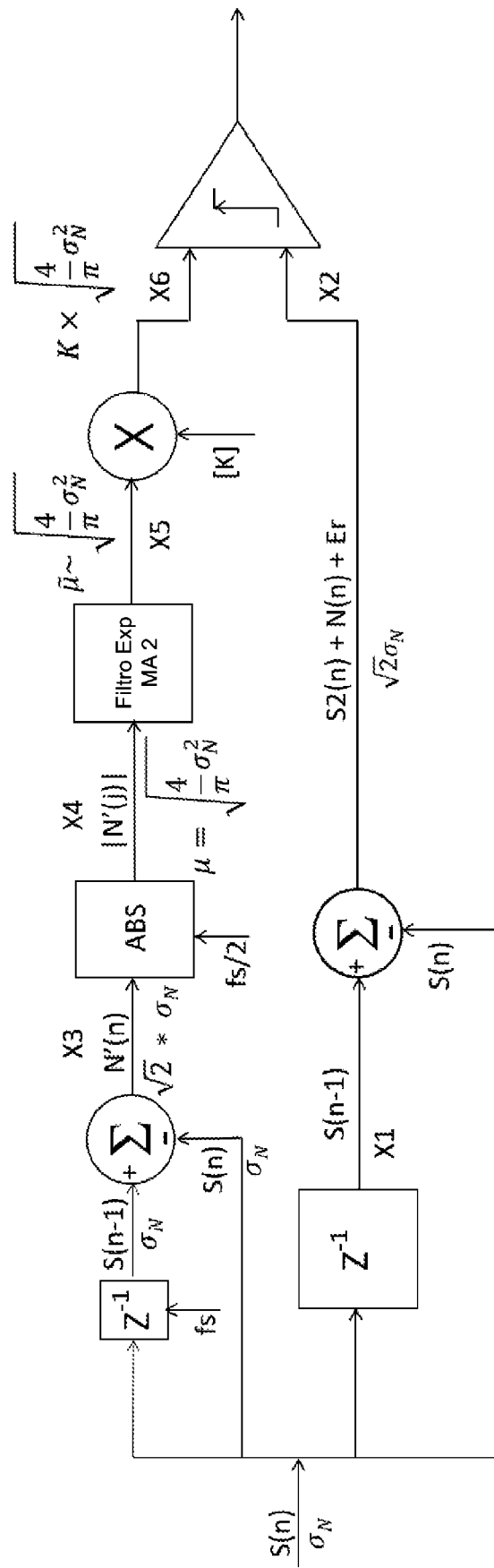


Fig. 6A

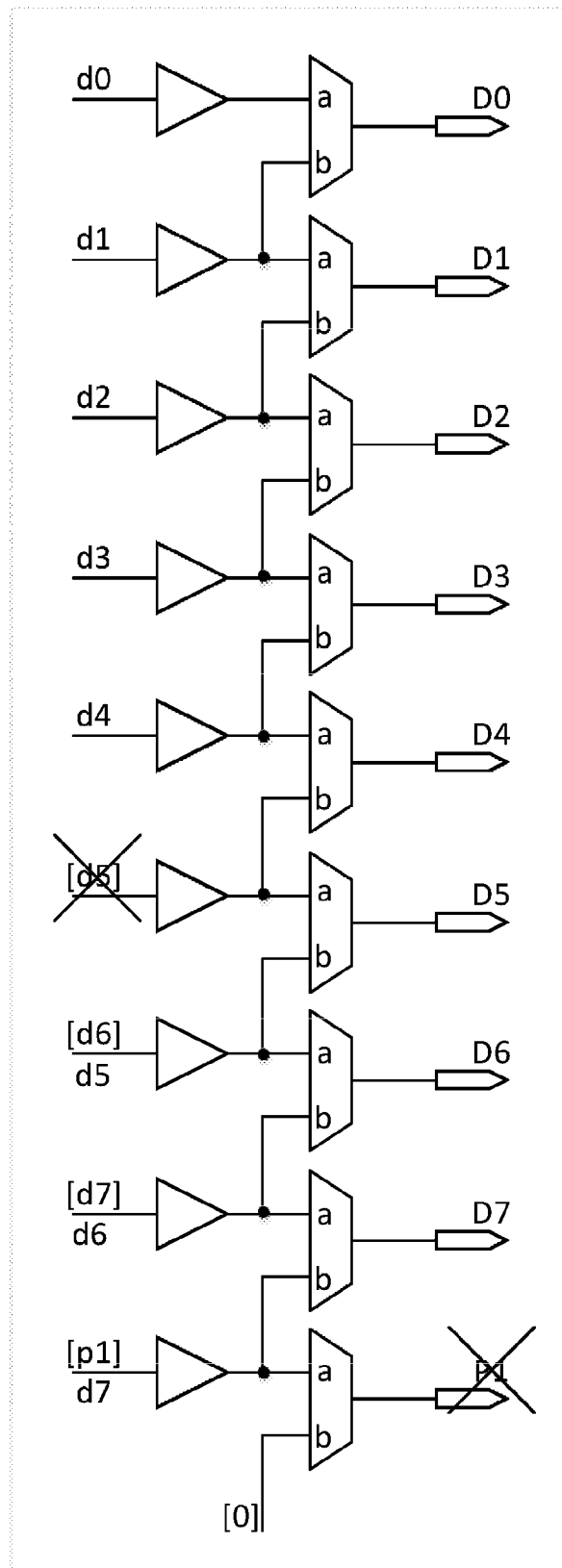


Fig. 6B

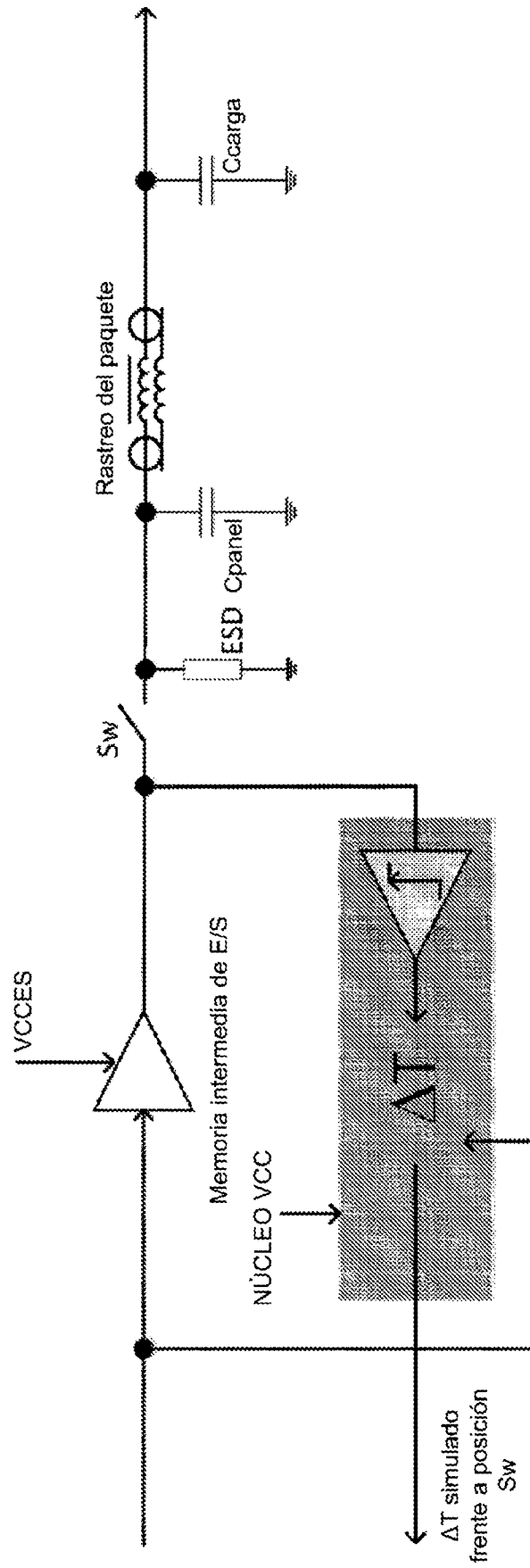


Fig. 7

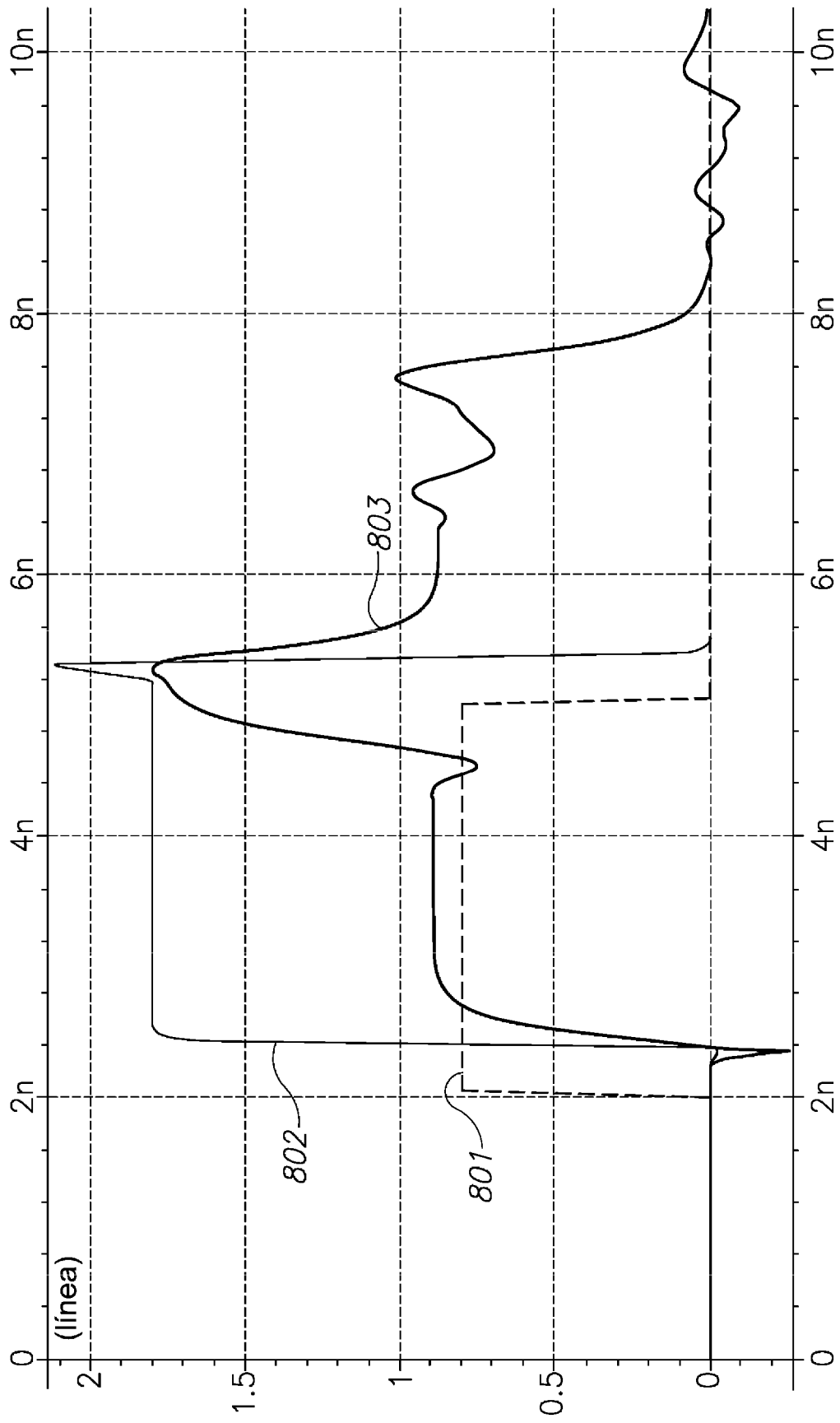


Fig. 8A

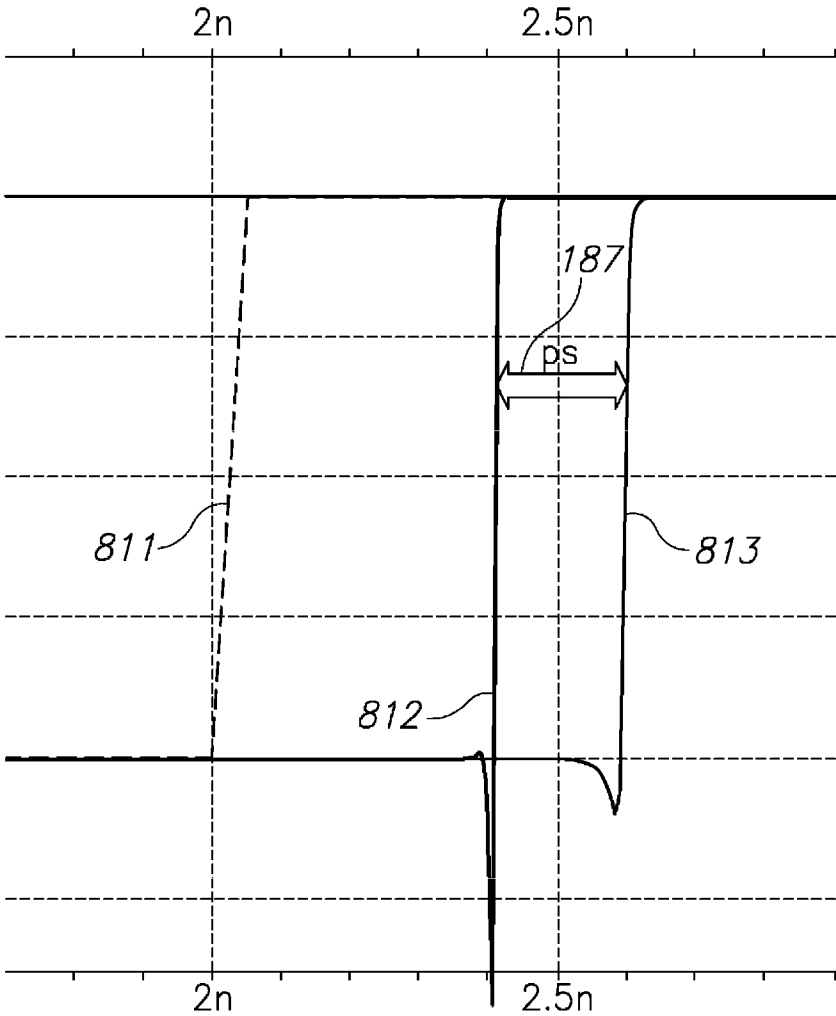


Fig. 8B

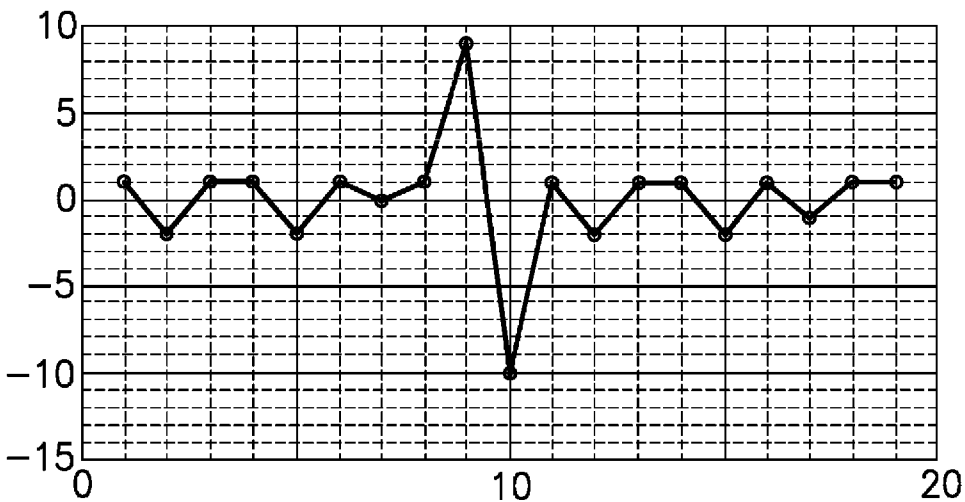


Fig. 9

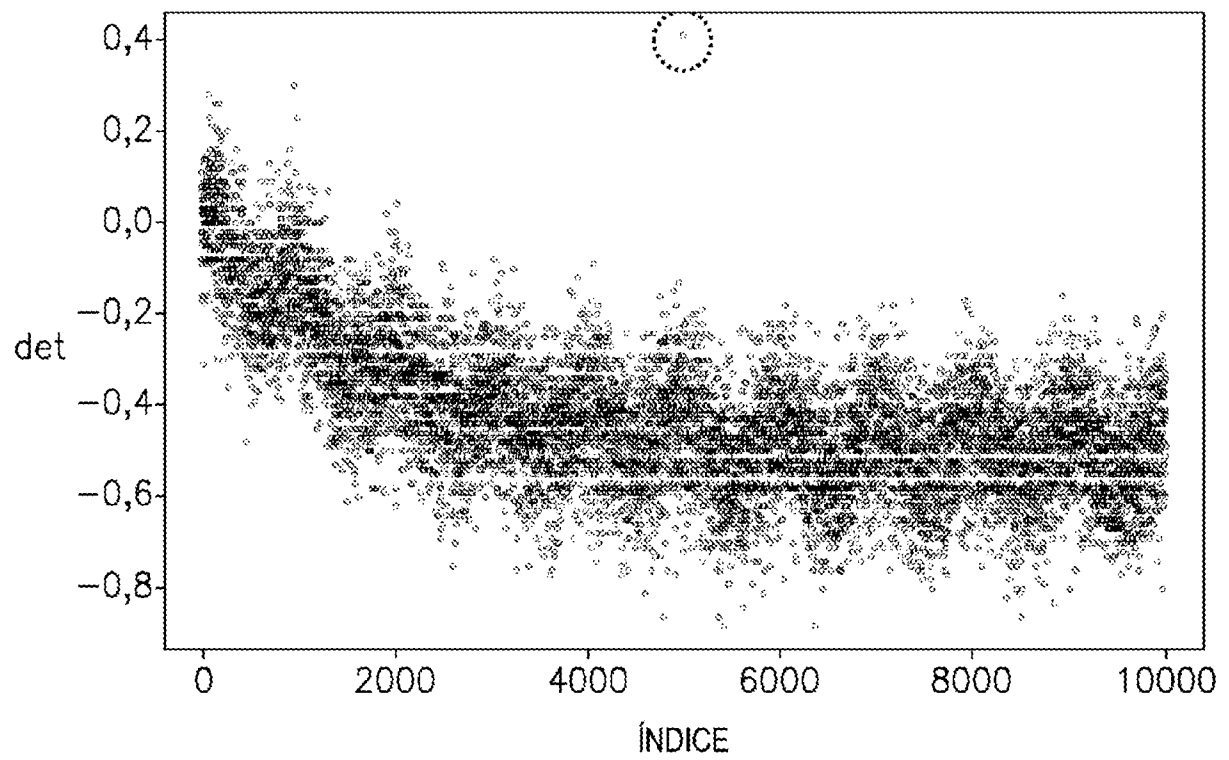
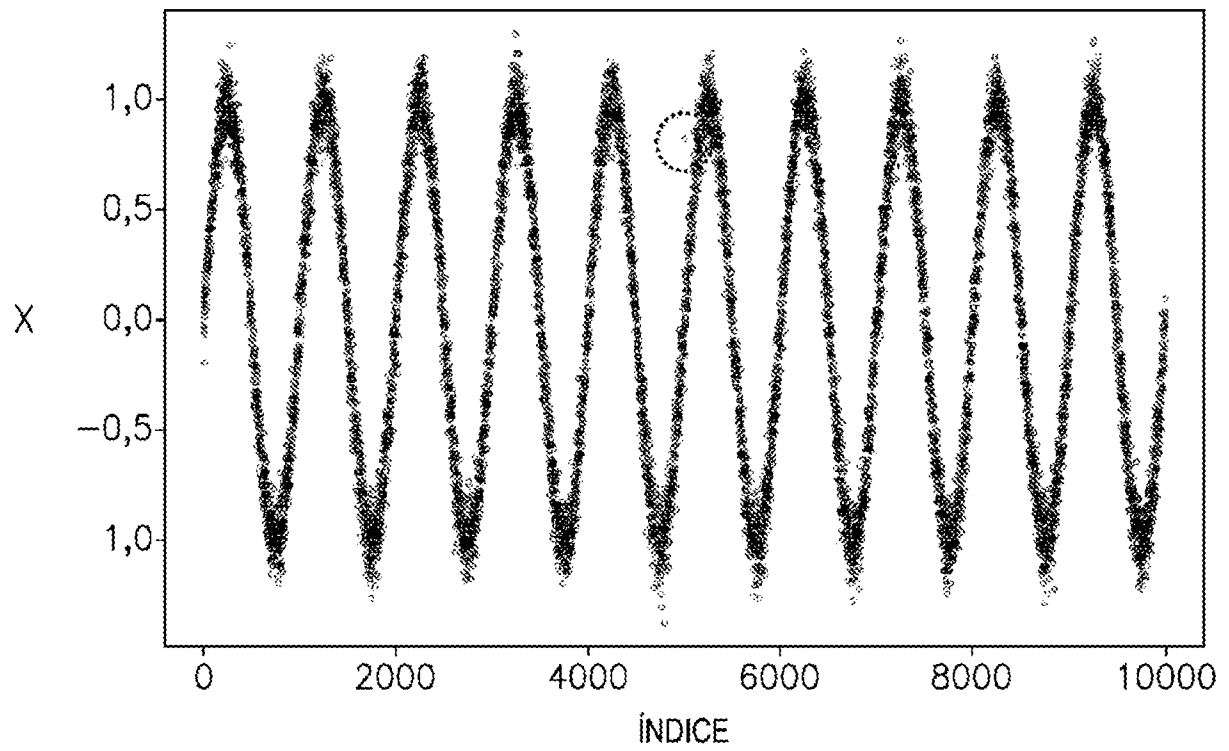


Fig. 10A

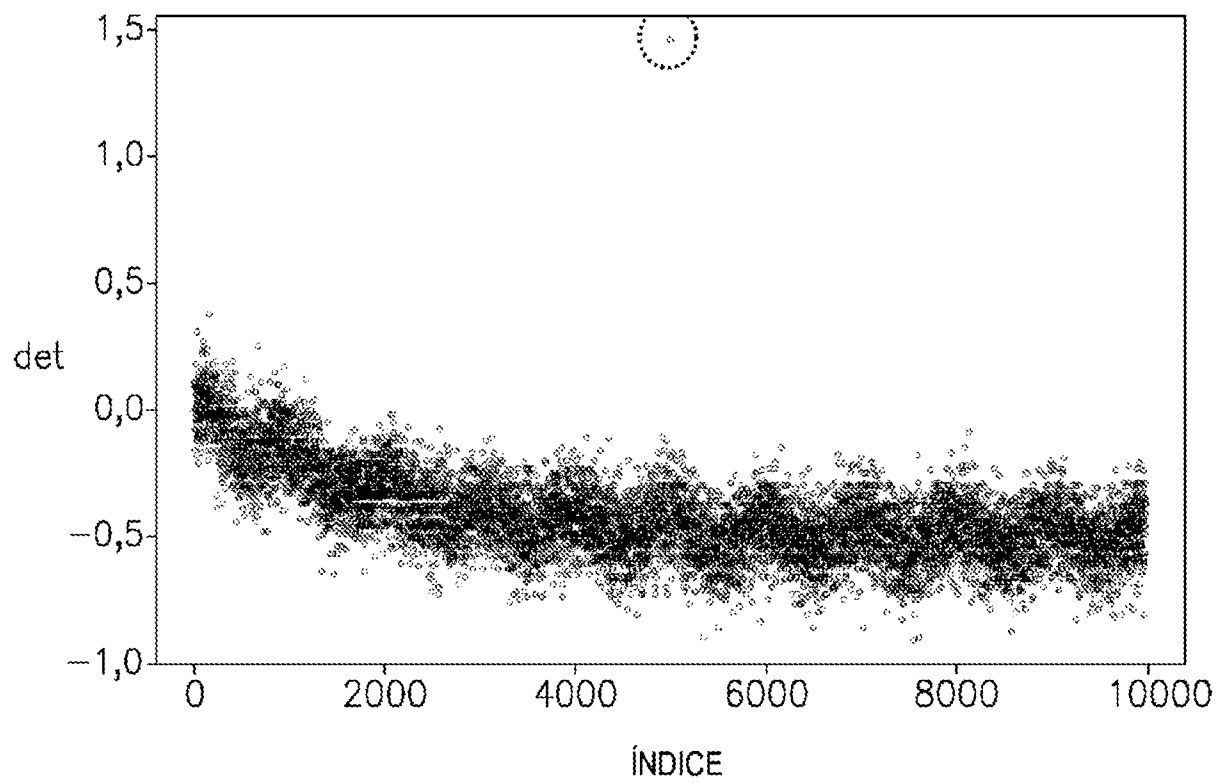
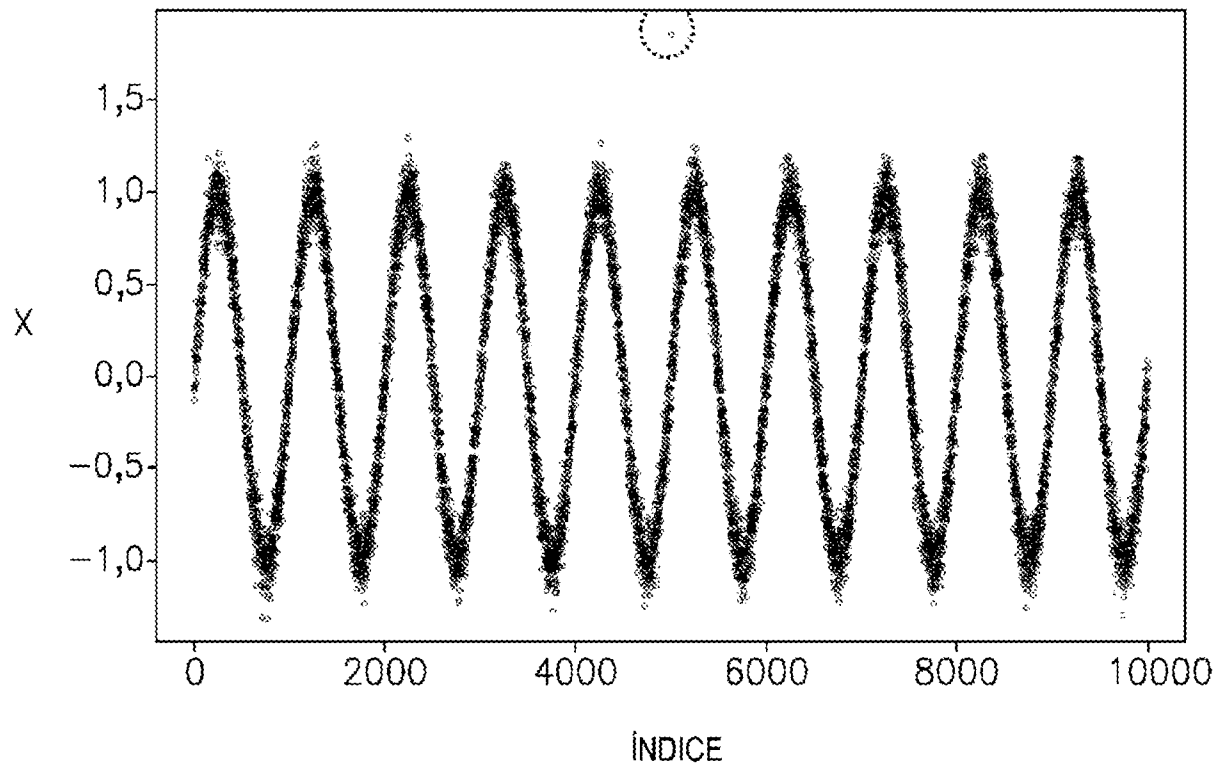


Fig. 10B