

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6416411号
(P6416411)

(45) 発行日 平成30年10月31日(2018.10.31)

(24) 登録日 平成30年10月12日(2018.10.12)

(51) Int.Cl.	F I
HO2M 7/12 (2006.01)	HO2M 7/12 K
	HO2M 7/12 M
	HO2M 7/12 G O 1 Z
	HO2M 7/12 H

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2017-548753 (P2017-548753)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86) (22) 出願日	平成28年10月31日(2016.10.31)	(73) 特許権者	501137636 東芝三菱電機産業システム株式会社 東京都中央区京橋三丁目1番1号
(86) 国際出願番号	PCT/JP2016/082322	(74) 代理人	100073759 弁理士 大岩 増雄
(87) 国際公開番号	W02017/077983	(74) 代理人	100088199 弁理士 竹中 岑生
(87) 国際公開日	平成29年5月11日(2017.5.11)	(74) 代理人	100094916 弁理士 村上 啓吾
審査請求日	平成30年1月23日(2018.1.23)	(74) 代理人	100127672 弁理士 吉澤 憲治
(31) 優先権主張番号	特願2015-216315 (P2015-216315)		
(32) 優先日	平成27年11月4日(2015.11.4)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

各々スイッチング素子を有する複数のセルを接続したモジュラーマルチレベル変換器と、前記セルの端子間に接続されたバイパス回路と、前記セルのスイッチング素子の開閉状態に同期して前記バイパス回路を開閉するように前記バイパス回路を制御する制御装置とを備えたことを特徴とする電力変換装置。

【請求項2】

前記制御装置は、前記セルが正常に動作する場合に、前記バイパス回路を開閉する制御モードを有していることを特徴とする請求項1に記載の電力変換装置

【請求項3】

前記セルに遮断回路を備え、前記制御装置が前記バイパス回路の短絡時に前記遮断回路を遮断するように制御することを特徴とする請求項1に記載の電力変換装置。

【請求項4】

前記バイパス回路は、スイッチング素子を備え、前記バイパス回路のスイッチング素子は、半導体素子から構成されていることを特徴とする請求項1に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電力変換器に関し、特に、セルと呼ばれる同一の要素回路を複数個接続したモジュラーマルチレベル変換器を備えた電力変換装置に関するものである。

【背景技術】

【0002】

モジュラーマルチレベル変換器 (Modular Multilevel Converter) (以下、MMCという) は、オン・オフ制御可能なスイッチング素子と直流コンデンサで構成されたセルを複数個接続してアームを構成し、アーム内の各セルが、互いに異なる位相の電圧パルスを出力して、アーム全体として高調波の少ないマルチレベル波形を合成する。このMMCでは、制御によって各セル内のコンデンサ電圧を均等に分圧できるため、セルの積み増しによる高電圧化が可能なることから、大容量の電力系統用変換器への適用が進められている。

【0003】

このMMCにおいては、セルが故障した場合であっても、運転を継続できるように、セルに対して並列にバイパス回路を設けることが提案されている。セル毎にバイパス回路を設け、セルが故障した場合には、故障のセルを特定し、セルに設けられているバイパス回路を短絡させて、故障したセルを出力に関与させないようにするもので、バイパス回路として短絡スイッチを使用するものが、例えば特許文献1に提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第5378274号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

MMCは、低圧、高速スイッチング素子を使用できるため、スイッチング素子単体の損失低減および高周波化が可能である。また、各アームは複数のスイッチング素子と直流コンデンサを組み合わせたセルのカスケード接続で構成され、カスケード接続するセル数を増やすことで容易に回路の高耐圧化を図ることができることから、セルが数多く使用される。しかし、使用されるスイッチング素子が数多くなると、スイッチング素子による導通損失が問題となってくる。

この発明は、MMCに使用されているスイッチング素子による導通損失に着目し、スイッチング素子によって生じる導通損失を低減した電力変換装置を提供することを目的とするものである。

【課題を解決するための手段】

【0006】

この発明は、スイッチング素子を有する複数のセルを接続したモジュラーマルチレベル変換器による電力変換装置において、前記セルの端子間に接続されたバイパス回路と、前記セルのスイッチング素子の開閉に同期して前記バイパス回路を開閉するように制御する制御装置とを備え、セルのゼロ電圧出力時に、セル内のスイッチング素子に流れる電流をバイパス回路に流れるようにしたものである。

【発明の効果】

【0007】

この発明は、ゼロ電圧出力時に、セル内のスイッチング素子に電流が流れることによって発生していた導通損失が、バイパス回路に電流が流れることによって、バイパス回路における導通損失になるので、モジュラーマルチレベル変換器のセル内のスイッチング素子による導通損失を低減することができる。

【図面の簡単な説明】

【0008】

【図1】この発明の実施の形態1の全体構成を表す概略的な構成図である。

【図2】この発明の実施の形態1のセルとバイパス回路の構成を示す概略図である。

【図3】この発明の実施の形態1の制御装置のブロック図である。

【図4A】この発明の実施の形態1のスイッチング素子とバイパス回路の構成を示す構成

10

20

30

40

50

図である。

【図４Ｂ】この発明の実施の形態１のバイパス制御を用いたスイッチングモードを示す説明図である。

【図４Ｃ】この発明の実施の形態１のバイパス制御を用いたスイッチングモードを示す説明図である。

【図５】正弦波電圧を発生させる場合のバイパス回路２０の短絡状態を示す概略図である。

【図６】この発明の実施の形態１に使用するセルとバイパス回路の構成図であって、図６Ａおよび図６Ｂは、ハーフブリッジセルの構成図、図６Ｃおよび図６Ｄは、フルブリッジセルの構成図、図６Ｅは、さらに発展させたセルの構成図である。

10

【図７】この発明の実施の形態２の概略的な構成図である。

【発明を実施するための形態】

【０００９】

実施の形態１．

図１は、この発明の実施の形態１による直流送電の電力変換装置の概略的な構成図である。電力変換装置１００は、三相交流の入力側装置２００と、直流の出力側装置３００との間で電力変換を行う装置である。入力側装置２００は、交流電源２０１が連系変圧器２０２を介して電力変換装置１００に接続されている。

直流インピーダンス３０１は、ここでは図示しないが、具体的には、長距離に渡って電力を送電するための直流ケーブルやその直流ケーブルを、電力変換装置１００と電氣的に切り離すための開閉装置、また直流回路で発生する過電圧などを抑制するためのアレスタ装置や直流回路で発生する高調波を抑制するための直流フィルタ回路等から構成される。直流電源３０２は具体的には、電力変換装置１００と同様の装置が接続され、その直流側の出力端子と接続される。

20

なお、入力側装置２００および出力側装置３００は、一例として示しているもので、実際には、連系変圧器２０２の代わりに連系リアクトルを介して交流電源２０１に接続するなど様々な変更を行うことができる。

【００１０】

電力変換装置１００の交流端は三相から構成されており、それらの各相は、正側アーム１と負側アーム２とが直列接続され、その接続点である交流端３が各相交流線に接続された３つのレグ回路４で構成されている。３つのレグ回路４は、正の直流母線５と負の直流母線６の間に並列接続されており、各レグ回路４の正側アーム１は、複数のセル１０を直列接続したセル群１ａで構成されている。また、負側アーム２は、正側アーム１のセル１０と同数のセル１０を直列接続したセル群２ａで構成されている。また、セル群１ａあるいはセル群２ａに対して直列にリアクトルが接続されるが、リアクトルの接続位置は任意であることからここでは省略している。すなわち、前述のMMCの構成となっている。

30

なお、セル１０の詳細な内部回路構成については後述するが、スイッチング機能を有する自己消弧形半導体素子および直流コンデンサから構成されており、例えば、パルス幅変調制御（PWM制御、Pulse Width Modulation）を用いたスイッチング素子のオン、オフ制御によってセル出力電圧が制御されている。

40

【００１１】

各セル１０が直列接続される接続端子には、それぞれバイパス回路２０が設けられている。セル１０のスイッチングのタイミングは、セル制御装置４０によって制御されている。また、バイパス回路２０のスイッチングのタイミングは、バイパス回路制御装置５０によって制御されている。

【００１２】

この実施の形態１において使用しているバイパス回路２０は、２つの機能を有している。

第１の機能は、セル１０が故障して異常状態になった場合に、セル１０の出力を短絡することによって電力変換装置１００の運転の継続を行うこと、および電力系統の事故が発

50

生した場合に、過大な電流がセル 10 に流れないようにして、セル 10 を保護することである。

第 2 の機能は、セル 10 の動作モードのうち、セル 10 がゼロ電圧出力のモードの時、すなわち、正常な状態にあるセル 10 に対して、スイッチング動作に同期して開閉し、セル 10 に流れる電流の通路を切替える機能である。

第 1 の機能は、バイパス回路 20 が従来から備えている機能であって、格別なものではなく、先行技術文献として示した特許文献 1 にも記載されており、説明するまでもない。

第 2 の機能は、この発明による機能であって、セル制御装置 40 によるセル 10 内のスイッチング素子の制御と連動するように、バイパス回路制御装置 50 によって制御されている。

10

【 0 0 1 3 】

セル 10 およびバイパス回路 20 は、図 2 に示すように構成されている。

セル 10 の内部は、セルコンデンサ 11 が接続された変換回路 12 と変換回路 12 の出力端子に接続されたバイパス回路 20 から構成されている。変換回路 12 は、PWM 回路 61 から出力されたゲート駆動信号に基づいて、ゲート駆動回路 13 によって変換回路内のスイッチング素子をオンまたはオフ制御する。また、変換回路 12 内のスイッチング素子や直流コンデンサおよび周辺回路で故障が発生し、セル 10 が正常に動作できない場合は、故障検出回路で検知し、ゲート駆動回路 13 は、故障検知の信号をバイパス回路駆動回路 21 へ送る。

【 0 0 1 4 】

また、バイパス回路 20 は、バイパス回路制御装置 50 によっても制御され、故障時以外は、バイパス回路制御装置 50 によって駆動される。このようにバイパス回路 20 は、電力変換装置を構成する全てのセル 10 に設けられており、何らかの原因でセル 10 内の変換回路 12 が故障した場合に、その故障セル 10 のみを独立してバイパス動作させることができるので、電力変換装置全体を停止させることなく直流送電装置としての運転を継続することができる。またバイパス回路駆動回路 21 は、故障時以外でもバイパス回路制御装置 50 にて動作させることが可能となる。

20

なお、PWM 回路 61 およびバイパス回路制御装置 50 は、セル 10 毎ではなく共通回路からそれぞれのセルに信号を分配し送る構成としているが、セル 10 の内部に PWM 回路 61 とバイパス回路制御装置 50 を個別に分散する構成としてもよい。

30

【 0 0 1 5 】

次に、セル制御装置 40 とバイパス回路制御装置 50 の機能を持つ制御装置 60 のブロック図を図 3 に示す。

図 3 のブロック図では、MMC の正側アーム 1 および負側アーム 2 の各セル 10 に適用するゲート信号と、セル 10 のそれぞれに設けられたバイパス回路 20 に適用する駆動信号を制御装置 60 が出力する系統を示している。

まず、コンデンサ電圧制御部 601 は、各セル 10 のコンデンサ電圧を一定に制御するように、電流制御部 602 へ電流指令値を与える。具体的には、アーム内コンデンサ電圧 V_{cell} を受けて、交流端子に流れる電流の指令値である i_{acref} と正側アーム 1 に流れる電流の指令値となる i_{+ref} 、および負側アーム 2 に流れる電流の指令値となる i_{-ref} が電流指令値として、電流制御部 602 へ入力される。電流制御部 602 では、正側アーム電流 i_{+} 、負側アーム電流 i_{-} 、交流電流 i_{ac} について、入力されたセンサ情報に基づいて、各アーム電圧指令値 V_{pc+} 、 V_{pc-} を生成する。

40

また、コンデンサ電圧を一定に制御するため、直流電圧制御部 603 は、アーム内コンデンサ電圧 V_{cell} とコンデンサ電圧指令値 V_{dc} を受け、また、直流電流制御部 604 は、直流電流 i_{dc} を受けて、直流電圧制御部 603 の出力と直流電流を一定に制御するための直流電流制御部 604 の出力とが加算され、直流電圧指令値とされる。この直流電圧指令値と各アームの電圧指令値 V_{pc+} 、 V_{pc-} を加算して、正側アームの電圧指令値 V_{pc+} と負側アームの電圧指令値 V_{pc-} が生成される。

【 0 0 1 6 】

50

また、指示された電圧値が、正側アーム1および負側アーム2を構成しているセル10のセルコンデンサ11の電圧値の総和Tよりも低い場合には、全てのセル10から電圧を発生させる必要がないため、セル選択回路63によってセル10のうち幾つかを選択して、出力をゼロ電圧として設定する。制御装置60は、選択されたセル10へのゲート信号Gが出力されると同時にバイパス回路20への駆動信号Sをバイパス回路制御装置50から出力する。

すなわち、制御装置60は、電力変換装置100に指示された電圧および電流の情報に基づいて、正側アーム1および負側アーム2を構成しているセル10のそれぞれに対してゲート信号を出力する。このゲート信号は、各セル10の個別の電圧指令値(V₊、V₋)に基づいてPWM回路61でPWM制御によって生成された信号である。

10

【0017】

次に、スイッチング素子とセルコンデンサを備えたセル10とバイパス回路20との動作モードについて、図面に従って説明する。

図4Aには、セル10のスイッチング素子(S_{1P}、S_{1N}、S_{2P}、S_{2N})とバイパス回路20のスイッチング素子(BP)の構成を示している。また、図4Bには、ゼロ電圧出力のモードをモード1、プラスのコンデンサ電圧を出力する場合をモード2、マイナスのコンデンサ電圧を出力する場合をモード3として、各モードの場合のセル10のスイッチング素子(S_{1P}、S_{1N}、S_{2P}、S_{2N})とバイパス回路20のスイッチング素子(BP)のオン・オフの状態を示している。さらに、図4Cには比較例として、バイパス回路20のスイッチング素子BPを使用しない場合の各モードにおけるセル10のスイッチング素子(S_{1P}、S_{1N}、S_{2P}、S_{2N})とバイパス回路20のスイッチング素子(BP)のオン・オフの状態を示している。

20

【0018】

この図4Aに示すように、モード1のゼロ電圧出力においては、バイパス回路20のスイッチング素子BPをオンにして、電流をバイパス回路20に流すことによって電流が通過するスイッチング素子数が減るため、導通損失を低減できる。これに対して、各モードにバイパス回路20のスイッチング素子を使用しない場合には、セル10を電流が通過することによって導通損失が発生する。

すなわち、セル10が健全な場合(正常に動作する場合)に、バイパス回路20を開閉する制御モードを有して、導通損失を低減することになる。

30

なお、図4Aに示したセルを構成するスイッチング素子は、ダイオードを逆並列に接続した複数個のIGBT(Insulated Gate Bipolar Transistor)等の自己消弧型半導体スイッチング素子によって構成されている。自己消弧型半導体スイッチング素子はIGBT以外にも、GCT(Gate Commutated Turn-Off Thyristor)、GTO(Gate Turn-Off Thyristor)、トランジスタ、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)等や自己消弧機能がないサイリスタ等でも強制転流動作が可能であればよい。また、半導体素子の電流容量に応じて、複数の半導体素子を並列に接続した構成のものとしてもよく、また電圧耐量に応じて、複数の半導体素子を直列に接続した構成のものとしてもよい。

40

バイパス回路を構成するスイッチング素子は、導通損失が少ない半導体素子を使用することが電力変換装置としては好適である。

【0019】

次に、ゼロ電圧出力に制御されているセル10に接続されたバイパス回路20を、短絡するようにバイパス回路20を制御して正弦波電圧を発生させる場合の、セル10の状態を示す。

図5は、正弦波電圧を発生させる場合のバイパス回路20の短絡状態を示す概略図であって、図5の右側上段の波形図は、正側アーム電圧を表し、中段の波形図は、交流出力電圧を表し、下段の波形図は、負側アーム電圧を表している。これらの電圧の波形は、図5の左側に表しているセルの切り替えを進めることによって得ることができる。ここでは、

50

セル10のうち、ゼロ電圧出力に制御されるセル10に接続されたバイパス回路20を短絡するように制御している。この図5に示すように、正弦波電圧を出力するために必要とされる電圧は、時間軸とともに変化し、この変化に応じて、ゼロ電圧出力とするセル10を選択し、バイパス回路20を短絡するように制御することができる。

【0020】

なお、ここまでの説明においては、セル10を簡単な構成のスイッチング素子について示したが、実際には、スイッチング素子は、セル10内に多く使用される。この事例としてMMCに使用されるセル10とバイパス回路の、基本形から発展形の構成図を示す。この図6A、図6B、図6C、図6D、図6Eに示すように、発展形として示した図6Eの段階では、1つのセル10の中でスイッチング素子を5個使用しており、このスイッチング素子を電流が流れることになれば、導通損失が大きくなることが明らかである。したがって、このように多数のスイッチング素子を使用しているセル10について、ゼロ電圧出力とするセル10に対してバイパス回路20を短絡するように制御して電流の流れを変更することは導通損失を低減させることに効果がある。

10

【0021】

図6Aと図6Bに示した構成は、上下の半導体素子から構成されるレグ回路が1個から成る、いわゆるハーフブリッジセルの構成であり、出力端子の取り出し方で構成が分かれているが、動作的には同じである。ハーフブリッジセルでは、直流コンデンサの電圧を正の極性で出力するかゼロ電圧で出力するかの2通りがある。図6Cと図6Dに示した構成は、レグ回路が2個から成る、いわゆるフルブリッジセルの構成であり、負の極性も出力

20

することができることから、制御の自由度が向上する。

図6Eに示した構成は、フルブリッジセルを基本としたセルの構成例であるが、直流コンデンサを分割し、その間にスイッチング素子とダイオードを設けることで、より制御の自由度を向上できる構成である。いずれの構成も公知であることから、詳細な説明はここでは割愛する。

【0022】

実施の形態2

実施の形態1においては、セル10に対してバイパス回路を設け、ゼロ電圧出力のセルのバイパス回路20を短絡するように制御することによって、導通損失を低減している。この実施の形態2においては、図7に示すように、実施の形態1の各セル10に遮断回路70を設けたもので、バイパス回路20によって短絡する場合には、同時に遮断回路70によってセル10を正側アーム1あるいは負側アーム2から電氣的に切り離すようにしたものである。このようにすることによって、実施の形態1において説明した効果に加えて、セル10を電氣的に切り離すことになることから、導通損失を完全にバイパス回路20のスイッチング素子の導通損失のみとすることができる。

30

【0023】

なお、この発明は、その発明の範囲内において、実施の形態に示した構成要素を自由に組み合わせたり、実施の形態の任意の構成要素を適宜、変更または省略したりすることが可能である。

【図1】

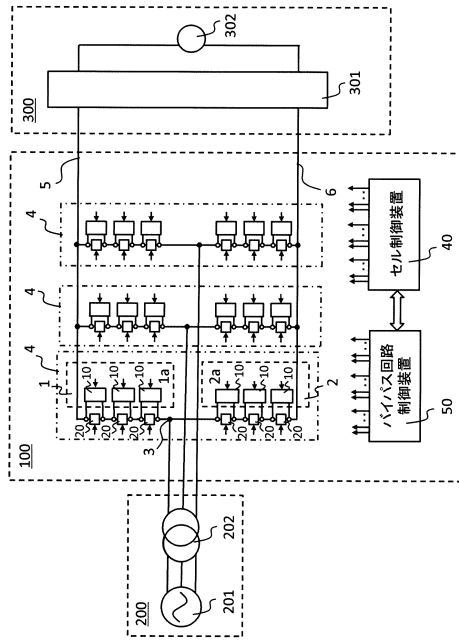


図1

【図2】

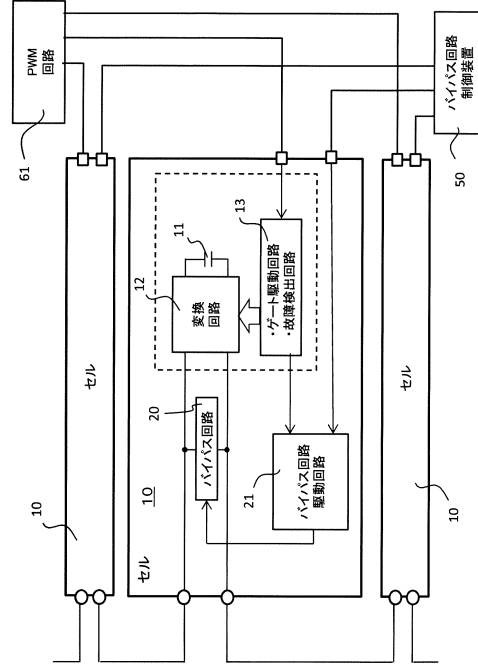


図2

【図3】

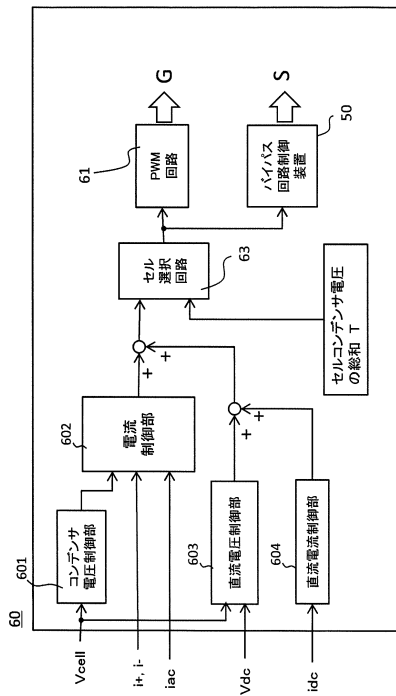
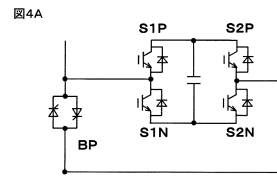


図3

【図4A】



【図4B】

図4B

	S1P	S1N	S2P	S2N	BP	変換器セルの出力電圧
モード1	OFF	OFF	OFF	OFF	ON	ゼロ電圧出力
モード2	ON	OFF	OFF	ON	OFF	コンデンサ電圧(+)出力
モード3	OFF	ON	ON	OFF	OFF	コンデンサ電圧(-)出力

【図4C】

図4C

	S1P	S1N	S2P	S2N	BP	変換器セルの出力電圧
モード1	ON	OFF	ON	OFF	OFF	ゼロ電圧出力
モード2	ON	OFF	OFF	ON	OFF	コンデンサ電圧(+)出力
モード3	OFF	ON	ON	OFF	OFF	コンデンサ電圧(-)出力

【 図 5 】

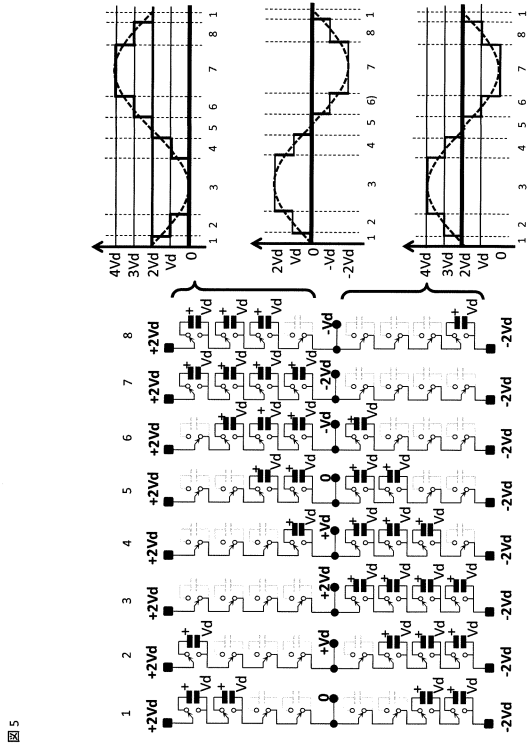
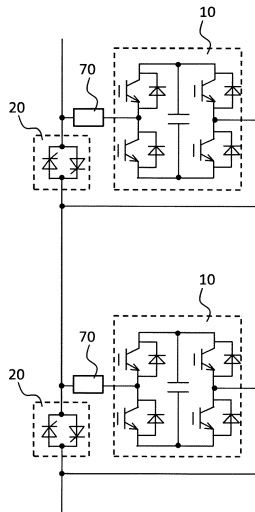


図 5

【 図 7 】

図 7



【 図 6 】

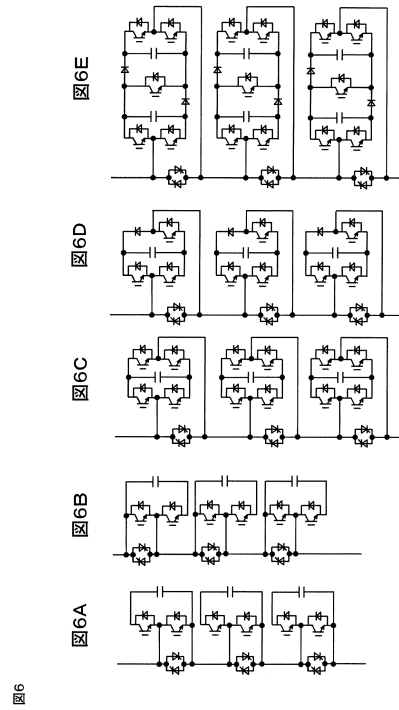


図 6

フロントページの続き

- (72)発明者 森 修
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 藤井 俊行
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 椋木 香帆
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 宇田 涼介
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 土谷 多一郎
東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内
- (72)発明者 松田 明洋
東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内
- (72)発明者 田口 久徳
東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内

審査官 麻生 哲朗

- (56)参考文献 特開2013-255422(JP, A)
米国特許出願公開第2014/2933(US, A1)

- (58)調査した分野(Int.Cl., DB名)
H02M 7/12