

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-243865
(P2006-243865A)

(43) 公開日 平成18年9月14日(2006.9.14)

(51) Int. Cl.

G06F 9/50 (2006.01)

F I

G06F 9/46 465C

テーマコード (参考)

審査請求 有 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2005-55423 (P2005-55423)
(22) 出願日 平成17年3月1日(2005.3.1)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100066980
弁理士 森 哲也
(74) 代理人 100075579
弁理士 内藤 嘉昭
(74) 代理人 100103850
弁理士 崔 秀▲てつ▼
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100107076
弁理士 藤綱 英吉
(74) 代理人 100107261
弁理士 須澤 修

最終頁に続く

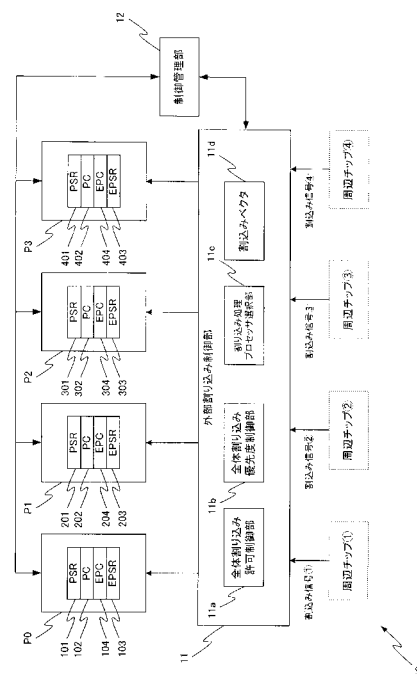
(54) 【発明の名称】 プロセッサおよび情報処理方法

(57) 【要約】

【課題】 マルチプロセッサにおいて、優先度の高い処理を効率的に処理すること。

【解決手段】 携帯電話1は、入力された割り込み処理を、タスクを実行していない単位プロセッサあるいは最も優先度の低いタスクを実行している単位プロセッサに実行させる外部割り込み制御部11をCPU10内に備えている。そのため、CPU10において、タスクの処理能力を可能な限り低下させることなく、発生した割り込み処理を実行することができる。したがって、マルチプロセッサであるCPU10において、割り込み処理を効率的に処理することが可能となる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

タスクあるいはスレッドを処理する複数のプロセッサ部と、入力された優先度の高い処理の実行を制御する高優先度処理制御部とを備えるプロセッサであって、

前記高優先度処理制御部は、前記複数のプロセッサ部のうち、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行しているプロセッサ部に、入力された優先度の高い処理を実行させることを特徴とするプロセッサ。

【請求項 2】

前記高優先度処理制御部は、前記複数のプロセッサ部のうち、次に入力される優先度の高い処理を実行させる前記プロセッサ部を示す情報を記憶するプロセッサ選択部を含み、

前記複数のプロセッサ部においてタスクあるいはスレッドの切り換えが発生する毎に、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行している前記プロセッサ部を判定し、該プロセッサ部を示す情報を前記プロセッサ選択部に記憶させることを特徴とする請求項 1 記載のプロセッサ。

【請求項 3】

前記優先度の高い処理には、優先度のレベルが設定されており、

前記高優先度処理制御部は、実行中である前記優先度の高い処理に設定された優先度のレベルを記憶する優先度レベル記憶部を含み、

入力された優先度の高い処理のうち、前記優先度レベル記憶部に記憶された優先度のレベルを基準として、入力された前記優先度の高い処理を選択して実行することを特徴とする請求項 1 または 2 記載のプロセッサ。

【請求項 4】

前記優先度の高い所定処理は、割り込み処理であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のプロセッサ。

【請求項 5】

タスクあるいはスレッドを処理する複数のプロセッサ部を備えるプロセッサにおける情報処理方法であって、

前記複数のプロセッサ部のうち、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行しているプロセッサ部に、入力された優先度の高い処理を実行させることを特徴とする情報処理方法。

【請求項 6】

前記複数のプロセッサ部においてタスクあるいはスレッドの切り換えが発生する毎に、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行している前記プロセッサ部を判定し、前記複数のプロセッサ部のうち、次に入力される優先度の高い処理を実行させるプロセッサ部を示す情報を記憶しておくことを特徴とする情報処理方法。

【請求項 7】

前記優先度の高い処理には、優先度のレベルが設定されており、

実行中である前記優先度の高い処理に設定された優先度のレベルを記憶しておき、入力された優先度の高い処理のうち、前記記憶された優先度のレベルを基準として、入力された前記優先度の高い処理を選択して実行することを特徴とする請求項 5 または 6 記載の情報処理方法。

【請求項 8】

前記優先度の高い所定処理は、割り込み処理であることを特徴とする請求項 5 から 7 のいずれか 1 項に記載の情報処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、複数のタスクあるいはスレッドを並列的に処理するプロセッサおよびその情報処理方法に関する。

【背景技術】

【0002】

近年、組み込み機器等において、複数のタスクあるいはスレッドを並列的に処理可能なマルチタスクプロセッサあるいはマルチスレッドプロセッサと呼ばれるプロセッサ（以下、これらを総称して「マルチプロセッサ」と言う。）が利用されつつある。

従来の携帯機器では、シングルプロセッサによる処理が行われていたところ、携帯機器の高機能化に伴い処理が複雑化し、シングルプロセッサによる処理が困難となっている。

【0003】

そして、マルチプロセッサによる処理を行う場合、割り込み処理の発生に対して、シングルプロセッサと異なる対応を行う必要がある。例えば、割り込みの種類に応じて、複数のプロセッサのうち処理を行うプロセッサを定めておくという方法や、複数のプロセッサの全てに割り込み信号を入力し、プロセッサ間で調停を行うといった方法が考えられる。

なお、マルチプロセッサにおいて、割り込み処理をプロセッサ間で調停する方法に関する技術が、特許文献1, 2に記載されている。

【0004】

特許文献1, 2に記載された技術は、マルチプロセッサシステムにおいて、プロセッサ毎に割り込みコントローラを備えておき、割り込み要求が発生した場合に、これら割り込みコントローラ間で調停を行うものである。

【特許文献1】特開平6-324996号公報

【特許文献2】特開平10-97509号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1, 2に記載された技術においては、プロセッサ毎に割り込みコントローラを備えているため、必要なハードウェアが大型化し、配線も複雑化することから、組み込み機器に適するものではなかった。

また、上述のように、割り込みの種類に応じて、複数のプロセッサのうち処理を行うプロセッサを定めておくこととした場合、非動作状態のプロセッサが存在するにもかかわらず、割り込み処理が実行されない事態を生じ得るため、処理効率が低下する可能性があった。

【0006】

このように、特許文献1, 2に記載された技術を含め、従来の技術においては、組み込み機器に適用されたマルチプロセッサのようなハードウェアリソースの限られた環境下で、割り込み処理等、優先度の高い処理（以下、「高優先度処理」と言う。）を効率的に処理することが困難であった。

本発明の課題は、マルチプロセッサにおいて、優先度の高い処理を効率的に処理することである。

【課題を解決するための手段】

【0007】

以上の課題を解決するため、本発明は、

タスクあるいはスレッドを処理する複数のプロセッサ部（例えば、図2の単位プロセッサP0～P3）と、入力された優先度の高い処理（例えば、割り込み処理）の実行を制御する高優先度処理制御部（例えば、図2の外部割り込み制御部11）とを備えるプロセッサであって、前記高優先度処理制御部は、前記複数のプロセッサ部のうち、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行しているプロセッサ部に、入力された優先度の高い処理を実行させることを特徴としている。

【0008】

10

20

30

40

50

このような構成により、入力された割り込み処理等の優先度の高い処理を、タスクあるいはスレッドを実行していないプロセッサ部あるいは最も優先度の低いタスクあるいはスレッドを実行しているプロセッサ部に実行させることができる。

したがって、タスクあるいはスレッドの処理能力を可能な限り低下させることなく、優先度の高い処理を実行することができるため、マルチプロセッサにおいて、優先度の高い処理を効率的に処理することが可能となる。

【0009】

また、前記高優先度処理制御部は、前記複数のプロセッサ部のうち、次に入力される優先度の高い処理を実行させる前記プロセッサ部を示す情報を記憶するプロセッサ選択部（例えば、図2の割り込み処理プロセッサ選択部11c）を含み、前記複数のプロセッサ部においてタスクあるいはスレッドの切り換えが発生する毎に、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行している前記プロセッサ部を判定し、該プロセッサ部を示す情報を前記プロセッサ選択部に記憶させることを特徴としている。

10

【0010】

このような構成により、優先度の高い処理が発生した場合に、プロセッサ選択部を参照して、優先度の高い処理を直ちに所定のプロセッサ部において実行できるため、優先度の高い処理を効率的に処理することが可能となる。

また、前記優先度の高い処理には、優先度のレベルが設定されており、前記高優先度処理制御部は、実行中である前記優先度の高い処理に設定された優先度のレベルを記憶する優先度レベル記憶部（例えば、図2の全体割り込み優先度制御部11b）を含み、入力された優先度の高い処理のうち、前記優先度レベル記憶部に記憶された優先度のレベルを基準として、入力された前記優先度の高い処理を選択して実行することを特徴としている。

20

【0011】

このような構成により、優先度の高い処理が複数発生した場合に、優先度の高い処理間の実行制御を適切に行うことが可能となり、割り込み処理を効率的に処理することが可能となる。

また、前記優先度の高い所定処理は、割り込み処理であることを特徴としている。

このような構成により、マルチプロセッサにおける割り込み処理を効率的に処理することが可能となる。

30

【0012】

また、本発明は、

タスクあるいはスレッドを処理する複数のプロセッサ部を備えるプロセッサにおける情報処理方法であって、前記複数のプロセッサ部のうち、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行しているプロセッサ部に、入力された優先度の高い処理を実行させることを特徴としている。

【0013】

また、前記複数のプロセッサ部においてタスクあるいはスレッドの切り換えが発生する毎に、タスクあるいはスレッドの処理を実行していないプロセッサ部または最も優先度の低いタスクあるいはスレッドの処理を実行している前記プロセッサ部を判定し、前記複数のプロセッサ部のうち、次に入力される優先度の高い処理を実行させるプロセッサ部を示す情報を記憶しておくことを特徴としている。

40

【0014】

また、前記優先度の高い処理には、優先度のレベルが設定されており、実行中である前記優先度の高い処理に設定された優先度のレベルを記憶しておき、入力された優先度の高い処理のうち、前記記憶された優先度のレベルを基準として、入力された前記優先度の高い処理を選択して実行することを特徴としている。

また、前記優先度の高い所定処理は、割り込み処理であることを特徴としている。

【0015】

50

このように、本発明によれば、マルチプロセッサにおいて、優先度の高い処理を効率的に処理することが可能となる。

【発明を実施するための最良の形態】

【0016】

以下、図を参照して本発明に係るプロセッサの実施の形態を説明する。

本発明に係るプロセッサは、タスクあるいはスレッド等、プログラムをその実行単位で並列的に処理するものであり、本発明に係るプロセッサ内に、タスク等を実行するプロセッサ（以下、「単位プロセッサ」と言う。）が実質的に複数備えられたハードウェア構成を有している。

【0017】

そして、複数の単位プロセッサのうち、高優先度処理（割り込み処理等）を実行する単位プロセッサを適宜選択する外部割り込み制御部を備えることにより、高優先度処理を効率的に実行することを可能としている。

まず、構成を説明する。

ここでは、本発明に係るプロセッサを携帯電話に組み込んだ場合を例に挙げ、高優先度処理として割り込み処理を想定した場合について説明する。なお、以下の説明において、スレッド等、プログラムの実行単位を総称して「タスク」と言う。

【0018】

図1は、本発明に係る携帯電話1の機能構成を示すブロック図である。

図1において、携帯電話1は、CPU（Central Processing Unit）10と、フラッシュROM20と、メモリ30と、バッファ40と、無線部50と、IrDA（Infrared Data Association）部60と、オーディオ（Audio）部70と、タイマ（Timer）80と、USB（Universal Serial Bus）インターフェース部90と、キー（KEY）操作部100と、LCD（Liquid Crystal Display）110と、カメラ（Camera）部120とを含んで構成され、CPU10、フラッシュROM20、メモリ30およびバッファ40は、バスによって接続されている。また、無線部50、IrDA部60、オーディオ部70、タイマ80、USBインターフェース部90、キー操作部100、LCD110およびカメラ部120は、CPU10と直接接続されている。

【0019】

CPU10は、複数のタスクを並列的に処理しつつ携帯電話1全体を制御するもので、キー操作部100から入力される各種の指示信号に応じて、フラッシュROM20に記憶されたオペレーティングシステムプログラム（OS）や各種アプリケーションプログラムを読み出して実行したり、無線部50、オーディオ部70あるいはカメラ部120等の周辺チップから入力される割り込み信号に応じて、割り込みハンドラを実行したりする。

【0020】

例えば、CPU10は、OSにより生成されたタスクと、アプリケーションにより生成されたタスクを並行して処理し、さらに、周辺チップから割り込み信号が入力された場合、割り込みハンドラを実行することにより、割り込み信号に対応するアプリケーションを起動する。なお、アプリケーションによる処理は、OSのタスクスケジューラによって管理されるタスクとして実行されるため、OSのサービスコールを呼び出すことができ、一方、割り込み処理は、タスクスケジューラによって管理されない処理（非タスク処理）であるため、OSのサービスコールを呼び出すことはできない。

【0021】

また、CPU10は、各種処理結果をフラッシュROM20あるいはメモリ30に格納する。

ここで、CPU10の内部構成について説明する。

図2は、CPU10の内部構成を示すブロック図である。

図2において、CPU10は、複数の単位プロセッサP0～P3と、外部割り込み制御部11と、制御管理部12とを含んで構成される。なお、図2に示す周辺チップは、図1に示す無線部50、IrDA部60およびオーディオ部70等、CPU10に直接接続さ

10

20

30

40

50

れた機能部を総称したものであり、それぞれの周辺チップが、これら機能部のいずれかであることを意味している。

【0022】

単位プロセッサP0～P3は、それぞれが並列してタスクを処理可能なプロセッサであり、周辺チップにおいて割り込み信号が発生した場合、後述する外部割り込み制御部11によって選択されたプロセッサが割り込み処理を実行する。

なお、単位プロセッサP0～P3の内部構成としては同様のものとなるため、代表として、単位プロセッサP0の内部構成について説明する。

【0023】

単位プロセッサP0は、ステータスレジスタ(PSR)101と、プログラムカウンタ(PC)102と、割り込み処理用ステータスレジスタ(EP SR)103と、割り込み処理用プログラムカウンタ(EP C)104とを含んで構成される。 10

なお、単位プロセッサP0は、ここでは図示を省略するが、プログラムカウンタが示すメモリアドレスから命令コードを読み出すフェッチ部、フェッチ部によって入力された命令コードをデコードするデコード部、デコード部におけるデコード結果に応じて、所定の演算を行うALU(Arithmetic and Logical Unit)、演算対象あるいは演算結果のデータを記憶するレジスタファイル等を含んでいる。

【0024】

ステータスレジスタ101は、単位プロセッサP0のステータス(例えば、割り込みの可否状態、単位プロセッサP0におけるオーバーフローの発生状態等)を記憶している。 20

プログラムカウンタ102は、単位プロセッサP0が次に実行すべき命令が格納されたメモリアドレスを記憶している。

なお、ステータスレジスタ101およびプログラムカウンタ102に記憶された内容は、単位プロセッサP0において割り込み処理が実行される際に、割り込み処理用ステータスレジスタ103および割り込み処理用プログラムカウンタ104に退避される。

【0025】

割り込み処理用ステータスレジスタ103は、単位プロセッサP0において割り込み処理が実行される場合に、割り込み処理プログラムを起動する直前のステータスレジスタ101の状態を退避(複製)するレジスタである。割り込み処理プログラムにおいて、必要に応じて割り込み処理用ステータスレジスタ103の内容をスタック領域に退避することも可能である。 30

【0026】

割り込み処理用プログラムカウンタ104は、単位プロセッサP0において割り込み処理が実行される場合に、割り込み処理プログラムを起動する直前のプログラムカウンタ102のアドレスを退避(複製)するレジスタである。割り込み処理プログラムにおいて、必要に応じて割り込み処理用プログラムカウンタ104の内容をスタック領域に退避することも可能である。

【0027】

外部割り込み制御部11は、無線部50等の周辺チップから割り込み信号が入力された場合に、割り込み信号を調停した上で、割り込み処理を実行させるプロセッサを選択し、 40
単位プロセッサP0が選択された場合には、所定の割り込み信号を単位プロセッサP0に出力する。

具体的には、外部割り込み制御部11は、全体割り込み許可制御部11aと、全体割り込み優先度制御部11bと、割り込み処理プロセッサ選択部11cと、割り込みベクタ11dとを含んで構成される。

【0028】

全体割り込み許可制御部11aは、CPU10において各種割り込み処理の実行を許可するか否かを示す割り込み許可フラグを記憶しており、周辺チップから割り込み信号が入力された場合に、その割り込みに対応する割り込み許可フラグが割り込みを許可する状態を示している場合、その割り込み処理を受け付け、その割り込みに対応する割り込み許可 50

フラグが割り込みを許可しない状態を示している場合、その割り込み処理に対して待機状態とさせる。

【0029】

全体割り込み優先度制御部11bは、CPU10において受け付ける割り込み処理の優先度(基準値)を記憶している。CPU10に入力される割り込み処理には、予め固定的にあるいは割り込み処理の発生時に動的に優先度のレベルが設定されており、全体割り込み優先度制御部11bには、CPU10において現在実行されている割り込み処理の優先度のレベルが記憶される。そして、全体割り込み優先度制御部11bは、周辺チップから入力された割り込み信号の優先度を参照して、記憶している割り込み処理の優先度(基準値)と周辺チップから入力された割り込み信号の優先度とを比較する。その結果、周辺チップから入力された割り込み信号の優先度が、現在記憶されている優先度(基準値)以下であると判定した場合、全体割り込み優先度制御部11bは、周辺チップからの割り込み処理に対して待機状態とさせ、一方、現在記憶されている優先度(基準値)より高いと判定した場合、新たな割り込み処理を優先して実行する。

10

【0030】

割り込み処理プロセッサ選択部11cは、単位プロセッサP0~P3のいずれに次の割り込み処理を実行させるかを示す単位プロセッサ指定領域と、単位プロセッサ指定領域に示される単位プロセッサに割り込み処理を行わせるか否かを示す割り込み可否領域とを含むレジスタによって構成される。

単位プロセッサ指定領域は、CPU10においてディスパッチ(タスクの切り換えに伴う単位プロセッサP0~P3の再割り当て)が発生する毎に実行される割り込み処理プロセッサ指定処理(後述)によって更新される。なお、割り込み可否領域は、CPU10全体として割り込み処理を受け付けるか否かに応じて書き換えられる。

20

【0031】

割り込みベクタ11dは、割り込みハンドラの一覧が格納されたテーブルのメモリアドレスを記憶している。割り込み処理が実行される場合、まず、処理を行う単位プロセッサは、割り込みベクタに記憶されたメモリ30上のアドレスを参照し、テーブルに示されている、割り込みの種類に応じた割り込みハンドラの格納先へジャンプする。そして、単位プロセッサが割り込みハンドラを起動することにより、割り込み処理が行われる。

【0032】

制御管理部12は、メモリ30上に展開されたオペレーティングシステムプログラムと協働して実現される機能であり、例えば、OSの一機能として割り込み処理プロセッサ指定処理が実行されることにより、割り込み処理プロセッサ選択部11cの単位プロセッサ指定領域を更新する機能や、単位プロセッサP0~P3の動作状態(Halt状態であるか動作中であるか)および動作中の単位プロセッサP0~P3において実行されているタスクの優先度の管理を行う機能等を含んでいる。なお、OSとしての処理を実行する単位プロセッサは、状況に応じて随時変化する。

30

【0033】

図1に戻り、フラッシュROM20は、携帯電話1において実行されるオペレーティングシステムプログラム、および、各種アプリケーションプログラムを記憶している。

40

メモリ30は、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)あるいはSDRAM(Synchronous DRAM)といった半導体メモリによって構成され、CPU10が処理を実行する際にワークエリアを形成すると共に、その処理結果を記憶する。

【0034】

バッファ40は、外部から携帯電話1に入力されたデータあるいは携帯電話1において発生されたデータを一時的に保持するバッファである。

無線部50は、携帯電話1と携帯電話システムの基地局との間における無線通信を行うものである。例えば、無線部50は、基地局から携帯電話1に対する着信を示す信号を受信した場合、CPU10に対して割り込み信号を出力し、着信信号の受信を通知する。ま

50

た、無線部 50 は、CPU 10 から発信を指示する信号が入力された場合、基地局に対して発信要求を示す信号を送信する。

【0035】

IrDA 部 60 は、IrDA に基づく通信を行うインターフェースであり、外部から IrDA に基づく無線信号を受信した場合、CPU 10 に対して割り込み信号を出力し、IrDA 信号の受信を通知する。

オーディオ部 70 は、携帯電話 1 において入出力される音声信号を処理するものであり、通話におけるマイクおよびスピーカを用いた音声の入出力、あるいは、音楽等の再生といった処理を行う。

【0036】

タイマ 80 は、携帯電話 1 のクロック信号を基に時間を計測し、例えば 1ms 毎等、所定時間毎に CPU 10 に対して割り込み信号を出力する。

USB インターフェース部 90 は、USB による通信を行うためのインターフェースであり、USB ケーブルが接続された場合や USB ケーブルから信号を受信した場合等に、CPU 10 に対して割り込み信号を出力する。

【0037】

キー操作部 100 は、携帯電話 1 に対する指示入力を行うための各種キーを備えており、これらのキーが押下された場合に、CPU 10 に対する割り込み信号を出力する。

LCD 110 は、CPU 10 によって入力された文字あるいは画像等の描画命令に従って、所定画面を表示する表示装置である。

カメラ部 120 は、CCD (Charge Coupled Devices) あるいは CMOS (Complementary Metal Oxide Semiconductor) センサ等の撮像素子を備え、画像を撮影した場合に、CPU 10 に対して割り込み信号を出力する。

【0038】

次に、動作を説明する。

初めに、割り込み処理プロセッサ指定処理について説明する。

図 3 は、割り込み処理プロセッサ指定処理を示すフローチャートである。

割り込み処理プロセッサ指定処理は、CPU 10 においてディスパッチが発生する毎に OS を実行している単位プロセッサ (ここでは単位プロセッサ P0 であるものとする。) によって実行される。

【0039】

図 3 において、CPU 10 においてディスパッチが発生すると、OS を実行している単位プロセッサ P0 は、Halt 状態にある単位プロセッサが存在するか否かを検索し (ステップ S1)、Halt 状態にある単位プロセッサが存在しないと判定した場合、最も優先度の低いタスクを実行している単位プロセッサを検索する (ステップ S2)。

ステップ S1 において、Halt 状態にある単位プロセッサが存在すると判定した場合、および、ステップ S2 の後、単位プロセッサ P0 は、次に発生する割り込み処理を実行する単位プロセッサを、Halt 中の単位プロセッサあるいは最も優先度の低いタスクを実行している単位プロセッサに決定する (ステップ S3)。

【0040】

次に、単位プロセッサ P0 は、割り込み処理プロセッサ選択部 11c における単位プロセッサ指定領域を書き換え、ステップ S3 において決定した単位プロセッサを示す値とする (ステップ S4)。

そして、単位プロセッサ P0 は、割り込み処理プロセッサ指定処理を終了する。

このような処理の結果、割り込み処理が発生した場合に、割り込み処理プロセッサ選択部 11c における単位プロセッサ指定領域を参照することにより、割り込み処理が発生する毎に単位プロセッサの選択を行うことなく、直ちに割り込み処理を実行可能な状態となる。

【0041】

次に、割り込み処理が発生した場合に外部割り込み制御部 11 および OS を実行してい

10

20

30

40

50

る単位プロセッサ P 0 が実行する割り込み実行処理について説明する。

図 4 は、割り込み実行処理を示すフローチャートである。

割り込み実行処理は、無線部 5 0 等の周辺チップから割り込み信号が入力された場合に開始される。

【 0 0 4 2 】

図 4 において、周辺チップから割り込み信号が入力されると、全体割り込み許可制御部 1 1 a は、記憶している割り込み許可フラグを参照し、入力された割り込み信号の実行が許可されているか否かを判定する（ステップ S 1 0 1）。

ステップ S 1 0 1 において、入力された割り込み信号の実行が許可されていないと判定した場合、全体割り込み許可制御部 1 1 a は、ステップ S 1 0 1 に移行する。

10

【 0 0 4 3 】

一方、ステップ S 1 0 1 において、全体割り込み許可制御部 1 1 a が、入力された割り込み信号の実行が許可されていると判定した場合、全体割り込み優先度制御部 1 1 b は、入力された割り込み信号の優先度と、記憶している優先度（基準値）とを比較し、入力された割り込み信号の優先度が、記憶している優先度（基準値）より高いか否かを判定する（ステップ S 1 0 2）。

【 0 0 4 4 】

ステップ S 1 0 2 において、入力された割り込み信号の優先度が、記憶している優先度（基準値）以下であると判定した場合、全体割り込み優先度制御部 1 1 b は、ステップ S 1 0 1 に移行する。

20

一方、ステップ S 1 0 2 において、全体割り込み優先度制御部 1 1 b が、入力された割り込み信号の優先度が記憶している優先度（基準値）より高いと判定した場合、OS を実行している単位プロセッサ P 0 は、割り込み処理プロセッサ選択部 1 1 c における単位プロセッサ指定領域を参照し、割り込み処理を実行させる単位プロセッサを選択する（ステップ S 1 0 3）。

【 0 0 4 5 】

そして、単位プロセッサ P 0 は、ステップ S 1 0 3 において選択した割り込み処理を実行させる単位プロセッサが H a l t 状態であるか否かを判定し（ステップ S 1 0 4）、H a l t 状態でないと判定した場合、割り込み処理を実行させる単位プロセッサに対し、割り込み処理の初期化処理（E P C、E P S R への P C、P S R の値の複製、コンテキストの退避）を行わせる（ステップ S 1 0 5）。

30

【 0 0 4 6 】

ステップ S 1 0 4 において、ステップ S 1 0 3 で選択した割り込み処理を実行させる単位プロセッサが H a l t 状態であると判定された場合、および、ステップ S 1 0 5 の後、割り込み処理を実行する単位プロセッサは、割り込みベクタを参照して割り込みハンドラを起動することにより、割り込み処理を実行する（ステップ S 1 0 6）。

次に、単位プロセッサ P 0 は、割り込み処理を実行させた単位プロセッサが H a l t 状態のものであったか否かを判定し（ステップ S 1 0 7）、H a l t 状態のものでなかったと判定した場合、割り込み処理の終了処理（E P C、E P S R の値を P C、P S R に戻し、コンテキストを復帰する処理）を行わせる（ステップ S 1 0 8）。

40

【 0 0 4 7 】

ステップ S 1 0 7 において、割り込み処理を実行させた単位プロセッサが H a l t 状態のものであったと判定した場合、および、ステップ S 1 0 8 の後、割り込み実行処理は終了する。

このような処理の結果、割り込みが発生した場合に、最も割り込み処理を行わせるのに適切な単位プロセッサ P 0 ~ P 3 が選択され、直ちに割り込み処理が実行される。

【 0 0 4 8 】

以上のように、本実施の形態に係る携帯電話 1 は、入力された割り込み処理を、タスクを実行していない単位プロセッサあるいは最も優先度の低いタスクを実行している単位プロセッサに実行させる外部割り込み制御部 1 1 を C P U 1 0 内に備えている。

50

そのため、CPU 10において、タスクの処理能力を可能な限り低下させることなく、発生した割り込み処理を実行することができる。

【0049】

したがって、マルチプロセッサであるCPU 10において、割り込み処理を効率的に処理することが可能となる。

また、全体割り込み優先度制御部 11bが、現在実行中の割り込み処理の優先度レベルを基準値として記憶しており、以後に入力される割り込み処理は、全体割り込み優先度制御部 11bに記憶された優先度の基準値を基に、より優先度の高い割り込み処理が選択して実行される。

【0050】

そのため、複数の割り込み処理が発生した場合に、割り込み処理間の実行制御を適切に行うことが可能となり、CPU 10において割り込み処理を効率的に処理することが可能となる。

なお、本発明は、マルチスレッドプロセッサあるいはマルチタスクプロセッサと呼ばれる各種実装形態のプロセッサに適用可能であるが、例えば、1チップ上に複数のプロセッサコアが実装され、プロセッサの構成要素の少なくとも一部をこれら複数のプロセッサコアが共用する形態のマルチプロセッサ（いわゆる密結合型のマルチタスクプロセッサ）において、特に有効となる。

【0051】

図5は、本発明の適用対象となるマルチプロセッサの構成例を示す図である。

図5に示すマルチプロセッサは、メモリ制御部およびALUを複数のプロセッサコアが共用する形態であり、それぞれのプロセッサコアにプログラムカウンタおよびステータスレジスタ等の制御用レジスタが備えられていると共に、マルチプロセッサ全体を制御するためのプログラム制御部（全体用プログラム制御部）および制御用レジスタ（全体用PSR）も別途備えられている。なお、図5に示すように、各プロセッサコアで共用するコンテキストキャッシュ等を備えても良い。

【0052】

このような構成のマルチプロセッサの場合、各プロセッサコアが本実施の形態における単位プロセッサの機能を実現し、全体用プログラム制御部および全体用PSRの一部が本実施の形態における外部割り込み制御部の機能を実現するものとなる。

【図面の簡単な説明】

【0053】

【図1】本発明に係る携帯電話1の機能構成を示すブロック図である。

【図2】CPU 10の内部構成を示すブロック図である。

【図3】割り込み処理プロセッサ指定処理を示すフローチャートである。

【図4】割り込み実行処理を示すフローチャートである。

【図5】本発明の適用対象となるマルチプロセッサの構成例を示す図である。

【符号の説明】

【0054】

1 携帯電話、10 CPU、11 外部割り込み制御部、11a 全体割り込み許可制御部、11b 全体割り込み優先度制御部、11c 割り込み処理プロセッサ選択部、11d 割り込みベクタ、12 制御管理部、20 フラッシュROM、30 メモリ、40 バッファ、50 無線部、60 IrDA部、70 オーディオ部、80 タイマ、90 USBインターフェース部、100 キー操作部、110 LCD、120 カメラ部、P0～P3 単位プロセッサ、101 ステータスレジスタ、102 プログラムカウンタ、103 割り込み処理用ステータスレジスタ、104 割り込み処理用プログラムカウンタ

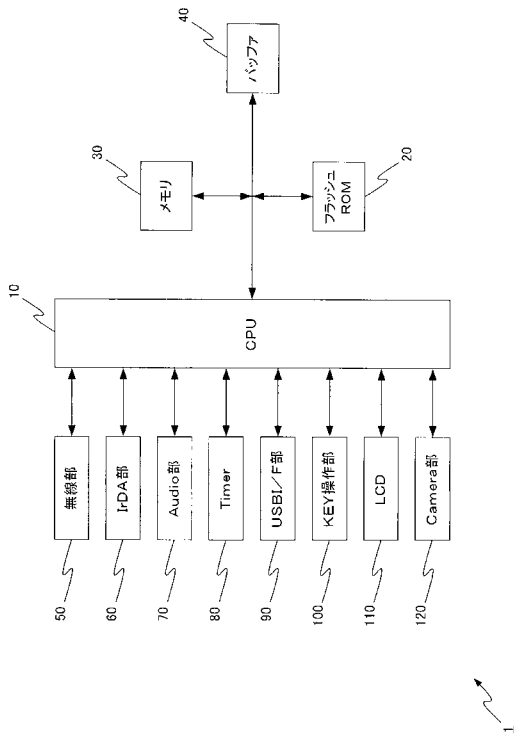
10

20

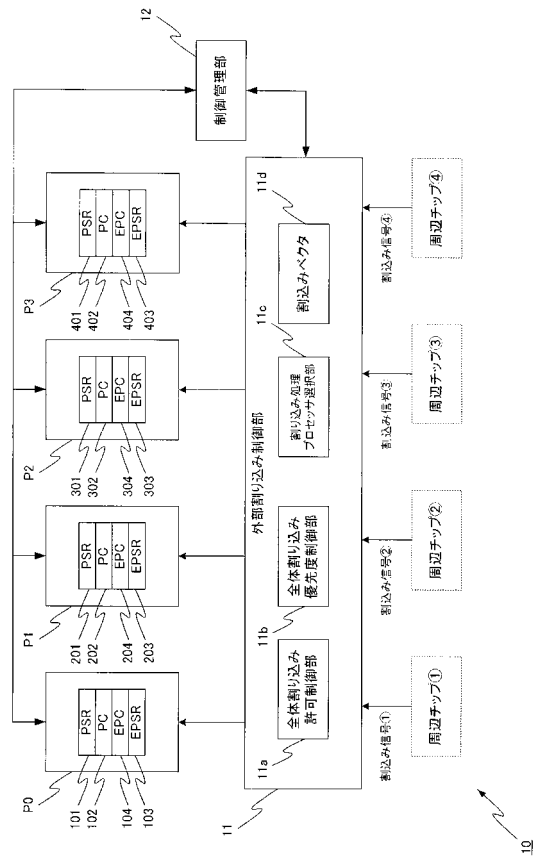
30

40

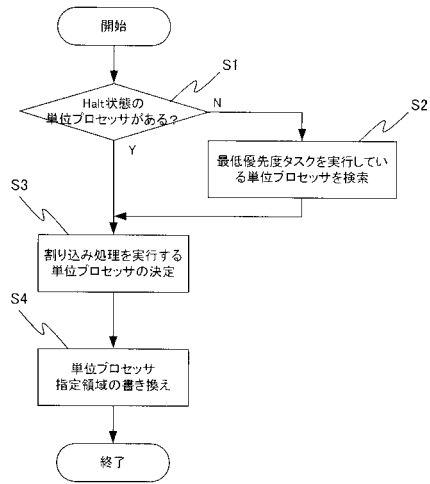
【図1】



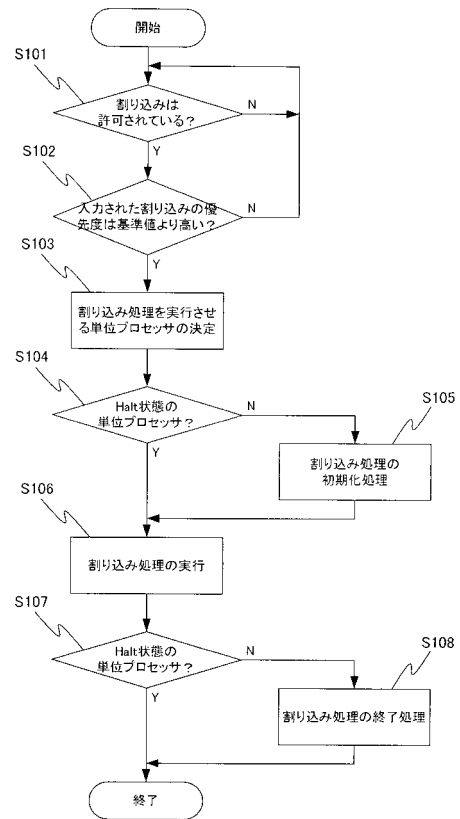
【図2】



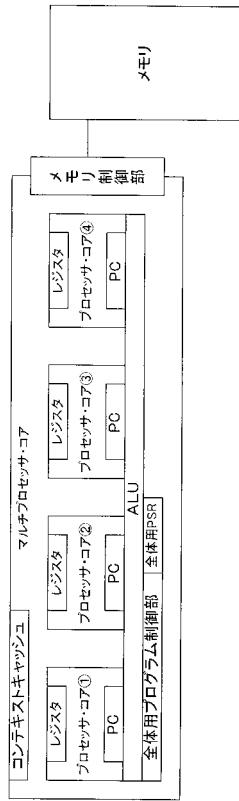
【図3】



【図4】



【 図 5 】



フロントページの続き

(72)発明者 田村 明彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 田中 克哉

長野県松本市芳川村井町1059番地 株式会社エプソンソフト開発センター内