(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年10 月27 日 (27.10.2005)

PCT

(10) 国際公開番号
WO 2005/101517 A1

(51) 国際特許分類[7]: H01L 29/73, 27/06

(21) 国際出願番号: PCT/JP2004/013783

(22) 国際出願日: 2004 年9 月22 日 (22.09.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-109640 2004 年4 月2 日 (02.04.2004) JP

(71) 出願人 (米国を除く全ての指定国について): イサハヤ電子株式会社 (ISAHAYA ELECTRONICS CORPORATION) [JP/JP]; 〒8540065 長崎県諫早市津久葉町６－４１ Nagasaki (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松永 平 (MATSUNAGA, Taira) [JP/JP]; 〒8540065 長崎県諫早市津久葉町６－４１ イサハヤ電子株式会社内 Nagasaki (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

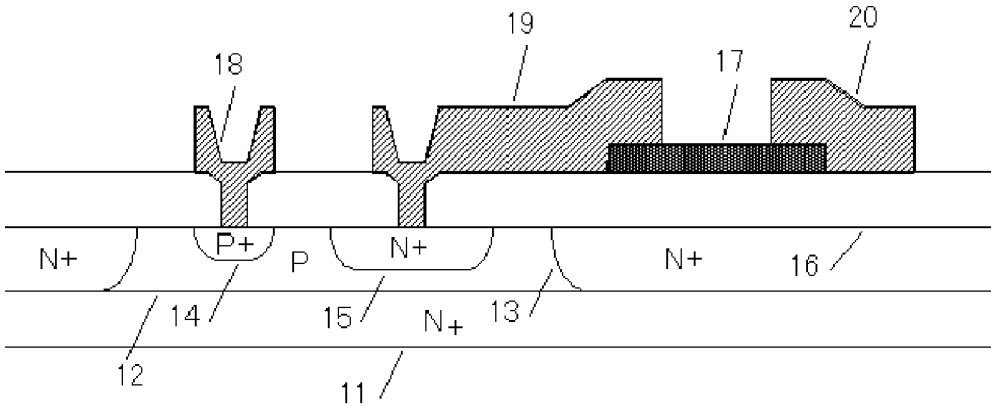
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: BIPOLAR TRANSISTOR INCORPORATING RESISTOR

(54) 発明の名称: 抵抗内蔵バイポーラトランジスタ



(57) Abstract: A bipolar transistor incorporating a resistor comprising an N type semiconductor substrate, a P type impurity region formed on the N type semiconductor substrate so as to be surrounded by an N type semiconductor region, an N type impurity region formed on a part of the P type impurity region, and a semiconductor layer formed on a part of the N type semiconductor substrate through an insulation layer. Since impurity concentration of each region can satisfy a relation, the N type semiconductor substrate>the P type impurity region<the N type impurity region, Dc current amplification factor hFE can be set at 100 or above in both cases; (A) the N type semiconductor substrate; collector, the P type impurity region; base, the N type impurity region; emitter, and (B) the N type semiconductor substrate; emitter, the P type impurity region; base, the N type impurity region; collector. When the structure in (B) is employed, a bipolar transistor incorporating a resistor having a resistor connected with the collector and a bipolar transistor incorporating a plurality of resistors in the same chip can be formed easily.

[続葉有]

WO 2005/101517 A1

(57) 要約:

本発明においては、N型半導体基板と、上記N型半導体基板上に形成され、且つ、周囲をN型半導体領域で囲むように形成されたP型不純物領域と、上記P型不純物領域の一部上に形成された、N型不純物領域と、前記N型半導体基板の一部上に絶縁層を介して形成された半導体層とから構成されている。

この構造の場合、各領域の不純物濃度は、N型半導体基板＞P型不純物領域＜N型不純物領域とすることが可能であるため、（Ａ）N型半導体基板；コレクタ、P型不純物領域；ベース、N型不純物領域；エミッタとする場合、（Ｂ）N型半導体基板；エミッタ、P型不純物領域；ベース、N型不純物領域；コレクタとする場合の両方の場合で直流電流増幅率ｈFEを100以上とすることが可能となる。

上記（Ｂ）の構成を採用した場合は、コレクタに抵抗が接続された抵抗内蔵バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成することが可能となる。

明 細 書

抵抗内蔵バイポーラトランジスタ

技術分野

[0001] 本発明は、抵抗内蔵バイポーラトランジスタに関するものである。抵抗内蔵バイポーラトランジスタは、主にスイッチング用途として使用され、一般的には図1に示すように、ベースと直列、ベース−エミッタ間に並列に抵抗が接続される構造となっている。この抵抗内蔵バイポーラトランジスタは、電子回路において多量に使用されることも多いため、図2に示すように、同一パッケージに2個のトランジスタが入ったものも生産されているが、この場合、2個のトランジスタチップを同一パッケージに搭載して製造されている。

[0002] また、図3に示すミューティング回路においては、トランジスタのコレクタとベースに抵抗が接続されているが、現在この回路は、トランジスタと2個の抵抗を個別の部品で形成するか、あるいは、1個の抵抗と、ベースに抵抗を内蔵したトランジスタを使用して形成されている。

背景技術

[0003] 従来の一般的な抵抗内蔵バイポーラトランジスタの構造を図4に示す。同図ではNPN型バイポーラトランジスタの場合を示している。N型高不純物濃度半導体基板1上にN型のエピタキシャル層2が形成され、このN型のエピタキシャル層2の一部上に、P型領域3が形成され、このP型領域3の一部上に、N型領域4が形成されている。また、N型エピタキシャル層2の一部上に絶縁膜5を介して、多結晶シリコンによる抵抗6が形成され、配線電極7、8、9により配線されている。

[0004] この構造においては、各領域の不純物濃度の関係は、製造プロセスの順序により、N型エピタキシャル層2＜P型領域3＜N型領域4となる。この構造でNPN型トランジスタを構成する場合、(A)N型エピタキシャル層2;コレクタ、P型領域3;ベース、N型領域4;エミッタとする場合と、(B)N型エピタキシャル層2;エミッタ、P型領域3;ベース、N型領域4;コレクタとする場合があるが、前述した各領域の濃度の関係で、(B)の構成の場合は直流電流増幅率hFEが10程度と低くなるため、一般的には(A)の構成で使用

される。

[0005] したがって、図1に示すように、ベース、エミッタに抵抗が接続された抵抗内蔵バイポーラトランジスタを構成することは可能であるが、図3に示すミューティング回路のように、コレクタに抵抗が接続された回路を同一チップ上で構成することは、非常に困難である。

[0006] また、図2に示すような、同一パッケージに2個のトランジスタチップが入った製品において、この2個のトランジスタを同一チップで形成可能であれば、組立てする上で非常に有利であるが、前記したように従来の構造の場合は、図5に示すようにコレクタが共通となるため実現が困難である。等価回路を図6に示す。

発明の開示

発明が解決しようとする課題

[0007] 本発明は、上記した従来技術の問題点に鑑みてなされたものであり、コレクタに抵抗が接続された抵抗内臓バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成可能なバイポーラトランジスタの構造を提供するものである。

課題を解決するための手段

[0008] 本発明の構造を、NPN型抵抗内蔵バイポーラトランジスタに適用した場合について説明する。本発明においては、N型半導体基板と、上記N型半導体基板上に形成され、且つ、周囲をN型半導体領域で囲むように形成されたP型不純物領域と、上記P型不純物領域の一部上に形成された、N型不純物領域と、前記N型半導体基板の一部上に絶縁層を介して形成された半導体層とから構成されている。1例を図7に示す。

[0009] この構造の場合、各領域の不純物濃度は、N型半導体基板＞P型不純物領域＜N型不純物領域とすることが可能であるため、(A)N型半導体基板;コレクタ、P型不純物領域;ベース、N型不純物領域;エミッタとする場合、(B)N型半導体基板;エミッタ、P型不純物領域;ベース、N型不純物領域;コレクタとする場合の両方の場合で直流電流増幅率hFEを100以上とすることが可能となる。

[0010] したがって、上記(B)の構成を採用した場合は、コレクタに抵抗が接続された抵抗内臓バイポーラトランジスタ及び同一チップに複数個の抵抗内蔵バイポーラトランジスタを容易に形成することが可能となる。

発明の効果

[0011] このように本発明にかかる抵抗内蔵バイポーラトランジスタの場合は、図3に示すミューティング回路のように、コレクタに抵抗が接続される場合についても、抵抗とバイポーラトランジスタを同一チップ上に形成可能である。また、複数個の抵抗内蔵バイポーラトランジスタを同一チップ上に形成可能であるため、図2に示すような同一パッケージに2個のトランジスタが入ったものの生産効率を上げることが可能になる。

図面の簡単な説明

[0012] [図1]図1は抵抗内蔵バイポーラトランジスタの等価回路である。

[図2]図2は同一パッケージ内に抵抗内蔵バイポーラトランジスタを2個搭載した場合である。

[図3]図3はミューティング回路である。

[図4]図4は従来の抵抗内蔵バイポーラトランジスタの構造である。

[図5]図5は従来の抵抗内蔵バイポーラトランジスタを同一チップ上に2個形成した場合である。

[図6]図6は従来の抵抗内蔵バイポーラトランジスタを同一チップ上に2個形成した場合の等価回路である。

[図7]図7は本発明による抵抗内蔵バイポーラトランジスタの構造である。

[図8]図8は図7の抵抗内蔵バイポーラトランジスタの等価回路である。

[図9]図9は本発明による抵抗内蔵バイポーラトランジスタの製造工程である。

[図10]図10は本発明による抵抗内蔵バイポーラトランジスタの製造工程である。

[図11]図11は本発明による抵抗内蔵バイポーラトランジスタの製造工程である。

[図12]図12は本発明による抵抗内蔵バイポーラトランジスタの製造工程である。

[図13]図13は本発明による抵抗内蔵バイポーラトランジスタの製造工程である。

[図14]図14は本発明による抵抗内蔵バイポーラトランジスタの製造工程である。

[図15]図15は本発明の他の実施例2である。

[図16]図16は本発明の他の実施例3である。

[図17]図17は図16の構造の等価回路である。

[図18]図18は本発明の他の実施例4である。

[図19]図19は図18の構造の等価回路である。

[図20]図20は本発明の他の実施例5である。

符号の説明

[0013] 1, 11 N型高不純物濃度半導体基板、

2 N型エピタキシャル層、

3, 3A, 3B P型領域、

4, 4A, 4B N型領域、

5 絶縁膜、

6, 6A, 6B 多結晶シリコン(抵抗)、

7, 7A, 7B エミッタ配線電極、

8, 8A, 8B ベース配線電極1、

9, 9A, 9B ベース配線電極2、

12 P型半導体層、

13 N+型不純物領域、

14 P+型不純物領域、

15 N+型不純物領域、

16 絶縁膜、

17, 21, 23A, 23B 多結晶シリコン(抵抗)

18, 18A, 18B ベース配線電極1、

19, 19A, 19B コレクタ配線電極1、

20 コレクタ配線電極2

22, 22A, 22B エミッタ配線電極

24 ベース配線電極2

発明を実施するための最良の形態

[0014] 本発明による抵抗内臓バイポーラトランジスタの実施の形態を、NPN型の場合を例に

とり、図7にて説明する。高不純物濃度のN型(以下N＋型と称する)半導体基板11上に、上記半導体基板11より低濃度のP型半導体層12が形成され、N＋型不純物領域13が上記低濃度のP型半導体層12の周囲を囲むように形成される。上記P型半導体層12の一部上に、N＋型不純物領域15が形成される。さらに、前記N＋型半導体基板11の一部上に絶縁層16を介して抵抗となる半導体層17が形成され、配線電極18、19、20が形成されることにより、本発明による抵抗内蔵バイポーラトランジスタが形成される。なお、必要に応じて、上記P型半導体層12の一部上に、P＋型不純物領域14を形成することも可能である。

[0015] 本構造の場合は、半導体基板11;エミッタ、P型半導体層12;ベース、N＋型不純物領域15;コレクタとした構成が可能であり、図8に示す等価回路のように抵抗がコレクタに接続された抵抗内臓バイポーラトランジスタを構成することが可能となる。

[0016] 次に、本発明による抵抗内臓バイポーラトランジスタの製造方法を説明する。まず、図9に示すようにN＋型のシリコン基板11を用意し、エピタキシャル成長によりP型半導体層12を形成する。これらの各領域の具体的な不純物濃度としては、例えば、N＋型半導体基板11;1×10^{18} cm^{-3}ー1×10^{20} cm^{-3}、P型半導体層12;$2\times10^{14}cm^{-3}$ ー$4\times10^{16}cm^{-3}$等である。

[0017] 次に、図10に示すように、リン等のN型不純物を選択的に注入拡散して、P型半導体層12の周囲を囲むようにN＋型拡散領域13を形成する。なお、N＋型拡散領域13は、N＋型半導体基板11まで到達するように形成し、シート抵抗としては数10Ω/□以下に形成することが望ましい。

[0018] 次に、図11に示すように、ホウ素等のP型不純物を選択的に注入拡散して、P＋型領域14を形成する。このP＋型領域14は、P型半導体層12と配線電極との接触抵抗を低くするために設けるものであり、P型半導体層12の不純物濃度が十分に高い場合は必要ない。なお、P＋型不純物の濃度としては、表面濃度で$1\times10^{17}cm^{-3}$ ー1×10^{20} cm^{-3}程度とすればよい。

[0019] 次に、図12に示すように、リン等のN型不純物を選択的に注入拡散して、N＋型領域15を形成する。N＋型領域の濃度としては、表面濃度で$1\times10^{19}cm^{-3}$ ー$1\times10^{20}cm^{-3}$程度とすればよい。また、本構造のバイポーラトランジスタの直流電流増幅率hFEは、N

＋型領域15の拡散深さにより決定されるため、必要に応じてコントロールする必要がある。

[0020] 次に、図13に示すように、熱酸化、又はCVD（化学的気相成長法）等により、シリコン酸化膜16を8000□程度形成し、このシリコン酸化膜16の一部上に多結晶シリコンを5000□程度堆積し、適当な形状のパターンの形成及び不純物注入を行うことにより、抵抗17を形成する。

[0021] 次に、図14に示すように、シリコン酸化膜16の適当な箇所にコンタクト孔を形成し、アルミニウム等による配線電極18、19、20を形成することにより、本発明による抵抗内臓バイポーラトランジスタが完成する。

実施例 1

[0022] 本発明による実施例1を図7に示す。これは、コレクタに抵抗を接続した場合であり、等価回路を図8に示す。

実施例 2

[0023] 本発明による実施例2を図15に示す。これは、コレクタとベースに夫々直列に抵抗を形成したものであり、等価回路は図3に示すようになる。

実施例 3

[0024] 本発明による実施例3を図16に示す。これは、エミッターベース間に並列に抵抗を形成した場合であり、等価回路は図17に示すようになる。

実施例 4

[0025] 本発明による実施例4を図18に示す。これは、図16の場合にさらにベースに直列に抵抗を形成した場合であり、等価回路は図19に示すようになる。

実施例 5

[0026] 本発明による実施例5を図20に示す。これは、図18に示す抵抗内蔵バイポーラトランジスタを、同一チップ上に2個形成した場合である。

請求の範囲

[1] 第1導電型半導体基板をエミッタとし、上記第1導電型の半導体基板上に形成され、且つ、周囲を第1導電型半導体領域で囲むように形成された第2導電型不純物領域をベースとし、上記第2導電型ベース領域の一部上に形成された、第1導電型不純物領域をコレクタとし、前記第1導電型半導体基板の一部上に絶縁層を介して形成された半導体層を抵抗としたバイポーラトランジスタにおいて、前記第1導電型コレクタ領域と前記抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。

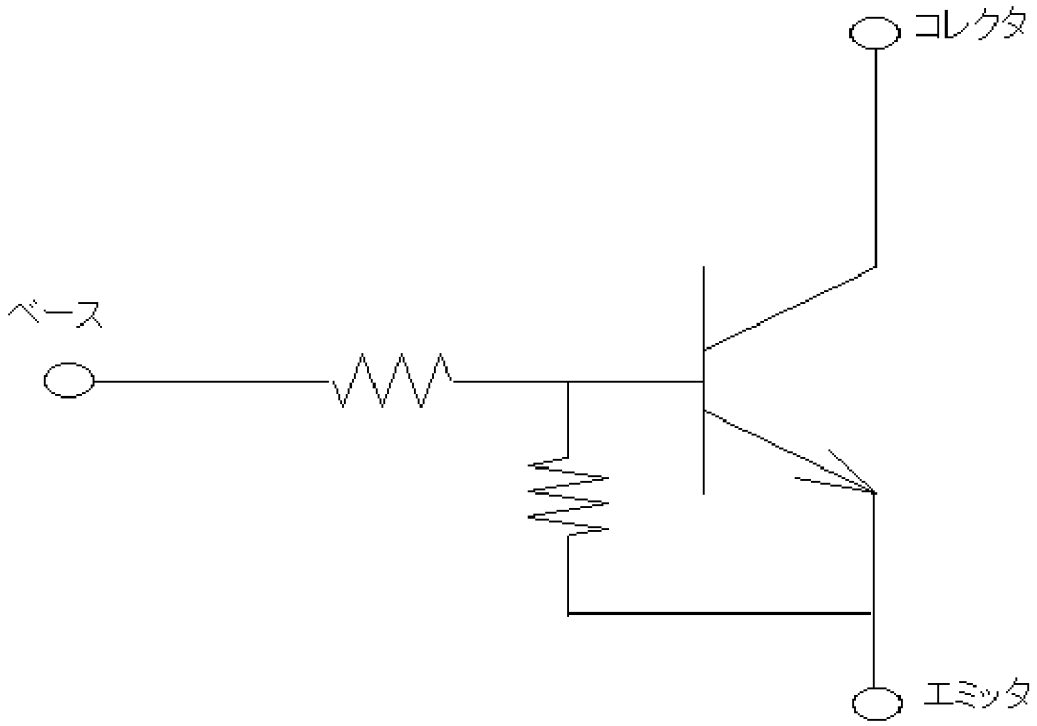
[2] 第1導電型半導体基板をエミッタとし、上記第1導電型の半導体基板上に形成され、且つ、周囲を第1導電型半導体領域で囲むように形成された第2導電型不純物領域をベースとし、上記第2導電型ベース領域の一部上に形成された、第1導電型不純物領域をコレクタとし、前記第1導電型半導体基板の一部上に絶縁層を介して形成された半導体層を抵抗としたバイポーラトランジスタにおいて、前記第2導電型ベース領域と前記抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。

[3] 第1導電型半導体基板をエミッタとし、上記第1導電型の半導体基板上に形成され、且つ、周囲を第1導電型半導体領域で囲むように形成された第2導電型不純物領域をベースとし、上記第2導電型ベース領域の一部上に形成された、第1導電型不純物領域をコレクタとし、前記第1導電型半導体基板の一部上に絶縁層を介して形成された半導体層を抵抗としたバイポーラトランジスタにおいて、前記第1導電型半導体基板(エミッタ)と前記第2導電型ベース領域との間に並列に前記抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。

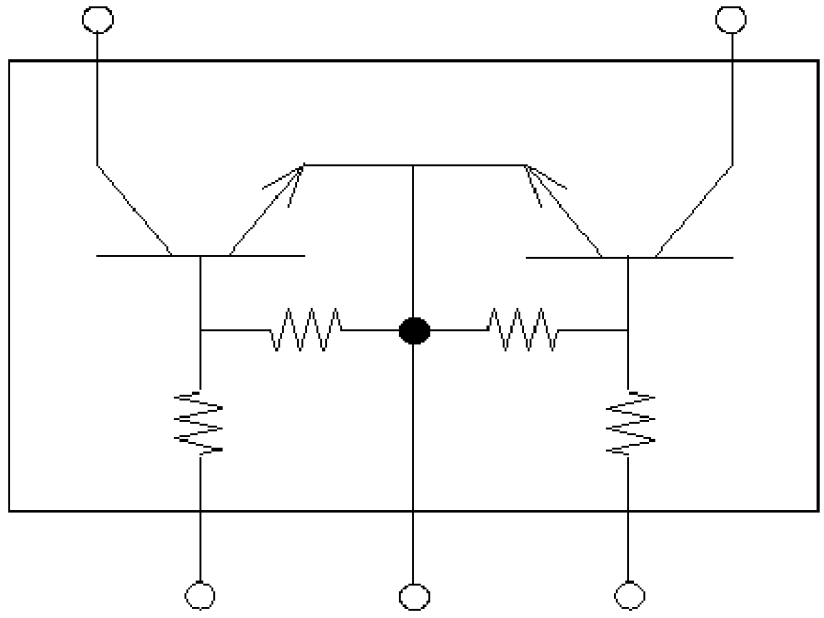
[4] 前記請求項3に記載の抵抗内蔵バイポーラトランジスタにおいて、さらに、前記第2導電型ベース領域と直列に抵抗が接続されていることを特徴とする抵抗内蔵バイポーラトランジスタ。

[5] 同一の第1導電型半導体基板上に、上記半導体基板をエミッタとする前記請求項1項、2項、3項、4項に記載の抵抗内蔵バイポーラトランジスタを複数個配置したことを特徴とする抵抗内蔵バイポーラトランジスタ。

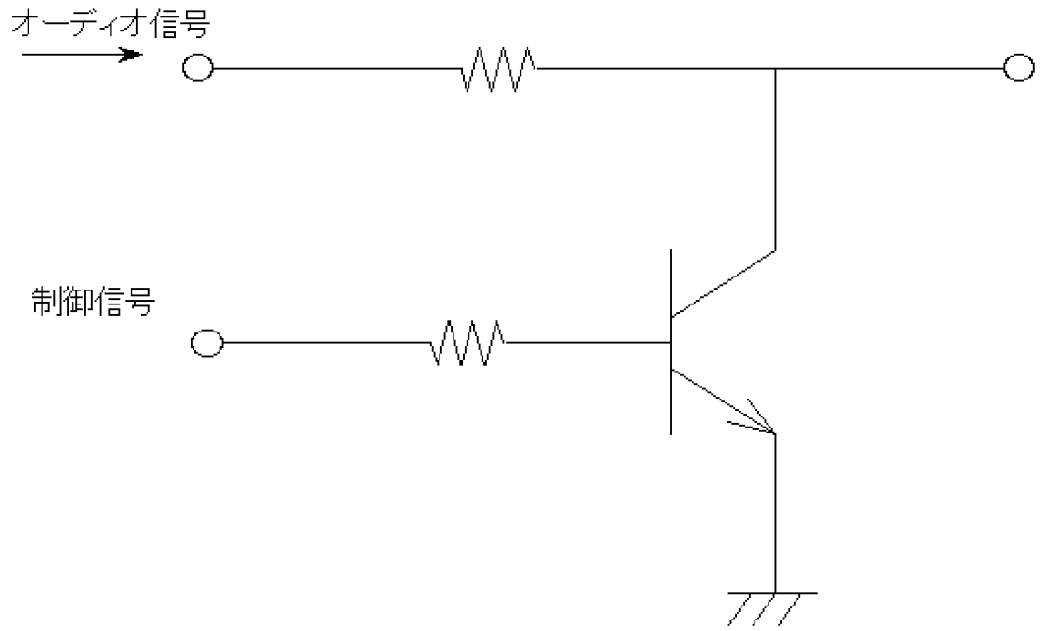
[図1]



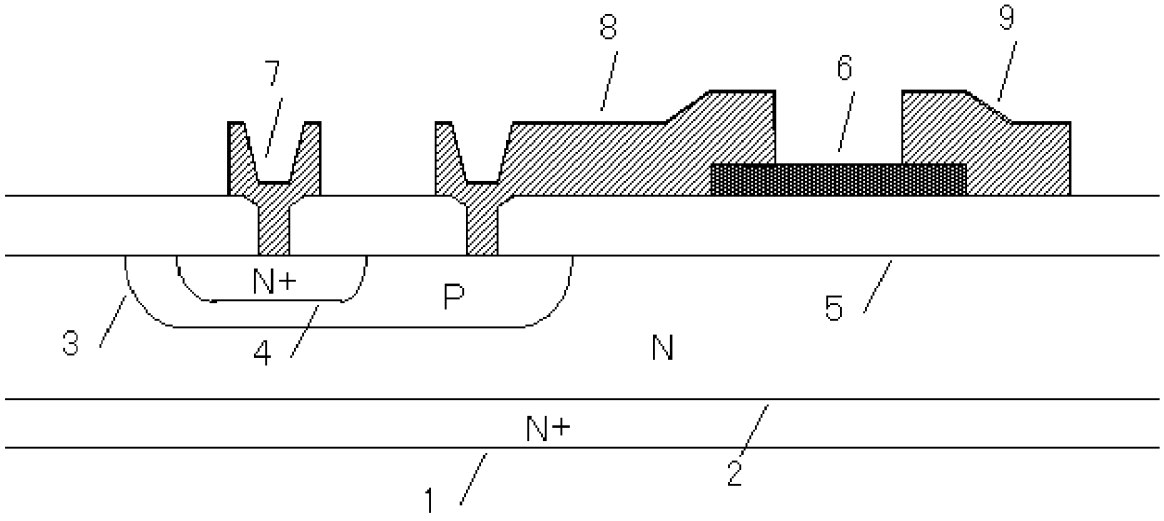
[図2]



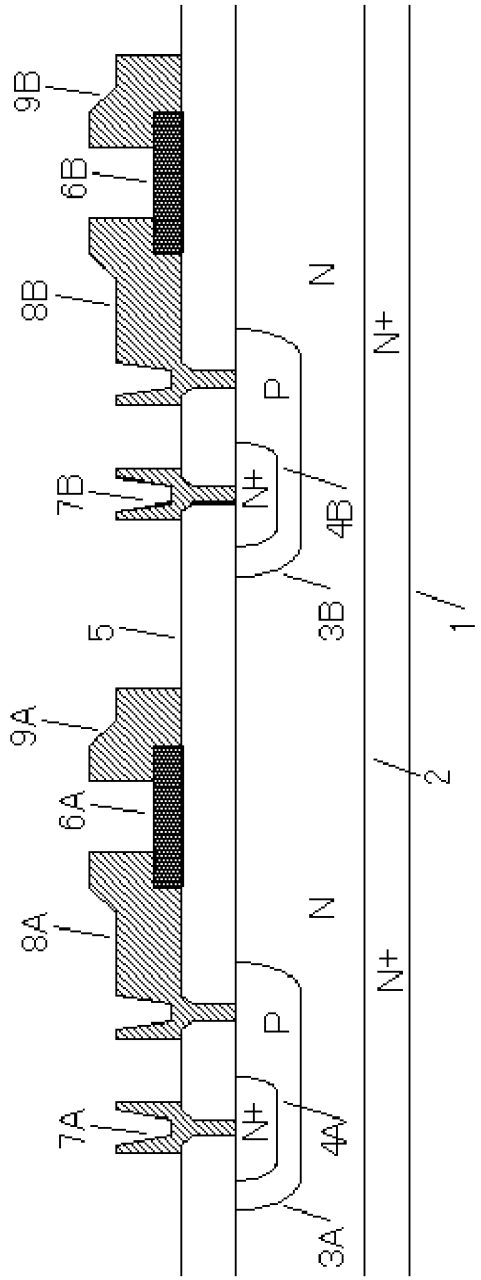
[図3]



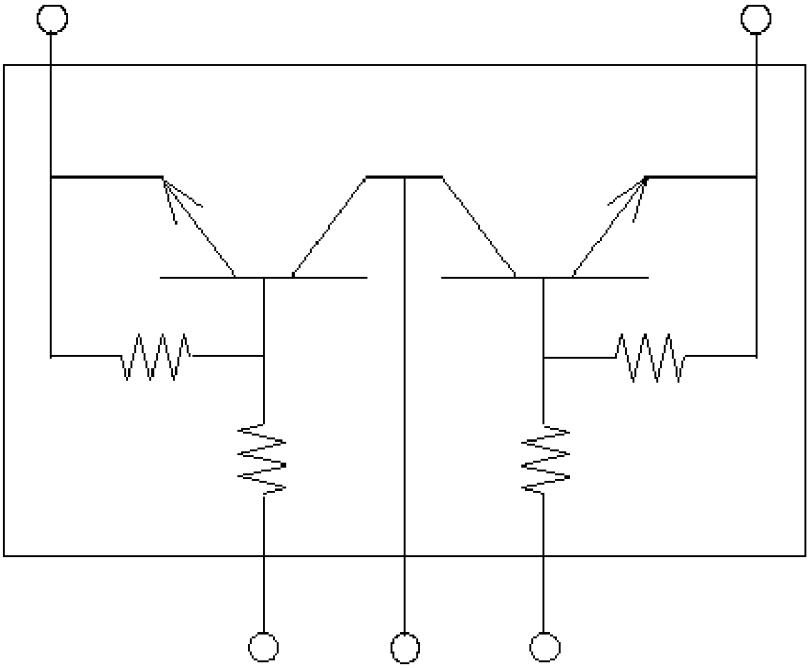
[図4]



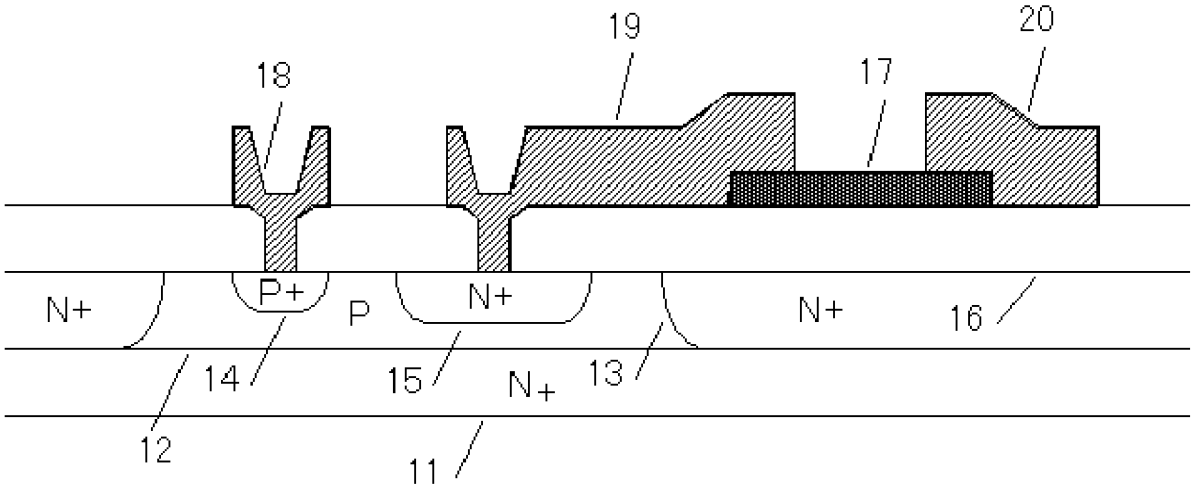
[図5]



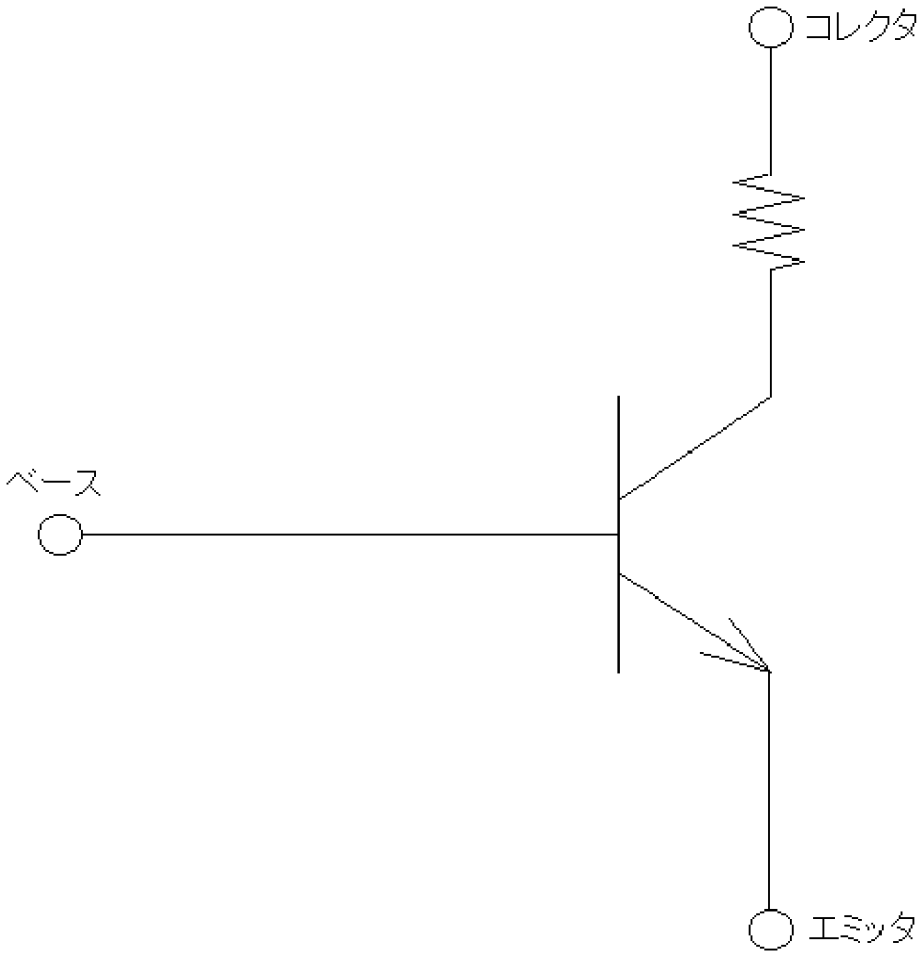
[図6]



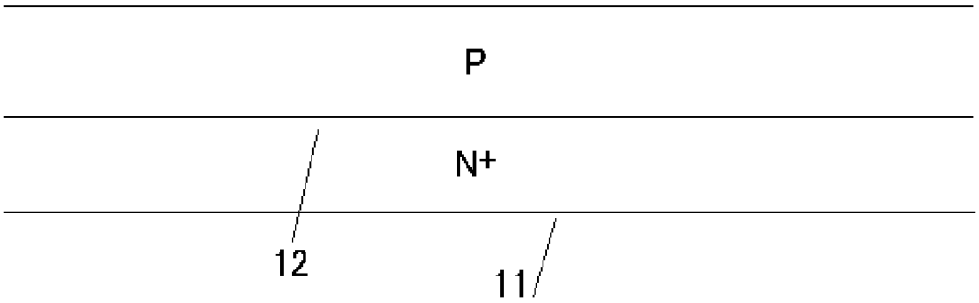
[図7]



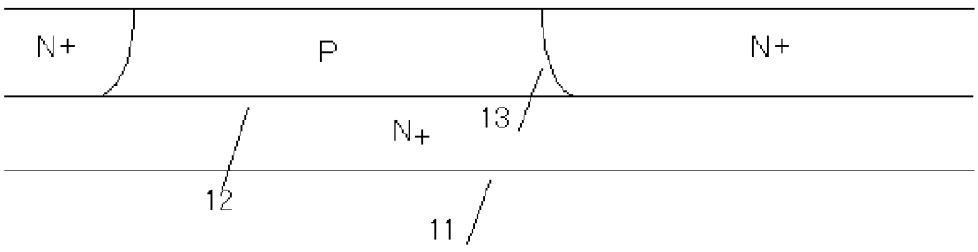
[図8]



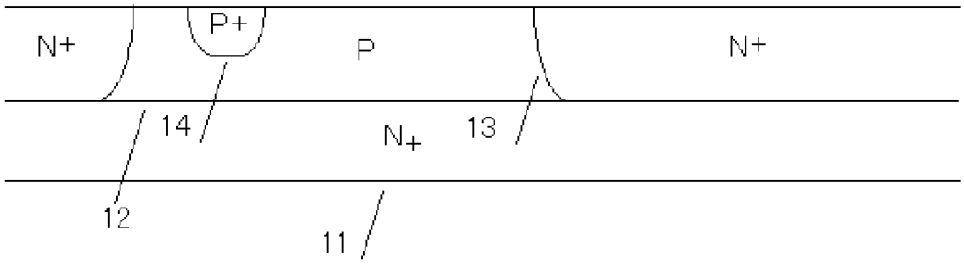
[図9]



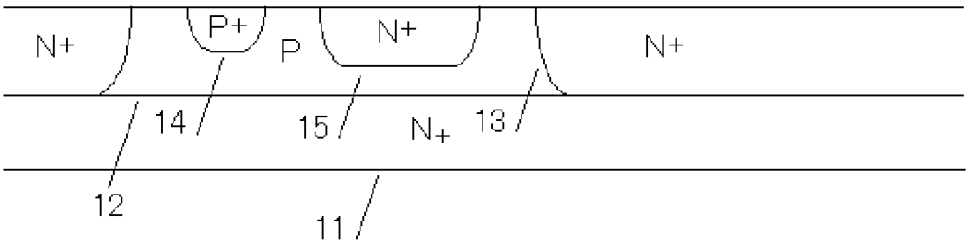
[図10]



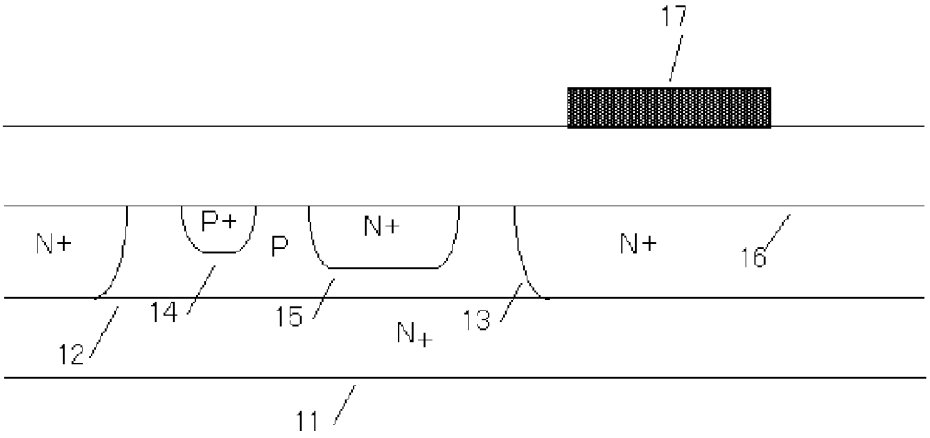
[図11]



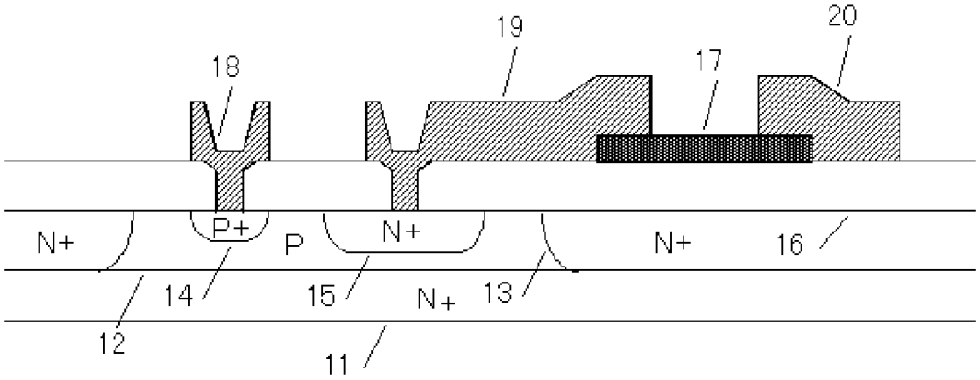
[図12]



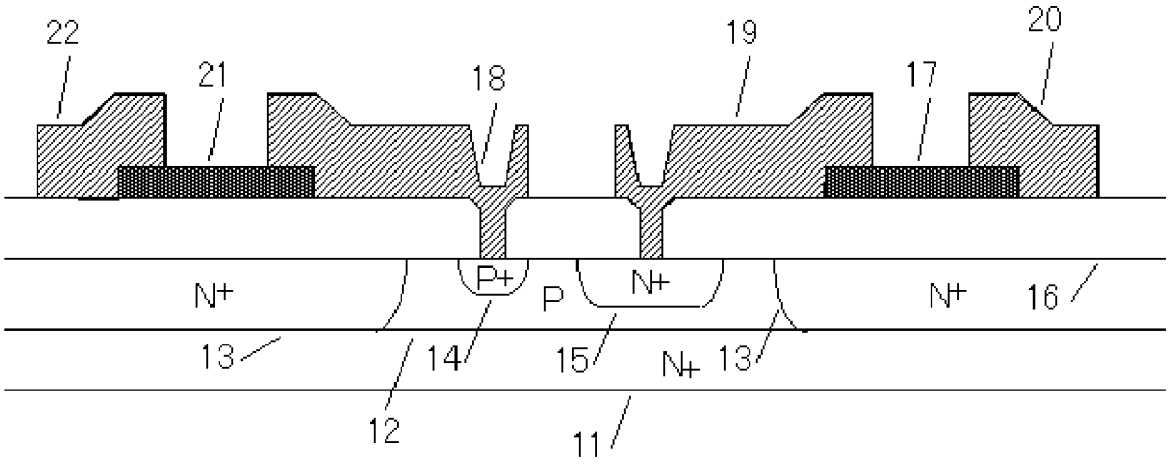
[図13]



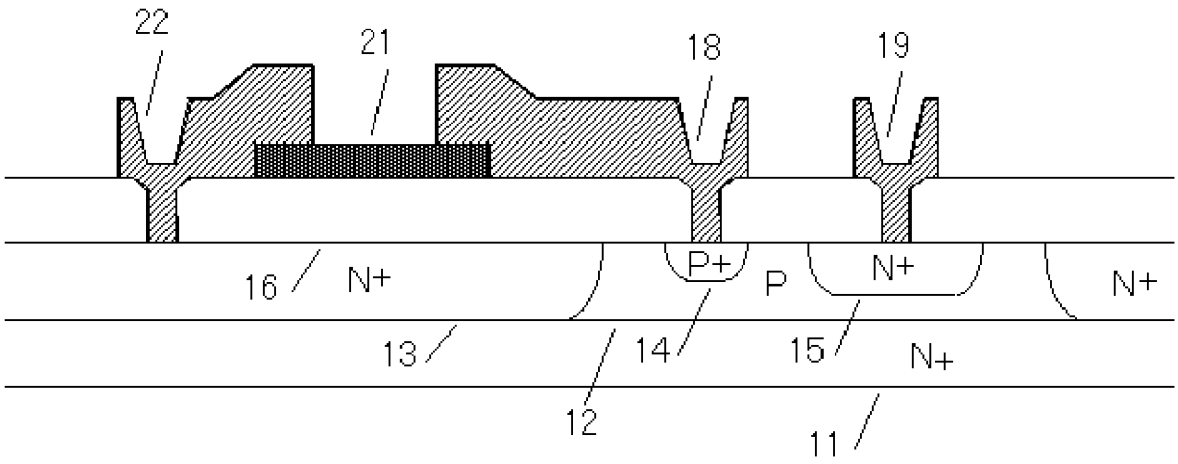
[図14]



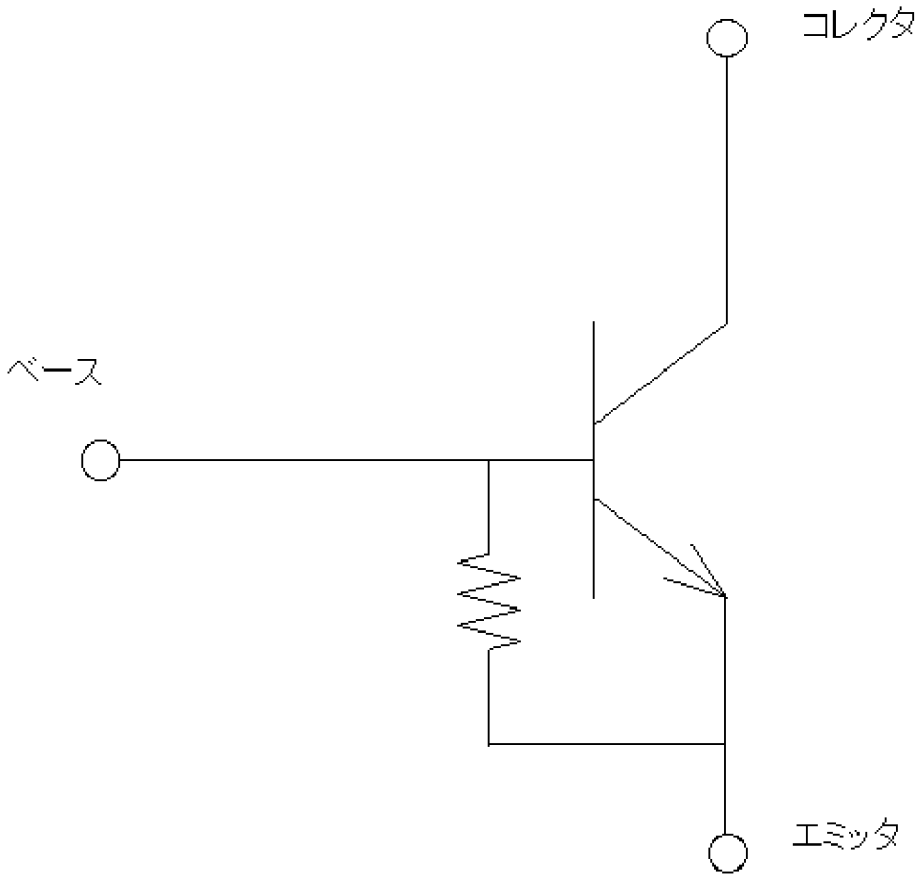
[図15]


22
21
18
19
17
20
N+
P+
P
N+
N+
16
13
14
15
N+
13
12
11

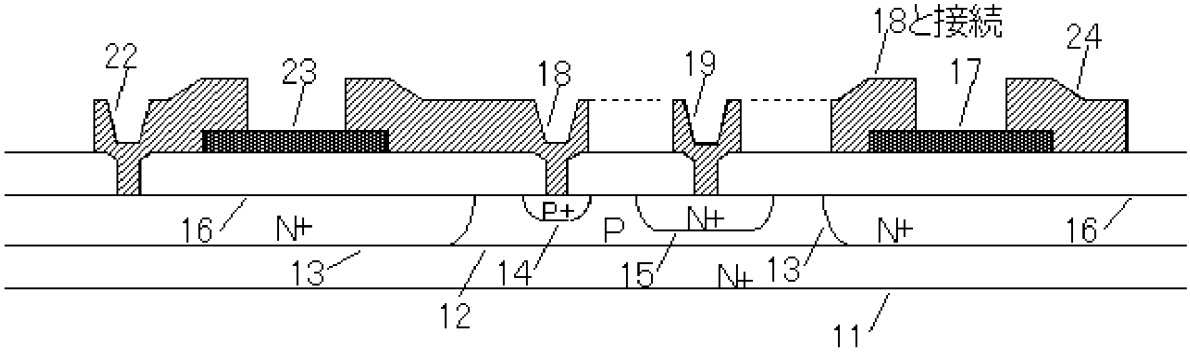
[図16]


22
21
18
19
16
N+
P+
P
N+
N+
13
14
15
N+
12
11

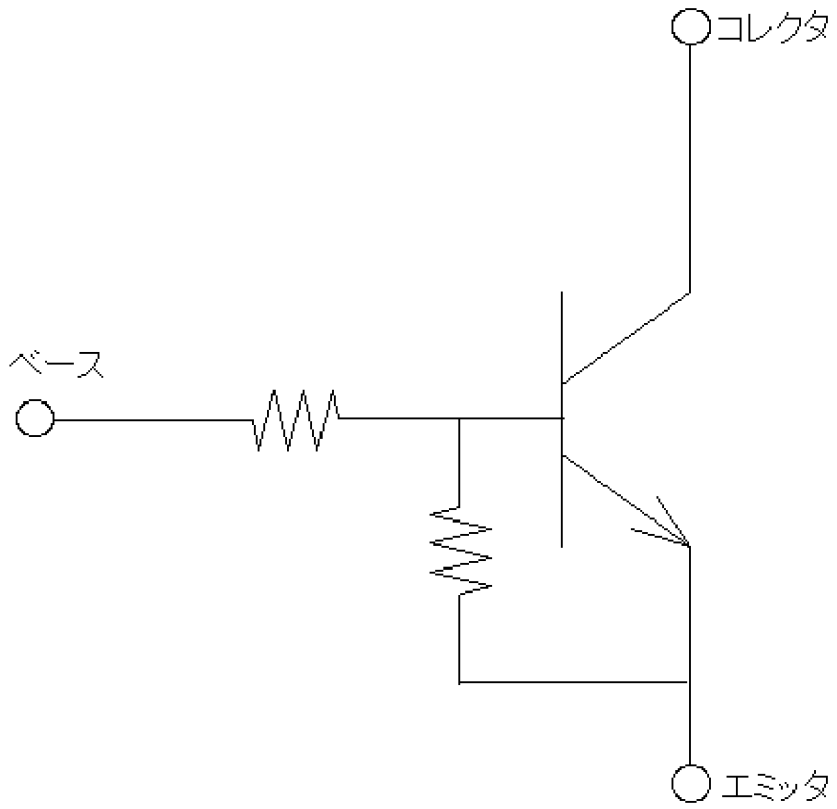
[図17]


コレクタ
ベース
エミッタ

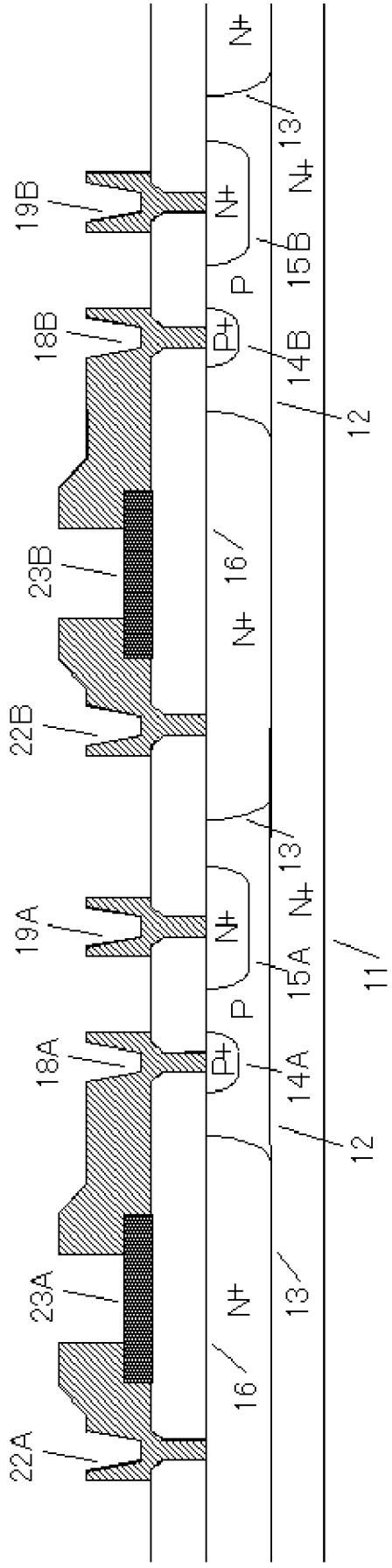
[図18]


18と接続
24
22
23
18
19
17
16
N+
P+
P
N+
N+
16
13
14
15
N+
13
12
11

[図19]



[図20]


22A
23A
18A
19A
22B
23B
18B
19B
16
N+
P+
P
N+
N+
N+
N+
13
14A
15A
14B
15B
12
11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/013783

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L29/73, H01L27/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L29/73, H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-224375 A (Kaho Denshi Kofun Yugenkoshi), 12 August, 1994 (12.08.94), Full text (Family: none)	1-5
Y	JP 63-013371 A (Rohm Co., Ltd.), 20 January, 1988 (20.01.88), Full text (Family: none)	1-5
Y	JP 05-206160 A (Rohm Co., Ltd.), 13 August, 1993 (13.08.93), Full text (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 20 October, 2004 (20.10.04)	Date of mailing of the international search report 02 November, 2004 (02.11.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/013783

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 141289/1972(Laid-open No. 095839/1974) (Tokyo Shibaura Electric Co., Ltd.), 19 August, 1974 (19.08.74), Full text (Family: none)	1-5

国際調査報告

国際出願番号　PCT／JP2004／013783

A.　発明の属する分野の分類（国際特許分類（IPC））

Int. Cl[7]　H01L29／73　H01L27／06

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl[7]　H01L29／73　H01L27／06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　1922－1996年
日本国公開実用新案公報　1971－2004年
日本国実用新案登録公報　1996－2004年
日本国登録実用新案公報　1994－2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP　06－224375　A（華邦電子股分有限公司）1994．08．12，全文　（ファミリーなし）	1－5
Y	JP　63－013371　A（ローム株式会社）1988．01．20，全文　（ファミリーなし）	1－5
Y	JP　05－206160　A（ローム株式会社）1993．08．13，全文　（ファミリーなし）	1－5

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20．10．2004	02.11.2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	河口　雅英	4L	8421
	電話番号　03－3581－1101　内線　3462		

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	日本国実用新案登録出願４７－１４１２８９号（日本国実用新案登録出願公開４９－０９５８３９号）の願書に添付した明細書及び図面の内容を記録したマイクロフィルム（東京芝浦電気株式会社）１９７４．０８．１９，全文　（ファミリーなし）	１－５