

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷
H01L 21/336 H01L 21/8238
H01L 29/78 H01L 27/092

[12]发 明 专 利 说 明 书

[21] ZL 专利号 96103622.2

[45]授权公告日 2002 年 11 月 20 日

[11]授权公告号 CN 1094654C

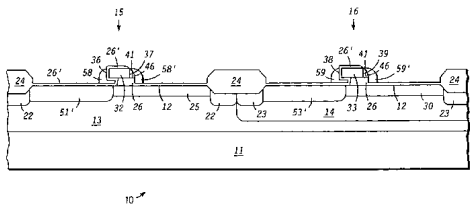
[22]申请日 1996.3.18 [21]申请号 96103622.2
[30]优先权
[32]1995.3.21 [33]US [31]408654
[73]专利权人 摩托罗拉公司
地址 美国伊利诺斯
[72]发明人 罗伯特·B·戴维斯
钱德瑞斯克哈拉·修德哈姆
弗兰克 K·贝克
[56]参考文献
EP 0387722A 1990. 9.19 H01L29/784
JP 4-154171 1992. 5.27 H01L29/784
US 5019879A 1991. 5.28 H01L27/115
US 5372960A 1994.12.13 H01L21/336
审查员 唐跃强

[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所
代理人 陆立英

权利要求书 6 页 说明书 19 页 附图 19 页

[54]发明名称 隔离栅半导体器件及其制造方法
[57]摘要

在半导体衬底(11)中制作一个掺杂阱(13),并在此阱中制作一个漏延伸区(25)。在掺杂阱上制作一个氧化层(26),其的厚度至少为 400Å。一个带有在氧化物(26)减薄部分上的栅短路部位(32)和在氧化物(26)未经减薄部分上的栅延伸部位(58)的栅结构(61)。氧化物(26)的减薄部分形成场效应晶体管(10)的栅氧化层,而未经减薄的部分降低了场效应晶体管(10)栅短路部分(32)的电容。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种制造隔离栅半导体器件的方法，其特征在于，包括以下步骤：

提供一个第一导电类型的带有一个主表面(12)的半导体材料(13)；

制作一个从主表面(12)延伸进入半导体材料(13)的第一掺杂层(25)；

在第一介电材料层(26)的第一部分上制作一个第一栅结构(61)的第一部分(32)，第一栅结构(61)的第一部分(32)带有第一(36)和第二(37)侧面并且用第一介电材料层(26)的第一部分与主表面(12)分隔开来；

用第一导电类型的杂质，至少对邻接于第一栅结构(61)的第一部分(32)的第一侧面(36)的部分半导体材料(13)进行掺杂；

横向清除第一介电材料层(26)第一部分的一小部分，以形成一个第一空腔(35)，第一空腔(35)从第一侧面(36)开始延伸于第一栅结构(61)的第一部分(32)与主表面(12)之间。

至少邻接第一栅结构(61)的第一部分(32)制作一个第二介电材料层(26')；

制作一个第一栅结构(61)的第二部分(58)，此第一栅结构(61)的第二部分(58)，通过填充了一部分第一空腔(35)的第二介电材料层(26')，与第一栅结构(61)的第一侧面(36)分隔开来；

对半导体材料(13)中与第一栅结构(61)第一部分(32)的第二侧面(37)邻接的部分(64)，以及半导体材料(13)中与第一栅结构(61)第二部分(58)的第二侧面邻接的部分(63)进行掺杂；以及

对部分第一栅结构(61)进行掺杂。

2. 根据权利要求1的方法,其特征不在于,横向清除小部分第一介电材料层(26)的第一部分的步骤包括暴露第一栅结构(61)第一部分(32)的第一侧面(36)。

3. 根据权利要求1所述的方法，其特征在于，包括以下步骤：

在部分半导体材料(13)中制作一个第二导电类型的掺杂阱(14)；

制作一个从主表面(12)延伸进入掺杂阱(14)的第二掺杂层(30)；

在第一介电材料层的第二部分上制作一个第二栅结构(62)的第一部分(33)，第二栅结构(62)的第一部分(33)带有第一(38)和第二(39)侧面且用第一介电材料层(26)的第二部分与主表面(12)分隔开来；

用第一导电类型杂质至少对邻接于第一栅结构第一部分(33)的第一侧面(38)的一部分掺杂阱(14)进行掺杂；

横向清除小部分第一介电材料层(26)的第二部分以形成第二空腔(35')，此第二空腔(35')从第一侧面(38)开始延伸于第二栅结构(62)第一部分(33)与主表面(12)之间；

制作一个至少邻接于第二栅结构(62)第一部分(33)的第三介电材料层；

制作一个第二栅结构(62)的第二部分(59)，此第二栅结构(62)

的第二部分(59)用填充部分第二空腔(35')的第三介电材料层与第二栅结构(62)的第一侧面(38)分隔开来;

对邻接于第二栅结构(62)第一部分(33)第二侧面(39)的部分掺杂阱(14)和邻接于第二栅结构(62)第二部分(59)第二侧面的部分掺杂阱(14)进行掺杂;以及

对部分第二栅结构(62)进行掺杂。

4. 一种制作隔离栅半导体器件的方法,其特征在于,包括以下步骤:

提供一个第一导电类型的带有主表面(12)的半导体材料(13);

制作一个从主表面(12)延伸进入半导体材料(13)的第二导电类型的第一掺杂层(25);

在主表面(12)上制作一个第一介电材料层(26);

在第一介电材料层(26)的第一部分上制作一个第一栅结构(61)的第一部分(32),此第一栅结构(61)的第一部分(32)带有第一(36)和第二(37)侧面和一个顶表面(45);

制作一个从第一侧面(36)延伸于第一栅结构(61)第一部分(32)之下的第一空腔(35)并且暴露部分主表面(12);

在半导体材料(13)中制作至少一个第一导电类型的增强掺杂区(51),此至少一个增强掺杂区(51)对准第一栅结构(61)第一部分(32)的第一侧面(36);

在第一栅结构(61)和暴露出来的部分主表面(12)上,制作一个第二介电材料层(26');

在第二介电材料层(26')上制作一个第一栅结构(61)的第二部分(58),此第一栅结构(61)的第二部分(58)带有第一和第二侧面,

而且第一栅结构(61)第二部分(58)的第二侧面邻接于第一栅结构(61)第一部分(32)的第一侧面(36);

制作第二导电类型的第一(63)和第二(64)掺杂区,此第一掺杂区(63)对准第一栅结构(61)第二部分(58)的第一侧面,而第二掺杂区(64)对准第一栅结构(61)第一部分(32)的第二侧面(37);

用第二导电类型的杂质对第一栅结构(61)的第一(32)和第二(58)部分进行掺杂;以及

制作一个连接第一栅结构(61)第一(32)和第二(58)部分的第一导线(78)。

5.根据权利要求4所述的方法,其特征在于,包括以下步骤:

各向异性地腐蚀第二介电材料层,以形成邻接于第一栅结构第一部分的多个间隔;

清除掉该第一介电材料层上的一部分;及

清除该多个间隔之中的第一间隔,该第一间隔邻接于该第一栅结构第一部分的第一侧面。

6.根据权利要求4的方法,其特征在于制作第一栅结构(61)第二部分的步骤包括在第二介电材料层(26')上沉积一个半导体材料或导体材料(57),其中的一个半导体材料或导体材料(57)填充部分第一空腔(35)。

7.根据权利要求6的方法,其特征在于,一个半导体材料或导体材料选自多晶硅、非晶硅、单晶硅和钨。

8.一种隔离栅半导体器件,其特征在于:

一个第一导电类型的带有一个主表面(12)的半导体材料(13);

一个半导体材料(13)上的第一介电材料层(26);

一个从主表面(12)延伸进入半导体材料(13)第一部分的第二导电类型掺杂层(25);

一个带有第一(32)和第二(58)导电部分的第一栅结构(61),此第一栅结构(61)的第一导电部分(32)在第一介电材料层(26)的第一部分上并带有第一(36)和第二(37)侧面,第一栅结构(61)的第二导电部分(58)带有第一和第二侧面,其中第一栅结构(61)第二导电部分(58)的第二侧面用第二介电材料层(26')与第一栅结构(61)第一导电部分(32)的第一侧面(36)分隔开来,而小部分第一栅结构(61)的第二导电部分(58)在第一栅结构(61)第一部分(32)与部分主表面(12)之间;

至少一个第一导电类型的增强掺杂区(51),此至少部分半导体材料(13)中的至少一个增强掺杂区(51)在第一栅结构(61)第二导电部分(58)的下方;以及

第二导电类型的第一(64)和第二(63)掺杂区,在部分半导体材料(13)中的此第一掺杂区(64)邻接于第一栅结构(61)第一部分(32)的第二侧面(37),部分半导体材料(13)中的第二掺杂区(63)邻接于第一栅结构(61)第二导电部分(58)的第一侧面。

9. 根据权利要求8的隔离栅半导体器件,其特征在于,还包括:

一个从主表面(12)延伸进入半导体材料(13)第二部分的第二导电类型掺杂层(14);

一个从主表面(12)延伸进入掺杂层(14)的第一导电类型掺杂层(30);

一个带有第一(33)和第二(59)导电部分的第二栅结构(62),此第二栅结构(62)的第一导电部分(33)在第一介电材料层(26)的第二部分上且带有第一(38)和第二(39)侧面,第二栅结构(62)的第二导电部分(59)带有第一和第二侧面,其中第二栅结构(62)第二部分(59)的第二侧面用第三介电材料层同第二栅结构(62)的第一侧面分隔开来,且小部分第二栅结构(62)的第二部分(59)在第二栅结构(62)第一部分(33)与部分主表面(12)之间;

至少一个第二导电类型的增强掺杂区(53),此至少部分掺杂阱(14)中的至少一个增强掺杂区(53)在第二栅结构(62)第二导电部分之下;以下

第一导电类型的第三(67)和第四(66)掺杂区,此部分掺杂阱(14)中的第三掺杂区(67)对准第二栅结构(62)第一导电部分(33)的第二侧面(39),部分掺杂阱(14)中的第四掺杂区(66)对准第二栅结构(62)第二导电部分(59)的第一侧面。

10.根据权利要求9的隔离栅半导体器件,其特征在于,第一栅结构(61)的第一(32)和第二(58)导电部分包含掺有第二导电类型杂质的多晶硅,而第二栅结构(62)的第一(33)和第二(59)导电部分包含掺有第一导电类型杂质的多晶硅。

隔离栅半导体器件及其制造方法

本发明涉及隔离栅半导体器件，确切涉及控制隔离栅半导体器件的阈值电压 V_T 和提高隔离栅半导体器件的跨导 g_m 。

本领域的技术人员都知道， V_T 与隔离栅半导体器件导通时的电压有关，而且随着沟道区的载流子浓度而变化。例如，为了在隔离栅半导体器件中形成沟道，N 沟隔离栅半导体器件的栅—源之间的电压 (V_{GS}) 必须超过 V_T ，因栅极电压通常是隔离栅半导体器件的输入电压，故输入电压相对于源极电压必须超过 V_T ，以便形成导电沟道。换言之，除非 $V_{GS} > V_T$ ，否则将不会有明显的漏极电流 (I_D) 流过隔离栅半导体器件的沟道区。此外， V_T 在确定隔离栅半导体器件的饱和电流方面很重要，饱和电流反过来又有助于确定器件的功率带宽。

虽然在隔离栅半导体器件的所有应用中精确地控制 V_T 都是迫切希望的，但在低压应用中格外重要。对于采用标准电源电平的隔离栅半导体器件，上部电源干线 (5V) 与下部电源干线 (0V) 之差 (亦即约为 5V) 大得足以使 V_T 的起伏对器件性能的影响可忽略。然而，在低压应用中，这两电源干线差小于 1.5V， V_T 呈现为总电源电压的主要部分，因此 V_T 的起伏引起隔离栅半导体器件电流驱动能力的

很大起伏。

此外,隔离栅场效应晶体管的跨导 g_m 受其 V_{GS} 、 I_D 和 V_T 的影响。因跨导随 I_D 增加而增加,故希望使 I_D 尽量大,从而增大跨导。尚且,隔离栅场效应晶体管的高频开关速度因栅—漏电容和栅—源电容的组合(合起来称为“栅电容”)而降低。据此,大的栅电容降低了隔离栅场效应晶体的带宽,或降低了隔离栅场效应晶体管的频率响应。

为此,具有一种能控制阈值电压并在低电压和高带宽应用中能使栅电容最小化的隔离栅场效应晶体管及其制造方法,该是很有益的。

图 1—9 示出根据本发明第一实施例在工艺过程期间隔离栅场效应晶体管一部分的高倍放大剖面图;

图 10—18 示出根据本发明第二实施例在工艺过程期间隔离栅场效应晶体管一部分的高倍放大剖面图;以及

图 19 示出根据本发明第三实施例在工艺过程期间隔离栅场效应晶体管的高倍放大剖面图。

总的说来,本发明提供了一种隔离栅半导体器件和一种制造隔离栅半导体器件的方法。隔离栅半导体器件也称为“隔离栅场效应器件”和“隔离栅场效应晶体管”。根据本发明制造的隔离栅半导体器件具有一个减小了的栅电容,因而频率响应即带宽比其它方法制造的隔离栅半导体器件更高。更确切地说,本发明的隔离栅半导体器件在器件的漏区具有一个轻掺杂漏(LDD)延伸区,它允许在邻近漏区的栅结构部分和轻掺杂漏延伸区之间制作较厚的栅介电材料。于是,栅结构包含两个导电部分:一个导电部分靠近器件的漏区,用

作短路电极；另一个邻接器件源区的延伸区即第二导电部分，用作有源栅结构。

应当理解，在各图中用相同的参考号来表示相同的元件。还应理解，本发明描述中提供的材料、浓度和厚度仅仅用作例子而不是本发明的限制。

图1示出根据本发明第一实施例在工艺过程期间局部完成的互补隔离栅场效应晶体管10的局部放大剖面图。互补隔离栅场效应晶体管10包含一个制作在部分P型外延层13中的N沟晶体管15和一个制作在部分N阱14中的P沟晶体管16。图1所示的是一个其上排列有外延层13的P型衬底11。作为例子，外延层13为P型，带有一个主表面12，其厚度范围约为 $2\mu\text{m}$ — $5\mu\text{m}$ 。采用本技术领域已知的方法在部分P型外延层13中制作一个N型杂质阱14。例如，衬底的电阻率范围为 $\sim 0.01\Omega\text{cm}$ — $\sim 0.1\Omega\text{cm}$ ，P型外延层13的电阻率为 $\sim 6\Omega\text{cm}$ — $\sim 8\Omega\text{cm}$ 。P型外延层13和N阱14的表面浓度为 5×10^{15} 原子/ cm^3 。虽然本发明的描述包括了衬底11和P型外延层组合以防止闭锁，但应理解，本发明的隔离栅场效应晶体管可以制作在衬底11之类的半导体材料中。此外，场注入区22制作在P型外延层13中，场注入区23制作在N阱14中，而场氧化区24制作在场注入区22和23上。外延层、掺杂阱、场注入区以及场氧化区的制作，对于本领域技术人员是公知的。

在N阱14上形成一个诸如光抗蚀剂的注入阻挡掩模(图中未示出)，并将N型杂质原材料注入到部分P型外延层13中以便在二个相邻的场氧化区24之间形成一个掺杂层25。虽然掺杂层25被示为横跨相邻场氧化层24之间的整个P型外延层13部分，但应理解

此掺杂层 25 也可以制作成只跨越相邻场氧化区 24 之间的一小部分 P 型外延层 13。消除此注入阻挡掩模,并在 P 型外延层 13 上形成一个注入阻挡掩模。将 P 型杂质材料注入到部分 N 阱中以便在二个相邻的场氧化区 24 之间形成一个掺杂层 30。与掺杂层 25 相似,掺杂层 30 可制作成横跨一小部分 N 阱 14。应该指出,掺杂层 25 和 30 用作分别制作在 P 型外延层 13 和 N 阱 14 中的场效应晶体管的漏延伸区。而且,掺杂层 25 和 30 允许制作部分足够厚的栅氧化层以减小栅电容,从而改善场效应晶体管的频率响应。

作为例子,层 25 和 30 的表面浓度范围为 $\sim 7 \times 10^{16}$ 原子/ cm^3 —— $\sim 2 \times 10^{17}$ 原子/ cm^3 。适合于获得上述表面浓度的注入条件为:层 25 和 30 二者的注入剂量范围为 $\sim 1 \times 10^{12}$ 原子/ cm^2 —— $\sim 3 \times 10^{12}$ 原子/ cm^2 ;制作层 25 的注入能量范围为 $\sim 50\text{KeV}$ —— $\sim 200\text{KeV}$;制作层 30 的注入能量范围为 $\sim 25\text{KeV}$ —— $\sim 100\text{KeV}$ 。

在主表面上 12 上制作一个介电材料 26。虽然在制作氧化层 26 的过程中,某些氧化过程会增加场氧化区 24 的厚度,但为简化本发明的描述,而且由于这一厚度增加相对于场氧化区 24 的总厚度来说很小,故未示出场氧化区 24 厚度的这一增加。适于制作氧化层 26 的方法是热氧化。氧化层 26 的厚度最好至少为 $400\text{\AA}$ 。根据本发明第一实施例,氧化层 26 的厚度范围为 $\sim 600\text{\AA}$ —— $\sim 1800\text{\AA}$ 。典型的氧化层 26 厚度为约 $1200\text{\AA}$ 。应该指出,部分氧化层 26 用作晶体管 15 和 16 的部分栅氧化物。

用例如化学气相淀积方法在氧化层 26 上制作一个多晶硅层 27。多晶硅层 27 的适当厚度范围为 $\sim 2500\text{\AA}$ —— $\sim 4000\text{\AA}$ 。典型的多晶硅层 27 厚度为约 $3300\text{\AA}$ 。在多晶硅层 27 上制作一层介电材料

28。介电材料层 28 是例如由分解四乙基正硅酸盐 (TEOS) 形成的一层氧化物, 由分解四乙基正硅酸盐所形成的氧化层通常称为 TEOS 层。作为例子, 氧化层 28 的厚度范围为 $\sim 50 \text{ \AA}$ — $\sim 400 \text{ \AA}$, 而额定厚度约为 $150 \text{ \AA}$ 。用例如低压化学气相淀积 (LPCVD) 方法在介电材料层 28 上制作一层氮化硅 29。氮化硅层 29 的适当厚度范围为 $\sim 150 \text{ \AA}$ — $\sim 350 \text{ \AA}$, 而氮化硅层 29 的额定厚度约为 $250 \text{ \AA}$ 。

参照 V2, 在部分 P 型 V 延层 13 和部分 N 阱 14 上制作栅结构的 32 和 33 部分。栅短路部分 32 和 33 分别构成栅结构的一部分 61 和 62, 并在图 8 中示出和进一步描述。应该指出, 区域 32 和 33 由多晶硅层 27 组成, 而且区域 32 有侧面 36 和 37 以及一个顶面 45, 而区域 33 有侧面 38 和 39 以及一个顶面 50。区域 32 和 33 用作栅结构的栅短路区, 并且是由对氮化物层 29、氧化物层 28 和多晶硅层 27 进行各向异性腐蚀所形成的。栅短路区 32 和 33 可以用例如在氮化硅层 29 上涂覆一层光抗蚀剂 (图中未示出)、将要清除部分的氮化硅层 29 暴露出来 (例如用光刻方法)、再对氮化硅层 29 的暴露部分进行各向异性腐蚀的方法来制作。此外, 氮化硅层 29 暴露部分下方的部分氧化物层 28 和多晶硅层 27 也被腐蚀, 从而将部分氧化物层 26 和场氧化区 24 暴露出来。

现参照图 3, 在各栅短路区 32 和 33 的暴露侧面 36、37、38 和 39 上制作一个氧化层 41。作为例子, 氧化层 41 用热氧化侧面 36、37、38 和 39 的方法来制作。氧化层 41 的适当厚度范围为 $\sim 50 \text{ \AA}$ — $\sim 250 \text{ \AA}$, 而氧化层 41 的额定厚度为约 $100 \text{ \AA}$ 。虽然用热氧化方法制作氧化层 41 会增加场氧化区 24 和氧化物层 26 的厚度, 但为简化本发明的描述, 没有示出层 24 和 26 所增加的厚度。

在栅短路区 32 和 33 以及氧化层 26 和场氧化区 24 上制作一个介电材料共形层 43。作为例子,介电材料层 43 是氮化硅,其厚度范围为 $\sim 250\text{\AA}$ — $\sim 750\text{\AA}$,而额定厚度约为 $400\text{\AA}$ 。应该指出,掺杂层 25 和 30 的杂质材料用上述工艺步骤激活或驱入 P 型外延层 13 和 N 阱 14 中。

现参照图 4,对氮化硅层 43 进行各向异性腐蚀以形成邻接氧化层 41 的间隔 46、46'、47 和 47'。适于腐蚀氮化硅层 43 的方法有采用 CF_4 、 NF_3 之类腐蚀剂的反应离子刻蚀(RIE)。此外,各向异性腐蚀步骤可清除部分氧化层 26。在形成间隔 46、46'、47 和 47'之后,氧化层 26 被减薄到约 $400\text{\AA}$ 。应该指出,间隔 46 和 47 保护了部分氧化层 26,而间隔 46' 和 47' 使氧化层 26 成形以便产生一个可重复的凹进腐蚀断面(示于图 5)。

现参照图 5,在一小部分栅短路区 32 和 33 上以及间隔 46 和 47 上制作一层光抗蚀剂(未绘出)。间隔 46' 和 47' 以及未被光抗蚀剂层覆盖的部分氧化层 26 和 28 通过一系列各向同性腐蚀而被清除,亦即,第一腐蚀步骤清除间隔 46' 和 47',第二腐蚀步骤清除栅短路区 32 和主表面 12 第一区之间的部分氧化层 26 以及栅短路区 33 和主表面 12 第二区之间的部分氧化层 26。换言之,栅短路区 32 和 33 在一个侧面上被凹切以形成一个位于栅短路区 32 下部,亦即在栅短路区 32 和主表面 12 第一区之间的空腔 35,以及一个在栅短路区 33 之下,亦即在栅短路区 33 和主表面 12 第二区之间的空腔 35'。光抗蚀剂层掉。最好使得栅短路区 32 和 33 与主表面 12 的各个部分之间的氧化层 26 的一部分的宽度约为该氧化层 26 厚度。

再参照图 5,分别在栅短路区 32 和 33 的暴露部分上以及在主表面 12 的暴露部分上,制作一个屏蔽氧化物 40。作为例子,此氧化

层 40 的厚度范围为 $\sim 100\text{\AA}$ — $\sim 200\text{\AA}$ ，而额定厚度约为 $150\text{\AA}$ 。虽然在场氧化区 24 及氧化层 26 上也形成了氧化层 40，但应指出的是，为简化本发明的描述，没有示出氧化层 40 的这些部分。在排列于栅短路区 32 和 33 上的部分氧化层 40 上，间隔 46 和 47 上邻接侧面 37 和 39 的部分氧化层 40 上，以及部分场氧化区 24 上，形成一层光抗蚀剂(未示出)。这层光抗蚀剂用作注入阻挡掩模。

借助于用例为硼之类的 P 型杂质材料对部分 P 型外延层 13 进行掺杂，制作一个增强掺杂区 51。更确切地说，将硼注入到部分 P 型外延层 13 中以形成掺杂区 51。掺杂区 51 在横向上对准于 N 沟晶体管 15 的场氧化区 24 和排列在栅短路区 32 侧面 36 上的氧化层 40。应该指出，掺杂区 51 与主表面 12 是分隔开的。恰当的注入参数包括：注入 P 型杂质材料的剂量范围为 $\sim 2 \times 10^{12}$ 原子/ cm^2 — $\sim 2 \times 10^{13}$ 原子/ cm^2 ，注入能量范围为 $\sim 40\text{KeV}$ — 100KeV 。于是，形成掺杂区 51 的硼就被注入到 P 型外延层 13 中，其深度即距离范围为 ~ 1500 — $3000\text{\AA}$ 。形成掺杂区 51 的杂质材料即掺杂剂用来对 N 沟晶体管 15 提供穿通保护。

借助于用硼来掺杂 P 型外延层 13 的另一部分的方法，制作一个增强掺杂区 52。作为例子，制作掺杂区 52 的注入参数包括：剂量范围为 $\sim 5 \times 10^{11}$ 原子/ cm^2 — $\sim 1 \times 10^{13}$ 原子/ cm^2 ，而恰当的注入能量范围为 $\sim 10\text{KeV}$ — 20KeV 。于是，形成掺杂区 52 的硼被注入到部分 P 型外延层 13 中，其深度即距离范围为 ~ 200 — $1200\text{\AA}$ 。形成掺杂区 52 的杂质材料用来调节 N 沟晶体管 15 的阈值电压。清除光抗蚀剂层，并在排列于栅短路区 32 和 33、间隔 47、邻接于间隔 47 的部分氧化层 26、P 型外延层 13 上部分氧化层 26 以及部分场氧化区 24

上的部分屏蔽氧化层 40 上,制作一层光抗蚀剂(未示出)。这层光抗蚀剂也用作注入阻挡掩模。

借助于用例如磷之类的 N 型杂质材料对部分 N 阱 14 进行掺杂,形成一个增强掺杂区 53。更确切地说是将磷注入到 N 阱 14 中以形成掺杂区 53。应该指出的是,掺杂区 53 是同表面 12 分隔开的。恰当的注入参数包括:N 型杂质材料的注入剂量为 $\sim 2 \times 10^{12}$ 原子/ cm^2 — $\sim 2 \times 10^{13}$ 原子/ cm^2 ,注入能量范围为 $\sim 80\text{KeV}$ — 200KeV 。于是,形成掺杂区 53 的注入步骤的 N 型杂质材料被注入 N 阱 14 中,其深入即距离范围为 ~ 1500 — $3000\text{\AA}$ 。形成掺杂区 53 的杂质材料用来为 P 沟晶体管 16 提供穿通保护。

借助于用磷对另一部分 N 阱 14 进行掺杂,形成一个增强掺杂区 54。作为例子,磷被注入到 N 阱 14 中以形成掺杂区 54。制作掺杂区 54 的恰当注入参数包括:注入剂量范围为 $\sim 5 \times 10^{11}$ 原子/ cm^2 — $\sim 1 \times 10^{13}$ 原子/ cm^2 ,注入能量范围为 $\sim 20\text{KeV}$ — 40KeV 。于是,形成掺杂区 54 的注入步骤的 N 型杂质材料被注入 N 阱 14 中,其深入即距离范围为 ~ 200 — $1200\text{\AA}$ 。这个形成掺杂区 54 的杂质材料用来调节 P 沟晶体管 16 的阈值电压。清除掉光抗蚀剂层。

现参照图 6,分别从栅短路区 32 和 33 以及部分主表面 12 清除屏蔽氧化层 40,从而暴露一小部分栅短路区 32 和 33 以及部分主表面 12 并形成氧化延伸区 55。在暴露的部分主表面 12 以及栅短路部分 32 和 33 的暴露区上,制作一个氧化层 26'。

在氧化层 24、26'、氧化层 41 的遗留部分以及间隔 46 和 47 上,制作一层包括例如非晶硅、单晶硅、多晶硅、钨之类的半导体或导体材料 57。作为例子,在氧化层 24、26'、41 上以及间隔 46 和 47 上,沉

积了一个厚度范围为 $\sim 1000\text{\AA}$ — $\sim 2500\text{\AA}$ 的多晶硅层 57。多晶硅层 57 的额定厚度约为 $1750\text{\AA}$ 。虽然掺杂区 51 和 52 原本是分隔开的, 但应指出, 它们相互扩散并形成了一个单一的掺杂区 51'。同样, 掺杂区 53 和 54 也相互扩散并形成一个单一掺杂区 53'。

现参照图 7, 对多晶硅层 57 进行各向异性腐蚀以形成分别邻接于侧面 36 和 38 的栅延伸区 58 和 59。应该指出, 栅延伸区 58 和 59 同其相应的侧面 36 和 38 彼此由氧化层 26' 分隔开来。此外, 邻接于间隔 46 和 47 分别形成了延伸区 58' 和 59'。形成栅延伸区 58、58'、59 和 59' 的各向异性腐蚀停止于氧化层 26' 上或氧化层 26' 中。于是, 栅结构 61 包含有一个由第一宽度的氧化层 26 上第一多晶硅部分形成的栅短路区 32 和一个由第二宽度的部分氧化层 26' 上第二多晶硅部分形成的栅延伸区 58, 其中的第二宽度小于第一宽度。同样, 栅结构 62 包含一个由第一宽度的氧化层 26 上多晶硅部分形成的栅短路部分 33 和一个由第二宽度的部分氧化层 26' 上另一多晶硅部分形成的栅延伸区 59。

现参照图 8, 在栅短路区 32 和 33、栅延伸区 58 和 59 以及邻接于栅延伸区 58 和 59 的部分氧化层 26' 上, 制作一层光抗蚀剂(未示出)。换言之, 栅延伸区 58' 和 59' 以及邻接于栅延伸层 58' 和 59' 的部分氧化层 26' 未被光抗蚀剂覆盖, 亦即它们是暴露的。此光抗蚀剂层用作腐蚀保护掩模。用例如各向同性的等离子腐蚀方法将栅延伸区 58' 和 59' 以及间隔 46 和 47 清除。虽然间隔 46 和 47 示为已完成清除了, 但应指出的是, 它们可能只是减小了尺寸。此外, 也清除了氧化层 26' 的暴露部分。然后清除掉光抗蚀剂层。

应该理解, 栅延伸区 58 同栅短路区 32 以及 P 型外延层 13 上

的部分氧化层 26' 一起合作形成了栅结构 61。同样应该理解, 栅延伸区 59 同栅短路区 33 以及 N 阱 14 上的部分氧化层 26' 一起合作形成了栅结构 62。栅延伸区 58 同主表面 12 之间以及栅延伸区 59 同主表面 12 之间的部分氧化层 26' 用作有源栅氧化层。

在场氧化区 24 上, 以及氧化层 26'、氧化层 41、间隔 46 和 47、栅延伸区 58 和 59 的剩余部分上, 共形沉积一个氧化层 60。作为例子, 氧化层 60 的厚度范围为 $\sim 100 \text{ \AA}$ — $\sim 300 \text{ \AA}$, 而额定厚度约为 $150 \text{ \AA}$ 。

在栅结构 61 和 62 上的部分介电材料层 60 上以及邻接于栅结构 62 的 N 阱 14 上的部分氧化层 60 上, 制作一层光抗蚀剂(未示出)。换言之, 此光抗蚀剂用作注入保护掩模, 以防止 P 沟晶体管 16 被 N 沟晶体管 15 的源/漏注入过程掺杂。执行源/漏注入以形成源区 63 和漏区 64。此外, 源/漏注入也使栅结构 61 掺杂。源/漏注入的恰当参数包括: 注入砷之类的 N 型杂质材料的剂量范围为 $\sim 1 \times 10^{15}$ 原子/ cm^2 — $\sim 1 \times 10^{16}$ 原子/ cm^2 , 而注入能量范围为 $\sim 60 \text{ KeV}$ — 120 KeV 。

清除这层光抗蚀剂, 在栅结构 61 和 62 上的部分介电材料层 60 上以及邻接于栅结构 61 的 P 型外延层 13 上的部分氧化层 60 上, 制作另一层光抗蚀剂(未示出)。换言之, 此光抗蚀剂层用作注入保护掩模, 以防止 N 沟晶体管 15 被 P 沟晶体管 16 的源/漏注入掺杂。执行例如硼的源/漏注入以形成源区 66 和漏区 67。此外, 源/漏注入还使栅结构 62 掺杂。恰当的源/漏注入参数包括: 注入硼之类的 P 型杂质材料的剂量范围为 $\sim 1 \times 10^{15}$ 原子/ cm^2 — $\sim 5 \times 10^{15}$ 原子/ cm^2 , 而注入能量范围为 $\sim 5 \text{ KeV}$ — 15 KeV 。然而清除这层光抗蚀剂。

再参照图 8, 在介电材料层 60 上形成一个介电材料共形层 69。作为例子, 介电材料 69 是厚度范围为 $\sim 1000\text{\AA}$ — $\sim 2250\text{\AA}$ 的氮化硅。氮化硅层 69 的额定厚度为 $2000\text{\AA}$ 。

参照图 9, 对氮化硅层 69 和氧化层 60 进行各向异性腐蚀以形成邻接于侧面 36 和 37 的氧化间隔 70 和氮化间隔 71。还在邻接于间隔 46 和 47 遗留部分处形成氧化间隔 70' 和氮化间隔 71'。此外, 各向异性腐蚀步骤分别使栅结构 61 和 62 的栅短路区 32 和 33 及栅延伸区 58 和 59 以及邻接于间隔 71 和 71' 的部分主表面 12 暴露出来。用本技术领域熟知的方法, 在掺杂区 63 上形成一个硅化物 76、在掺杂区 64 上形成一个硅化物 77、在部分栅结构 61 上形成一个硅化物 78、在掺杂区 66 上形成一个硅化物 79、在掺杂区 67 上形成一个硅化物 81、并在部分栅结构 62 上形成一个硅化物 82。应该指出的是, 硅化物 78 用作栅短路区 32 到栅延伸区 58 的导电连线, 而硅化物 82 用作栅短路区 33 到栅延伸区 59 的导电连线。

在场氧化区 24、间隔 71 和 71' 以及硅化物 76、77、78、79、81 和 82 上, 形成一个诸如氧化物之类的介电材料层 84。在氧化层 84 中制作窗口以暴露部分硅化物 76、77、78、79、81、82。用本技术熟知的方法, 制作同硅化物 76、77、78、79、81 和 82 的暴露部分相接触的导电线和电极。更确切地说, 源极导线 86 与硅化物 76 相接触, 漏极导线 87 与硅化物 77 接触, 而栅极导线 88 与硅化物 78 接触。于是, 源、漏、栅导线 86、87 和 88 分别构成了 N 沟晶体管 15 的边线。同样, 源极导线 89 与硅化物 79 接触, 漏极导线 91 与硅化物 81 接触, 而栅极导线 92 与硅化物 82 接触。于是, 源、漏、栅导线 89、91 和 92 分别构成了 P 沟晶体管 16 的连线。应该理解的是, 栅极导线 88 和

92 是已被大大简化了的图示以表明电连接于栅结构的栅导线。

图 10—18 示出了互补隔离栅场效应晶体管 100 在根据本发明第二实施例的工艺期间,其一部分的高倍放大剖面图。互补隔离栅场效应晶体管 100 包括一个制作在部分 P 型外延层 13 中的 N 沟晶体管 115 和一个制作在部分 N 阱 14 中的 P 沟晶体管 116。图 10 示出了制作氧化层 26 和多晶硅层 27 之后的部分完成的隔离栅场效应晶体管 100。应该指出,参照图 1 已描述过了外延层 13、N 阱 14、场注入区 22 和 23、场氧化区 24、掺杂区 25 和 30、氧化层 26 和多晶硅层 27 的制作方法。应该理解,在图 10—18 中包括了 N 沟晶体管 115 和 P 沟晶体管 116 的位置以表明这些结构的位置从而更清楚地描述本发明。

参照图 11,在 P 型外延层 13 和 N 阱 14 上分别制作栅结构的栅短路区 132 和 133。带有侧面 136 和 137 的栅短路区 132 以及带有侧面 138 和 139 的栅短路区 133 可借助于对多晶硅层 27 进行各向异性腐蚀来制作。作为例子,借助于用一层光抗蚀剂(未示出)涂覆多晶硅层 27、将多晶硅层 27 待要清除的部分暴露出来(用光刻技术)、并对多晶硅层 27 的暴露部分进行各向异性腐蚀,制作了栅短路区 132 和 133。于是,栅短路区 132 和 133 由部分多晶硅层 27 构成。应该理解,栅短路区 132 和 133 分别构成栅结构 161 和 162 的一部分,在图 16 中将进一步描述。

再参照图 11,在栅短路区 132 和 133 上制作一个氧化层 141。作为例子,氧化层 141 借助于对栅短路区 132 和 133 进行热氧化而形成。氧化层 141 的恰当厚度范围为 $\sim 50\text{\AA}$ — $\sim 250\text{\AA}$,而额定厚度约为 $100\text{\AA}$ 。虽然用热氧化制作氧化层 141 会增大场氧化区 24 和氧

化层 26 的厚度,但为了简化本发明的描述,未示出该增加的厚度。

在氧化层 141、场氧化区 24 和氧化层 26 上,制作一个带有窗口的 143 的光抗蚀剂层 142。窗口 143 暴露出小部分栅短路区 132 和一部分邻接栅短路区 132 侧面 136 的氧化层 26。光抗蚀剂层 142 用作注入阻挡掩模。根据第二实施例,借助于用硼之类的 P 型杂质材料对部分 P 型外延层 13 进行掺杂而制作了一个增强掺杂区 151。更确切地说是,硼被注入到 P 型外延层中以形成掺杂区 151。应该指出,掺杂区 151 是与表面 12 分隔开的。形成掺杂区 151 的适当注入参数包括:硼注入剂量范围为 $\sim 2 \times 10^{12}$ 原子/ cm^2 — $\sim 2 \times 10^{13}$ 原子/ cm^2 ,而注入能量范围为 $\sim 40\text{KeV}$ — 100KeV 。于是,形成掺杂区 151 的硼被注入到 P 型外延层 13 中,其深度即距离范围为 ~ 1500 — $3000\text{\AA}$ 。形成掺杂区 151 的杂质材料用来为 N 沟晶体管 115 提供穿通保护。

借助于用硼对另一部分 P 型外延层 13 进行掺杂来制作增强掺杂区 152。作为例子,执行另一注入使硼的注入到 P 型外延层 13 中以形成掺杂区 152。形成掺杂区 152 的恰当注入参数包括:硼注入剂量范围为 $\sim 5 \times 10^{11}$ 原子/ cm^2 — $\sim 1 \times 10^{13}$ 原子/ cm^2 ,而注入能量范围为 $\sim 10\text{KeV}$ — 20KeV 。于是,形成掺杂区 152 的硼被注入到 P 型外延层 13 中,其深度即距离范围为 ~ 200 — $1200\text{\AA}$ 。而且用来调节 N 沟晶体管的阈值电压。

参照图 12,将此光抗蚀剂层清除掉,并在氧化层 141、场氧化区 24 和部分氧化层 26 上制作一个带有窗口 145 的光抗蚀剂层 144。窗口 145 将小部分栅短路区 133 和部分邻接于栅短路区 133 侧面 138 的氧化层 26 暴露出来。光抗蚀剂层 144 作用注入阻挡掩模。

根据本发明第二实施例,借助于用磷之类的N型杂质材料对部分N阱14进行掺杂而制作增强掺杂区153。更确切地说,将磷注入到N阱14中以形成掺杂区153。应该指出,掺杂区153是与表面12分隔开的。恰当的注入参数包括:注入N型杂质材料的剂量范围为 $\sim 2 \times 10^{12}$ 原子/cm²— $\sim 2 \times 10^{13}$ 原子/cm²,而注入能量范围为 $\sim 40\text{KeV}$ — 100KeV 。于是,形成掺杂区153的注入步骤的N型杂质材料被注入到N阱14中,其深度即距离范围为 ~ 1500 — $3000\text{\AA}$ 。此注入形成的掺杂区153用来为P沟晶体管116提供穿通保护。

借助于用磷对另一部分N阱14进行掺杂而制作增强掺杂区154。作为例子,执行另一注入使N型杂质材料注入到N阱14中以形成掺杂区154。形成掺杂区154的恰当注入参数包括:剂量范围为 $\sim 5 \times 10^{11}$ 原子/cm²— $\sim 1 \times 10^{13}$ 原子/cm²,注入能量范围为 $\sim 20\text{KeV}$ — 40KeV 。于是,形成掺杂区154的注入步骤N型杂质材料被注入到N阱14中,其注入深度即距离范围为 ~ 200 — $1200\text{\AA}$ 。此注入形成的掺杂区154用来为P沟晶体管116的阈值电压。然后将光抗蚀剂层144清除。

现参照图13,在氧化层141上制作一个带有窗口149的光抗蚀剂层148。窗口149将小部分栅短路区132、邻接于栅短路区132侧面136的部分氧化层26、小部分栅短路区133以及邻接于栅短路区133侧面138的部分氧化层26暴露出来。光抗蚀剂层148用作腐蚀保护掩模。

用例如氢氟酸湿法腐蚀方法,对氧化层26和氧化层141的暴露部分进行各向同性腐蚀。根据第二实施例,此各向同性腐蚀清除氧化层26的暴露部分约100%。栅短路区132同133下面的部分

氧化层 26。换言之，此各向同性腐蚀凹切主表面 12 同栅短路区 132 和 133 之间的部分氧化层 26，并分别在栅短路区 132 和主表面 12 第一部分之间以及栅短路区 133 和主表面 12 第二部分之间形成空腔 135 和 135'。此外，此各向同性腐蚀从栅短路区 132 和 133 清除氧化层 141 的暴露部分。后然将光抗蚀剂层 148 清除。

现参照图 14，在栅短路区 132 和 133 上制作一个氧化层 156。应该指出，氧化层 156 是一个厚度范围为 $\sim 50\text{\AA}$ — $\sim 150\text{\AA}$ 的薄氧化层，氧化层 156 的额定厚度约为 $90\text{\AA}$ 。虽然在场氧化区 24 和氧化层 26 上也形成氧化层 156，应该指出，氧化层 156 仅仅加厚即增高场氧化区 24 和氧化层 26 的厚度。于是，为了简化本发明的描述，未示出形成在场氧化区 24 和氧化层 26 上的部分氧化层 156。虽然氧化层 156 也形成在氧化层 141 上，但为了进一步简化第二实施例的描述，氧化层 141 和 156 示为了一个用参考号 156 标明的单一的氧化层。

包括例如非晶硅、单晶硅、多晶硅、钨之类在内的一个半导体材料或导体材料层 157 之中的一种是制作在氧化层 24、26 和氧化层 156 上的。作为例子，在氧化层 24、26 和氧化层 156 上沉积了一个厚度范围为 $\sim 1000\text{\AA}$ — $2500\text{\AA}$ 的多晶硅共形层。

多晶硅层 157 的额定厚度约为 $1750\text{\AA}$ 。虽然掺杂区 151 和 152 原本是分隔开的，但应指出的是，它们相互扩散并构成一个单一的掺杂区 151'。同样，掺杂区 153 和 154 彼此互相扩散，构成一个单一的掺杂区 153'。

现参照图 15，对多晶硅层 157 进行各向异性腐蚀以分别形成邻接于侧面 136 和 138 的栅延伸区 158 和 159。此外形成分别邻近侧面

137 和 138 且与侧面 137 和 138 分隔开的延伸区 158' 和 159'。于是，栅结构 161 包含一个由第一宽度的氧化层 26 上第一多晶硅部分构成的栅短路区 132 和一个由第二宽度的部分氧化层 26 上第二多晶硅部分构成的栅延伸区 158，其中的第二宽度小于第一宽度。同样，栅结构 162 包含一个由第一宽度的氧化层 26 上多晶硅部分构成的栅短路区 133 和一个由第二宽度的部分氧化层 26 上另一多晶硅部分构成的栅延伸区 159。

现参照图 16，132 区和 133 区、栅延伸区 158 和 159 以及邻接于栅延伸区 158 和 159 的部分氧化层 26 上，制作一个光抗蚀剂层 160。换言之，栅延伸区 158' 和 159' 以及邻接于栅延伸区 158' 和 159' 的部分氧化层 26 被暴露出来。光抗蚀剂层 160 用作腐蚀保护掩模，用例如各向同性等离子刻蚀的方法来清除掉栅延伸区 158' 和 159'，其中各向同性停止于氧化层 26 的暴露部分。然后清除掉光抗蚀剂层 160。

现参照图 17，在栅短路区 132 和 133、栅延伸区 158 和 159 以及氧化层 26 的暴露部分上，制作一个介电材料共形层 165。作为例子，介电材料层 165 是一个厚度范围为 $\sim 100\text{\AA}$ — $\sim 300\text{\AA}$ 而额定厚度为 $150\text{\AA}$ 的沉积的 TEOS 氧化物。在栅短路区 133、栅延伸区 159 以及 N 阱 14 的部分主表面 12 上的部分介电材料层 165 上制作一层光抗蚀剂(未示出)。换言之，此光抗蚀剂层用作注入保护掩模以防止 P 沟晶体管 116 被 N 沟晶体管 115 的源/漏注入过程掺杂。执行源/漏注入以形成源区 163 和漏区 164。此外，源/漏注入还使栅结构 161 掺杂。源/漏注入的恰当参数包括：砷之类 N 型杂质材料的注入剂量范围为 $\sim 1 \times 10^{15}$ 原子/ cm^2 — $\sim 1 \times 10^{16}$ 原子/ cm^2 ，而注入能量范围为

~60KeV—~160KeV。

将此光抗蚀剂层清除掉，并在栅短路区 132、延伸区 158 以及 P 型外延层 13 的部分主表面 12 上的部分介电材料层 165 上制作另一个光抗蚀剂层(未示出)。换言之，此光抗蚀剂层用作注入保护掩模以防止 N 沟晶体管 115 被 P 沟晶体管 116 的源/漏注入过程掺杂。执行源/漏注入以形成源区 166 和漏区 167。此外，源/漏注入还使栅结构 162 掺杂。源/漏注入的适当参数包括：注入硼之类的 P 型杂质材料的剂量范围为 $\sim 1 \times 10^5$ 原子/cm²— $\sim 5 \times 10^{15}$ 原子/cm²，而注入能量范围为~5KeV—~15KeV。然后清除此光抗蚀剂层。执行诸如快速热退火之类的退火以便将注入引起的损伤退火掉并在源、漏和栅中使杂质重新分布。

再参照图 17，在氧化层 165 上制作一个介电材料共形层 169。作为例子，介电材料层 169 是厚度范围为~1000Å—~2250Å 的氮化硅层。氮化硅层 169 的额定厚度为 2000Å。

现参照图 18，一组各向异性腐蚀被用来腐蚀氮化硅层 169 和氧化层 165。例如，对氮化硅层 169 进行各向异性腐蚀以形成氮化物间隔 171，其中的氮化硅层 169 腐蚀停止于氧化层 165 上。然后对氧化层 165 进行各向异性腐蚀以形成氧化物间隔 170。于是，形成了邻接于侧面 136 和 138 的间隔 171 和 170。而且，氧化物间隔 170' 和氮化物间隔 171' 形成同邻接于侧面 137 和 139 的部分氧化层 156 相接触。此外，各向异性腐蚀步骤分别使邻接于间隔 171 和 171' 以及栅短路区 132 和 133 及栅结构 161 和 162 的栅延伸区 158 和 159 的部分主表面 12 暴露出来。用本技术熟知的方法，在掺杂区 163 上制作一个硅化物 176，在掺杂区 164 上制作一个硅化物 177，在部分栅结

构 161 上制作一个硅化物 178, 在掺杂区 166 上制作一个硅化物 179, 在掺杂区 167 上制作一个硅化物 181, 并在部分栅结构 162 上制作一个硅化物 182。

在场氧化区 24、间隔 171 和 171' 以及硅化物 176、177、178、179、181 和 182 上制作一个诸如氧化物的介电材料层 184。在氧化物 184 中制作窗口以暴露部分硅化物 176、177、178、179、181 和 182。用本技术熟知的方法, 制作与暴露的硅化物相接触的导电体。更确切地说是, 源极导线 186 与硅化物 176 接触, 漏极导线 187 与硅化物 177 接触, 而栅极导线 188 与硅化物 178 接触。于是, 源、漏、栅导线 186、187 和 188 分别构成 N 沟晶体管 115 的连续连线。同样, 源极导线 189 与硅化物 179 接触, 漏极导线 191 与硅化物 181 接触, 而栅极导线 192 与硅化物 182 接触。于是, 源、漏、栅导线 189、191 和 192 分别成 P 沟晶体管 116 的连线。

图 19 示出了互补隔离栅场效应晶体管 200 在根据本发明第三实施例的工艺期间的高倍放大局部剖面图。互补隔离栅场效应晶体管 200 包括一个制作在部分 P 型外延层 13 中的 N 沟晶体管 215 和一个制作在部分 N 阱 14 中的掩埋 P 沟晶体管 216。制作互补隔离栅场效应晶体管 200 的工艺步骤遵循已描述的制造互补隔离栅场效应晶体管 10 和 100 的步骤。但为制作掩埋 P 沟晶体管 216, 对制作隔离栅场效应晶体管 10 和 100 的工艺作了二个修改。在第一个修改中, 掺杂层 30 为 P 型且其表面浓度范围为 $\sim 7 \times 10^{16}$ 原子/cm³ — $\sim 2 \times 10^{17}$ 原子/cm³。请注意, 图 1 至 18 中所示的掺杂层 30 与图 19 中所示的掺杂层 30' 相类似, 但是掺杂层 30' 是 P 型的, 而掺杂层 30 是 N 型的。为了获得上述的表面浓度所需的适当注入条件是: 注入剂量范围为 $\sim 1 \times 10^{12}$ 原子/cm² — $\sim 3 \times 10^{12}$ 原子/cm², 而注入能量范围为 $\sim 50\text{KeV} - 200\text{KeV}$ 。

在第二个修改中(并参照制造隔离栅场效应晶体管100的工艺步骤),栅结构162'的栅短路区133和栅延伸区159用N型杂质材料来掺杂。更确切地说明,栅结构162'分别在制作源和漏区166和167的过程中掺杂。于是,掺杂区30'与掺杂区25同时形成,而且栅短路区133'和栅延伸区159''最好与栅短路区132和栅延伸区158同时掺杂,亦即,栅结构161和162'最好同时掺杂。应该指出的是,掩埋P沟晶体管可借助于将修正加入到制作隔离栅场效应晶体管10的工艺步骤(此步骤相似于制作隔离栅场效应晶体管100的工艺步骤)中去的方法来制造。

到此,应当理解现已提供了一种隔离栅半导体器件及其制造方法。根据本发明,在制造的开始阶段执行一个轻掺杂漏延伸区注入,这就允许制作段带有厚区和薄区的栅氧化物。再在栅氧化物的厚部上制作栅结构的栅短路区,并在栅氧化物的薄部上制作栅延伸区。栅短路区降低了栅电阻而不明显地增大栅电容(亦即栅到漏和栅到衬底的电容)。而且,栅氧化物的厚部也降低了器件的栅电容。栅电容中栅到漏部分的降低减小了“密勒倍增”(Miller multiplied)电容,从而提高了本发明器件的频率响应。已证实根据本发明制造的隔离栅半导体器件比现有技术隔离栅半导体器件至少快50%。此外,栅短路区的采用使得可用沉积和腐蚀技术来非光刻地制作栅延伸区。这样,用为栅长 $0.5\mu\text{m}$ 的器件设计的制造设施就可以制造沟道长度小于 $0.2\mu\text{m}$ 的隔离栅场效应晶体管。

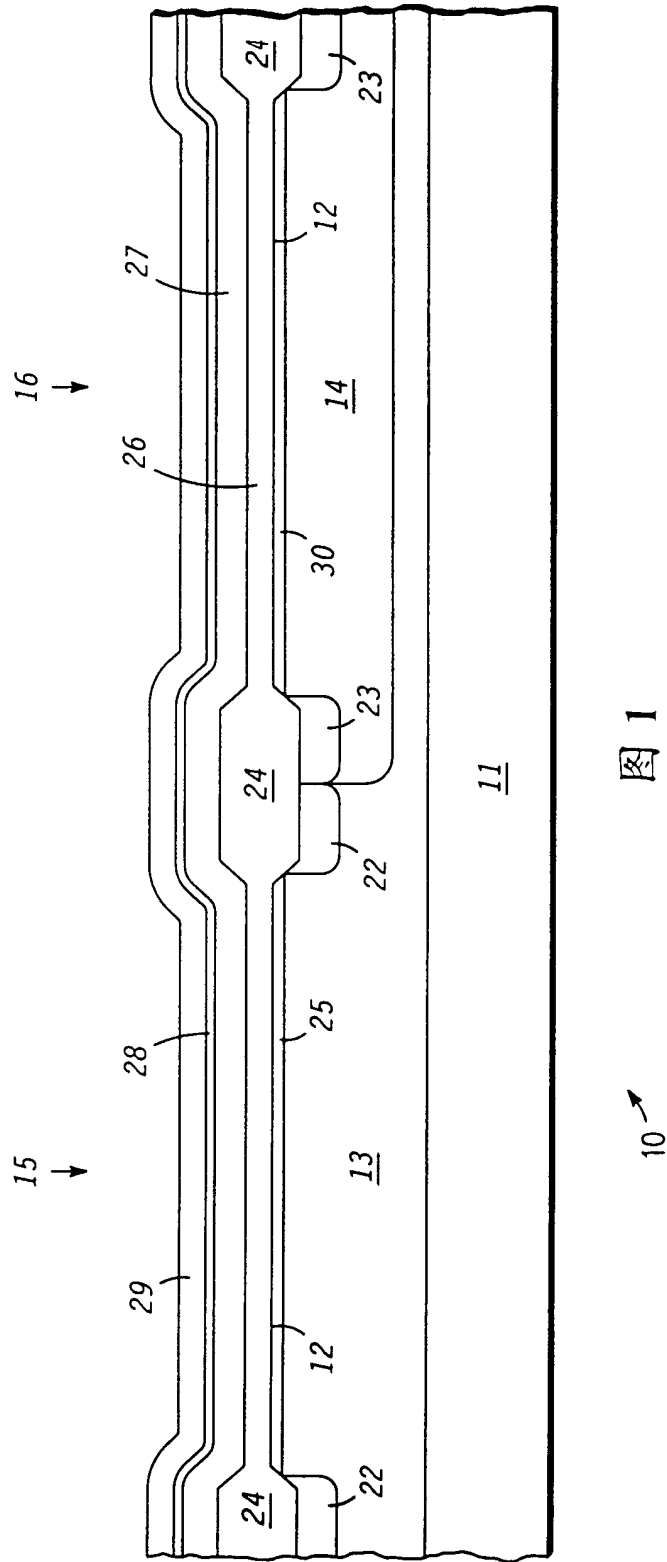


图 1

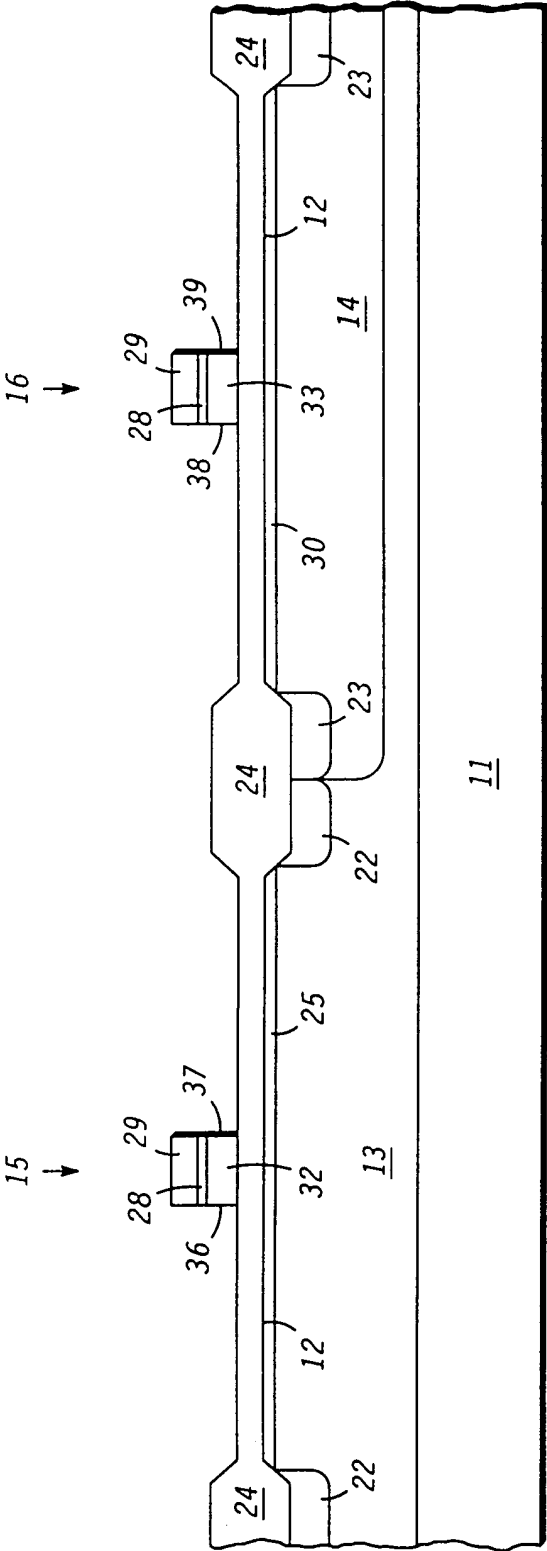


图 2

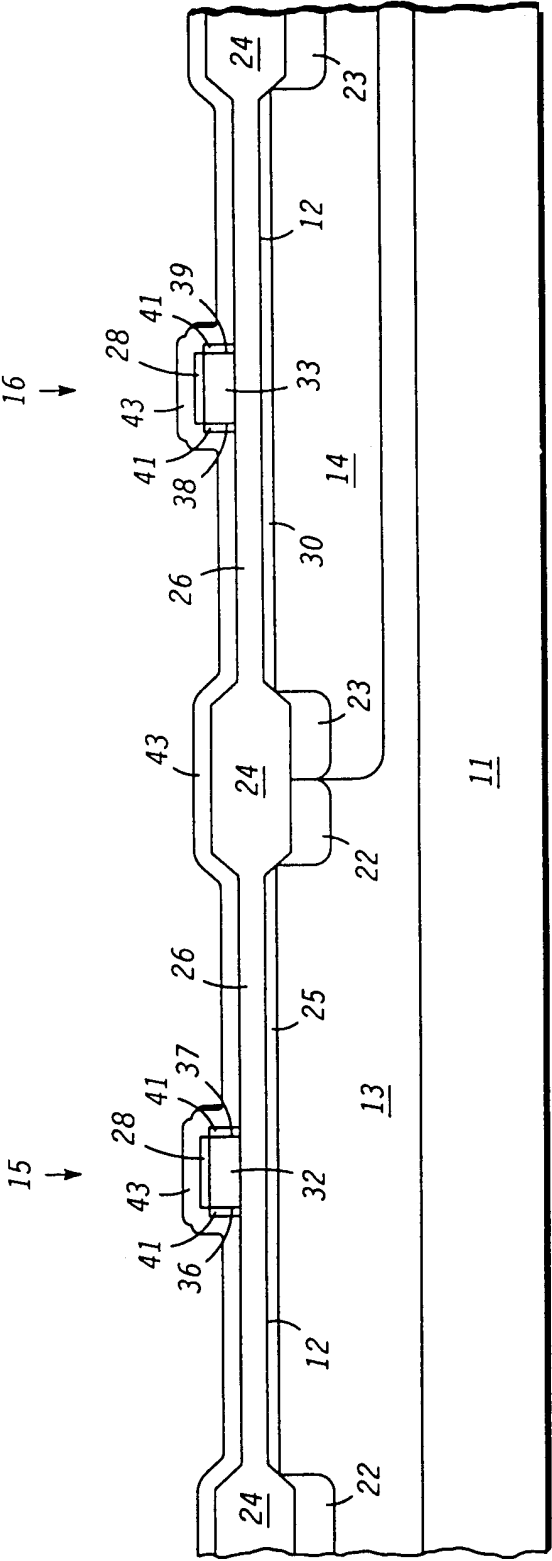
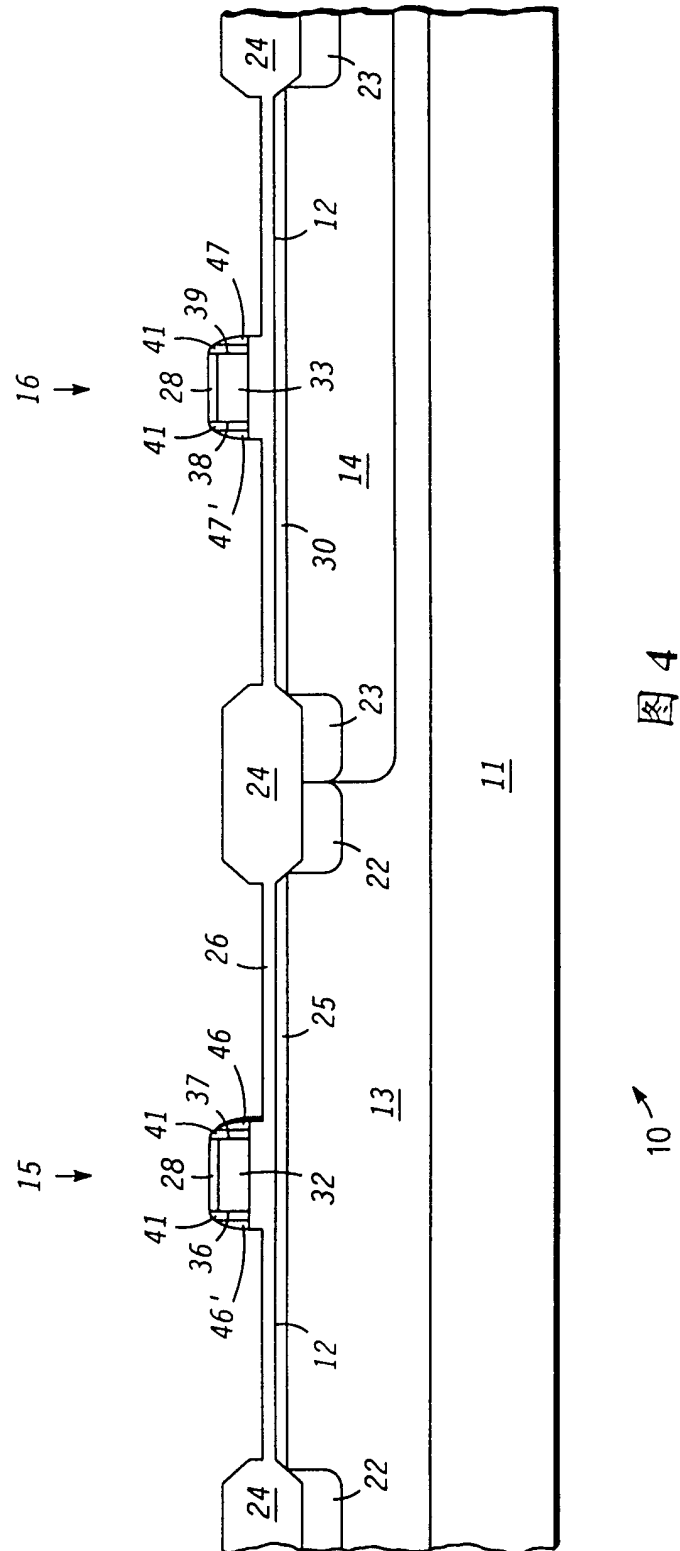


图 3



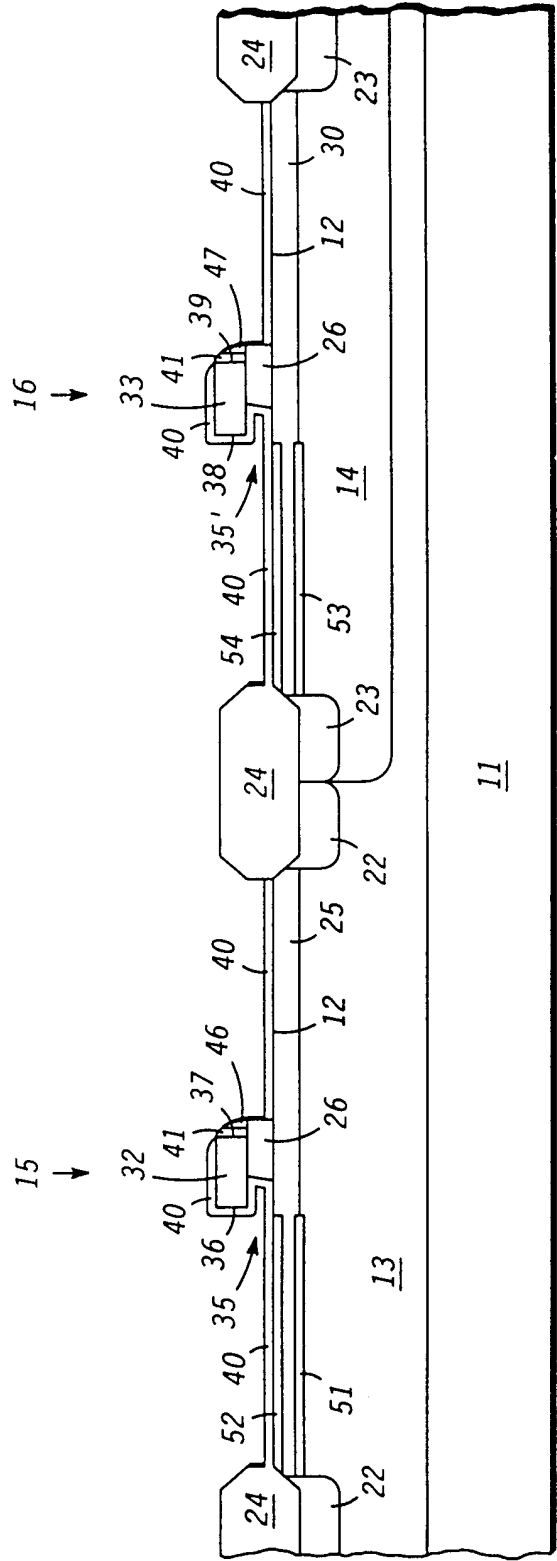


图 5

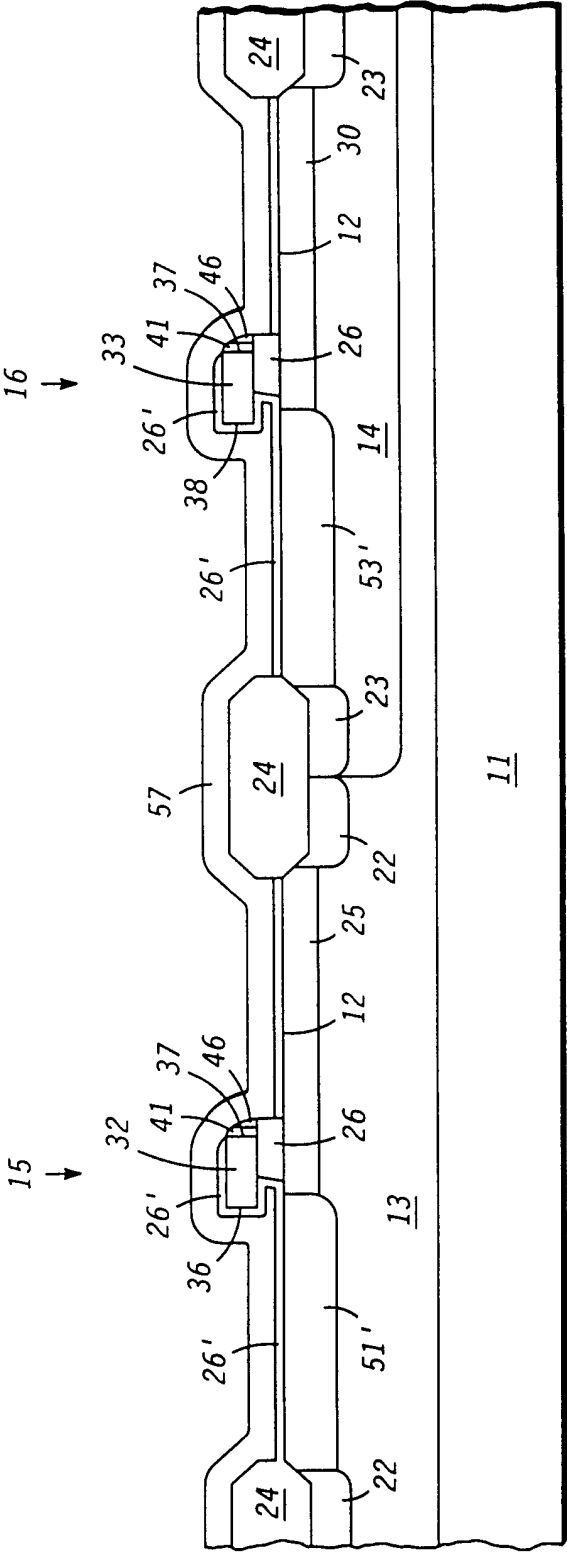
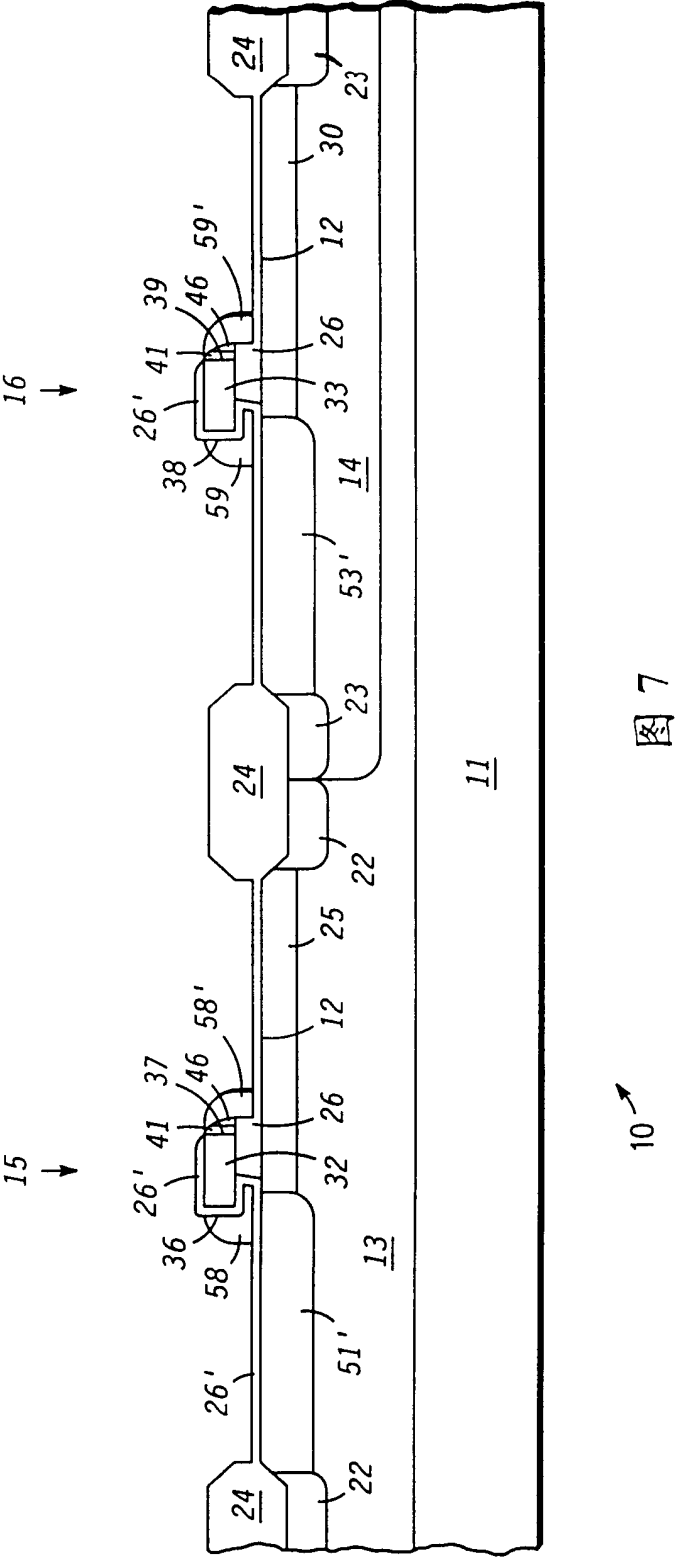
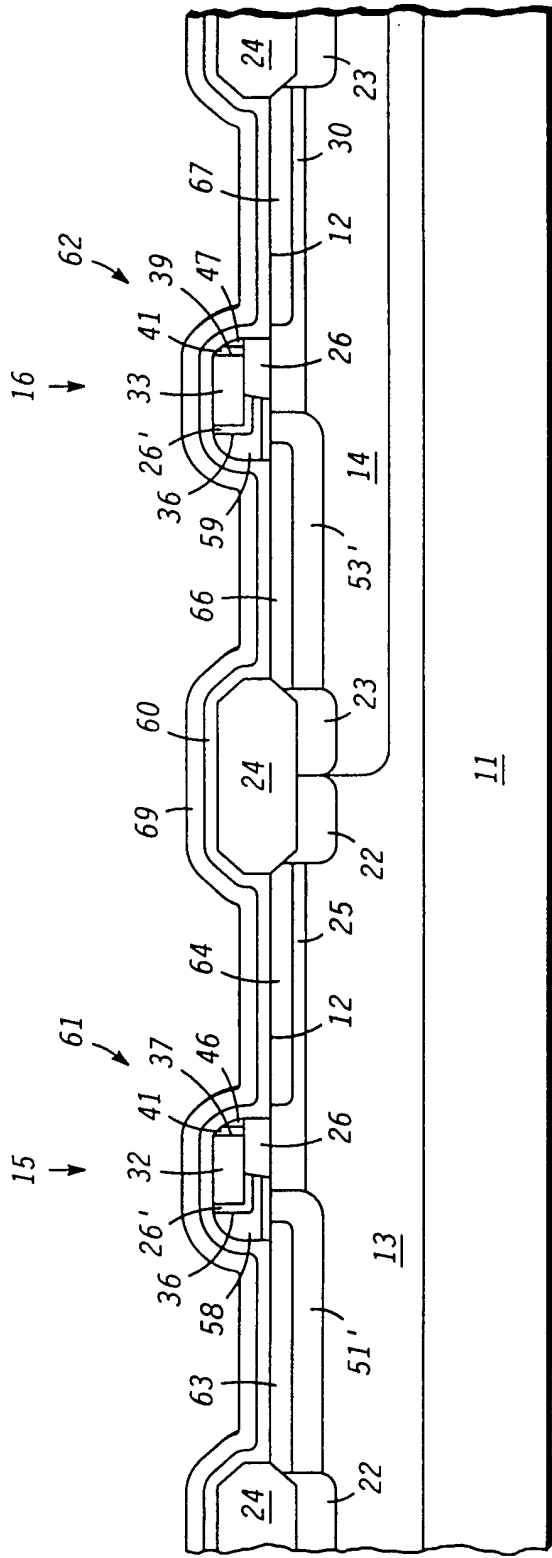


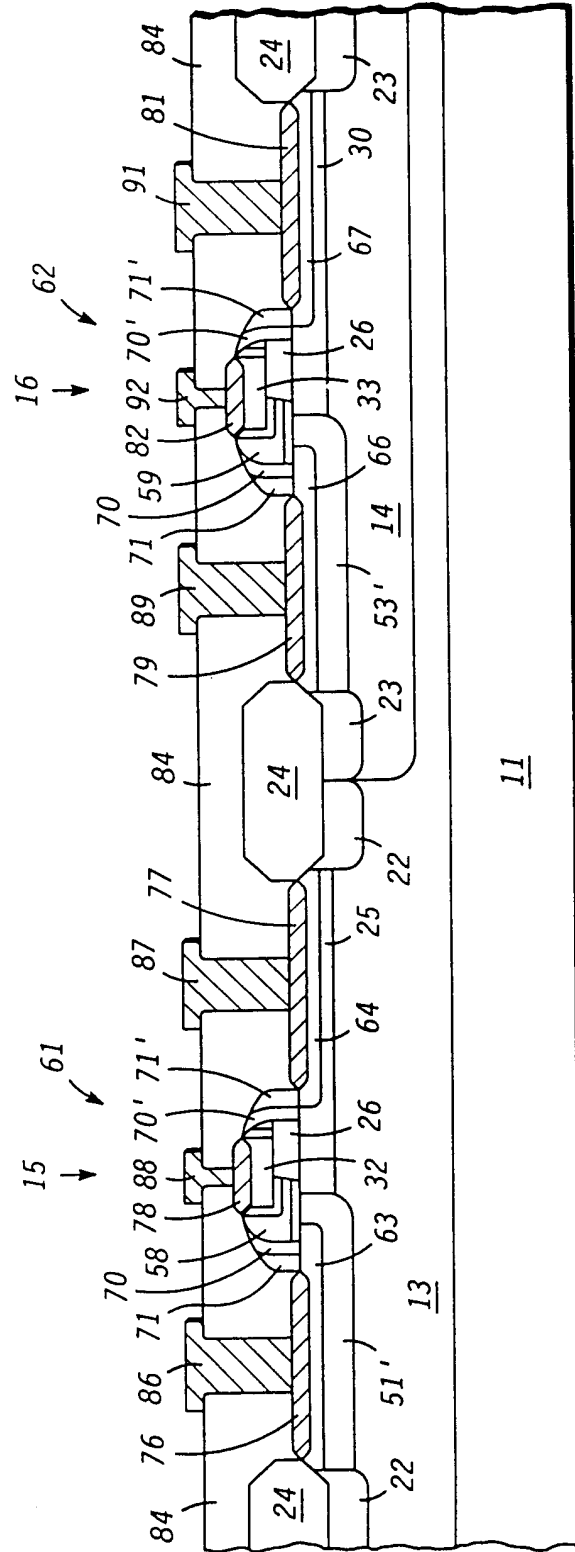
图 6

10 →





10 →
图 8



九

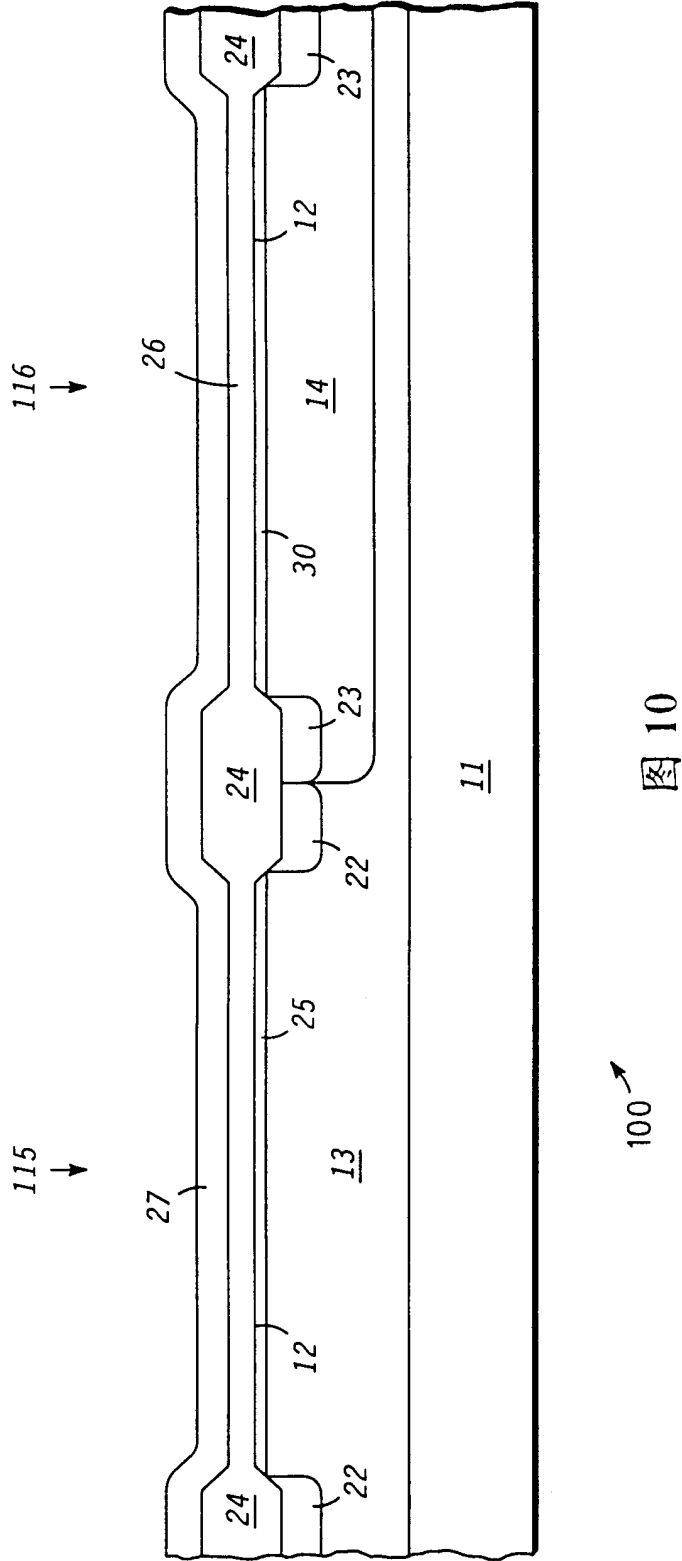


图 10

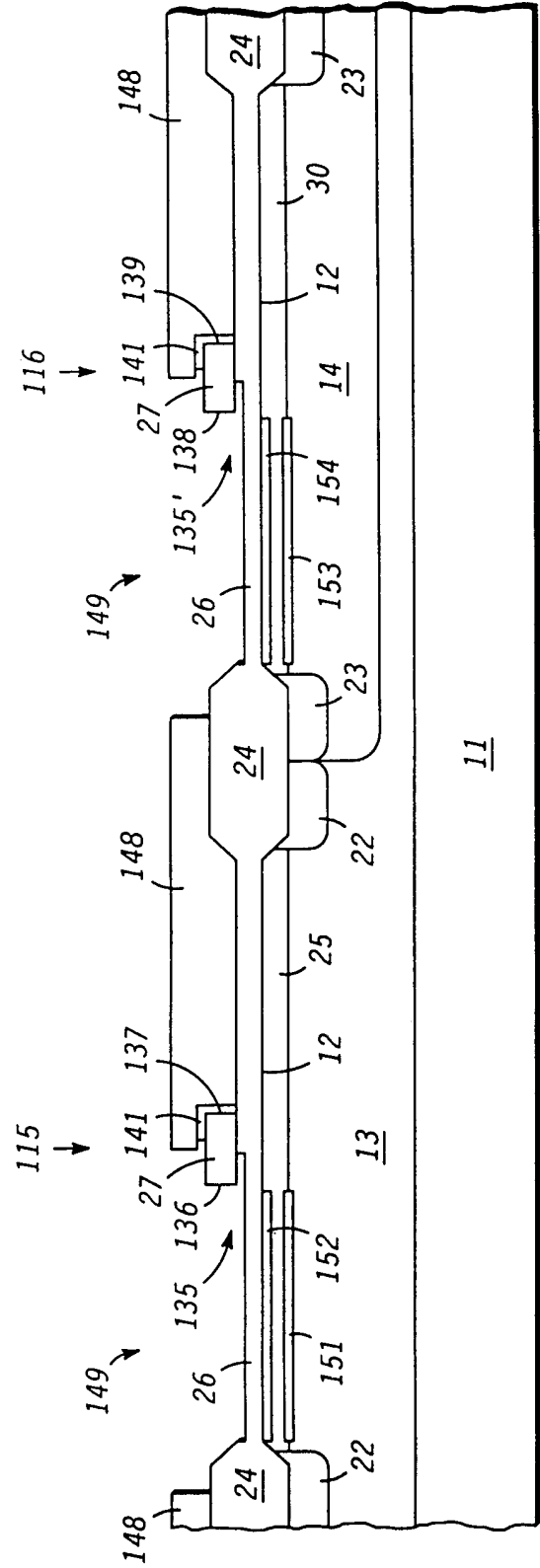


图 13

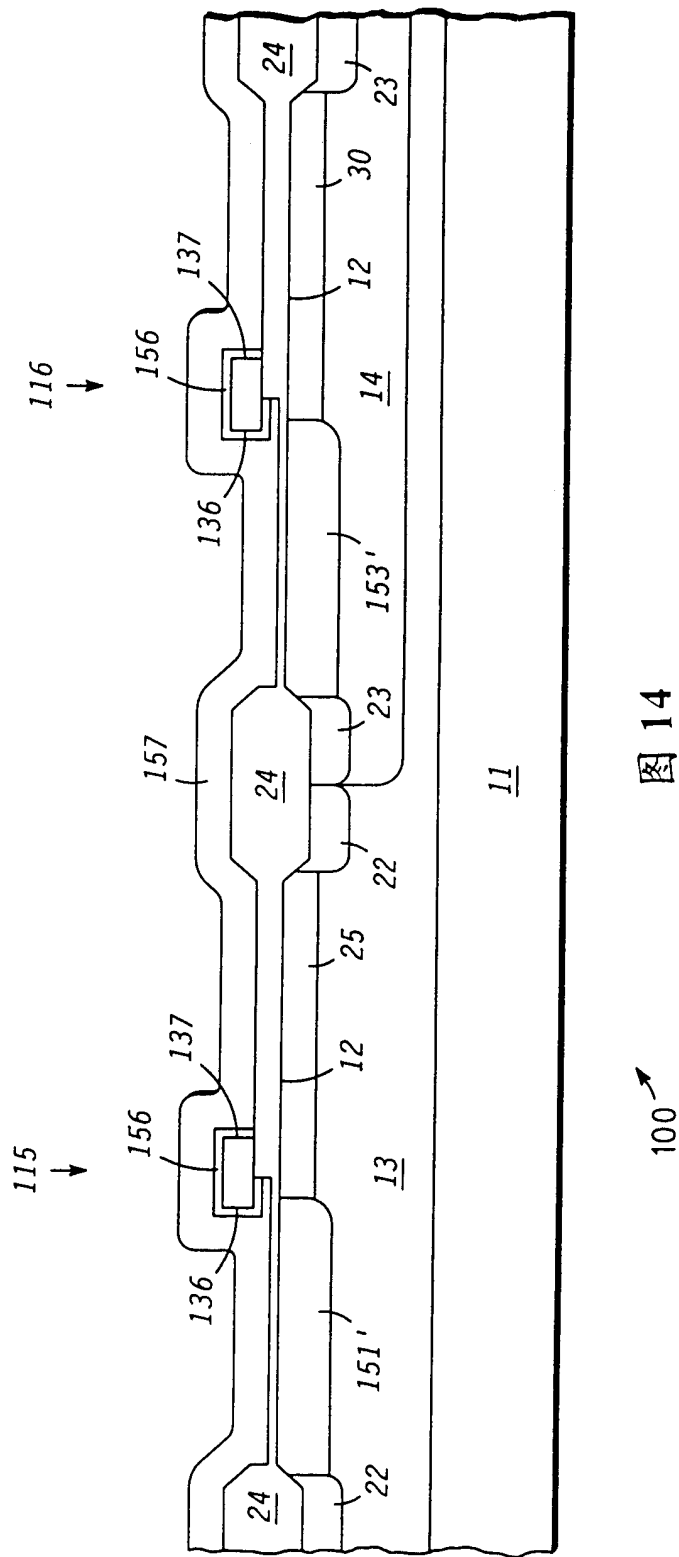


图 14

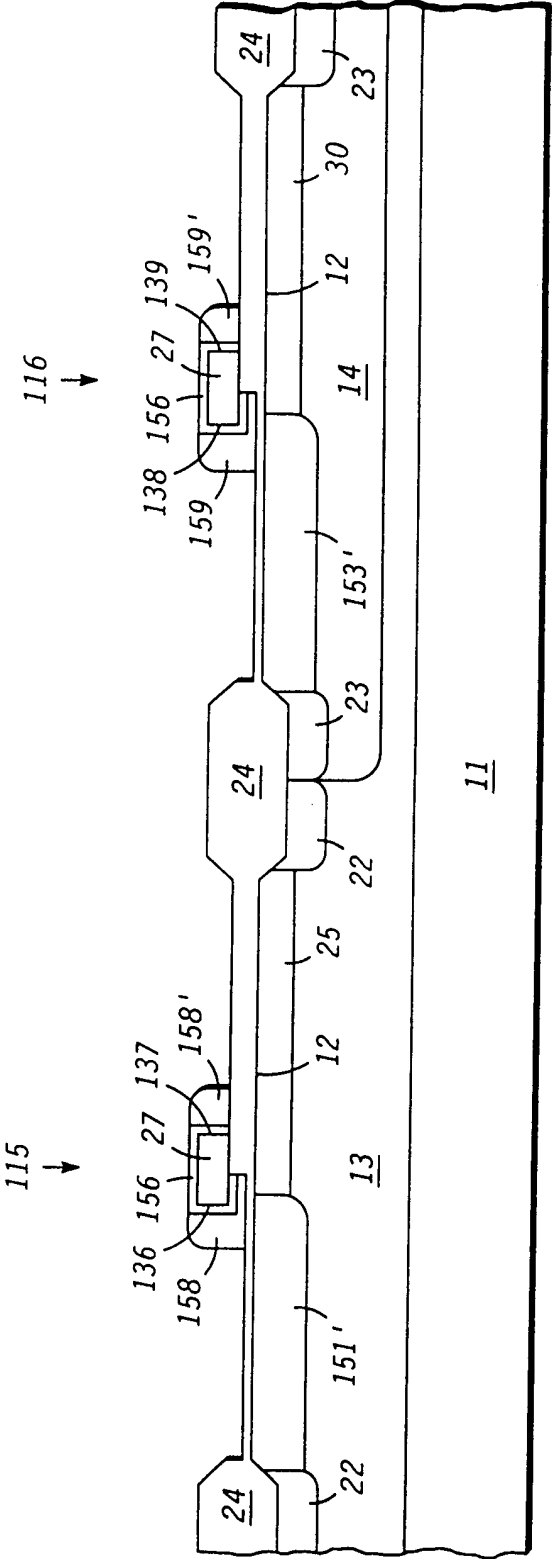


图 15

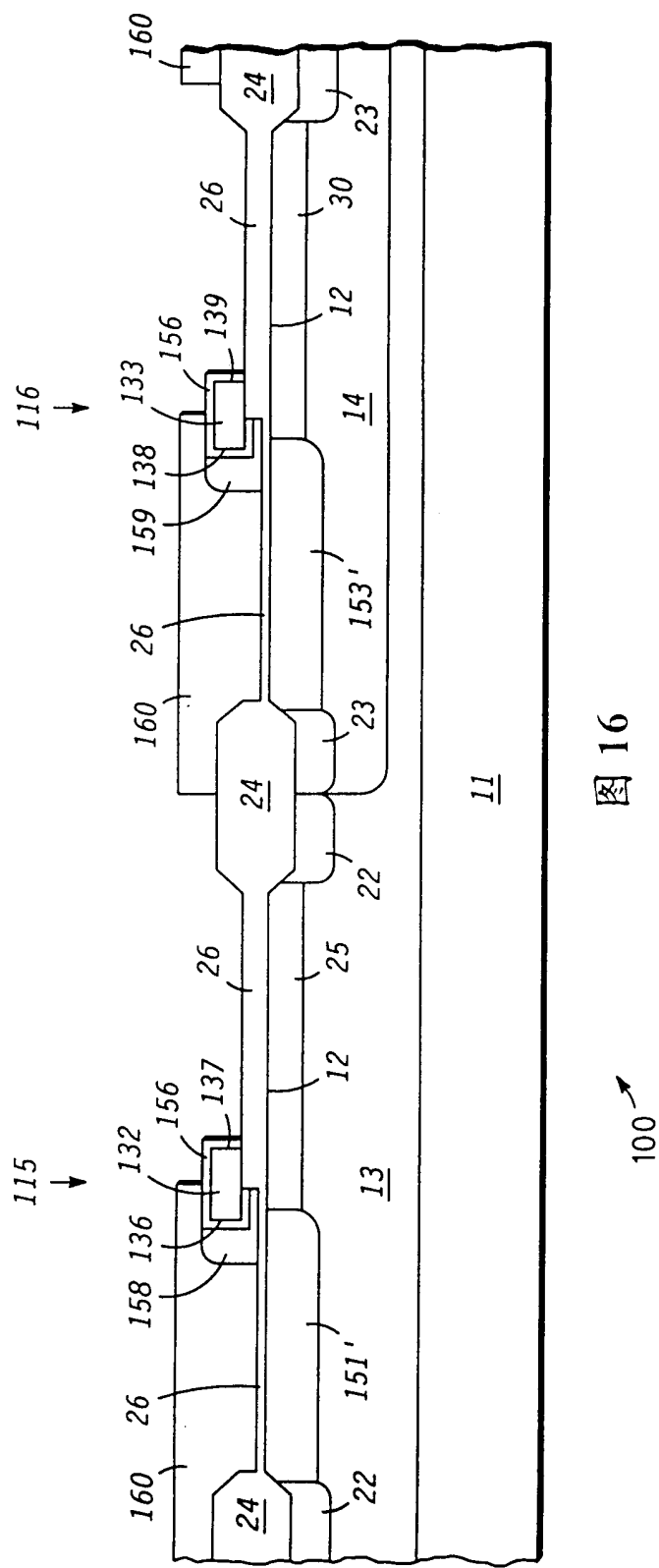


图 16

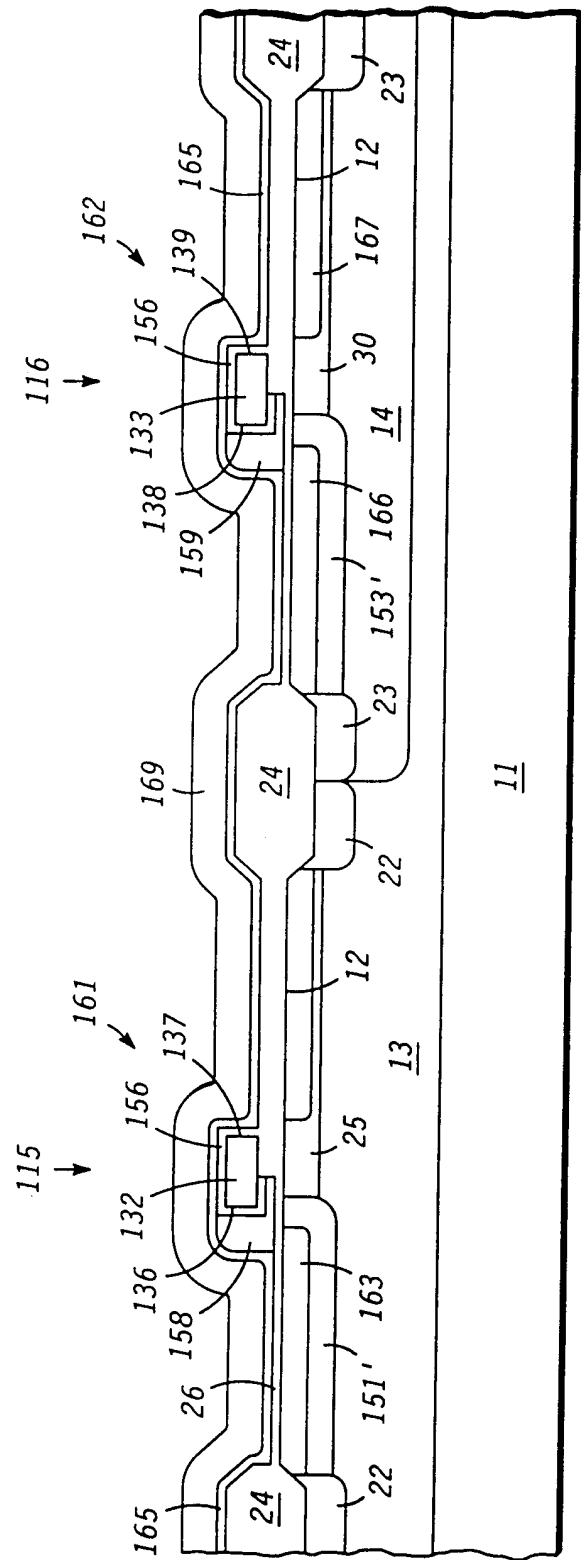


图 17

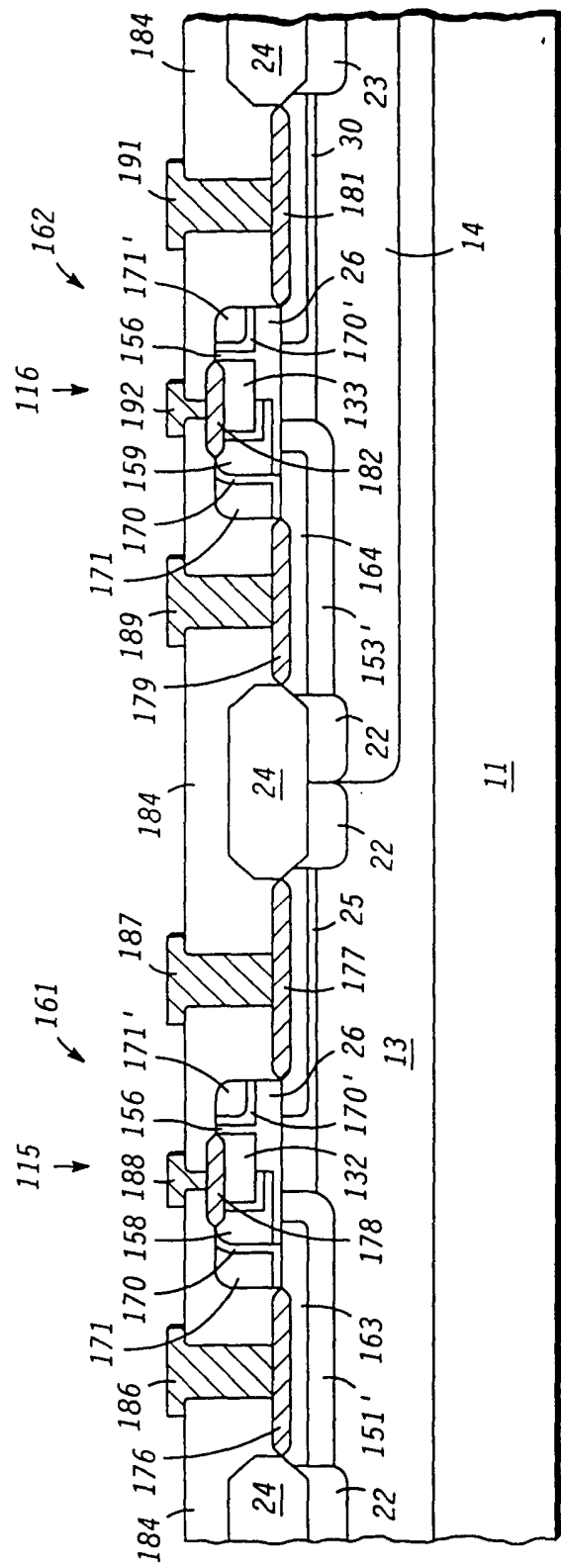
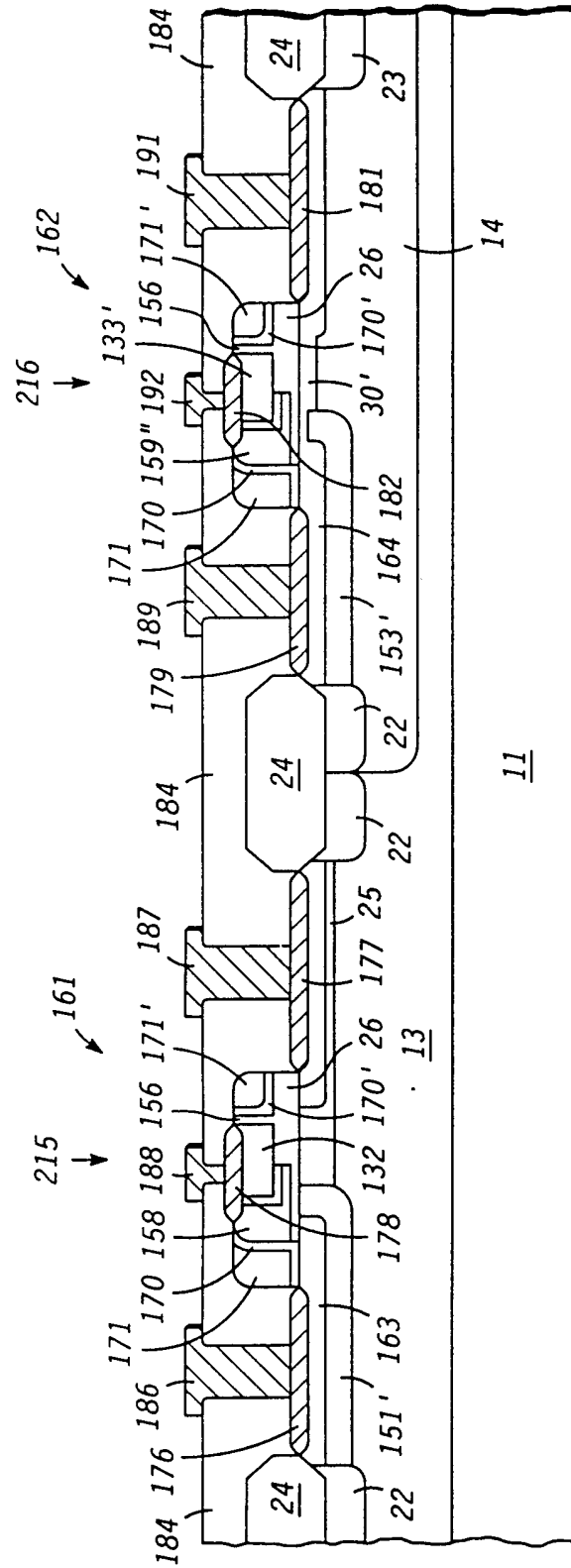


图 18



四 19

200 ↗