



(12)实用新型专利

(10)授权公告号 CN 205608487 U

(45)授权公告日 2016.09.28

(21)申请号 201521070896.7

(22)申请日 2015.12.21

(73)专利权人 武汉中元通信股份有限公司

地址 430205 湖北省武汉市武汉市东湖高新技术开发区高新四路1号

(72)发明人 王玉红 梅青文 黄祥 王继迎
周义锋 韩毅 陈轶乾 白俊
罗豪 潘杨 渠丽新 陶瑾 鲍毅
樊恩 付培培

(74)专利代理机构 武汉开元知识产权代理有限公司 42104

代理人 樊戎

(51)Int.Cl.

G05B 19/05(2006.01)

(ESM)同样的发明创造已同日申请发明专利

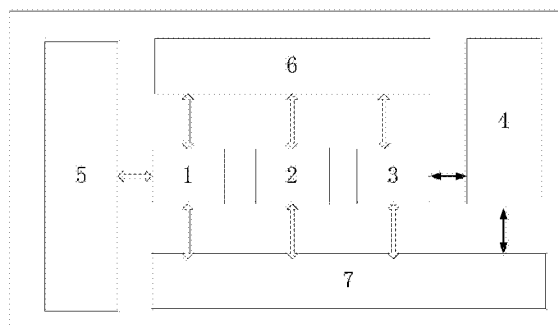
权利要求书2页 说明书5页 附图4页

(54)实用新型名称

基于CPCI总线传输的通信设备综合检测平台

(57)摘要

本实用新型为一种基于CPCI总线传输的通信设备综合检测平台,包括主板控制模块(1),音频测试模块(2)、射频/中频测试模块(3)、射频前端模块(4)、人机交互模块(5)、CPCI接口模块(6)、接口组件(7)共7个部分。该平台能够实现对通信电台性能指标及相关接口进行测试,解决目前通信电台、车内通信器等设备的快速检测与维修任务。可在多种环境下使用,满足室内台式、便携、以及携行箱上轮式工程车等要求,使用灵活,可在室内和野外均能快速搭建检测环境。



1. 一种基于CPCI总线传输的通信设备综合检测平台,包括主板控制模块(1),音频测试模块(2)、射频/中频测试模块(3)、射频前端模块(4)、人机交互模块(5)、CPCI接口模块(6)、接口组件(7)共7个部分,且主板控制模块(1)同时与人机交互模块(5)、CPCI接口模块(6)、接口组件(7)呈双向相连;音频测试模块(2)同时与CPCI接口模块(6)、接口组件(7)呈双向相连;射频/中频测试模块(3)同时与射频前端模块(4)、CPCI接口模块(6)、接口组件(7)呈双向相连;射频前端模块(4)同时与音频测试模块(2)、接口组件(7)呈双向相连;各模块相结合构成一个整体,其特征是:

a)所述主板控制模块(1)为模块化结构,又包括中央处理单元(11)、主板控制单元(12)、VGA芯片(13)、串口转换芯片(14)、网口芯片(15),其中:

所述中央处理单元(11)的第0脚至第31脚,依次分别与所述主板控制单元(12)的第128脚至第159脚相连接;所述中央处理单元(11)的第0脚至第31脚,依次分别与所述VGA芯片(13)的第16脚至第47脚相连接;所述中央处理单元(11)的第0脚至第7脚,依次分别与所述串口转换芯片(14)的第0脚至第7脚相连接;

所述主板控制单元(12)的第0脚至第7脚,依次分别与所述网口芯片(15)的第0脚至第7脚相连接;

b)所述音频测试模块(2)为模块化结构,又包括FPGA大规模现场可编程门阵列(21)、音频收处理单元(22)、音频发处理单元(23)、CPCI连接器(24)及桥芯片(25),其中:

所述FPGA大规模现场可编程门阵列(21)的第128脚至第159脚,依次分别与所述CPCI连接器(24)的第0脚至第31脚相连接;所述FPGA大规模现场可编程门阵列(21)的第0脚至第31脚,依次分别与所述桥芯片(25)的第0脚至第31脚相连接;

c)所述射频/中频测试模块(3)为模块化结构,又包括FPGA大规模现场可编程门阵列(31)、双路高速AD/DA芯片(32)、射频/中频输入输出处理模块(33),切换电路(34)、调制解调模块(35)、中频处理模块(36)、I/Q信号输入电路(37)及高频晶振(38)和CPCI连接器(39),其中:

所述FPGA大规模现场可编程门阵列(31)的第16脚至第25脚,依次分别与所述双路高速AD/DA芯片(32)的第0脚至第9脚相连;所述FPGA大规模现场可编程门阵列(31)的第26脚至第35脚,依次分别与所述CPCI连接器(39)的第0脚至第31脚相连;所述FPGA大规模现场可编程门阵列(31)的第0脚至第1脚,依次分别与所述I/Q信号输入电路(37)的第1脚至第2脚相连;所述FPGA大规模现场可编程门阵列(31)的第85脚,与所述高频晶振(38)的第3脚相连;所述FPGA大规模现场可编程门阵列(31)的第80脚,与所述调制解调模块(35)的第1脚相连;

所述AD/DA芯片(32)的第12脚,与所述射频/中频输入输出处理模块(33)的第3脚相连接;所述AD/DA芯片(32)的第13脚,与所述中频处理模块(36)的第2脚相连接;

所述切换电路(34)的第3脚,与所述射频/中频输入输出处理模块(33)的第1脚相连接;所述切换电路(34)的第2脚,与所述中频处理模块(36)的第3脚相连接;所述切换电路(34)的第1脚,与所述中频处理模块(36)的第3脚相连接;

所述高频晶振(38)的第3脚,与所述中频处理模块(36)的第4脚相连接;所述高频晶振(38)的第3脚,与所述中频处理模块(36)的第2脚相连接;

所述射频/中频输入输出处理模块(33)的第2脚,与所述接口组件(7)的射频口相通过射频线连接;

所述中频处理模块(36)的第1脚,与所述接口组件(7)的中频口通过射频线相连接;
所述I/Q信号输入电路(37)的第3脚,与所述接口组件(7)的IQ口通过信号线相连接;
所述CPCI连接器(39),通过32芯排线与所述CPCI接口模块相连接。

2.如权利要求1所述的基于CPCI总线传输的通信设备综合检测平台,其特征是:

所述中央处理单元(11),又包括四核处理器(111),4G内存(112),VGA芯片(113),PS2键盘/鼠标芯片(114),其中:

所述四核处理器(111)的第0脚至第31脚,依次分别与所述4G内存(112)的第0脚至第31脚相连接;所述四核处理器(111)的第0脚至第8脚,依次分别与所述VGA芯片(113)的第16脚至第23脚相连接;所述四核处理器(111)的第0脚至第8脚,依次分别与所述PS2键盘/鼠标芯片(114)的第5脚至第12脚相连接。

3.如权利要求1所述的基于CPCI总线传输的通信设备综合检测平台,其特征是:

所述主板控制单元(12),又包括Intel主板芯片(121),BIOS基本输入输出单元(122)和128G电子盘(123),其中:

所述Intel主板芯片(121)的第128脚至第135脚,依次分别与所述BIOS基本输入输出单元(122)的第0脚至第7脚相连接;所述Intel主板芯片(121)的第128脚至第159脚,依次分别与所述128G电子盘(123)的第0脚至第31脚相连接。

4.如权利要求1所述的基于CPCI总线传输的通信设备综合检测平台,其特征是:

所述音频收处理单元(22),又包括音频收LC滤波器电路(221),音频收运算放大器电路(222)及高精度ADC芯片(223),其中:

所述音频收LC滤波器电路(221)第1脚,与所述接口组件(7)的音频输入口通过射频线相连;所述音频收LC滤波器电路(221)的第2脚,与所述音频收运算放大器电路(222)的第1脚通过印制板走线相连接;所述音频收运算放大器电路(222)的第2脚,与所述高精度ADC芯片(223)的第11脚相连;所述高精度ADC芯片(223)的第0脚至第9脚,依次分别与所述FPGA大规模现场可编程门阵列(21)的第128脚至第159脚相连。

5.如权利要求1所述的基于CPCI总线传输的通信设备综合检测平台,其特征是:

所述音频发处理单元(23),又包括音频发LC滤波器电路(231),音频发运算放大器电路(232)及高精度DAC芯片(233),其中:

所述音频发LC滤波器电路(231)第1脚,与所述接口组件(7)的音频输出口通过射频线相连;所述音频发LC滤波器电路(231)的第2脚,与所述音频发运算放大器电路(232)的第1脚通过印制板走线相连;所述音频发运算放大器电路(232)的第2脚,与所述高精度DAC芯片(233)的第11脚相连;所述高精度DAC芯片(233)的第0脚至第9脚,依次分别与所述FPGA大规模现场可编程门阵列(21)的第26脚至第35脚相连。

基于CPCI总线传输的通信设备综合检测平台

技术领域

[0001] 本实用新型涉及一种通信设备综合检测平台,特别是一种基于CPCI总线传输的通信设备综合检测平台。

背景技术

[0002] 随着通信技术的发展,各种通信设备大量使用在各种领域,如何快速的保证各通信设备在使用或维护时进行快速检测是一个需要解决的问题。作为通信设备的检测,工厂模式下需使用信号分析仪、频率计、频谱及其他综合测试仪表,检测设备繁多,操作复杂,将这些检测仪表设备运用到用户通信电台性能检测上,不利于用户快速对通信设备进行性能功能检测及维修。同时大量使用仪器仪表,增加了用户在野外环境下搭建测试平台的难度,不仅成本大,组织难度高,而且操作不变,检测误差大。因此,人们期待一种将各种测试仪表功能集中在一个单一的测试平台。

实用新型内容

[0003] 本实用新型的目的是为了克服上述已有技术的不足,提供一种设计合理,操作简易,可扩展运用的基于CPCI总线传输的通信设备综合检测平台。

[0004] 为了达到上述目的,本实用新型采用的技术方案是:

[0005] 一种基于CPCI总线传输的通信设备综合检测平台,包括主板控制模块1,音频测试模块2、射频/中频测试模块3、射频前端模块4、人机交互模块5、CPCI接口模块6、接口组件7共7个部分。且主板控制模块1同时与人机交互模块5、CPCI接口模块6、接口组件7呈双向相连,音频测试模块2同时与CPCI接口模块6、接口组件7呈双向相连;射频/中频测试模块3同时与射频前端模块4、CPCI接口模块6、接口组件7相连,射频前端模块4同时与音频测试模块2、接口组件7呈双向相连。各模块相结合构成一个模块化结构整体。其中:

[0006] 所述主板控制模块1为模块化结构,又包括中央处理单元11、主板控制单元12、VGA芯片13、串口转换芯片14、网口芯片15。用于完成对整个系统的控制、运算,对其他模块的控制及与其他模块的信息交互。

[0007] 所述音频测试模块2为模块化结构,又包括FPGA大规模现场可编程门阵列21、音频收处理单元22、音频发处理单元23、CPCI连接器24及桥芯片处理25,用于完成对音频信号的接收和发射处理,对音频信号进行解析,完成音频信号分析功能。

[0008] 所述射频/中频测试模块3为模块化结构,又包括FPGA大规模现场可编程门阵列31、双路高速AD/DA芯片32、射频/中频输入输出处理模块33,切换电路34、调制解调模块35、中频处理模块36、I/Q信号输入电路37及高频晶振38和CPCI连接器39,用于完成对射频、中频信号的接收和发射处理。

[0009] 所述射频前端模块4为模块化结构,用于完成射频前端信号检测、滤波处理,完成射频前端信号的发射和接收功能。

[0010] 所述人机交互模块5为模块化结构,用于完成综合检测平台对外显示、键盘输入等

人工交互功能。

[0011] 所述CPCI接口模块6为模块化结构,用于完成各模块的CPCI数据连接。

[0012] 所述接口组件7为模块化结构,用于完成综合检测平台对外接口功能,提供以太网接口、USB接口、RS232接口、平台适配器接口、信号源接口、中频口、射频口及数字I/Q接口等功能。

[0013] 值得特别说明的是:

[0014] 1.本实用新型能够实现对通信电台性能指标及相关接口进行测试,解决目前通信电台、车内通信器等设备的快速检测与维修任务。该平台可在多种环境下使用,满足室内台式、便携、以及携行箱上轮式工程车等要求,使用灵活,可在室内和野外均能快速搭建检测环境。

[0015] 2.本实用新型工作时,通过人机交互窗口,下达各项测试指标,可以完成对被测射频的射频、中频、数字I/Q信号等指标测试。

[0016] 总的来说,本实用新型具备设计合理,检测快捷、使用灵活、安装方面、操作简单等特点。

附图说明

[0017] 图1是本实用新型整机架构电原理框图。

[0018] 图2是本实用新型主板控制模件电原理图。

[0019] 图3是本实用新型音频测试模件电原理图。

[0020] 图4是本实用新型射频/中频测试模件电原理图。

[0021] 图中符号说明:

[0022] 1为主板控制模块;

[0023] 11为中央处理单元;

[0024] 111为四核处理器;

[0025] 112为4G内存;

[0026] 113为VGA芯片;

[0027] 114为PS2键盘/鼠标芯片;

[0028] 12为主板控制单元;

[0029] 121为Intel主板芯片;

[0030] 122为BIOS基本输入输出单元;

[0031] 123为128G电子盘;

[0032] 13为VGA芯片;

[0033] 14为串口转换芯片;

[0034] 15为网口芯片;

[0035] 2为音频测试模块;

[0036] 21为FPGA大规模现场可编程门阵列;

[0037] 22为音频收处理单元;

[0038] 221为音频收LC滤波器电路;

[0039] 222为音频收运算放大器电路;

- [0040] 223为高精度ADC芯片；
- [0041] 23为音频发处理单元；
- [0042] 231为音频发LC滤波器电路；
- [0043] 232为音频发运算放大器电路；
- [0044] 233为高精度DAC芯片；
- [0045] 24为CPCI连接器；
- [0046] 25为桥芯片；
- [0047] 3为射频/中频测试模块；
- [0048] 31为FPGA大规模现场可编程门阵列；
- [0049] 32为双路高速AD/DA芯片；
- [0050] 33为射频/中频输入输出处理模块；
- [0051] 34为切换电路；
- [0052] 35为调制解调模块；
- [0053] 36为中频处理模块；
- [0054] 37为I/Q信号输入电路；
- [0055] 38为高频晶振；
- [0056] 39为CPCI连接器；
- [0057] 4为射频前端模块；
- [0058] 5为人机交互模块；
- [0059] 6为CPCI接口模块；
- [0060] 7为接口组件。

具体实施方式

[0061] 请参阅附图1至附图4所示,为本实用新型具体实施例。

[0062] 从图1可以看出:

[0063] 本实用新型为基于CPCI总线传输的综合检测平台,包括主板控制模块1,音频测试模块2、射频/中频测试模块3、射频前端模块4、人机交互模块5、CPCI接口模块6、接口组件7共7个部分,且主板控制模块1同时与人机交互模块5、后面板接口模块6、接口组件7相连,音频测试模块2同时与CPCI接口模块6、接口组件7相连,射频/中频测试模块3同时与射频前端模块4、后面板接口模块6、接口组件7相连,射频前端模块4同时与音频测试模块2、接口组件7相连。各模块相结合构成一个整体。

[0064] 结合图1和图2可以看出:

[0065] 所述主板控制模块1为模块化结构,又包括中央处理单元11、主板控制单元12、VGA芯片13、串口转换芯片14、网口芯片15,其中:

[0066] 所述中央处理单元11的第0脚至第31脚,依次分别与所述主板控制单元12的第128脚至第159脚相连接;所述中央处理单元11的第0脚至第31脚,依次分别与所述VGA芯片13的第16脚至第47脚相连接;所述中央处理单元11的第0脚至第7脚,依次分别与所述串口转换芯片14的第0脚至第7脚相连接;

[0067] 所述主板控制单元12的第0脚至第7脚,依次分别与所述网口芯片15的第0脚至第7

脚相连接；

[0068] 所述中央处理单元11,又包括四核处理器111,4G内存112,VGA芯片113,PS2键盘/鼠标芯片114,其中:

[0069] 所述四核处理器111的第0脚至第31脚,依次分别与所述4G内存112的第0脚至第31脚相连接;所述四核处理器111的第0脚至第8脚,依次分别与所述VGA芯片113的第16脚至第23脚相连接;所述四核处理器111的第0脚至第8脚,依次分别与所述PS2键盘/鼠标芯片114的第5脚至第12脚相连接;

[0070] 所述主板控制单元12,又包括Intel主板芯片121,BIOS基本输入输出单元122和128G电子盘123,其中:

[0071] 所述Intel主板芯片121的第128脚至第135脚,依次分别与所述BIOS基本输入输出单元122的第0脚至第7脚相连接;所述Intel主板芯片121的第128脚至第159脚,依次分别与所述128G电子盘123的第0脚至第31脚相连接。

[0072] 所述VGA芯片13,通过32芯排线与所述CPCI接口模块6相连接;

[0073] 所述串口转换芯片14,通过标准9芯串口线与接口组件7相连接;

[0074] 所述网口芯片15,通过标准RJ45接口线与接口组件7相连接。

[0075] 结合图1和图3可以看出:

[0076] 所述音频测试模件2为模块化结构,又包括FPGA大规模现场可编程门阵列21、音频收处理单元22、音频发处理单元23、CPCI连接器24及桥芯片25,其中:

[0077] 所述FPGA大规模现场可编程门阵列21的第128脚至第159脚,依次分别与所述CPCI连接器24的第0脚至第31脚相连接;所述FPGA大规模现场可编程门阵列21的第0脚至第31脚,依次分别与所述桥芯片25的第0脚至第31脚相连接;

[0078] 所述音频收处理单元22,又包括音频收LC滤波器电路221,音频收运算放大器电路222及高精度ADC芯片223,其中:

[0079] 所述音频收LC滤波器电路221第1脚,与所述接口组件7的音频输入口通过射频线相连;所述音频收LC滤波器电路221的第2脚,与所述音频收运算放大器电路222的第1脚通过印制板走线相连接;所述音频收运算放大器电路222的第2脚,与所述高精度ADC芯片223的第11脚相连;所述高精度ADC芯片223的第0脚至第9脚,依次分别与所述FPGA大规模现场可编程门阵列21的第128脚至第159脚相连;

[0080] 所述音频发处理单元23,又包括音频发LC滤波器电路231,音频发运算放大器电路232及高精度DAC芯片233,其中:

[0081] 所述音频发LC滤波器电路231第1脚,与所述接口组件7的音频输出口通过射频线相连;所述音频发LC滤波器电路232的第2脚,与所述音频发运算放大器的第1脚通过印制板走线相连;所述音频发运算放大器的第2脚,与所述高精度DAC芯片233的第11脚相连;所述高精度DAC芯片的第0脚至第9脚,依次分别与所述FPGA大规模现场可编程门阵列21的第26脚至第35脚相连;

[0082] 所述CPCI连接器,通过32芯排线与所述CPCI接口模块相连接;

[0083] 所述桥芯片25,通过32芯排线与所述CPCI接口模块相连接。

[0084] 结合图1和图4可以看出:

[0085] 所述射频/中频测试模块3为模块化结构,又包括FPGA大规模现场可编程门阵列

31、双路高速AD/DA芯片32、射频/中频输入输出处理模块33、切换电路34、调制解调模块35、中频处理模块36、I/Q信号输入电路37及高频晶振38和CPCI连接器39,其中:

[0086] 所述FPGA大规模现场可编程门阵列31的第16脚至第25脚,依次分别与所述双路高速AD/DA芯片32的第0脚至第9脚相连;所述FPGA大规模现场可编程门阵列31的第26脚至第35脚,依次分别与所述CPCI连接器39的第0脚至第31脚相连;所述FPGA大规模现场可编程门阵列31的第0脚至第1脚,依次分别与所述I/Q信号输入电路37的第1脚至第2脚相连;所述FPGA大规模现场可编程门阵列31的第85脚,与所述高频晶振38的第3脚相连;所述FPGA大规模现场可编程门阵列31的第80脚,与所述调制解调模块35的第1脚相连;

[0087] 所述AD/DA芯片32的第12脚,与所述射频/中频输入输出处理模块33的第3脚相连接;所述AD/DA芯片32的第13脚,与所述中频处理模块36的第2脚相连接;

[0088] 所述切换电路34的第3脚,与所述射频/中频输入输出处理模块33的第1脚相连接;所述切换电路34的第2脚,与所述中频处理模块36的第3脚相连接;所述切换电路34的第1脚,与所述中频处理模块36的第3脚相连接;

[0089] 所述高频晶振38的第3脚,与所述中频处理模块36的第4脚相连接;所述高频晶振38的第3脚,与所述中频处理模块36的第2脚相连接;

[0090] 所述射频/中频输入输出处理模块33的第2脚,与所述接口组件7的射频口相通过射频线连接;

[0091] 所述中频处理模块36的第1脚,与所述接口组件7的中频口通过射频线相连接;

[0092] 所述I/Q信号输入电路37的第3脚,与所述接口组件7的IQ口通过信号线相连接;

[0093] 所述CPCI连接器39,通过32芯排线与所述CPCI接口模块相连接。

[0094] 本实用新型主要模块型号依次分别为:四核处理器11为IntelI7-3612QE,Interl, Intel主板芯片121为BD82QM77,FPGA大规模现场可编程门阵列21为XC3S1200F,VGA芯片13为PI7C9X130,串口转换芯片 14为OXuPCI954,网口芯片15为84574L,其余为工业级通用件。

[0095] 以上实施例,仅为本实用新型的较佳实例而已,用以说明本实用新型的技术特征和可实施性,并非用以限定本实用新型的专利申请权利;同时以上的描述,对于熟知本技术领域的专业人士应可明了并加以实施,因此,其他在未脱离本实用新型所揭示的前提下所完成的等效的改变或修饰,均应包含在所述的专利申请范围之内。

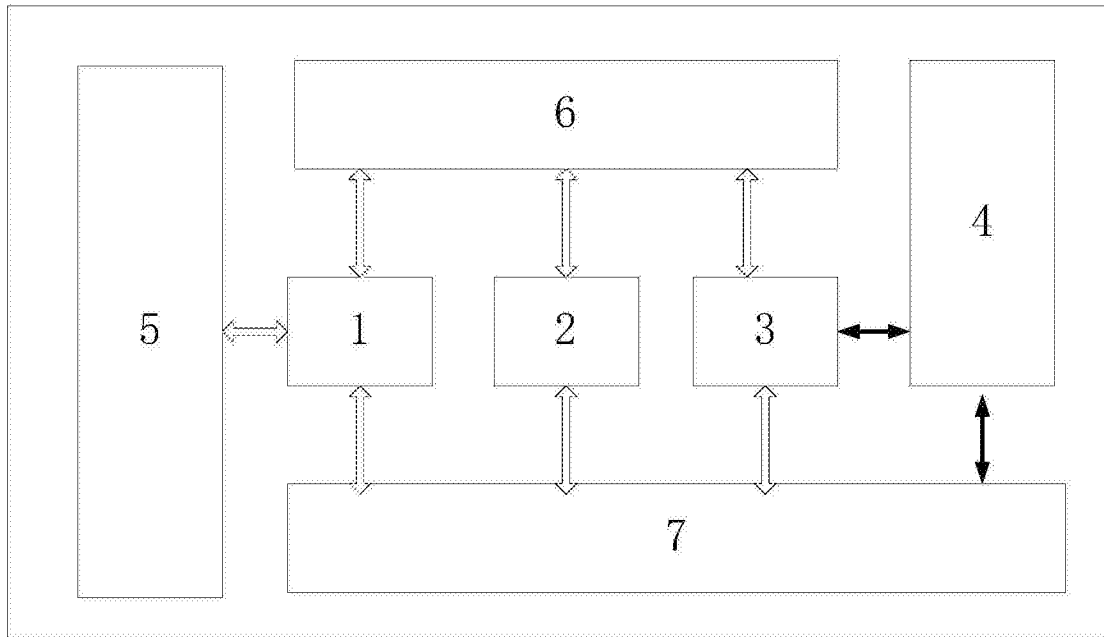


图1

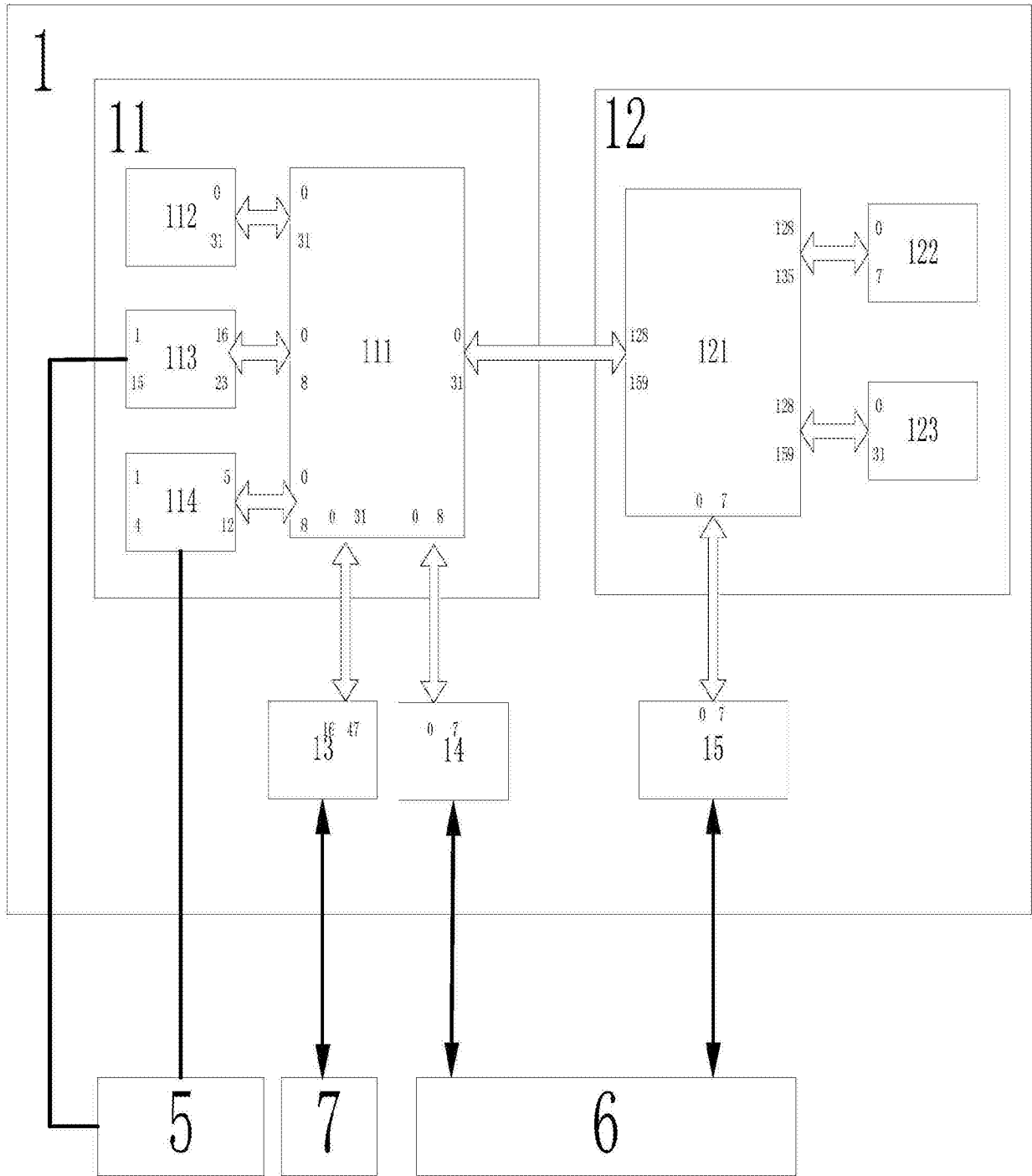


图2

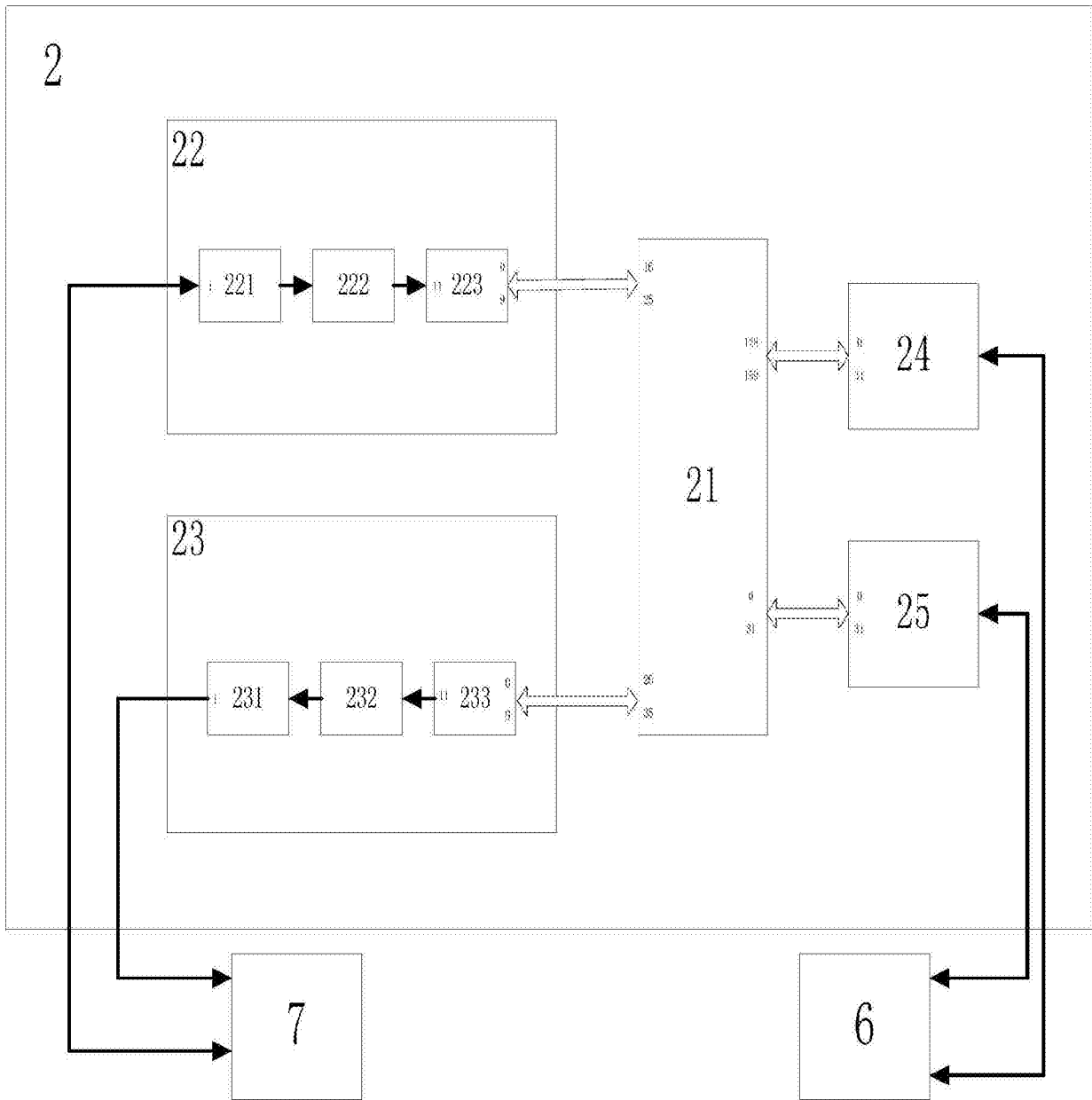


图3

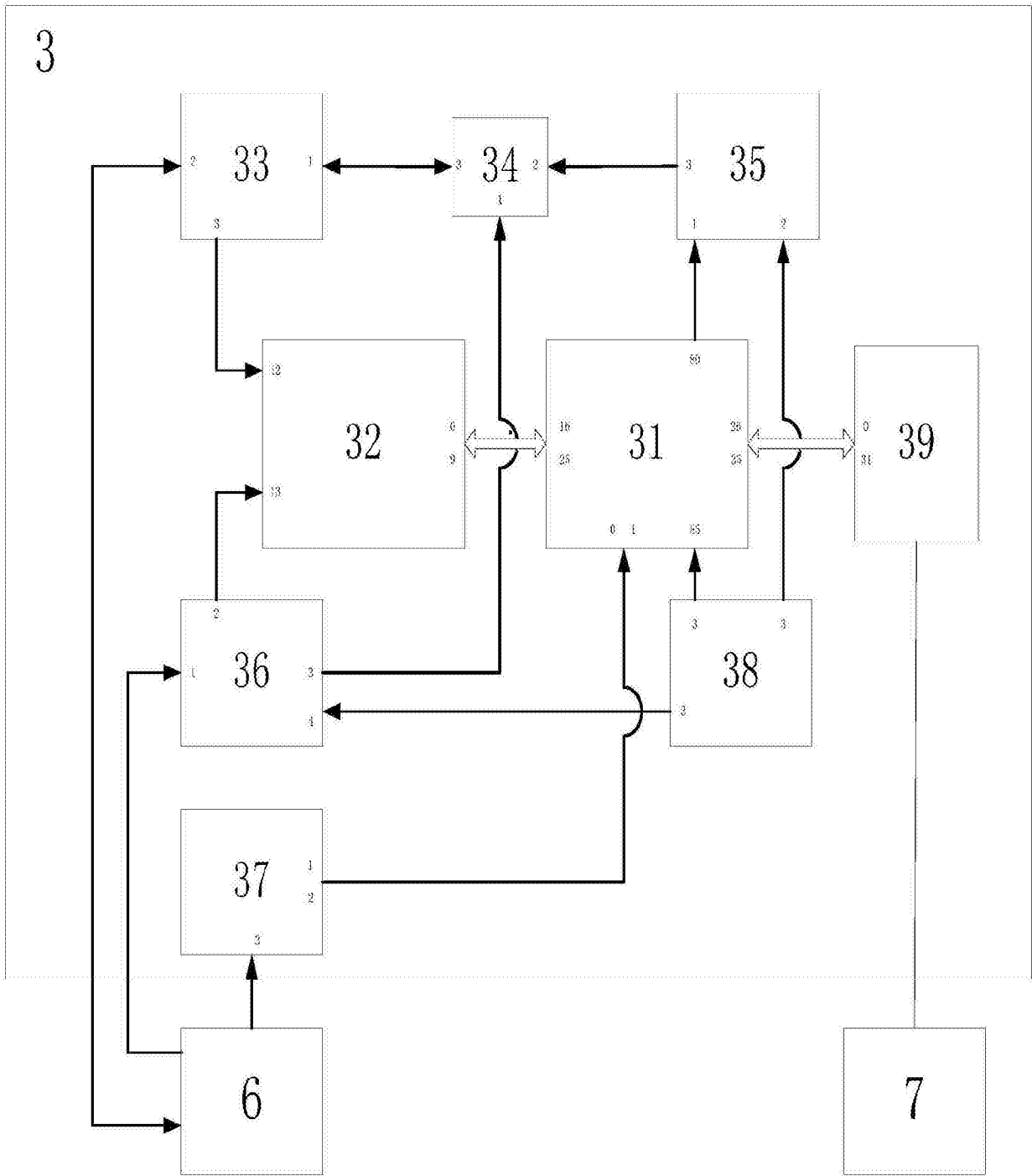


图4