

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-43464
(P2015-43464A)

(43) 公開日 平成27年3月5日(2015.3.5)

(51) Int.Cl. F I テーマコード(参考)
H O 1 L 27/10 (2006.01) H O 1 L 27/10 4 3 1 5 F 0 8 3

審査請求 有 請求項の数 30 O L 外国語出願 (全 34 頁)

| | | | |
|--------------|-------------------------------------|----------|-----------------------------------------|
| (21) 出願番号 | 特願2014-238642 (P2014-238642) | (71) 出願人 | 509344032 サイデンス コーポレーション |
| (22) 出願日 | 平成26年11月26日(2014.11.26) | | カナダ, オンタリオ州 ケイ2ケイ 3 |
| (62) 分割の表示 | 特願2011-502202 (P2011-502202) の分割 | | ジー3, オタワ, スイート 260, ハインズ ロード 84 |
| 原出願日 | 平成21年4月3日(2009.4.3) | (74) 代理人 | 100079108 弁理士 稲葉 良幸 |
| (31) 優先権主張番号 | 61/042, 511 | (74) 代理人 | 100109346 弁理士 大貫 敏史 |
| (32) 優先日 | 平成20年4月4日(2008.4.4) | (72) 発明者 | クルヤノウィクツ, ロデック |
| (33) 優先権主張国 | 米国 (US) | | カナダ国, オンタリオ州 ケイ7エス 3 |
| (31) 優先権主張番号 | 12/266, 828 | | ティー2, アーンプライア, マクレーン |
| (32) 優先日 | 平成20年11月7日(2008.11.7) | | アベニュー 280 |
| (33) 優先権主張国 | 米国 (US) | | Fターム(参考) 5F083 CR14 GA09 GA21 LA21 NA01 |

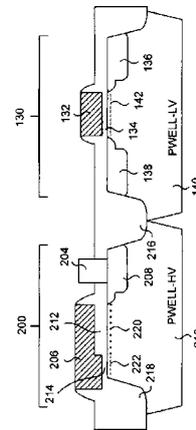
(54) 【発明の名称】 低閾値電圧アンチヒューズデバイス

(57) 【要約】

【課題】 コア回路プロセス製造技術と無関係に低閾値電圧を備えたアンチヒューズデバイスを有する一回限りプログラム可能メモリセルが提示される。

【解決手段】 パストラジスタおよびアンチヒューズデバイスを有する2トランジスタメモリセル、または二重厚さゲート酸化物を有する単一トランジスタメモリセルが、高電圧トランジスタ用に形成される高電圧ウェルに形成される。アンチヒューズデバイスの閾値電圧は、メモリデバイスのコア回路における任意のトランジスタの閾値電圧と異なるが、コア回路におけるトランジスタと同じゲート酸化物厚さを有する。パストラジスタは、コア回路における任意のトランジスタの閾値電圧と異なる閾値電圧を有し、かつコア回路における任意のトランジスタと異なるゲート酸化物厚さを有する。アンチヒューズデバイスの閾値電圧は、I/O回路に作製された高電圧トランジスタ用に用いられる閾値調整インプラントのいくつかまたは全てを省略することによって低下される。

【選択図】 図7B



【特許請求の範囲】

【請求項 1】

複数のアンチヒューズメモリセルを含むメモリアレイであって、
前記複数のアンチヒューズメモリセルのそれぞれは、
高電圧ウェルに形成された厚いゲート酸化物を有するアクセストランジスタであって、
前記高電圧ウェルが、n型およびp型のうちの1つである、アクセストランジスタ、および、

前記高電圧ウェルに形成された薄いゲート酸化物を有するアンチヒューズデバイスであって、
前記薄いゲート酸化物が、前記厚いゲート酸化物より薄い厚さを有する、アンチヒューズデバイス、を含むメモリアレイと、

前記薄いゲート酸化物に厚さにおいて対応するゲート酸化物を有するコアトランジスタであって、
前記高電圧ウェルと同じ型を有する低電圧ウェルに形成される、コアトランジスタと、

を含むメモリデバイス。

【請求項 2】

型およびドーピングプロファイルにおいて前記高電圧ウェルと実質的に同一の別のウェルに形成された入力/出力トランジスタをさらに含む、請求項 1 に記載のメモリデバイス。

【請求項 3】

前記アンチヒューズデバイスが、前記コアトランジスタより低い閾値電圧を有する、請求項 1 に記載のメモリデバイス。

【請求項 4】

前記厚いゲート酸化物が、中間酸化物、および前記中間酸化物上に堆積された前記薄いゲート酸化物を含む、請求項 1 に記載のメモリデバイス。

【請求項 5】

前記薄いゲート酸化物が、前記第 1 のウェルの基板表面上に熱によって成長される、請求項 1 に記載のメモリデバイス。

【請求項 6】

前記厚いゲート酸化物が、中間酸化物、および前記中間酸化物と前記基板表面との間に熱によって成長された酸化物を含む、請求項 5 に記載のメモリデバイス。

【請求項 7】

前記アクセストランジスタが、ビット線に電氣的に接続された第 1 の拡散領域、および前記アンチヒューズデバイスに電氣的に接続された第 2 の拡散領域を含む、請求項 1 に記載のメモリデバイス。

【請求項 8】

前記アクセストランジスタが、前記コアトランジスタおよび前記アンチヒューズデバイスより大きな閾値電圧を有する、請求項 7 に記載のメモリデバイス。

【請求項 9】

前記アンチヒューズデバイスが、前記薄いゲート酸化物に対応する薄い部分および前記厚いゲート酸化物に対応する厚い部分を有する可変厚ゲート酸化物を有し、前記可変厚ゲート酸化物が、単一ポリシリコンゲートの下に形成される、請求項 8 に記載のメモリデバイス。

【請求項 10】

前記可変厚ゲート酸化物の前記厚い部分および前記アクセストランジスタの厚いゲート酸化物の下のチャンネル領域が、実質的に同じV_tインプラントを有する、請求項 9 に記載のメモリデバイス。

【請求項 11】

前記アクセストランジスタの厚いゲート酸化物が、可変厚ゲート酸化物の厚い部分に対応し、前記アンチヒューズデバイスの薄いゲート酸化物が、前記可変厚ゲート酸化物の薄い部分に対応し、前記可変厚ゲート酸化物が、単一ポリシリコンゲートの下に形成される

10

20

30

40

50

、請求項 1 に記載のメモリデバイス。

【請求項 1 2】

前記アンチヒューズトランジスタが、前記アクセストランジスタおよび前記コアトランジスタより低い閾値電圧を有する、請求項 1 1 に記載のメモリデバイス。

【請求項 1 3】

メモリデバイスを製造するための方法であって、

メモリアレイ回路エリアに第 1 のウェルを注入するステップであって、前記第 1 のウェルが、n 型および p 型のうちの 1 つである、ステップと、

コア回路エリアに第 2 のウェルを注入するステップであって、前記第 2 のウェルが、前記第 1 のウェルと同じ型である、ステップと、

前記メモリアレイ回路エリアの前記第 1 のウェルにアクセストランジスタ用の第 1 の酸化物を形成するステップと、

前記コア回路エリアの前記第 2 のウェルにおけるコアトランジスタ用に、およびメモリアレイ回路エリアの前記第 1 のウェルにおけるアンチヒューズデバイス用に第 2 の酸化物を同時に形成するステップと、

を含む方法。

【請求項 1 4】

前記第 1 のウェルが高電圧ウェルであり、前記第 2 のウェルが低電圧ウェルである、請求項 1 3 に記載の方法。

【請求項 1 5】

前記同時に形成するステップが、前記第 2 の酸化物が形成されているときに前記第 1 の酸化物の厚さを増加させるステップを含み、前記第 2 の酸化物が、前記アンチヒューズデバイスの薄いゲート酸化物に対応する、請求項 1 3 に記載の方法。

【請求項 1 6】

前記増加させるステップが、基板表面上および前記第 1 の酸化物上に前記第 2 の酸化物を同時に堆積するステップを含み、前記第 1 の酸化物および前記第 2 の酸化物の組み合わせが、前記アクセストランジスタの厚いゲート酸化物を形成する、請求項 1 5 に記載の方法。

【請求項 1 7】

前記増加させるステップが、基板表面上および前記第 1 の酸化物の下に前記第 2 の酸化物を熱によって同時に成長させるステップを含み、前記第 1 の酸化物および前記第 2 の酸化物の組み合わせが、前記アクセストランジスタの厚いゲート酸化物を形成する、請求項 1 5 に記載の方法。

【請求項 1 8】

前記アクセストランジスタおよび前記アンチヒューズデバイスの閾値電圧を調整するために、前記第 1 のウェルを高閾値電圧調整インプラントにさらすステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 1 9】

前記アクセストランジスタおよび前記アンチヒューズデバイスの閾値電圧を調整するために、前記第 1 のウェルを高閾値電圧調整インプラントにさらす一方で、前記高閾値電圧調整インプラントの注入を防止するために前記アンチヒューズデバイスに対応するチャネル領域をマスクするステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 2 0】

前記コアトランジスタの閾値電圧を調整するために、前記第 2 のウェルを低閾値電圧調整インプラントにさらす一方で、前記低閾値電圧調整インプラントに前記アンチヒューズトランジスタをさらすのを防止するステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 2 1】

前記第 1 のウェルを注入する前記ステップが、入力/出力回路エリアに前記第 1 のウェルを同時に注入するステップを含む、請求項 1 6 に記載の方法。

【請求項 2 2】

10

20

30

40

50

第 1 の酸化物を形成する前記ステップが、前記入力 / 出力回路エリアの前記第 1 のウェルに入力 / 出力トランジスタの前記第 1 の酸化物を同時に形成するステップを含む、請求項 2 1 に記載の方法。

【請求項 2 3】

前記増加させるステップが、前記入力 / 出力トランジスタの前記第 1 の酸化物上に前記第 2 の酸化物を堆積するステップを含み、前記第 1 の酸化物および前記第 2 の酸化物の組み合わせが、前記入力 / 出力トランジスタの厚いゲート酸化物を形成する、請求項 2 2 に記載の方法。

【請求項 2 4】

前記さらすステップが、前記アクセストランジスタ、前記アンチヒューズデバイスおよび前記入力 / 出力トランジスタの閾値電圧を調整するために、前記第 1 のウェルを高閾値電圧調整インプラントにさらすステップを含む、請求項 2 2 に記載の方法。

【請求項 2 5】

前記コアトランジスタの閾値電圧を調整するために、前記第 2 のウェルを低閾値電圧調整インプラントにさらすステップをさらに含む、請求項 2 4 に記載の方法。

【請求項 2 6】

メモリアレイ回路エリアの第 1 のウェルにおけるアンチヒューズメモリセルであって、前記第 1 のウェルが n 型および p 型のうちの 1 つであるアンチヒューズメモリセルと、
 入力 / 出力エリアの前記第 1 のウェルにおける入力 / 出力トランジスタと、
 コア回路エリアの第 2 のウェルにおけるコアトランジスタであって、前記第 2 のウェルが、前記第 1 のウェルと同じ型であるが、前記第 1 のウェルと異なるプロファイルを有するコアトランジスタと、
 を含むメモリデバイス。

【請求項 2 7】

前記アンチヒューズメモリセルのそれぞれが、アクセストランジスタおよびアンチヒューズデバイスを含む、請求項 2 6 に記載のメモリデバイス。

【請求項 2 8】

前記アクセストランジスタおよび前記入力 / 出力トランジスタが、第 1 の厚さを備えたゲート酸化物を有する、請求項 2 7 に記載のメモリデバイス。

【請求項 2 9】

前記アンチヒューズデバイスおよび前記コアトランジスタが、前記第 1 の厚さより小さい第 2 の厚さを備えたゲート酸化物を有する、請求項 2 8 に記載のメモリデバイス。

【請求項 3 0】

前記アクセストランジスタおよび前記入力 / 出力トランジスタが、第 1 の閾値電圧を有し、前記アンチヒューズデバイスが、前記第 1 の閾値電圧より低い第 2 の閾値電圧を有し、前記コアトランジスタが、前記第 1 の閾値電圧より低く、かつ前記第 2 の閾値電圧と異なる第 3 の閾値電圧を有する、請求項 2 9 に記載のメモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2008年4月4日出願の米国仮特許出願第61/042,511号の優先権の利益を主張し、その出願は、その全体において参照により本明細書に援用される。

【0002】

発明の分野

本発明は、一般に不揮発性メモリに関する。特に、本発明は、アンチヒューズデバイスに関する。

【背景技術】

【0003】

発明の背景

10

20

30

40

50

以下の説明において、用語MOSは、任意のFETもしくはMISトランジスタ、ハーフトランジスタ(half-transistor)またはコンデンサ構造を示すために用いられる。実施形態の説明を簡略化するために、以下、ゲート酸化物への言及は、誘電体材料、酸化物、または酸化物および誘電体材料の組み合わせを含むものと理解されたい。

【0004】

過去30年にわたって、アンチヒューズ技術は、多くの発明者、IC設計者およびメーカーの大きな注目を引き付けてきた。アンチヒューズは、導電状態へ変更可能な構造、または換言すれば、非導電性から導電性へ状態を変化させる電子デバイスである。同様な意味合いで、2進状態は、プログラミング電圧または電流などの電氣的ストレス(electrical stress)に応じて、高抵抗および低抵抗のどちらか1つになり得る。アンチヒューズデバイスは、メモリアレイに配列され、それによって、一回限りプログラム可能(OTP: one-time-programmable)メモリ(ワンタイムプログラマブルメモリ)として周知のメモリを形成することができる。

10

【0005】

現在のアンチヒューズ開発は、3次元薄膜構造および特別な金属間材料のまわりに集中している。かかるアンチヒューズ技術は、標準CMOSプロセスでは利用不可能な追加的処理ステップを必要とし、典型的なVLSIおよびASIC設計におけるアンチヒューズの用途を妨げているが、この場合に、プログラミング性が、絶えず縮小するデバイス寿命サイクルおよび常に上昇するチップ開発費に関する問題の克服を支援することができる。したがって、標準CMOSプロセスを用いる信頼できるアンチヒューズ構造に対する明白な必要性が、産業界には存在する。

20

【0006】

標準CMOSプロセスを用いて製造可能なアンチヒューズメモリセルの1つのタイプが、米国特許第6,667,902号(Peng)に開示されている。Pengは、コンデンサに接続され、かつワード線と平行に走る「行プログラム線(row program lines)」を導入することによって、従来のプレーナDRAM(planar DRAM)状のアンチヒューズアレイを改良しようと試行している。復号されると、行プログラム線は、本来であれば既にプログラムされたセルを介して発生することになる高プログラミング電圧にアクセストランジスタがさらされるのを最小限にすることができる。Pengは、さらに、プログラミング電流を制御する可変電圧を加えることによって、米国特許6,671,040号において彼のアレイを改良するが、このアレイは、ゲート酸化物破壊の程度を制御して、マルチレベルまたはアナログ記憶用途を可能にされている。

30

【0007】

図1は、Pengにおいて開示されたアンチヒューズメモリセルの回路図であり、一方で図2および図3は、図1に示されたアンチヒューズメモリセルの平面図および断面図をそれぞれ示す。図1のアンチヒューズメモリセルには、ビット線BLをアンチヒューズデバイス12の底部プレートに結合するためのバストランジスタまたはアクセストランジスタ10が含まれる。アンチヒューズデバイス12は、ゲート絶縁破壊に基づいたアンチヒューズデバイスとみなされる。ワード線WLが、アクセストランジスタ10のゲートに結合されて、それをオンにし、セルプレート電圧Vcpが、アンチヒューズデバイス12をプログラムするためにアンチヒューズデバイス12の上部プレートに結合される。

40

【0008】

アクセストランジスタ10およびアンチヒューズデバイス12のレイアウトが非常に簡単で単純であることが、図2および図3から見て取れる。アクセストランジスタ10のゲート14およびアンチヒューズデバイス12の上部プレート16は、ポリシリコンの同じ層で構成され、活性領域18を横断して延びる。各ポリシリコン層の下の活性領域18には、ポリシリコンを下活性領域から電氣的に絶縁するための、ゲート誘電体としてもまた周知の薄いゲート酸化物20が形成される。ゲート14の両側に拡散領域22および24があり、拡散領域24は、ビット線に結合される。図示しなかったが、当業者は、側壁

50

スペーサ形成、ライトドープ拡散 (LDD) および拡散、ならびにゲートケイ素化などの標準 CMOS 処理を適用できることが理解されよう。従来の単トランジスタおよびコンデンサセル構成が、広く用いられているが、トランジスタだけのアンチヒューズセルが、高密度用途用に達成可能な、半導体アレイエリアの節約ゆえに、さらに望ましい。かかるトランジスタだけのアンチヒューズは、信頼できる一方で、低コストの CMOS プロセスを用いて製造するのが簡単でなければならない。

【0009】

ゲート絶縁破壊に基づいたアンチヒューズデバイスが、好ましい OTP またはエミュレートされた複数回プログラム可能 (MTP: multiple time programmable) 不揮発性メモリデバイスとして産業界で人気を得つつある。メモリアレイにおいて、または個別プログラム可能セルとして用いられるアンチヒューズデバイスは、少なくとも2つの領域からなる。第1は、高電圧破壊領域 (high voltage breakdown region) であり、第2は、低電圧破壊領域 (low voltage breakdown region) (またはアンチヒューズ領域) である。

【0010】

図4は、図1に示すアンチヒューズメモリセルの改良されたバージョンの断面図である。ちょうど図1のアンチヒューズメモリセルのように、図4は、2トランジスタアンチヒューズメモリセル30を示すが、このメモリセル30は、アンチヒューズトランジスタと直列のアクセストランジスタからなる。アクセストランジスタには、厚いゲート酸化物34上に重なるポリシリコンゲート32が含まれるが、ゲート酸化物34自体は、チャンネル36上に形成される。チャンネル36の左側には、ビット線コンタクト40に電氣的に接続された拡散領域38がある。チャンネル36の右側には、アンチヒューズトランジスタと共有される共通拡散領域42がある。アンチヒューズトランジスタには、薄いゲート酸化物46上に重なるポリシリコンゲート44が含まれるが、ゲート酸化物46自体は、チャンネル48上に形成される。厚いゲート酸化物34は、高電圧トランジスタ用に用いられるゲート酸化物に対応することができ、一方で薄いゲート酸化物46は、低電圧トランジスタ用に用いられるゲート酸化物に対応することができる。ポリシリコンゲート32および44は、独立して制御することができるか、あるいは、互いに接続することができる。例えば、ポリシリコンゲート32は、ワード線に結合することができるが、一方でポリシリコンゲート44は、制御されたセルプレート電圧 (VCP: cell plate voltage) に結合することができる。両方の拡散領域38および42は、LDD領域を有することができるが、LDD領域は、用いられる所望の動作電圧に依存して、同様にドープするか、または異なってドープすることができる。厚いフィールド酸化物または浅いトレンチ分離 (STI) 酸化物54および56が、メモリセルを、他のメモリセルおよび/またはコア回路トランジスタから分離するために形成される。2007年6月13日出願の、共同所有される米国特許出願第11/762,552号は、不揮発性メモリアレイにおいて使用できる代替の2トランジスタアンチヒューズメモリセル (two-transistor anti-fuse memory) を説明している。薄いゲート酸化物46は、プログラミング動作中に大きな電界が存在する状態で破壊し、それによって、チャンネル48とポリシリコンゲート44との間の導電性接続を生成するように意図されている。この導電性接続は、導電性リンクまたはアンチヒューズと呼ぶことができる。

【0011】

標準 CMOS プロセスで実現される、かかるアンチヒューズデバイスは、高電圧 (HV) または入力/出力 (I/O) トランジスタ、および低電圧 (LV) またはコアトランジスタを用いて、厚い誘電体および薄い誘電体領域をそれぞれ実現する。HV および LV トランジスタの作製には、ウェル (well) 形成および閾値電圧 (Vt) 調整インプラント (threshold voltage adjustment implants) などのプロセスステップが含まれる。当業者は、HV トランジスタが、典型的には、入力/出力バッファなどの I/O 回路において、または LV トランジスタを使用できるコアエリアと比較して、より低い漏れおよび/もしくはより高い動作電圧を必要とする回路にお

10

20

30

40

50

いて用いられることを理解されよう。他方で典型的には、LVトランジスタは、コア回路トランジスタ用に、または例えば高速スイッチング性能を必要とする回路用に用いられる。それに応じて、HVおよびLVトランジスタの電気特性は異なる。なぜなら、それらが、特定の用途用に設計されているからである。2トランジスタアンチヒューズメモリセル30において、ポリシリコンゲート44からなるアンチヒューズデバイスのVtを最小限にすることが望ましい。したがって、それは、LVトランジスタプロセスを用いて形成される。例として図4に示すように、ポリシリコンゲート44からなるアンチヒューズデバイスは、LVトランジスタ用に特に設定されたドーパント濃度、Vtインプラントおよびゲート酸化物厚さを有する低電圧p型ウェル(PWELL-LV)50に形成される。ポリシリコンゲート32からなるパスゲートは、HVトランジスタ用に特に設定されたドー

10

【0012】

メモリのコスト低減を促進する要因は、メモリアレイエリアである。図4の2トランジスタアンチヒューズメモリセル30は、例えば、フラッシュメモリセルなどの単トランジスタメモリセルと比較すると、比較的大きなメモリセルである。単トランジスタアンチヒューズメモリセルは、共同所有される米国特許第7,402,855号に説明されている。

20

【0013】

図5は、共同所有される米国特許第7,402,855号に開示された単トランジスタアンチヒューズメモリセルの断面図である。アンチヒューズトランジスタ60には、基板チャネル領域64上に形成された可変厚ゲート酸化物62、ポリシリコンゲート66、側壁スペーサ68、フィールド酸化物領域70、拡散領域72、および拡散領域72におけるLDD領域74が含まれる。ビット線コンタクト76が、拡散領域72と電気的に接触して示されている。可変厚ゲート酸化物62は、チャネル長さの一部が厚いゲート酸化物によって被覆され、かつチャネル長さの残りの部分が薄いゲート酸化物によって被覆されるように、厚いゲート酸化物および薄いゲート酸化物からなる。以下、薄いゲート酸化物部分は、単トランジスタアンチヒューズメモリセルのアンチヒューズデバイス部分に対応し、一方で厚いゲート酸化物部分は、単トランジスタアンチヒューズメモリセルのアクセストランジスタ部分に対応するものとする。一般に、薄いゲート酸化物は、酸化物破壊が発生し得る領域である。他方で拡散領域72に接触する厚いゲート酸化物エッジは、ゲート酸化物破壊が防止され、かつゲート66と拡散領域72との間の電流が、プログラムされたアンチヒューズトランジスタ用に流れることになるアクセスエッジを画定する。厚い酸化物部分がチャネル領域の中へ延びる距離は、マスクグレードに依存する一方で、厚い酸化物部分は、同じチップ上に形成された高電圧トランジスタの最小長さと同様とも同じくらいの長さになるように形成されるのが好ましい。

30

【0014】

現在、図示する例において、拡散領域72は、ビット線コンタクト76を介してビット線に、またはポリシリコンゲート66からの電流を感知するための他の線に接続され、かつプログラミング電圧または電流を収容するようにドーピングすることができる。この拡散領域72は、可変厚ゲート酸化物62の厚い酸化物部分に隣接して形成される。アンチヒューズトランジスタ60のエッジを高電圧ダメージまたは電流漏れからさらに保護するために、サリサイド保護酸化物としてもまた周知の抵抗器保護酸化物(RPO)を作製プロセス中に導入して、金属粒子を側壁スペーサ68のエッジからさらに離間することができる。このRPOは、拡散領域72の一部およびポリシリコンゲート66の一部のみサリサイド化させないようにするために、サリサイド化プロセス中に用いられるのが好ましい。サリサイド化されたトランジスタがより高い漏れ、したがってより低い破壊電圧を有することがよく知られている。したがって、非サリサイド化拡散領域72を有することによって、漏れが低減される。拡散領域72は、低電圧トランジスタもしくは高電圧トランジスタ

40

50

、または同一もしくは異なる拡散プロファイルに帰着する2つの組み合わせ用にドーブすることができる。

【0015】

繰り返すと、可変厚ゲート酸化物62の薄いゲート酸化物部分上のポリシリコンゲート66の一部によって画定されたアンチヒューズデバイスの V_t を最小限にすることが望ましい。したがって、それは、LVトランジスタプロセスを用いて形成される。例として図5に示すように、薄いゲート酸化物部分上のポリシリコンゲート66からなるアンチヒューズデバイスは、LVトランジスタ用に特に設定されたドーパント濃度、 V_t インプラントおよびゲート酸化物厚さを有する低電圧p型ウェルPWE LL-LV78に形成される。可変厚ゲート酸化物62の厚いゲート酸化物部分上のポリシリコン66からなるバスゲートは、HVトランジスタ用に特に設定されたドーパント濃度、 V_t インプラントおよびゲート酸化物厚さを有する高電圧p型ウェルPWE LL-HV80に形成される。したがって、アンチヒューズデバイスの V_t は、コア回路トランジスタの V_t と同じである。

10

【0016】

残念なことに、半導体デバイスを製造するファウンドリ(foundry)は、メモリデバイスのコア回路を製造するための、規定のタイプのLVトランジスタプロセスを有している可能性があるが、 V_t 制御インプラントは、回路用途または機能に依存して異なる。半導体メモリデバイスは、一般に3つの回路エリアを有する。第1は、半導体メモリデバイスのパッケージのピンに接続されるI/O回路である。第2は、コア回路であり、それには、例えば任意の論理および制御回路が含まれる。第3は、メモリアレイであり、それには、メモリセルが含まれる。この問題を悪化させるのは、次の事実である。すなわち、アンチヒューズは、典型的には、特定のLVトランジスタプロセスに基づいて設計されるが、これは、アンチヒューズデバイスが、その特定のLVトランジスタプロセスに従って製造された場合には、適切に動作するのに適格とされたことを意味するという事実である。ファウンドリが、設計に適したLVトランジスタプロセスを有していない場合には、利用可能なプロセスに対してアンチヒューズデバイスを適格にするために、アンチヒューズデバイスの再設計が必要とされる。かかる再設計は、著しいオーバーヘッドコストをもたらし、これは、ファウンドリが、新しい製造技術ノードを収容する新しい世代のプロセスを導入する場合には、再び必要とされる。例えば、45nm技術ノード用のLVプロセスは、20nm技術ノードのそれと異なる可能性がある。

20

30

【0017】

図5のアンチヒューズトランジスタ60に関する別の問題は、ウェル78および80の注入に関連するマスク位置合わせ誤差である。可変厚ゲート酸化物66の薄いゲート酸化物部分が小さいので、どんなマスク位置合わせ誤差も重大になる。これが意味するのは、多すぎるウェル78が厚いゲート酸化物部分の下に形成される可能性があり、または少なすぎるウェル78が薄いゲート酸化物部分の下に形成される可能性があるということである。いずれの場合にも、単一トランジスタアンチヒューズメモリセルの適切な動作に影響する欠陥が形成される可能性が高い。

【0018】

別の重要な問題は、アンチヒューズメモリデバイスの信頼性、より具体的には、薄いゲート酸化物の品質である。薄いゲート酸化物の品質は、単にいくつかの要因を挙げれば、下にあるチャネル表面の状態、チャネル表面におけるドーパントの濃度および均一性、ならびに注入ダメージによって影響される。一般に、アンチヒューズデバイスがさらされるプロセスステップが多ければ多いほど、不良アンチヒューズデバイスを製造する確率はそれだけ高くなる。アンチヒューズに基づいたメモリデバイスは、製造後にエンドユーザによってプログラムされるので、プログラミング前にアンチヒューズデバイスの信頼性をテストすることが難しい。したがって、薄いゲート酸化物の品質は最大限にすべきである。なぜなら、間違っ​​てプログラムされたアンチヒューズデバイスまたはプログラム不可能なアンチヒューズデバイスは、システムにおける障害を引き起こす可能性が高いからである。自動車産業において、かかる障害は、最悪な結果をもたらす可能性がある。

40

50

【0019】

したがって、現在のCMOSプロセスを用いて、絶えず低 V_t アンチヒューズデバイスを製造するのは難しい。したがって、最小の V_t を有する一方で、製造が簡単で低コストのアンチヒューズに基づいたメモリセルを提供することが望ましい。

【発明の概要】

【発明が解決しようとする課題】

【0020】

発明の概要

本発明の目的は、前述のアンチヒューズメモリデバイスの少なくとも1つの不都合を防止または軽減することである。

【課題を解決するための手段】

【0021】

第1の態様において、本発明は、メモリデバイスを提供する。メモリデバイスには、複数のアンチヒューズメモリセルとコアトランジスタを含むメモリアレイが含まれる。複数のアンチヒューズメモリセルのそれぞれには、アクセストランジスタおよびアンチヒューズデバイスが含まれる。アクセストランジスタは、高電圧ウェル (high voltage well) に形成された厚いゲート酸化物を有するが、高電圧ウェルは、 n 型および p 型のうちの1つである。アンチヒューズデバイスは、高電圧ウェルに形成された薄いゲート酸化物を有するが、薄いゲート酸化物は、厚いゲート酸化物より薄い厚さを有する。コアトランジスタは、厚さにおいて薄いゲート酸化物に対応するゲート酸化物を有するが、コアトランジスタは、高電圧ウェルと同じ型を有する低電圧ウェル (low voltage well) に形成される。本態様の実施形態によれば、入力/出力トランジスタが、型およびドーピングプロファイルにおいて高電圧ウェルと実質的に同一の別のウェルに形成され、アンチヒューズデバイスは、コアトランジスタより低い閾値電圧を有し、厚いゲート酸化物は、中間酸化物、および中間酸化物上に堆積された薄いゲート酸化物を含む。

【0022】

別の実施形態において、薄いゲート酸化物は、第1のウェルの基板表面上に熱によって成長され、厚いゲート酸化物は、中間酸化物、および中間酸化物と基板表面との間に熱によって成長された酸化物を含む。さらなる実施形態において、アクセストランジスタには、ビット線に電氣的に接続された第1の拡散領域、およびアンチヒューズデバイスに電氣的に接続された第2の拡散領域が含まれるが、アクセストランジスタは、コアトランジスタおよびアンチヒューズデバイスより大きな閾値電圧を有する。この実施形態において、可変厚ゲート酸化物が単一ポリシリコンゲートの下に形成されるように、アンチヒューズデバイスは、薄いゲート酸化物に対応する薄い部分および厚いゲート酸化物に対応する厚い部分を有する可変厚ゲート酸化物を有する。さらに、可変厚ゲート酸化物の厚い部分およびアクセストランジスタの厚いゲート酸化物の下にチャネル領域は、ほぼ同じ V_t インプラントを有する。さらに別の実施形態において、アクセストランジスタの厚いゲート酸化物は、可変厚ゲート酸化物の厚い部分に対応し、アンチヒューズデバイスの薄いゲート酸化物は、可変厚ゲート酸化物の薄い部分に対応して、可変厚ゲート酸化物が、単一のポリシリコンゲートの下に形成されるようにする。この実施形態において、アンチヒューズトランジスタは、アクセストランジスタおよびコアトランジスタより小さな閾値電圧を有する。

【0023】

第2の態様において、本発明は、メモリデバイスを製造するための方法を提供する。この方法には、メモリアレイ回路エリアに第1のウェルを注入 (implanting) するステップであって、第1のウェルが n 型および p 型のうちの1つである、ステップと、コア回路エリアに第2のウェルを注入するステップであって、第2のウェルが第1のウェルとして同じ型である、ステップと、メモリアレイ回路エリアの第1のウェルにアクセストランジスタ用の第1の酸化物を形成するステップと、コア回路エリアの第2のウェルに

10

20

30

40

50

おけるコアトランジスタ用の、およびメモリアレイ回路エリアの第1のウェルにおけるアンチヒューズデバイス用の第2の酸化物を同時に形成するステップと、が含まれる。一実施形態において、第1のウェルは、高電圧ウェルであり、第2のウェルは、低電圧ウェルである。別の実施形態において、同時に形成するステップには、第2の酸化物が形成されるときに第1の酸化物の厚さを増加させるステップであって、第2の酸化物が、アンチヒューズデバイスの薄いゲート酸化物に対応するステップが含まれる。この実施形態において、前記増加させるステップには、基板表面上および第1の酸化物上に第2の酸化物を同時に堆積するステップであって、第1の酸化物および第2の酸化物の組み合わせが、アクセストランジスタの厚いゲート酸化物を形成するステップが含まれる。あるいは、前記増加させるステップには、基板表面上、および第1の酸化物の下に第2の酸化物を熱によって同時に成長させるステップであって、第1の酸化物および第2の酸化物の組み合わせが、アクセストランジスタの厚いゲート酸化物を形成する、ステップが含まれる。

10

20

30

40

50

【0024】

本態様のさらなる実施形態において、この方法には、さらに、アクセストランジスタおよびアンチヒューズデバイスの閾値電圧を調整するために、第1のウェルを高閾値電圧調整インプラントにさらす(exposing)ステップが含まれる。あるいは、この方法には、さらに、アクセストランジスタおよびアンチヒューズデバイスの閾値電圧を調整するために、第1のウェルを高閾値電圧調整インプラントにさらす一方で、高閾値電圧調整インプラントの注入を防止するために、アンチヒューズデバイスに対応するチャンネル領域をマスクするステップが含まれる。あるいは、この方法には、さらに、コアトランジスタの閾値電圧を調整するために第2のウェルを低閾値電圧調整インプラントにさらす一方で、低閾値電圧調整インプラントにアンチヒューズトランジスタがさらされるのを防止するステップが含まれる。

【0025】

別の実施形態によれば、第1のウェルを注入するステップには、入力/出力回路エリアに第1のウェルを同時に注入するステップが含まれ、第1の酸化物を形成するステップには、入力/出力回路エリアの第1のウェルに、入力/出力トランジスタの第1の酸化物を同時に形成するステップが含まれる。増加させるステップには、入力/出力トランジスタの第1の酸化物上に第2の酸化物を堆積するステップであって、第1の酸化物および第2の酸化物の組み合わせが、入力/出力トランジスタの厚いゲート酸化物を形成するステップを含むことができる。さらすステップには、アクセストランジスタ、アンチヒューズデバイスおよび入力/出力トランジスタの閾値電圧を調整するために、第1のウェルを高閾値電圧調整インプラントにさらすステップを含むことができる。コアトランジスタの閾値電圧を調整するために、第2のウェルを低閾値電圧調整インプラントにさらす追加ステップを含むことができる。

【0026】

第3の態様において、本発明は、メモリデバイスを提供する。メモリデバイスには、アンチヒューズメモリセル、入力/出力トランジスタおよびコアトランジスタが含まれる。アンチヒューズメモリセルは、メモリアレイ回路エリアの第1のウェルにあり、第1のウェルは、n型およびp型のうちの1つである。入力/出力トランジスタは、入力/出力エリアの第1のウェルにある。コアトランジスタは、コア回路エリアにおける第2のウェルにあり、第2のウェルは、第1のウェルと同じ型であるが、しかし第1のウェルとは異なるプロファイルを有する。第3の態様の実施形態によれば、アンチヒューズメモリセルのそれぞれには、アクセストランジスタおよびアンチヒューズデバイスが含まれ、アクセストランジスタおよび入力/出力トランジスタは、第1の厚さを備えたゲート酸化物を有する。アンチヒューズデバイスおよびコアトランジスタは、第1の厚さより薄い第2の厚さを備えたゲート酸化物を有する。アクセストランジスタおよび入力/出力トランジスタは、第1の閾値電圧を有し、アンチヒューズデバイスは、第1の閾値電圧より小さい第2の閾値電圧を有し、コアトランジスタは、第1の閾値電圧より小さく、かつ第2の閾値電圧と異なる第3の閾値電圧を有する。

【 0 0 2 7 】

本発明の他の態様および特徴は、添付の図面と共に本発明の特定の実施形態の以下の説明を検討することによって、当業者には明らかになる。

【 0 0 2 8 】

ここで、本発明の実施形態を、添付の図面を参照して、単に例として説明する。

【 図面の簡単な説明 】

【 0 0 2 9 】

図面の簡単な説明

【 0 0 3 0 】

【 図 1 】 D R A M型アンチヒューズセルの回路図である。

10

【 図 2 】 図 1 の D R A M型アンチヒューズセルの平面レイアウトである。

【 図 3 】 線 A - A に沿った、図 2 の D R A M型アンチヒューズセルの断面図である。

【 図 4 】 2トランジスタアンチヒューズメモリセルの断面図である。

【 図 5 】 単一トランジスタアンチヒューズメモリセルの断面図である。

【 図 6 A 】 本発明の実施形態による2トランジスタアンチヒューズメモリセルの平面図である。

【 図 6 B 】 線 B - B に沿った、図 6 A の2トランジスタアンチヒューズメモリセルの断面図である。

【 図 7 A 】 本発明の実施形態による単一トランジスタアンチヒューズメモリセルの平面図である。

20

【 図 7 B 】 線 C - C に沿った、図 7 A の単一トランジスタアンチヒューズメモリセルの断面図である。

【 図 8 A 】 本発明の実施形態による代替2トランジスタアンチヒューズメモリセルの平面図である。

【 図 8 B 】 線 D - D に沿った、図 8 A の2トランジスタアンチヒューズメモリセルの断面図である。

【 図 9 A 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 9 B 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

30

【 図 9 C 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 9 D 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 9 E 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 9 F 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 9 G 】 本発明の実施形態に従って、図 6 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

40

【 図 1 0 A 】 本発明の実施形態に従って、図 7 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 1 0 B 】 本発明の実施形態に従って、図 7 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 1 0 C 】 本発明の実施形態に従って、図 7 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 1 0 D 】 本発明の実施形態に従って、図 7 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

【 図 1 0 E 】 本発明の実施形態に従って、図 7 B のアンチヒューズメモリセルを形成するために用いられる C M O S プロセスステップを示す。

50

【図10F】本発明の実施形態に従って、図7Bのアンチヒューズメモリセルを形成するために用いられるCMOSプロセスステップを示す。

【図10G】本発明の実施形態に従って、図7Bのアンチヒューズメモリセルを形成するために用いられるCMOSプロセスステップを示す。

【図11】図6Bおよび7Bのアンチヒューズメモリセルを形成するための作製プロセスを要約する流れ図である。

【図12】本発明の実施形態による2トランジスタアンチヒューズメモリアレイの平面図である。

【図13】本発明の実施形態による代替2トランジスタアンチヒューズメモリアレイの平面図である。

【図14】本発明の実施形態による単一トランジスタアンチヒューズメモリアレイの平面図である。

【発明を実施するための形態】

【0031】

詳細な説明

本発明の実施形態は、コア回路プロセス製造技術と無関係に、低閾値電圧を備えたアンチヒューズデバイスを有する一回限りプログラム可能メモリセル（ワンタイムプログラマブルメモリ）を説明する。パストランジスタおよびアンチヒューズデバイスを有する2トランジスタメモリセル、または二重厚さゲート酸化物を有する単一トランジスタスプリットチャネルメモリセルが、高電圧トランジスタを形成するために用いられる高電圧ウェルに形成される。アンチヒューズデバイスの閾値電圧は、メモリデバイスのコア回路における任意のトランジスタの閾値電圧と異なるが、しかしコア回路におけるトランジスタと同じゲート酸化物厚さを有する。パストランジスタは、どのコア回路トランジスタの閾値電圧とも異なる閾値電圧を有し、かつコア回路におけるどのトランジスタとも異なるゲート酸化物厚さを有する。

【0032】

特に、本発明の実施形態によって、追加的なマスク層またはCMOSプロセスステップなしに、プログラムドアンチヒューズデバイス（programmed anti-fuse device）の低い閾値電圧が達成される。さらに、マスクレイアウトは単純化され、マスク位置合わせ不良、およびゲート酸化物破壊特性のマスク依存が最小限にされる。

【0033】

図6Aは、本発明の実施形態による2トランジスタアンチヒューズメモリセルの平面図である。アンチヒューズメモリセル100は、典型的にはメモリアレイに形成され、かつアクセストランジスタおよびアンチヒューズトランジスタを含む。パストランジスタとも呼ばれるアクセストランジスタには、活性領域102、ビット線コンタクト104、およびポリシリコンゲート106が含まれる。破線の輪郭線107は、厚いゲート酸化物が、製造プロセス中に厚いゲート酸化物画定マスクを介して形成されることになるエリアを画定する。より具体的には、破線の輪郭線107によって囲まれたエリアは、厚い酸化物が形成されることになる領域を示す。アンチヒューズトランジスタには、活性領域102およびポリシリコンゲート108が含まれる。第1の拡散領域110が、ポリシリコンゲート106および108間の活性領域102に形成され、一方で第2の拡散領域112が、ポリシリコンゲート106のもう一方の側の活性領域102に形成される。ビット線コンタクト104は、第2の拡散領域112と電氣的に接触する。アクセストランジスタおよびアンチヒューズトランジスタの両方が、共通ウェル（common well）114に形成される。より具体的には、共通ウェル114は、I/Oトランジスタ用に用いられる高電圧p型ウェルなどの高電圧ウェルである。厚いゲート酸化物が、ポリシリコンゲート106の下にあって、チャネル領域（図示せず）を被覆している。アンチヒューズを形成するための局所的破壊が意図されている薄いゲート酸化物が、ポリシリコンゲート108の下にあって、チャネル領域（図示せず）を被覆している。

10

20

30

40

50

【 0 0 3 4 】

図 6 B は、線 B - B に沿ったアンチヒューズメモリセル 1 0 0 の断面図である。比較のために、図 6 B はまた、アンチヒューズメモリセル 1 0 0 と同じ基板に形成されるであろうコア回路トランジスタの断面図を示す。図 6 B は、ポリシリコンゲート 1 0 6 の下の厚いゲート酸化物 1 1 6、およびポリシリコンゲート 1 0 8 の下の薄いゲート酸化物 1 1 8 を明らかに示す。拡散領域 1 1 0 および 1 1 2 は、ポリシリコンゲート 1 0 6 および 1 0 8 に隣接する側壁スペースの下に延びる L D D 領域を有し、S T I 1 2 0 および 1 2 2 などのフィールド酸化物が、他のメモリセル、またはコア回路トランジスタ 1 3 0 などのコア回路からアンチヒューズメモリセル 1 0 0 を分離するために含まれる。コア回路トランジスタ 1 3 0 には、薄いゲート酸化物 1 3 4 上に形成されたポリシリコンゲート 1 3 2、
10
ならびに拡散領域 1 3 6 および 1 3 8 が含まれる。拡散領域は、ポリシリコンゲート 1 3 2 に隣接する側壁スペースの下に延びる L D D 領域を有する。このコア回路トランジスタ 1 3 0 は、例えば制御論理または復号論理など、メモリアレイを動作させるためにコア回路において用いられる全てのトランジスタを代表することができ、ウェル 1 1 4 とは異なるウェル 1 4 0 に形成される。より具体的には、コア回路トランジスタ 1 3 0 は、高性能用に設計可能なので、ウェル 1 4 0 は、低電圧 p 型ウェル (P W E L L - L V) であり、これは、高電圧 p 型ウェル (P W E L L - H V) である、ウェル 1 1 4 と異なる。

【 0 0 3 5 】

ここでアンチヒューズメモリセル 1 0 0 のいくつかの顕著な特徴を説明する。アンチヒューズデバイスの薄いゲート酸化物 1 1 8、およびコア回路トランジスタ 1 3 0 の薄いゲート酸化物 1 3 4 は、互いに同一にすることができるが、これは、それらが、ほぼ同じ厚さで形成されることを意味する。複数のコアデバイスタイプが、(トリプルゲート酸化物プロセスの場合のように) 同じウエハに存在する場合には、アンチヒューズの薄いゲート酸化物 1 1 8 は、コアトランジスタデバイスの 1 つにおけるゲート酸化物と同一であろう。
20
さらに、ゲート酸化物厚さ 1 1 6 は、通常、全てのコア回路トランジスタの厚さとは異なり、かつ典型的には、I / O 回路トランジスタのゲート酸化物厚さと同じである。これは、同じ L V トランジスタプロセスを用いて、薄いゲート酸化物 1 1 8 および 1 3 4 の両方を同時に成長させることによって達成される。薄いゲート酸化物 1 1 8 および 1 3 4 は同じであるが、アンチヒューズデバイスおよびコア回路トランジスタ 1 3 0 の閾値電圧は異なる。当業者は、コア回路トランジスタ 1 3 0 が、拡散領域 1 3 6 および 1 3 8 間のチャネル 1 4 0 に L V トランジスタ V t インプラント 1 4 2 を有して、V t を、ウェル 1 4 0 による自然 V t から上昇させることが理解されよう。しかしながら、厚いゲート酸化物 1 1 6 および薄いゲート酸化物 1 1 8 の下のチャネル領域は、同じ H V トランジスタ V t 調整インプラントステップにさらされ、それによって、ゲート酸化物の異なる厚さゆえに異なる V t インプラント 1 2 6 および 1 2 8 に帰着する。厚いゲート酸化物 1 1 6 の下のチャネル領域は、例えば、0 . 6 ボルトなどの目標値に I / O トランジスタの V t を調整するために用いられる H V トランジスタ V t インプラント 1 2 6 を有する。薄いゲート酸化物 1 1 8 の下のチャネル領域は、厚いゲート酸化物 1 1 6 に対応する、結果としての V t のスケール因子である V t に帰着する V t インプラント 1 2 8 を有するだろう。繰り返すと、この倍率は、厚いゲート酸化物 1 1 6 と薄いゲート酸化物 1 1 8 との間の厚さの差
30
40
に関連する。あるいは、薄いゲート酸化物 1 1 8 の下のチャネル領域は、H V トランジスタ V t 調整インプラントステップ中にマスクされ、それによって、この領域へのどんな V t 調整注入も防止することができる。したがって、薄いゲート酸化物部分 1 1 8 の下の V t は、ウェル 1 1 4 による自然 V t となる。

【 0 0 3 6 】

アンチヒューズメモリセルを製造するために高電圧プロセスを用いる利点は、高電圧 C M O S プロセスが、各新しい低電圧 C M O S プロセスの導入に対して、ほぼ一定のままであるという事実である。したがって、コア回路が、改善された性能を達成するために新しい高度な低電圧プロセスで作製される場合に、アンチヒューズメモリセルは、プロセス世代からプロセス世代にわたって、ほぼ一定のままである特性を有することになる。したがって
50

、低電圧プロセスが変わるとともにアンチヒューズメモリセルの再設計が必要とされることはない。

【0037】

上記の例示的な2トランジスタアンチヒューズメモリセル100は、互いに接続され、かつワード線によって駆動されるポリシリコンゲート106および108を有することができるか、またはそれらは、図1および図2の2トランジスタアンチヒューズメモリセルと同じ方法で、別個のワード線およびV_{cp}線を用いて個別に駆動することができる。いずれの場合も、かかるメモリセルは、メモリアレイ実装面積の最小化によって半導体エリアの最小限の使用が要求される高密度用途には適していない可能性がある。かかる用途において、図7Aの単一トランジスタアンチヒューズメモリセルを用いることができる。

10

【0038】

図7Aは、本発明の実施形態による単一トランジスタアンチヒューズメモリセルの平面図である。アンチヒューズメモリセル200は、典型的には、メモリアレイに形成され、かつ米国特許第7,402,855号の前述の変厚ゲート酸化物を含む。アンチヒューズメモリセル200には、活性領域202、ビット線コンタクト204、ポリシリコンゲート206、および活性領域202に形成された拡散領域208が含まれる。ビット線コンタクト204は、拡散領域208と電氣的に接触する。アンチヒューズメモリセル200は、共通ウェル210に形成されるが、この共通ウェル210は、I/Oトランジスタ用に用いられる高電圧p型ウェルなどの高電圧ウェルである。共通ウェル210は、図6Bの共通ウェル114と同じにすることができる。変厚ゲート酸化物が、ポリシリコンゲート206の下にあり、チャンネル領域(図示せず)を被覆している。破線の輪郭線211は、厚いゲート酸化物が、製造プロセス中に厚いゲート酸化物画定マスクを介して形成されることになるエリアを画定する。

20

【0039】

図7Bは、線C-Cに沿ったアンチヒューズメモリセル200の断面図である。比較のために、図7Bはまた、アンチヒューズメモリセル200と同じ基板に形成されるであろう、図6Bに示す同じコア回路トランジスタ130の断面図を示す。図7Bは、厚いゲート酸化物部分212および薄いゲート酸化物部分214を有する、ポリシリコンゲート206の下の可変厚ゲート酸化物を明らかに示す。厚いゲート酸化物部分212は、厚いゲート酸化物画定マスク211を用いて画定される。拡散領域208は、ポリシリコンゲート206に隣接する側壁スペーサの下に延びるLDD領域を有し、STI216および218などのフィールド酸化物は、他のメモリセル、またはコア回路トランジスタ130などのコア回路からアンチヒューズメモリセル200を分離するために含まれる。コア回路トランジスタ130には、前に図6Bで説明した、同じ番号を付けられた要素が含まれる。繰り返すと、このコア回路トランジスタ130は、例えば制御論理または復号論理など、メモリアレイを動作させるためにコア回路において用いられる全てのトランジスタを代表することができる。ウェル210とは異なるウェル140に形成される。本例において、ウェル140は、低電圧p型ウェル(PWELL-LV)であり、これは、高電圧p型ウェル(PWELL-HV)であるウェル210と異なる。

30

【0040】

ここでアンチヒューズメモリセル200のいくつかの顕著な特徴を説明する。可変厚ゲート酸化物の薄いゲート酸化物部分214およびコア回路トランジスタ130の薄いゲート酸化物134は、互いに同じにすることができるが、これは、それらが、ほぼ同じ厚さで形成されることを意味する。米国特許第7,402,855号は、薄いゲート酸化物部分214が、LVトランジスタ用の薄いゲート酸化物が形成されるのと同時に最初に形成されることを教示する。ゲート酸化物214および134は同じであるが、アンチヒューズデバイスおよびコア回路トランジスタ130の閾値電圧は異なる。前述のように、コア回路トランジスタ130は、V_tを、ウェル140による自然V_t(native V_t)から上昇させるために、拡散領域136および138間のチャンネル142にLVトランジスタV_tインプラント142を含む。拡散領域208とSTI218との間のチャンネル

40

50

領域は、同じHVトランジスタV_t調整インプラントステップにさらされ、それによって、可変厚ゲート酸化物の異なる厚さゆえの異なるV_tインプラント220および222を結果としてもたらず。厚いゲート酸化物部分212の下のチャネル領域は、I/OトランジスタのV_tを例えば0.6ボルトなどの目標値に調整するために用いられるHVトランジスタV_tインプラント220を有することになる。薄いゲート酸化物部分214の下のチャネル領域は、厚いゲート酸化物部分212に対応する、結果としてのV_tのスケール因子であるV_tに帰着するV_tインプラント222を有することになる。繰り返すと、この倍率は、厚いゲート酸化物212と薄いゲート酸化物214との間の厚さの差に関連する。あるいは、薄いゲート酸化物部分214の下のチャネル領域は、HVトランジスタV_t調整インプラントステップ中にマスクされ、それによって、この領域へのどんなV_t調整注入も防止することができる。それに応じて、薄いゲート酸化物部分214の下のV_tは、ウェル210のウェルドーピングによって決定された自然V_tと同様であるが、しかしマスク位置合わせ誤差ゆえに、HVトランジスタV_t注入によって部分的に修正される。アンチヒューズデバイスの閾値電圧は、ほぼ同じ薄いゲート酸化物厚さを有するコアトランジスタの閾値電圧より低い。

10

20

30

40

50

【0041】

2トランジスタアンチヒューズメモリセルの代替実施形態が、図8Aに示されている。図8Aは、本発明の実施形態による2トランジスタアンチヒューズメモリセルの平面図である。アンチヒューズメモリセル300は、典型的にはメモリアレイに形成され、かつアクセストランジスタおよびアンチヒューズトランジスタを含む。アクセストランジスタは、図6Aに示すものと同一にすることができ、かつ活性領域302、ビット線コンタクト304、およびポリシリコンゲート306を含む。アンチヒューズトランジスタは、図7Aに示すものと同一の可変厚ゲート酸化物を有することができ、かつ活性領域302およびポリシリコンゲート308を含む。第1の拡散領域310が、ポリシリコンゲート306および308間の活性領域302に形成され、一方で第2の拡散領域312が、ポリシリコンゲート306のもう一方の側の活性領域302に形成される。ビット線コンタクト304は、第2の拡散領域312と電氣的に接触する。アクセストランジスタおよびアンチヒューズトランジスタの両方が、共通ウェル314に形成される。より具体的には、共通ウェル314は、I/Oトランジスタ用に用いられる高電圧p型ウェルなどの高電圧ウェルである。破線の輪郭線315は、厚いゲート酸化物が、作製プロセス中に厚いゲート酸化物画定マスクを介して形成されることになるエリアを画定する。厚いゲート酸化物が、ポリシリコンゲート306の下にあり、チャネル領域(図示せず)を被覆している。

【0042】

図8Bは、線D-Dに沿ったアンチヒューズメモリセル300の断面図である。比較のために、図8Bはまた、アンチヒューズメモリセル300と同じ基板に形成されるであろう、図6Bに示された同じコア回路トランジスタ130の断面図を示す。図8Bは、ポリシリコンゲート306の下の厚いゲート酸化物316と、ポリシリコンゲート308の下の厚いゲート酸化物部分318および薄いゲート酸化物部分320を有する可変厚ゲート酸化物と、を明らかに示す。厚いゲート酸化物316および厚いゲート酸化物部分318は両方とも、厚いゲート酸化物画定マスク315を用いて画定される。拡散領域310および312は、ポリシリコンゲート306および308に隣接する側壁スペーサの下に延びるLDD領域を有し、STI322および324などのフィールド酸化物が、他のメモリセル、またはコア回路トランジスタ130などのコア回路からアンチヒューズメモリセル300を分離するために含まれる。コア回路トランジスタ130には、前に図6Bで説明した、同じ番号を付けられた要素が含まれる。

【0043】

ここでアンチヒューズメモリセル300のいくつかの顕著な特徴を説明する。可変厚ゲート酸化物の薄いゲート酸化物部分320およびコア回路トランジスタ130の薄いゲート酸化物134は、互いに同じにすることができ、これは、それらが、ほぼ同じ厚さで形成されることを意味する。ゲート酸化物320および134は同じであるが、アンチ

ヒューズデバイスおよびコア回路トランジスタ130の閾値電圧は異なる。前述のように、コア回路トランジスタ130は、 V_t を、ウェル140による自然 V_t から上昇させるために、拡散領域136および138間のチャンネル140にLVトランジスタ V_t インプラント142を含む。拡散領域310とSTI324との間のチャンネル領域は、同じHVトランジスタ V_t 調整インプラントにさらされ、それによって、可変厚ゲート酸化物の異なる厚さゆえに、異なる V_t インプラント326および328に帰着する。厚いゲート酸化物部分318の下のチャンネル領域は、I/Oトランジスタの V_t を、例えば0.6ボルトなどの目標値に調整するために用いられるHVトランジスタ V_t インプラント326を有することになる。薄いゲート酸化物部分320の下のチャンネル領域は、厚いゲート酸化物部分318に対応する、結果としての V_t のスケール因子である V_t に帰着する V_t インプラント328を有することになる。繰り返すと、この倍率は、厚いゲート酸化物部分318と薄いゲート酸化物部分320との間の厚さの差に関連する。あるいは、薄いゲート酸化物部分320の下のチャンネル領域は、HVトランジスタ V_t 調整インプラントステップ中にマスクされ、それによって、この領域へのどんな V_t 調整注入も防止することができる。それに応じて、薄いゲート酸化物部分320の下の V_t は、ウェル210による自然 V_t となる。アクセストランジスタの厚いゲート酸化物316は、コア回路におけるどのトランジスタのゲート酸化物より厚いが、しかしI/Oトランジスタとほぼ同じHVトランジスタ V_t インプラント330を有する。部分318および316のゲート酸化物厚さがほぼ同じであるので、 V_t インプラント320および336は、ほぼ同じになる。本実施形態において、厚いゲート酸化物318および薄いゲート酸化物部分320の下のチャンネルは、同じHVトランジスタ V_t 注入ステップにさらされる。

10

20

【0044】

前に示したアンチヒューズメモリセルは、2トランジスタおよび単一トランジスタアンチヒューズメモリセル用の可能な形状の例である。アンチヒューズメモリセル用の他の可能な形状を、共同所有される米国特許出願公開第2007/0257331号に示されているように用いることができる。米国特許出願公開第2007/0257331号は、薄いゲート酸化物エリアを最小限にするアンチヒューズメモリセル形状を教示する。したがって、本発明の実施形態は、米国特許出願公開第2007/0257331号に示されている代替形状を有するアンチヒューズメモリセルに適用することができる。

30

【0045】

図6B、図7Bおよび図8Bに示す実施形態の全てのアンチヒューズメモリセルにおいて、アンチヒューズメモリセルの全てのトランジスタは、同じ高電圧ウェルに形成されるが、高電圧ウェルは、I/Oトランジスタ用に用いられるものと同じにすることができる。高電圧ウェルは、本来、STIによって分離された隣接デバイス間の漏れを最小限にするように設計されているので、アンチヒューズデバイスの V_t インプラントは、省略することができる。これは、同じ半導体基板上の任意のコア回路トランジスタより低い V_t に帰着する。あるいは、アンチヒューズデバイスは、厚いゲート酸化物のアクセストランジスタまたは厚いゲート酸化物部分がさらされるのと同じ高電圧 V_t インプラントステップにさらされたチャンネルを有する。これは、どのコア回路トランジスタの V_t とも異なる、アンチヒューズデバイス用の V_t に帰着し、結果として、よりよく制御されるかもしくは比較的低い V_t 、および/またはイオン注入によるシリコンダメージの減少をもたらす。図6B、図7Bおよび図8Bに示すアンチヒューズメモリセルの製造は、どんな追加的なマスクングステップもなしに、I/Oトランジスタおよびコア回路トランジスタを作製するための既存のCMOSプロセスステップを用い、それによって、半導体デバイス全体の製造コストを最小限にする。

40

【0046】

図9A~9Gは、コア回路トランジスタが形成されるのと同時に、図6Bのアンチヒューズメモリセルを形成するために用いられるCMOSプロセスの様々なステップを示す。図9A~9Gには、本発明のアンチヒューズメモリセル実施形態とコア回路トランジスタとの間の相違を示す特定のステップだけが示されている。当業者は、他の図示されていな

50

いステップが、トランジスタの構造を形成するために実行されることを理解されよう。図 9 A において、S T I 酸化物 4 0 0 が、メモリアレイエリア 4 0 2、コア回路エリア 4 0 4 および I / O 回路エリア (図示せず) に形成されている。インプラントマスク 4 0 6 が、コア回路エリア 4 0 4 上に形成され、マスク 4 0 6 によって被覆されていない露出した基板は、高電圧 p 型ウェルを形成するために p 型イオンでボンバードされる。I / O トランジスタ構造用の高電圧 p 型ウェルが同時に形成されることが注目される。続いて、メモリアレイエリア 4 0 2 および I / O トランジスタ用のオプションの高電圧 V t 調整インプラントが実行される。所望の V t レベルが、H V ウェルイオン注入を用いて直接達成される場合には、高電圧 V t 調整インプラントが不必要になる可能性があることが注目される。あるいは、アンチヒューズトランジスタまたはデバイスのチャネル領域に対応するエリアは、高電圧 p 型ウェルを形成するための p 型イオンが注入された後でマスクして、この領域が、どんな高電圧 V t 調整インプラントも受け入れないようにすることができる。

10

20

30

40

50

【 0 0 4 7 】

図 9 B において、P W E L L - H V インプラントおよび高電圧 V t 調整インプラント 4 0 8 を備えたメモリアレイエリア 4 0 2 は、マスク 4 1 0 によって被覆され、マスク 4 1 0 によって被覆されていないコア回路エリア 4 0 4 に対応する露出した基板が、低電圧 p 型ウェルを形成するために p 型イオンでボンバードされるようにする。続いて、コア回路エリア 4 0 4 用の低電圧 V t 調整インプラントが実行されるが、これは、低電圧 V t 調整インプラント 4 1 2 として、図 9 C に示されている。図 9 C に示す構造は、いくつかのプロセスステップの結果としてもたらされる。第 1 に、ドライインステップ (d r i v e - i n - s t e p) が、注入された p 型イオンを基板内で拡散して H V p 型ウェル 4 1 4 および L V p 型ウェル 4 1 6 を形成するように実行される。第 2 に、中間酸化物 4 1 8 が、メモリアレイエリア 4 0 2 およびコア回路エリア 4 0 4 の両方の基板上で成長される。第 3 に、厚いゲート酸化物 (O D 2) 画定マスク 4 2 0 が、厚いゲート酸化物を画定するために、メモリアレイエリア 4 0 2 および I / O 回路エリア (図示せず) の選択された領域において中間酸化物 4 1 8 上に堆積される。コア回路エリアにマスク 4 2 0 がいないことは、高電圧トランジスタがそこに形成されないことを意味する。次の酸化物エッチングステップにおいて、マスク 4 2 0 によって被覆されていない全ての中間酸化物 4 1 8 が、薄いゲート酸化物の形成に備えて、基板表面までエッチングされる。

【 0 0 4 8 】

図 9 D において、薄い酸化物 4 2 2 が、メモリアレイエリア 4 0 2 およびコア回路エリア 4 0 4 における露出した基板表面上に形成される。薄い酸化物 4 2 2 を形成するために使用できる 2 つの異なる技術がある。第 1 の技術は、図 9 D に示す技術であるが、図 9 D では薄い酸化物 4 2 2 は、露出した基板表面上に熱によって成長される。この技術では、薄い酸化物 4 2 2 はまた、中間酸化物 4 1 8 の下でも成長し、これは、中間酸化物 4 1 8 を上へかつ基板表面から離れるように押し上げる。中間酸化物 4 1 8 の下における成長速度は、基板表面を被覆する中間酸化物 4 1 8 がいないエリアにおけるよりも低い。図 9 D には示していないが、中間酸化物 4 1 8 は、熱によって成長された薄い酸化物によって、基板表面の上に持ち上げられる。第 2 の技術は、露出した基板表面および中間酸化物 4 1 8 の露出した表面上における薄い酸化物 4 2 2 の堆積である。いずれの場合も、結果としての厚いゲート酸化物は、中間酸化物と、中間層の下から熱によって成長された薄い酸化物または中間層上に堆積された薄い酸化物と、の和になる。

【 0 0 4 9 】

I / O トランジスタが、厚いゲート酸化物を有するように意図されているので、I / O トランジスタエリアは、既に中間酸化物 4 1 8 を有していることになろう。薄い酸化物 4 2 2 の成長に続いて、ゲートポリシリコン 4 2 4 が、基板全体の上に堆積されるが、基板全体には、メモリアレイエリア 4 0 2、コア回路エリア 4 0 4、および任意の I / O トランジスタエリアが含まれる。図 9 D に示すように、ゲートポリシリコン 4 2 4 は、薄い酸化物 4 2 2 およびより厚い中間酸化物 4 1 8 上に堆積される。ゲートポリシリコン 4 2 4 の特定の形状を画定するために、ゲートマスク 4 2 6 が、ゲートポリシリコン 4 2 4 の選

扱われたエリア上に堆積される。ゲートマスク426の堆積に続いて、ゲートマスク426によって被覆されていない全ての露出したゲートポリシリコン424が、エッチングで取り去られ、メモリアレイエリア402、コア回路エリア404およびI/O回路エリアにおける薄いまたは厚い(中間)酸化物上のポリシリコンゲートのスタック(stack)を残す。

【0050】

図9Eは、ゲートポリシリコンエッチングステップの結果としてもたらされる3つのかかるスタックを示すが、2つがメモリアレイエリア402にあり、1つがコア回路エリア404にある。メモリアレイエリア402において、薄い酸化物422上のゲートポリシリコン424からなるスタックは、アンチヒューズトランジスタデバイスであり、一方で厚い(中間物)酸化物418上のゲートポリシリコン424は、アクセストランジスタである。コア回路エリア404において、薄い酸化物422上のゲートポリシリコン424からなるスタックは、例えば論理回路において用いられる低電圧トランジスタである。図9Eにおいて、拡散マスク428が、メモリアレイエリア402およびI/O回路エリア上に堆積され、それによって、コア回路エリア404における全ての低電圧トランジスタのLDD領域(図示せず)、およびゲートポリシリコン424に隣接する側壁スペーサ430の形成を可能にする。側壁スペーサ430の形成後に、露出した基板は、コア回路エリア404における全ての低電圧トランジスタ用のソースおよびドレイン拡散領域を形成するためのn型拡散注入にさらされる。コア回路エリア404における低電圧トランジスタ用の、結果としてのLDD領域432および拡散領域434は、図9Fに示され、かつ低電圧トランジスタ用に特に設計された濃度を有する。

10

20

【0051】

図9Fにおいて、拡散マスク428が除去され、コア回路エリア404における低電圧トランジスタが、別の拡散マスク436で被覆される。ここで、メモリアレイエリア402のトランジスタが、LDDインプラント、側壁スペーサ438の形成、および拡散領域注入にさらされる。図9Gは、LDD領域440および拡散領域442を有する完成したアンチヒューズメモリセル、およびコア回路エリア404における完成した低電圧トランジスタを示す。メモリアレイエリア402における高電圧トランジスタ用の結果としてのLDD領域440および拡散領域442は、図9Fに示され、かつ高電圧トランジスタ用に特に設計された濃度を有する。この時点において、デバイスの全てのトランジスタは、n型インプラント拡散アニーリングにさらされて、注入されたドーパントを活性化し、かつどんなインプラントダメージも回復させる。図9Fのアンチヒューズメモリセルおよび低電圧トランジスタが、図6Bに示す対応するものと同じであることが注目される。アンチヒューズメモリセルおよび全ての他のトランジスタの製造が完了し、続くプロセスステップが、ビット線コンタクトを形成するために、およびトランジスタデバイスを相互接続するための導電性トラックを堆積するために実行されることになる。

30

【0052】

図9A~9Gは、2トランジスタアンチヒューズメモリセルおよび低電圧コア回路トランジスタを形成するためのCMOS製造プロセスにおける例示的なステップを示す。アンチヒューズトランジスタおよび低電圧コア回路トランジスタは、同じゲート酸化物形成プロセスを用いて形成された薄いゲート酸化物を有するが、異なる V_t インプラントおよび有効閾値を有する。高電圧pウェル414全体が、共通高電圧 V_t インプラントに最初にさらされるので、アクセストランジスタおよびアンチヒューズトランジスタの両方は、同じインプラントを有するが、異なる有効 V_t (effective V_t)を有する。より具体的には、高電圧 V_t インプラントは、厚いゲート酸化物を有するアクセストランジスタの有効 V_t が、例えば0.6Vなどの特定の値であることを保証するように意図されている。したがって、アンチヒューズトランジスタの有効 V_t は、そのゲート酸化物がより薄いので、0.6V未満である。代替実施形態において、アンチヒューズトランジスタの薄い酸化物422の下のチャンネルは、高電圧 V_t インプラントの受け入れを防止することができ、それによって、その有効 V_t をさらに低減する。低電圧コア回路トランジスタ

40

50

は、低電圧 V_t インプラントにさらされるが、これは、低電圧コア回路トランジスタの有効 V_t が、例えば0.6Vなどの特定の値であることを保証するように意図されている。いずれにせよ、アンチヒューズトランジスタの、結果としての有効 V_t は、どんな低電圧コア回路トランジスタのそれとも常に異なる。

【0053】

図10A~10Gは、コア回路トランジスタが形成されるのと同時に、図7Bのアンチヒューズメモリセルを形成するために用いられるCMOSプロセスにおける様々なステップを示す。図10A~10Gには、本発明のアンチヒューズメモリセル実施形態とコア回路トランジスタとの間の相違を示す特定のステップだけが示されている。当業者は、他の図示されていないステップが、トランジスタの構造を形成するために実行されることを理解されよう。図10Aにおいて、STI酸化物500が、メモリアレイエリア502、コア回路エリア504およびI/O回路エリア(図示せず)に形成される。インプラントマスク506が、コア回路エリア504上に形成され、マスク506によって被覆されていない露出した基板は、高電圧p型ウェルを形成するためにp型イオンでボンバードされる。I/Oトランジスタ構造用の高電圧p型ウェルが同時に形成されることが注目される。続いて、メモリアレイエリア502およびI/Oトランジスタ用の高電圧 V_t 調整インプラントが実行される。あるいは、アンチヒューズデバイス部分のチャネル領域に対応するエリアは、高電圧p型ウェルを形成するためのp型イオンが注入された後でマスクして、この領域が、高電圧 V_t 調整インプラントを受け入れないようにすることができる。

10

【0054】

図10Bにおいて、高電圧 V_t 調整インプラント508を備えたメモリアレイエリア502は、マスク510によって被覆されて、マスク510によって被覆されていないコア回路エリア504に対応する露出した基板が、低電圧p型ウェルを形成するためにp型イオンでボンバードされるようにする。続いて、コア回路エリア504用の低電圧 V_t 調整インプラントが実行されるが、これは、低電圧 V_t 調整インプラント512として、図10Cに示されている。この時点で、ウェル形成および V_t 調整注入プロセスに様々なバリエーションがあり、これらのうち上記のシーケンスが1つの例示的なプロセスであることに留意されたい。例えば、同じウェルインプラントを低および高電圧トランジスタの両方に使用できるが、異なる V_t 調整インプラントを使用することができる。あるいは、2つの別個のウェルインプラント(well implant)が、低電圧トランジスタおよび高電圧トランジスタ用に使用可能であり、一方で同じ V_t 調整インプラントが両方のウェル用に用いられる。ある V_t 調整インプラントを省略することさえも可能である。低電圧トランジスタおよび高電圧トランジスタの両方が、それら自体のウェルインプラントおよび V_t 調整インプラントを有する場合に、最大の柔軟性が得られる。これは、ウェルプロファイルおよびトランジスタ閾値電圧の精度に対する高レベルの制御を得るために望ましい場合がある。異なる高電圧トランジスタが、プロセスにおいて利用可能な状況が存在する可能性があり、したがって、各異なるタイプの高電圧トランジスタは、異なるウェルまたは V_t 調整インプラントを有してもよい。費用効率を改善するために、 V_t 調整インプラントは、例えばPウェルまたは拡散(LDD)マスクなどの既存のマスクを用いて行うことができる。

20

30

40

【0055】

図10Cに示す構造は、いくつかのプロセスステップの結果としてもたらされる。第1に、ドライインステップが、注入されたp型イオンを基板内で拡散させて、高電圧p型ウェル514および低電圧p型ウェル516を形成するように実行される。第2に、中間酸化物518が、メモリアレイエリア502およびコア回路エリア504の両方の基板上で成長される。第3に、厚いゲート酸化物(OD2)画定マスク520が、厚いゲート酸化物を画定するために、メモリアレイエリア502およびI/O回路エリア(図示せず)の選択された領域において中間酸化物518上に堆積される。コア回路エリアにマスク520がないことは、高電圧トランジスタがそこに形成されないことを意味する。次の酸化物エッチングステップにおいて、マスク520によって被覆されないあらゆる中間酸化物

50

518が、薄いゲート酸化物の形成に備えて基板表面までエッチングされる。

【0056】

図10Dにおいて、薄い酸化物522が、メモリアレイエリア502およびコア回路エリア504における露出した基板表面で成長される。I/Oトランジスタが、厚いゲート酸化物を有するように意図されているので、I/Oトランジスタエリアは、既に中間酸化物518を有していることになろう。薄い酸化物522の成長に続いて、ゲートポリシリコン524が、基板全体の上に堆積されるが、基板全体には、メモリアレイエリア502、コア回路エリア504および任意のI/Oトランジスタエリアが含まれる。図10Dに示すように、ゲートポリシリコン524は、薄い酸化物522およびより厚い中間酸化物518上に堆積される。ゲートポリシリコン524の特定の形状を画定するために、ゲートマスク526が、ゲートポリシリコン524の選択されたエリア上に堆積される。ここで、単一トランジスタアンチヒューズメモリセルの可変厚ゲート酸化物が、コア回路エリア504におけるゲートマスク526の位置によって画定されることが注目される。より具体的には、コア回路エリア504におけるゲートマスク526は、薄い酸化物522およびより厚い中間ゲート酸化物518の両方を被覆する。ゲートマスク526の堆積に続いて、ゲートマスク526によって被覆されていない全ての露出したゲートポリシリコン524は、エッチングで取り去られ、メモリアレイエリア502、コア回路エリア504およびI/O回路エリアにおける薄いおよび厚い(中間物)酸化物上のポリシリコンゲートのスタックを残す。

10

【0057】

図10Eは、ゲートポリシリコンエッチングステップから結果としてもたらされる2つのかかるスタックを示すが、1つがメモリアレイエリア502にあり、1つがコア回路エリア504にある。メモリアレイエリア502において、可変厚酸化物518および522上のゲートポリシリコン524からなるスタックは、アンチヒューズトランジスタデバイスである。コア回路エリア504において、薄い酸化物522上のゲートポリシリコン524からなるスタックは、例えば論理回路において用いられる低電圧トランジスタである。図10Eにおいて、拡散マスク528が、メモリアレイエリア502およびI/O回路エリア上に堆積され、それによって、コア回路エリア504における全ての低電圧トランジスタのLDD領域(図示せず)、およびゲートポリシリコン524に隣接する側壁スペーサ530の形成を可能にする。側壁スペーサ530の形成後に、露出した基板は、コア回路エリア504における全ての低電圧トランジスタ用のソースおよびドレイン拡散領域を形成するために、n型拡散注入にさらされる。コア回路エリア504における低電圧トランジスタ用の、結果としてのLDD領域532および拡散領域534は、図10Fに示され、かつ低電圧トランジスタ用に特に設計された濃度を有する。

20

30

【0058】

図10Fにおいて、拡散マスク528が除去され、コア回路エリア504における低電圧トランジスタが、別の拡散マスク536で被覆される。ここで、メモリアレイエリア502のトランジスタは、LDDインプラント、側壁スペーサ538の形成、および拡散領域注入にさらされる。図10Gは、LDD領域540および拡散領域542を有する完成したアンチヒューズメモリセル、およびコア回路エリア504における完成した低電圧トランジスタを示す。メモリアレイエリア502における高電圧トランジスタ用の、結果としてのLDD領域540および拡散領域542は、図10Gに示され、かつ高電圧トランジスタ用に特に設計された濃度を有する。この時点において、デバイスの全てのトランジスタは、n型インプラント拡散アニーリングにさらされて、注入されたドーパントを活性化し、かつどんなインプラントダメージも回復させる。図10Fのアンチヒューズメモリセルおよび低電圧トランジスタが、図7Bに示す対応するものと同じであることが注目される。アンチヒューズメモリセルおよび全ての他のトランジスタの製造が完了し、続くプロセスステップが、ビット線コンタクトを形成するために、およびトランジスタデバイスを相互接続するための導電性トラックを堆積するために実行されることになろう。

40

【0059】

50

図10A～10Gは、可変厚ゲート酸化物を有する単一トランジスタアンチヒューズメモリセル、および低電圧コア回路トランジスタを形成するためのCMOS製造プロセスの例示的なステップを示す。単一トランジスタアンチヒューズメモリセルのアンチヒューズデバイス、および低電圧コア回路トランジスタは、同じゲート酸化物形成プロセスを用いて形成される薄いゲート酸化物を有するが、異なるV_tインプラントおよび有効閾値を有する。高電圧pウェル514全体が、最初に、共通高電圧V_tインプラントにさらされるので、単一トランジスタアンチヒューズメモリセルのアクセストランジスタ部分およびアンチヒューズデバイス部分の両方は、同じインプラントを有するが、異なる有効V_tを有する。より具体的には、高電圧V_tインプラントは、厚いゲート酸化物を有するアクセストランジスタ部分の有効V_tが、例えば0.6Vなどの特定の値であることを保証するように意図されている。したがって、アンチヒューズデバイスの有効V_tは、そのゲート酸化物がより薄いので、0.6V未満である。代替実施形態において、可変厚ゲート酸化物の薄い酸化物522の下のエリアは、高電圧V_tインプラントの受け入れを防止することができ、それによって、その有効V_tをさらに低減する。低電圧コア回路トランジスタは、低電圧V_tインプラントにさらされるが、これは、そのトランジスタの有効V_tが、例えば0.6Vなどの特定の値であることを保証するように意図されている。いずれにせよ、アンチヒューズデバイスの、結果としての有効V_tは、どんな低電圧コア回路トランジスタのそれとも常に異なる。

10

【0060】

図6Bおよび図7Bのアンチヒューズメモリセルを形成するための製造プロセスが、図11の流れ図に要約されている。メモリアレイエリアにおけるアンチヒューズメモリセルおよびI/O回路エリアにおけるトランジスタ用のウェルが、ステップ600において形成されるが、このステップは、図9Aおよび図10Aに示す製造ステップに対応する。V_t調整インプラントが、ウェルイオン注入後にこれらのウェルに導入されるが、V_t調整インプラントは、高電圧トランジスタ用に設計される。本例において、ウェルは、高電圧トランジスタ用に設計される。代替実施形態において、薄い酸化物の下のチャネル領域は、それらがどんなV_t調整インプラントも受け入れないように、マスクすることができる。ステップ602において、コア回路エリア用のウェルが注入され、V_t調整インプラントが続くが、これは、図9Bおよび図10Bに示す作製ステップに対応する。厚いゲート酸化物が、ステップ604において、メモリアレイエリアにおけるアンチヒューズメモリセルのI/Oトランジスタおよびアクセストランジスタ用に成長されるが、これは、図9Cおよび10Cに示す作製ステップに対応する。次に、薄いゲート酸化物が、ステップ606において、メモリアレイエリアにおけるアンチヒューズトランジスタ/デバイス、およびコア回路トランジスタ用に成長されるが、これは、図9Dおよび図10Dに示す製造ステップに対応する。ステップ606には、薄い酸化物の熱による成長または薄い酸化物の堆積を含むことができる。いずれの場合も、ステップ604で成長された厚いゲート酸化物は、形成された薄いゲート酸化物が厚いゲート酸化物に加えられると、厚さが増加する。最後にステップ608において、全てのトランジスタ用のポリシリコンゲートが形成され、I/Oトランジスタ、アンチヒューズメモリセルトランジスタおよびコア回路トランジスタ用の拡散領域が注入される。これは、図9D～9Fおよび10D～10Fに示す製造ステップに対応する。

20

30

40

【0061】

前述の図は、メモリアレイにおいて他のアンチヒューズメモリセルから分離された1つのアンチヒューズメモリセルを示す。図12～14は、メモリアレイに配列された、本実施形態の多数のアンチヒューズメモリセルの平面図レイアウトの実例である。

【0062】

図12は、本発明の実施形態による2トランジスタアンチヒューズメモリセルメモリアレイの平面図のレイアウトである。メモリアレイ700における各2トランジスタアンチヒューズメモリセルは、互いに接続されたポリシリコンゲート106および108の両方を有し、かつ図6Aおよび図6Bのアンチヒューズメモリセル100と同じ構造を有する

50

。図面の明瞭性を維持するために、1つのアンチヒューズメモリセルのポリシリコンゲート106および108を注釈する。メモリアレイ700は、6つのアンチヒューズメモリセルを含むように示され、3つが第1の行702に配列され、別の3つが第2の行704に配列される。第1のワード線 WLi が、行702のアンチヒューズメモリセルに接続され、一方で第2のワード線 $WLi+1$ が、行704のアンチヒューズメモリセルに接続される。破線の輪郭線705は、作製プロセス中に厚いゲート酸化物画定マスクを介して厚いゲート酸化物が形成されることになる、メモリアレイにおけるエリアを画定する。図12に示す構成において、行702および704からのメモリセルの各ペアは、共通拡散領域706および共通ビット線コンタクト708を共有する。各ビット線コンタクトは、ビット線 BLn 、 $BLn+1$ および $BLn+2$ などの異なるビット線に接続される。全てのアンチヒューズメモリセルはウェル710に形成されるが、ウェル710は、本実施形態によれば高電圧p型ウェルである。メモリアレイ700のアンチヒューズメモリセルは、図9A~9Gに示す製造ステップを用いて形成することができる。

10

【0063】

図13は、本発明の実施形態による2トランジスタアンチヒューズメモリセルメモリアレイの平面図のレイアウトである。メモリアレイ800における各2トランジスタアンチヒューズメモリセルは、個別に制御されるポリシリコンゲート106および108を有し、かつ図6Aおよび図6Bのアンチヒューズメモリセル100と同じ構造を有する。メモリアレイ800において、各アンチヒューズメモリセルのポリシリコンゲート106および108を形成するポリシリコン線は、行の全てのアンチヒューズメモリセルに共通である。メモリアレイ800は、6つのアンチヒューズメモリセルを含むように示され、3つが第1の行802に配列され、別の3つが第2の行804に配列される。第1のワード線 WLi が、行802のポリシリコンゲート106に接続され、一方で第1のセルプレート電圧 $VCPi$ が、行802のポリシリコンゲート108に接続される。第2のワード線 $WLi+1$ が、行804のポリシリコンゲート106に接続され、一方で第2のセルプレート電圧 $VCPi+1$ が、行804のポリシリコンゲート108に接続される。破線の輪郭線805は、作製プロセス中に厚いゲート酸化物画定マスクを介して厚いゲート酸化物が形成されることになる、メモリアレイにおけるエリアを画定する。図13に示す構成において、行802および804からのメモリセルの各ペアは、共通拡散領域806および共通ビット線コンタクト808を共有する。各ビット線コンタクトは、ビット線 BLn 、 $BLn+1$ および $BLn+2$ などの異なるビット線に接続される。全てのアンチヒューズメモリセルはウェル810に形成されるが、ウェル810は、本実施形態によれば高電圧p型ウェルである。メモリアレイ800のアンチヒューズメモリセルは、図9A~9Gに示す製造ステップを用いて形成することができる。

20

30

【0064】

図14は、本発明の実施形態による単一トランジスタアンチヒューズメモリセルメモリアレイの平面図のレイアウトである。メモリアレイ900における各単一トランジスタアンチヒューズメモリセルは、1つのポリシリコンゲート206を有し、かつ図7Aおよび図7Bのアンチヒューズメモリセル200と同じ構造を有する。メモリアレイ900において、各アンチヒューズメモリセルのポリシリコンゲート206を形成するポリシリコン線は、行の全てのアンチヒューズメモリセルに共通である。メモリアレイ900は、16のアンチヒューズメモリセルを含むように示され、4つが、第1の行902、第2の行904、第3の行906および第4の行908のそれぞれに配列される。ワード線 WLi 、 $WLi+1$ 、 $WLi+2$ および $WLi+3$ が、行902、904、906および908のポリシリコンゲート206にそれぞれ接続される。破線の輪郭線909は、作製プロセス中に厚いゲート酸化物画定マスクを介して厚いゲート酸化物が形成されることになる、メモリアレイにおけるエリアを画定する。図14に示す構成において、行902および904からのメモリセルの各ペアは、共通拡散領域910および共通ビット線コンタクト912を共有する。各ビット線コンタクトは、ビット線 BLn 、 $BLn+1$ 、 $BLn+2$ および $BLn+3$ などの異なるビット線に接続される。行902および904のアンチヒュー

40

50

ズメモリセルは、第1のウェル914に形成され、一方で行906および908のアンチヒューズメモリセルは、第2のウェル916に形成される。両方のウェル914および916は、同一の高電圧p型ウェルにすることができるが、 WL_{i+1} と WL_{i+2} との間において基板に形成されたSTI酸化物を介して互いから分離することができる。メモリアレイ900のアンチヒューズメモリセルは、図10A~10Gに示す製造ステップを用いて形成することができる。

【0065】

前述の実施形態は、共同所有される、2007年12月20日出願の国際公開2008/077240号に開示されたものなどのROMアンチヒューズデバイスをマスクするために適用することができる。国際公開第2008/077240号は、アンチヒューズメモリセルが、拡散領域またはチャネルと電圧源との間の電気接続部を作製することによって、プログラム可能であることを教示する。

10

【0066】

本発明の実施形態は、低電圧コア回路トランジスタと異なる閾値電圧を備えたアンチヒューズデバイスを有する2トランジスタおよび単一トランジスタメモリセルを示す。これは、I/Oトランジスタなどの高電圧トランジスタ用に用いられるウェルにアンチヒューズメモリセルを形成し、一方でコア回路トランジスタを、典型的には低電圧トランジスタ用に用いられるウェルに形成することによって達成される。単一 V_t 調整インプラントおよび単一LDDインプラントが、メモリアレイエリアにおける厚いゲート酸化物トランジスタおよび薄いゲート酸化物トランジスタの両方に対して適用されるので、潜在的に制御されないインプラント濃度およびインプラントダメージの領域が排除される。対照的に、2つの異なるウェルを用いるアンチヒューズトランジスタは、2以上のインプラント領域を互いにオーバーラップさせるマスク位置合わせ不良ゆえに、前述の不都合に悩まされる。したがって、アンチヒューズトランジスタまたはアンチヒューズデバイス用の高品質な薄いゲート酸化物は、より低い有効閾値および抵抗を結果としてもたらし、それによって、優れた破壊特性を提供する。

20

【0067】

要約すると、アンチヒューズメモリセルの薄いおよび厚いゲート酸化物または誘電性領域は、同じウェルに、または同じ型およびドーピングプロファイルのウェルに形成される。コア回路トランジスタ、I/Oトランジスタ、または両方は、メモリアレイエリアのウェルとは異なるウェルドーピングプロファイルを用いる。アンチヒューズメモリセルの薄いおよび厚いゲート酸化物領域は、同じ V_t 調整または制御イオン注入を受け入れることができるが、しかし、薄いゲート酸化物領域およびコア回路領域は、異なる V_t 制御イオン注入を受け入れる。アンチヒューズデバイスの有効 V_t は、同じ型の、かつ同じゲート酸化物厚さを有する少なくとも1つのコア回路トランジスタより低い。

30

【0068】

前に提示した例示的な実施形態は、高電圧pウェルに形成されたアンチヒューズメモリセルを示すが、一方でコア回路トランジスタは、低電圧pウェルに形成される。あるいは、アンチヒューズメモリセルは、高電圧nウェルに形成することができ、一方でコア回路トランジスタは、低電圧nウェルに形成される。

40

【0069】

前の説明において、説明のために、多数の詳細が、本発明の実施形態の完全な理解を提供するように述べられている。しかしながら、これらの特定の詳細が、本発明を実施するためには必要とされないことが、当業者には明白だろう。他の場合には、周知の電気的構造および回路が、本発明を曖昧にしないようにブロック図の形態で示される。例えば、特定の詳細は、本明細書で説明する本発明の実施形態が、ソフトウェアルーチン、ハードウェア回路、ファームウェアまたはそれらの組み合わせとして実行されるかどうかに関しては、提供されない。

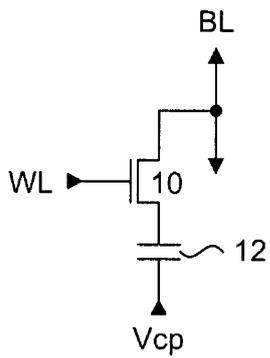
【0070】

本発明の上記の実施形態は、単に例示的であるように意図されている。代替、修正およ

50

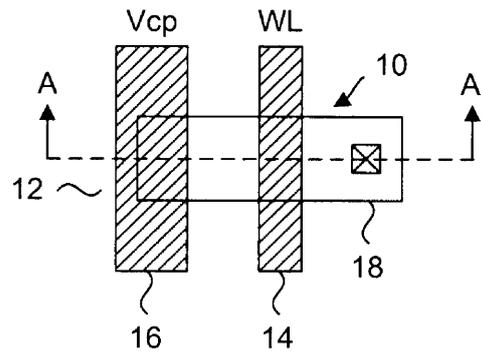
び変更が、本発明の範囲から逸脱せずに、当業者によって、特定の実施形態に対して実行可能であり、本発明の範囲は、本明細書に添付の特許請求の範囲によってのみ定義される。

【図1】



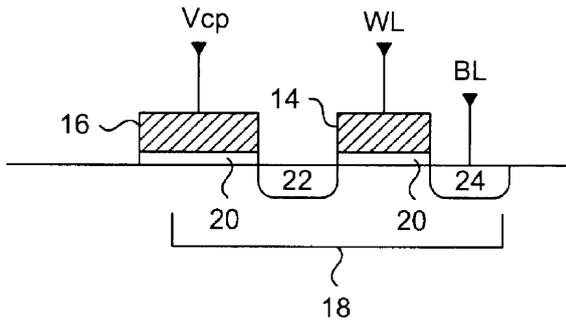
(先行技術)

【図2】



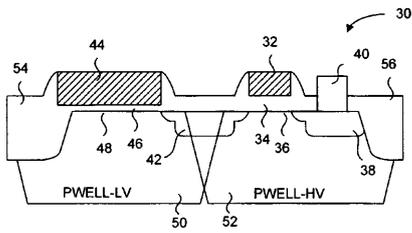
(先行技術)

【 図 3 】

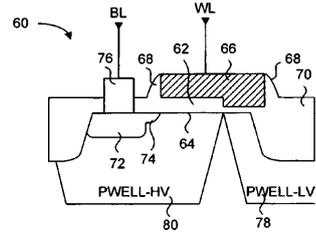


(先行技術)

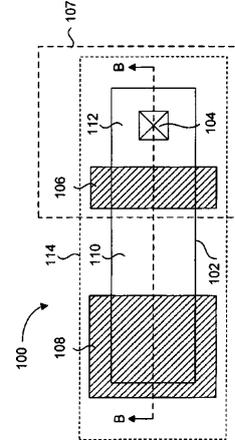
【 図 4 】



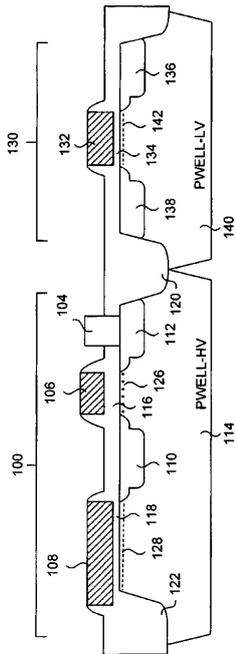
【 図 5 】



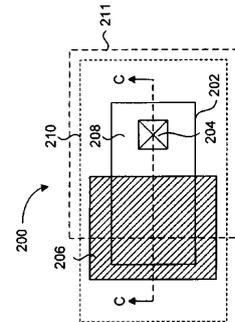
【 図 6 A 】



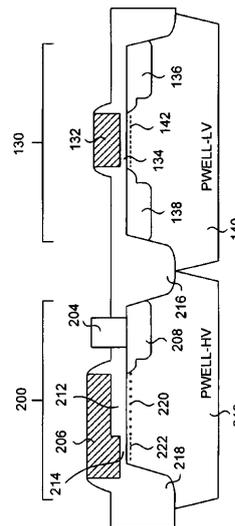
【 図 6 B 】



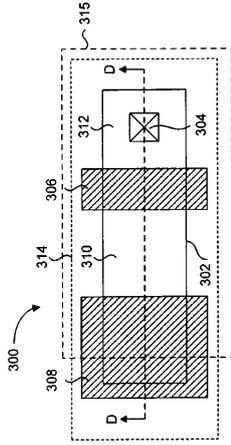
【 図 7 A 】



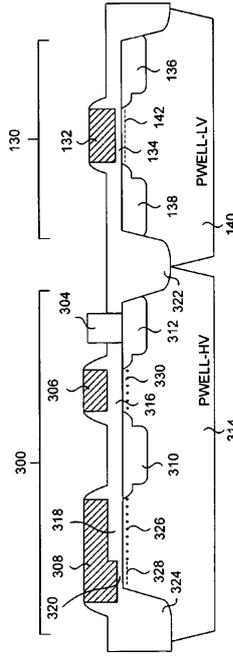
【 図 7 B 】



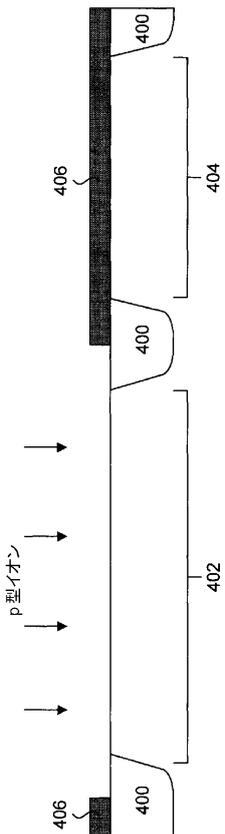
【図 8 A】



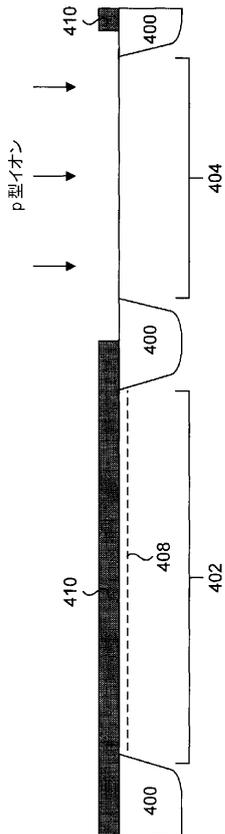
【図 8 B】



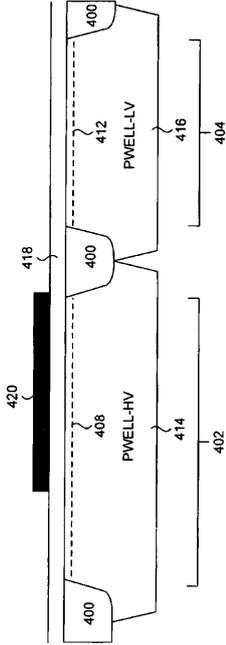
【図 9 A】



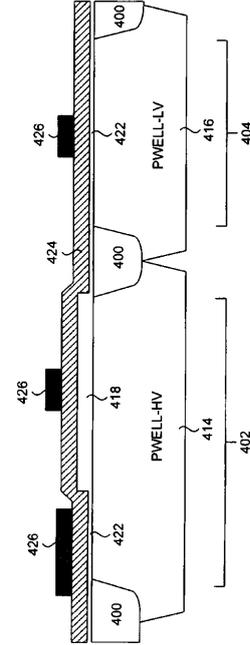
【図 9 B】



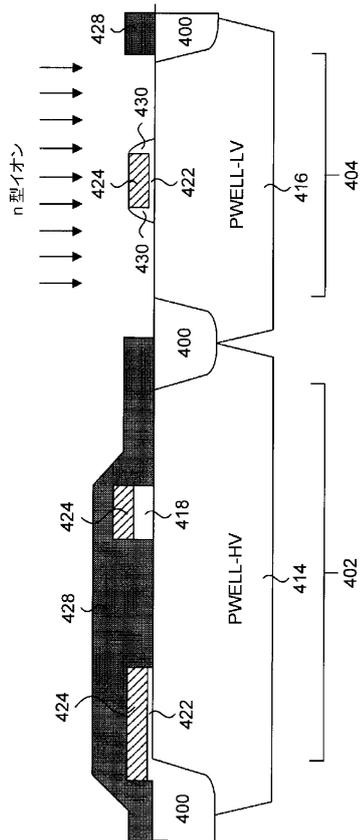
【図 9 C】



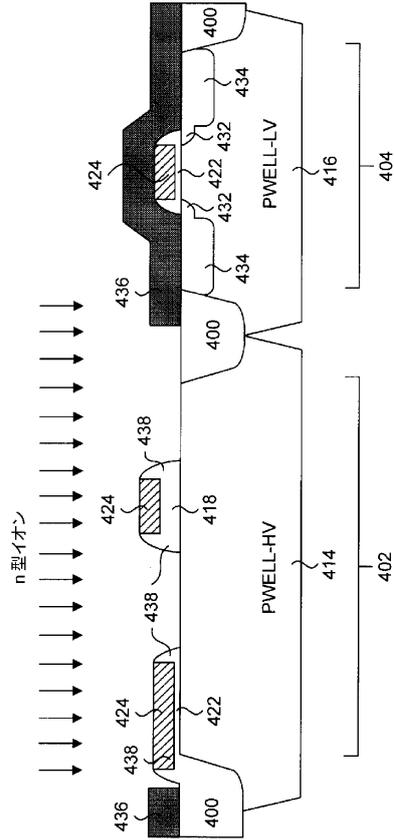
【図 9 D】



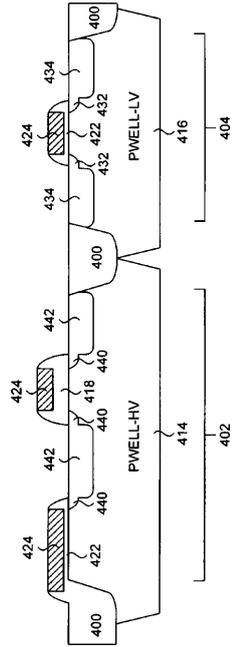
【図 9 E】



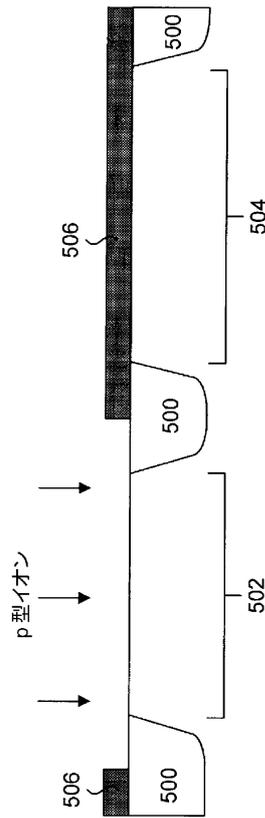
【図 9 F】



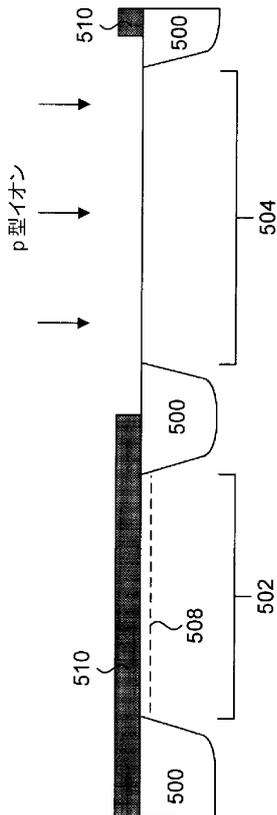
【図9G】



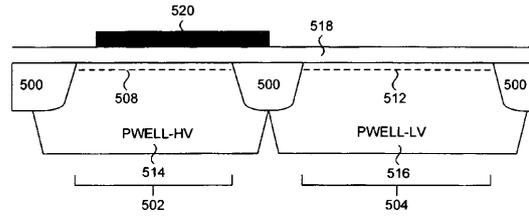
【図10A】



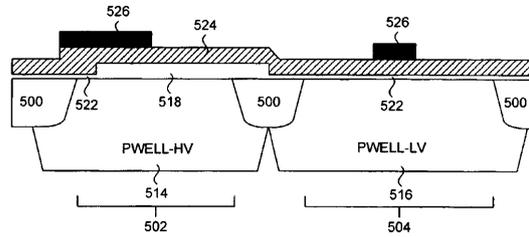
【図10B】



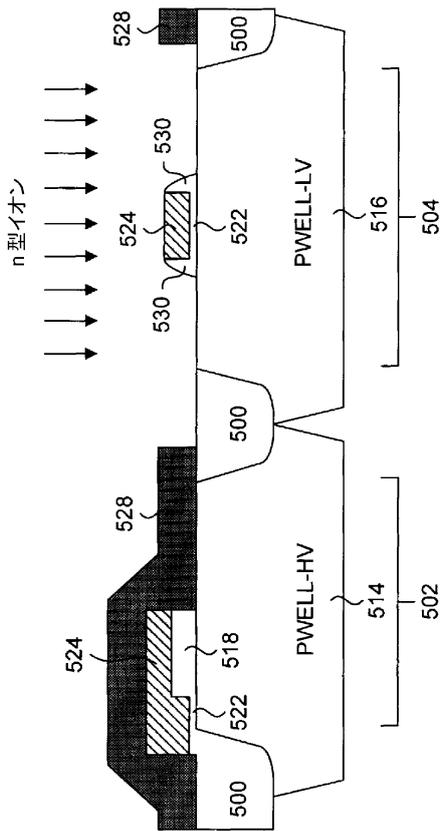
【図10C】



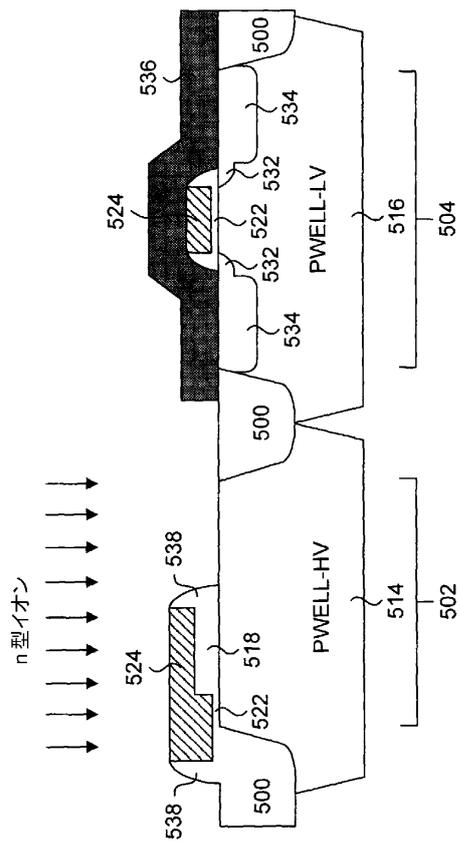
【図10D】



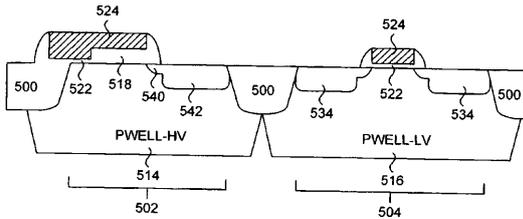
【図10E】



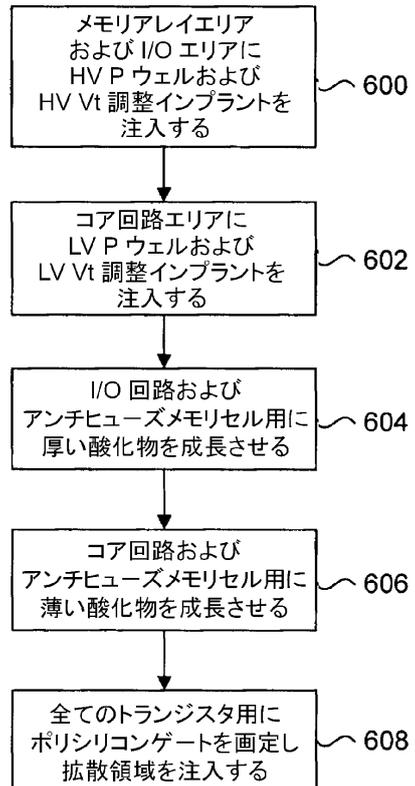
【図10F】



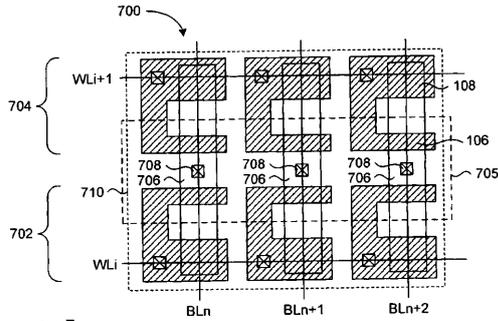
【図10G】



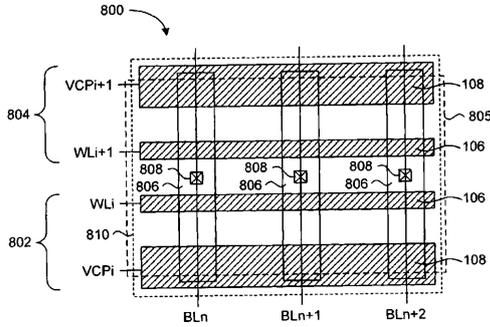
【図11】



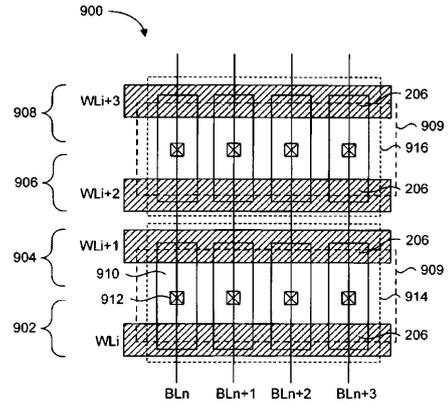
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 手続補正書 】

【 提出日 】平成26年11月26日 (2014.11.26)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

複数のアンチヒューズメモリセルを含むメモリアレイであって、

前記複数のアンチヒューズメモリセルのそれぞれは、

高電圧ウェルプロファイルを有する高電圧ウェルに形成された厚いゲート酸化物を有するアクセストランジスタであって、前記高電圧ウェルが、n型およびp型のうちの1つである、アクセストランジスタ、および、

前記高電圧ウェルに形成された薄いゲート酸化物を有するアンチヒューズデバイスであって、前記薄いゲート酸化物が、前記厚いゲート酸化物より薄い厚さを有する、アンチヒューズデバイス、を含むメモリアレイと、

前記薄いゲート酸化物に厚さにおいて対応するゲート酸化物を有するコアトランジスタであって、前記コアトランジスタは、前記高電圧ウェルと同じ型を有する低電圧ウェルに形成され、前記低電圧ウェルは、前記高電圧ウェルプロファイルとは異なる低電圧ウェルプロファイルを有し、前記低電圧ウェルは、前記高電圧ウェルよりも高い濃度を有する、コアトランジスタと、

を含むメモリデバイス。

【 請求項 2 】

型およびドーピングプロファイルにおいて、前記高電圧ウェルと実質的に同一の別のウ

ェルに形成された入力／出力トランジスタをさらに含む、請求項 1 に記載のメモリデバイス。

【請求項 3】

前記アンチヒューズデバイスが、前記コアトランジスタより低い閾値電圧を有する、請求項 1 に記載のメモリデバイス。

【請求項 4】

前記厚いゲート酸化物が、中間酸化物、および前記中間酸化物上に堆積された前記薄いゲート酸化物を含む、請求項 1 に記載のメモリデバイス。

【請求項 5】

前記薄いゲート酸化物が、前記第 1 のウェルの基板表面上に熱によって成長される、請求項 1 に記載のメモリデバイス。

【請求項 6】

前記厚いゲート酸化物が、中間酸化物、および前記中間酸化物と前記基板表面との間に熱によって成長された酸化物を含む、請求項 5 に記載のメモリデバイス。

【請求項 7】

前記アクセストランジスタが、ビット線に電氣的に接続された第 1 の拡散領域、および前記アンチヒューズデバイスに電氣的に接続された第 2 の拡散領域を含む、請求項 1 に記載のメモリデバイス。

【請求項 8】

前記アクセストランジスタが、前記コアトランジスタおよび前記アンチヒューズデバイスより大きな閾値電圧を有する、請求項 7 に記載のメモリデバイス。

【請求項 9】

前記アンチヒューズデバイスが、前記薄いゲート酸化物に対応する薄い部分および前記厚いゲート酸化物に対応する厚い部分を有する可変厚ゲート酸化物を有し、前記可変厚ゲート酸化物が、単一ポリシリコンゲートの下に形成される、請求項 8 に記載のメモリデバイス。

【請求項 10】

前記可変厚ゲート酸化物の前記厚い部分および前記アクセストランジスタの厚いゲート酸化物の下のチャンネル領域が、実質的に同じ V_t を有する、請求項 9 に記載のメモリデバイス。

【請求項 11】

前記アクセストランジスタの厚いゲート酸化物が、可変厚ゲート酸化物の厚い部分に対応し、前記アンチヒューズデバイスの薄いゲート酸化物が、前記可変厚ゲート酸化物の薄い部分に対応し、前記可変厚ゲート酸化物が、単一ポリシリコンゲートの下に形成される、請求項 1 に記載のメモリデバイス。

【請求項 12】

前記アンチヒューズトランジスタが、前記アクセストランジスタおよび前記コアトランジスタより低い閾値電圧を有する、請求項 11 に記載のメモリデバイス。

【請求項 13】

メモリデバイスを製造するための方法であって、
メモリアレイ回路エリアに第 1 のウェルを注入するステップであって、前記第 1 のウェルが、n 型および p 型のうちの 1 つである、ステップと、
コア回路エリアに第 2 のウェルを注入するステップであって、前記第 2 のウェルが、前記第 1 のウェルと同じ型であり、前記第 2 のウェルが前記第 1 のウェルよりも高い濃度を有する、ステップと、
前記メモリアレイ回路エリアの前記第 1 のウェルにアクセストランジスタ用の第 1 の酸化物を形成するステップと、
前記コア回路エリアの前記第 2 のウェルにおけるコアトランジスタ用に、およびメモリアレイ回路エリアの前記第 1 のウェルにおけるアンチヒューズデバイス用に第 2 の酸化物を同時に形成するステップと、

を含む方法。

【請求項 1 4】

前記第 1 のウェルが高電圧ウェルであり、前記第 2 のウェルが低電圧ウェルである、請求項 1 3 に記載の方法。

【請求項 1 5】

前記同時に形成するステップが、前記第 2 の酸化物が形成されているときに前記第 1 の酸化物の厚さを増加させるステップを含み、前記第 2 の酸化物が、前記アンチヒューズデバイスの薄いゲート酸化物に対応する、請求項 1 3 に記載の方法。

【請求項 1 6】

前記増加させるステップが、基板表面上および前記第 1 の酸化物上に前記第 2 の酸化物を同時に堆積するステップを含み、前記第 1 の酸化物および前記第 2 の酸化物の組み合わせが、前記アクセストランジスタの厚いゲート酸化物を形成する、請求項 1 5 に記載の方法。

【請求項 1 7】

前記増加させるステップが、基板表面上および前記第 1 の酸化物の下に前記第 2 の酸化物を熱によって同時に成長させるステップを含み、前記第 1 の酸化物および前記第 2 の酸化物の組み合わせが、前記アクセストランジスタの厚いゲート酸化物を形成する、請求項 1 5 に記載の方法。

【請求項 1 8】

前記アクセストランジスタおよび前記アンチヒューズデバイスの閾値電圧を調整するために、前記第 1 のウェルを高閾値電圧調整インプラントにさらすステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 1 9】

前記アクセストランジスタおよび前記アンチヒューズデバイスの閾値電圧を調整するために、前記第 1 のウェルを高閾値電圧調整インプラントにさらす一方で、前記高閾値電圧調整インプラントの注入を防止するために前記アンチヒューズデバイスに対応するチャンネル領域をマスクするステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 2 0】

前記コアトランジスタの閾値電圧を調整するために、前記第 2 のウェルを低閾値電圧調整インプラントにさらす一方で、前記低閾値電圧調整インプラントに前記アンチヒューズトランジスタをさらすのを防止するステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 2 1】

前記第 1 のウェルを注入する前記ステップが、入力/出力回路エリアに前記第 1 のウェルを同時に注入するステップを含む、請求項 1 6 に記載の方法。

【請求項 2 2】

第 1 の酸化物を形成する前記ステップが、前記入力/出力回路エリアの前記第 1 のウェルに入力/出力トランジスタの前記第 1 の酸化物を同時に形成するステップを含む、請求項 2 1 に記載の方法。

【請求項 2 3】

前記増加させるステップが、前記入力/出力トランジスタの前記第 1 の酸化物上に前記第 2 の酸化物を堆積するステップを含み、前記第 1 の酸化物および前記第 2 の酸化物の組み合わせが、前記入力/出力トランジスタの厚いゲート酸化物を形成する、請求項 2 2 に記載の方法。

【請求項 2 4】

前記さらすステップが、前記アクセストランジスタ、前記アンチヒューズデバイスおよび前記入力/出力トランジスタの閾値電圧を調整するために、前記第 1 のウェルを高閾値電圧調整インプラントにさらすステップを含む、請求項 2 2 に記載の方法。

【請求項 2 5】

前記コアトランジスタの閾値電圧を調整するために、前記第 2 のウェルを低閾値電圧調整インプラントにさらすステップをさらに含む、請求項 2 4 に記載の方法。

【請求項 26】

メモリアレイ回路エリアの第1のウェルにおけるアンチヒューズメモリセルであって、前記第1のウェルがn型およびp型のうちの1つであり、かつ、第1のウェルプロファイル
を有する、アンチヒューズメモリセルと、

入力/出力エリアの前記第1のウェルにおける入力/出力トランジスタと、

コア回路エリアの第2のウェルにおけるコアトランジスタであって、前記第2のウェル
が前記第1のウェルと同じ型を有し、かつ、前記第1のウェルプロファイルとは異なる第
2のウェルプロファイルを有し、前記第2のウェルプロファイルは、前記第1のウェルプロファイルよりも高い濃度を有する、コアトランジスタと、

を含むメモリデバイス。

【請求項 27】

前記アンチヒューズメモリセルのそれぞれが、アクセストランジスタおよびアンチヒューズデバイスを含む、請求項26に記載のメモリデバイス。

【請求項 28】

前記アクセストランジスタおよび前記入力/出力トランジスタが、第1の厚さを備えたゲート酸化物を有する、請求項27に記載のメモリデバイス。

【請求項 29】

前記アンチヒューズデバイスおよび前記コアトランジスタが、前記第1の厚さより小さい第2の厚さを備えたゲート酸化物を有する、請求項28に記載のメモリデバイス。

【請求項 30】

前記アクセストランジスタおよび前記入力/出力トランジスタが、第1の閾値電圧を有し、前記アンチヒューズデバイスが、前記第1の閾値電圧より低い第2の閾値電圧を有し、前記コアトランジスタが、前記第1の閾値電圧より低く、かつ前記第2の閾値電圧と異なる第3の閾値電圧を有する、請求項29に記載のメモリデバイス。

【外国語明細書】

2015043464000001.pdf