

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7264855号
(P7264855)

(45)発行日 令和5年4月25日(2023.4.25)

(24)登録日 令和5年4月17日(2023.4.17)

(51)国際特許分類 F I
H 0 1 L 25/07 (2006.01) H 0 1 L 25/04 C
H 0 1 L 25/18 (2023.01)

請求項の数 7 (全26頁)

(21)出願番号	特願2020-142370(P2020-142370)	(73)特許権者	000006895 矢崎総業株式会社 東京都港区港南一丁目8番15号
(22)出願日	令和2年8月26日(2020.8.26)	(74)代理人	110001771 弁理士法人虎ノ門知的財産事務所
(65)公開番号	特開2022-38079(P2022-38079A)	(72)発明者	森本 充晃 静岡県裾野市御宿1500 矢崎総業株式会社内
(43)公開日	令和4年3月10日(2022.3.10)	(72)発明者	杉村 一男 静岡県裾野市御宿1500 矢崎総業株式会社内
審査請求日	令和3年11月16日(2021.11.16)	(72)発明者	椿 和也 静岡県裾野市御宿1500 矢崎総業株式会社内
		(72)発明者	大石 英一郎

最終頁に続く

(54)【発明の名称】 基板、半導体モジュール、及び、基板モジュール

(57)【特許請求の範囲】

【請求項1】

基材と、

前記基材に設けられ電源電力を伝送可能である3つの電源用パターンと、
前記基材に設けられ制御信号を伝送可能である少なくとも2つの信号用パターンと、を
備え、

前記3つの電源用パターンと前記2つの信号用パターンとは、第1方向に沿って互いに
平行に延在し、

前記3つの電源用パターンは、2つの前記電源用パターンが、対向する一对の面の一方
にドレイン部が設けられ他方の面にソース部及びゲート部が設けられた半導体チップを実
装可能かつ当該実装される実装半導体チップの前記ドレイン部と接続可能であり、残り1
つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続可能であり、

前記2つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続可能であり、
前記3つの電源用パターンは、前記第1方向と直交する第2方向に沿って、前記半導体
チップを実装可能な前記2つの電源用パターンの間に、前記ソース部と接続可能な前記1
つの電源用パターンが配置され、

前記信号用パターンは、4つ設けられ、2つの前記信号用パターンが前記ゲート部と接
続可能であり、残りの2つの前記信号用パターンが前記ソース部と接続可能であり、前記
ゲート部と接続可能な前記2つの信号用パターンが、前記第2方向に沿って前記3つの電
源用パターンを挟んで一对で配置され、かつ、前記ソース部と接続可能な前記2つの信号

10

20

用パターンが、前記第2方向に沿って前記3つの電源用パターンを挟んで一対で配置され、
前記半導体チップを実装可能な前記2つの電源用パターンは、前記ドレイン部に対する
信号用パターンとしても兼用可能であることを特徴とする基板。

【請求項2】

基材と、

前記基材に設けられ電源電力を伝送可能である3つの電源用パターンと、

前記基材に設けられ制御信号を伝送可能である少なくとも2つの信号用パターンと、

前記3つの電源用パターンのいずれか1つと接続可能かつ前記基材の外側に位置する外部
接続相手と接続可能であり、第1方向と直交する第2方向に沿って延在し、前記第1方向
に沿って少なくとも前記3つの電源用パターンを挟んで一対で設けられる外部接続パター
ンと、を備え、

10

前記3つの電源用パターンと前記2つの信号用パターンとは、前記第1方向に沿って互
いに平行に延在し、

前記3つの電源用パターンは、2つの前記電源用パターンが、対向する一対の面の一方
にドレイン部が設けられ他方の面にソース部及びゲート部が設けられた半導体チップを実
装可能かつ当該実装される実装半導体チップの前記ドレイン部と接続可能であり、残り1
つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続可能であり、

前記2つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続可能である
ことを特徴とする基板。

【請求項3】

20

対向する一対の面の一方にドレイン部が設けられ、他方の面にソース部及びゲート部が
設けられた半導体チップと、

基材、前記基材に設けられ電源電力を伝送可能である3つの電源用パターン、及び、前
記基材に設けられ制御信号を伝送可能である少なくとも2つの信号用パターンを含み、前
記半導体チップを実装する基板と、を備え、

前記3つの電源用パターンと前記2つの信号用パターンとは、第1方向に沿って互いに
平行に延在し、

前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装し
かつ当該実装された実装半導体チップの前記ドレイン部と接続し、残り1つの前記電源用
パターンが前記実装半導体チップの前記ソース部と接続するものであり、

30

前記2つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続するもので
あり、

前記3つの電源用パターンは、1つの前記電源用パターンが前記半導体チップを実装し
かつ当該実装された実装半導体チップの前記ドレイン部と接続される電源用接続パターン
であり、別の1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続さ
れる電源用接続パターンであり、残り1つの前記電源用パターンが前記実装半導体チップ
の前記ドレイン部、前記ソース部、及び、前記ゲート部に接続されない電源用非接続パタ
ーンであり、

前記信号用パターンは、4つ設けられ、1つの前記信号用パターンが前記実装半導体チ
ップの前記ゲート部と接続される信号用接続パターンであり、別の1つの前記信号用パタ
ーンが前記実装半導体チップの前記ソース部と接続される信号用接続パターンであり、残
り2つの前記信号用パターンが前記実装半導体チップの前記ドレイン部、前記ソース部、
及び、前記ゲート部に接続されない信号用非接続パターンであり、

40

前記実装半導体チップは、当該電源用パターンに単方向に流れる電流を通電又は遮断す
る単方向回路を構成することを特徴とする半導体モジュール。

【請求項4】

対向する一対の面の一方にドレイン部が設けられ、他方の面にソース部及びゲート部が
設けられた半導体チップと、

基材、前記基材に設けられ電源電力を伝送可能である3つの電源用パターン、及び、前
記基材に設けられ制御信号を伝送可能である少なくとも2つの信号用パターンを含み、前

50

記半導体チップを実装する基板と、を備え、

前記3つの電源用パターンと前記2つの信号用パターンとは、第1方向に沿って互いに平行に延在し、

前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装しかつ当該実装された実装半導体チップの前記ドレイン部と接続し、残り1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続するものであり、

前記2つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続するものであり、

前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装しかつそれぞれが当該実装された実装半導体チップの前記ドレイン部と接続され、残り1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続され、

10

前記信号用パターンは、4つ設けられ、2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ゲート部と接続され、残り2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ソース部と接続され、

前記実装半導体チップは、当該電源用パターンに双方向に流れる電流を通電又は遮断する双方向回路を構成することを特徴とする半導体モジュール。

【請求項5】

対向する一对の面の一方にドレイン部が設けられ、他方の面にソース部及びゲート部が設けられた半導体チップと、

基材、前記基材に設けられ電源電力を伝送可能である3つの電源用パターン、及び、前記基材に設けられ制御信号を伝送可能である少なくとも2つの信号用パターンを含み、前記半導体チップを実装する基板と、

20

前記3つの電源用パターンのいずれか1つと接続しかつ前記基板の外側に位置する外部接続相手と接続し、第1方向と直交する第2方向に沿って延在し、前記第1方向に沿って少なくとも前記3つの電源用パターンを挟んで一对で設けられる外部接続パターンとを備え、

前記3つの電源用パターンと前記2つの信号用パターンとは、前記第1方向に沿って互いに平行に延在し、

前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装しかつ当該実装された実装半導体チップの前記ドレイン部と接続し、残り1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続するものであり、

30

前記2つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続するものであり、

前記半導体チップが実装された前記基板は、3つ設けられ、それぞれが前記第2方向に沿って並んで配置され、

隣り合う前記基板は、前記外部接続パターンを介して互いに接続され、

それぞれの前記基板において、前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装しかつそれぞれが当該実装された実装半導体チップの前記ドレイン部と接続され、残り1つの前記電源用パターンが1つの前記電源用パターンに実装された前記実装半導体チップの前記ソース部と接続され、前記ドレイン部と接続された前記2つの電源用パターンのうち一方の前記電源用パターンが他方の前記電源用パターンに実装された前記実装半導体チップの前記ソース部と接続され、

40

前記信号用パターンは、4つ設けられ、2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ゲート部と接続され、残り2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ソース部と接続され、

前記実装半導体チップは、直流電力を交流電力に変換するインバータ回路を構成することを特徴とする半導体モジュール。

【請求項6】

前記基板が載置されるベース部と、

前記基板が載置された前記ベース部に組み付けられるケースと、をさらに備え、

50

前記ケースは、ケース本体と、前記ケース本体に設けられ前記電源用パターンに接続する電源用端子と、前記ケース本体に設けられ前記信号用パターンに接続する信号用端子とを含んで構成される請求項 3 ~ 5 のいずれか 1 項に記載の半導体モジュール。

【請求項 7】

基材、前記基材に設けられ電源電力を伝送可能である 3 つの電源用パターン、及び、前記基材に設けられ制御信号を伝送可能である少なくとも 2 つの信号用パターンを含み、対向する一対の面の一方にドレイン部が設けられ他方の面にソース部及びゲート部が設けられた半導体チップを実装可能である基板と、

前記基板が載置されるベース部と、

前記基板が載置された前記ベース部に組み付けられるケースと、を備え、

10

前記 3 つの電源用パターンと前記 2 つの信号用パターンとは、第 1 方向に沿って互いに平行に延在し、

前記 3 つの電源用パターンは、2 つの前記電源用パターンが、対向する一対の面の一方にドレイン部が設けられ他方の面にソース部及びゲート部が設けられた半導体チップを実装可能かつ当該実装される実装半導体チップの前記ドレイン部と接続可能であり、残り 1 つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続可能であり、

前記 2 つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続可能であり、

前記ケースは、ケース本体と、前記ケース本体に設けられ前記電源用パターンに接続可能な電源用端子と、前記ケース本体に設けられ前記信号用パターンに接続可能な信号用端子とを含んで構成され、

20

前記ケース本体は、前記基板を個別に収容する複数の収容部を有し、

前記電源用端子は、1 つの前記収容部に対して 2 つ設けられ、

前記信号用端子は、1 つの前記収容部に対して 6 つ設けられることを特徴とする基板モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板、半導体モジュール、及び、基板モジュールに関する。

【背景技術】

【0002】

30

従来、半導体モジュールとして、例えば、特許文献 1 には、基板と、当該基板が組み付けられるケースとを備えるパワー半導体モジュールが記載されている。このパワー半導体モジュールは、例えば、インテリジェントパワーモジュールの基板に接続するための端子をケースに設けることで、パワーモジュール及びインテリジェントパワーモジュールの両方の基板を組み付け可能な共通のケースを構成し、部品の共通化を図っている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開平 11 - 16937 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0004】

ところで、上述の特許文献 1 に記載のパワー半導体モジュールは、例えば、パワーモジュール及びインテリジェントパワーモジュールにおいてそれぞれ制御が異なるので、配線パターンがそれぞれ異なる基板を用いる必要があり、当該パワー半導体モジュールを製造する際に、回路に応じて配線パターンが異なる複数の基板を用意する必要があり、製造効率が低下するおそれがある。

【0005】

そこで、本発明は、上記に鑑みてなされたものであって、部品を適正に共通化することができる基板、半導体モジュール、及び、基板モジュールを提供することを目的とする。

50

【課題を解決するための手段】

【0006】

上述した課題を解決し、目的を達成するために、本発明に係る半導体モジュールは、対向する一对の面の一方にドレイン部が設けられ、他方の面にソース部及びゲート部が設けられた半導体チップと、基材、前記基材に設けられ電源電力を伝送可能である3つの電源用パターン、及び、前記基材に設けられ制御信号を伝送可能である少なくとも2つの信号用パターンを含み、前記半導体チップを実装可能である基板と、を備え、前記3つの電源用パターンと前記2つの信号用パターンとは、第1方向に沿って互いに平行に延在し、前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装可能かつ当該実装された実装半導体チップの前記ドレイン部と接続可能であり、残り1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続可能であり、前記2つの信号用パターンは、前記実装半導体チップの前記ゲート部と接続可能であることを特徴とする。

10

【0007】

上記半導体モジュールにおいて、前記3つの電源用パターンは、前記第1方向と直交する第2方向に沿って、前記半導体チップを実装可能な前記2つの電源用パターンの間に、前記ソース部と接続可能な前記1つの電源用パターンが配置され、前記信号用パターンは、4つ設けられ、2つの前記信号用パターンが前記ゲート部と接続可能であり、残りの2つの前記信号用パターンが前記ソース部と接続可能であり、前記ゲート部と接続可能な前記2つの信号用パターンが、前記第2方向に沿って前記3つの電源用パターンを挟んで一对で配置され、かつ、前記ソース部と接続可能な前記2つの信号用パターンが、前記第2方向に沿って前記3つの電源用パターンを挟んで一对で配置され、前記半導体チップを実装可能な前記2つの電源用パターンは、前記ドレイン部に対する信号用パターンとしても兼用可能であることが好ましい。

20

【0008】

上記半導体モジュールにおいて、前記3つの電源用パターンのいずれか1つと接続可能かつ前記基板の外側に位置する外部接続相手と接続可能であり、前記第1方向と直交する第2方向に沿って延在し、前記第1方向に沿って少なくとも前記3つの電源用パターンを挟んで一对で設けられる外部接続パターンをさらに備えることが好ましい。

【0009】

上記半導体モジュールにおいて、前記基板が載置されるベース部と、前記基板が載置された前記ベース部に組み付けられるケースと、をさらに備え、前記ケースは、ケース本体と、前記ケース本体に設けられ前記電源用パターンに接続可能な電源用端子と、前記ケース本体に設けられ前記信号用パターンに接続可能な信号用端子とを含んで構成されることが好ましい。

30

【0010】

上記半導体モジュールにおいて、前記3つの電源用パターンは、1つの前記電源用パターンが前記半導体チップを実装しかつ当該実装された実装半導体チップの前記ドレイン部と接続される電源用接続パターンであり、別の1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続される電源用接続パターンであり、残り1つの前記電源用パターンが前記実装半導体チップの前記ドレイン部、前記ソース部、及び、前記ゲート部に接続されない電源用非接続パターンであり、前記信号用パターンは、4つ設けられ、1つの前記信号用パターンが前記実装半導体チップの前記ゲート部と接続される信号用接続パターンであり、別の1つの前記信号用パターンが前記実装半導体チップの前記ソース部と接続される信号用接続パターンであり、残り2つの前記信号用パターンが前記実装半導体チップの前記ドレイン部、前記ソース部、及び、前記ゲート部に接続されない信号用非接続パターンであり、前記実装半導体チップは、当該電源用パターンに単方向に流れる電流を通電又は遮断する単方向回路を構成することが好ましい。

40

【0011】

上記半導体モジュールにおいて、前記3つの電源用パターンは、2つの前記電源用パタ

50

ーンが前記半導体チップを実装しかつそれぞれが当該実装された実装半導体チップの前記ドレイン部と接続され、残り1つの前記電源用パターンが前記実装半導体チップの前記ソース部と接続され、前記信号用パターンは、4つ設けられ、2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ゲート部と接続され、残り2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ソース部と接続され、前記実装半導体チップは、当該電源用パターンに双方向に流れる電流を通電又は遮断する双方向回路を構成することが好ましい。

【0012】

上記半導体モジュールにおいて、前記3つの電源用パターンのいずれか1つと接続可能かつ前記基板の外側に位置する外部接続相手と接続可能であり、前記第1方向と直交する第2方向に沿って延在し、前記第1方向に沿って少なくとも前記3つの電源用パターンを挟んで一対で設けられる外部接続パターンをさらに備え、前記半導体チップが実装された前記基板は、3つ設けられ、それぞれが前記第2方向に沿って並んで配置され、隣り合う前記基板は、前記外部接続パターンを介して互いに接続され、それぞれの前記基板において、前記3つの電源用パターンは、2つの前記電源用パターンが前記半導体チップを実装しかつそれぞれが当該実装された実装半導体チップの前記ドレイン部と接続され、残り1つの前記電源用パターンが1つの前記電源用パターンに実装された前記実装半導体チップの前記ソース部と接続され、前記ドレイン部と接続された前記2つの電源用パターンのうち一方の前記電源用パターンが他方の前記電源用パターンに実装された前記実装半導体チップの前記ソース部と接続され、前記信号用パターンは、4つ設けられ、2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ゲート部と接続され、残り2つの前記信号用パターンが前記実装半導体チップのいずれかの前記ソース部と接続され、前記実装半導体チップは、直流電力を交流電力に変換するインバータ回路を構成することが好ましい。

【発明の効果】

【0013】

本発明に係る基板、半導体モジュール、及び、基板モジュールにおいて、3つの電源用パターンは、2つの電源用パターンが半導体チップを実装可能かつ当該実装された実装半導体チップのドレイン部と接続可能であり、残り1つの電源用パターンが実装半導体チップのソース部と接続可能であるので、部品（基板）を適正に共通化することができる。

【図面の簡単な説明】

【0014】

【図1】図1は、第1実施形態に係る半導体モジュールの基本構成例を示す分解斜視図である。

【図2】図2は、第1実施形態に係る基板の構成例を示す斜視図である。

【図3】図3は、第1実施形態に係るケースの構成例を示す斜視図である。

【図4】図4は、第1実施形態に係る半導体モジュールの構成例（第1バリエーション）を示す平面図である。

【図5】図5は、第1実施形態に係る半導体モジュールの構成例（第1バリエーション）を示す回路図である。

【図6】図6は、第1実施形態に係る半導体モジュールの構成例（第2バリエーション）を示す平面図である。

【図7】図7は、第1実施形態に係る半導体モジュールの構成例（第2バリエーション）を示す回路図である。

【図8】図8は、第1実施形態に係る半導体モジュールの構成例（第3バリエーション）を示す平面図である。

【図9】図9は、第1実施形態に係る半導体モジュールの構成例（第3バリエーション）を示す回路図である。

【図10】図10は、第1実施形態の変形例に係る半導体モジュールの構成例を示す平面図である。

10

20

30

40

50

【図 1 1】図 1 1 は、第 1 実施形態の変形例に係る半導体モジュールの構成例を示す回路図である。

【図 1 2】図 1 2 は、第 2 実施形態に係る半導体モジュールの基本構成例を示す分解斜視図である。

【図 1 3】図 1 3 は、第 2 実施形態に係る半導体モジュールの構成例（第 1 バリエーション）を示す平面図である。

【図 1 4】図 1 4 は、第 2 実施形態に係る半導体モジュールの構成例（第 1 バリエーション）を示す回路図である。

【図 1 5】図 1 5 は、第 2 実施形態に係る半導体モジュールの構成例（第 2 バリエーション）を示す平面図である。

10

【図 1 6】図 1 6 は、第 2 実施形態に係る半導体モジュールの構成例（第 2 バリエーション）を示す回路図である。

【発明を実施するための形態】

【0015】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。更に、以下に記載した構成は適宜組み合わせることが可能である。また、本発明の要旨を逸脱しない範囲で構成の種々の省略、置換又は変更を行うことができる。

【0016】

20

〔第 1 実施形態〕

図面を参照しながら実施形態に係る半導体モジュール 1 について説明する。まず、半導体モジュール 1 の基本構成について説明し、次に、半導体チップ 10 の構成に応じた半導体モジュール 1 の各種バリエーションについて説明する。

【0017】

〔基本構成〕

図 1 は、第 1 実施形態に係る半導体モジュール 1 の基本構成例を示す分解斜視図である。図 2 は、第 1 実施形態に係る基板 20 の構成例を示す斜視図である。図 3 は、第 1 実施形態に係るケース 40 の構成例を示す斜視図である。図 1 ~ 図 3 では、基板 20 に半導体チップ 10 を実装していない状態を図示している。

30

【0018】

半導体モジュール 1 の基本構成は、図 1 ~ 図 3 に示すように、半導体チップ 10 と、基板 20 と、ベース部 30 と、ケース 40 とを備える。そして、半導体モジュール 1 は、この基本構成に対して半導体チップ 10（図 4 等参照）が実装されることで、半導体チップ 10 の構成に応じた各種半導体回路を構成する。

【0019】

ここで、本実施形態では、基板 20 のパターン形成面 M（図 2 参照）に形成される電源用パターン 23 及び信号用パターン 22 が延在する方向を第 1 方向 X とし、基板 20 のパターン形成面 M 上で第 1 方向 X に直交する方向を第 2 方向 Y とし、基板 20 のパターン形成面 M に直交する方向を第 3 方向 Z とする。第 1 方向 X、第 2 方向 Y、及び、第 3 方向 Z は、互いに直交する。

40

【0020】

半導体チップ 10 は、電流を通電又は遮断するものである。半導体チップ 10 は、例えば、N チャネル型の MOSFET（Metal Oxide Semiconductor Field Effect Transistor）であり、図 2 に示すように、ドレイン部 D、ソース部 S、及び、ゲート部 G を含んで構成される。半導体チップ 10 は、第 3 方向 Z に沿って対向する一対の面の一方にドレイン部 D が設けられ、他方の面にソース部 S 及びゲート部 G が設けられている。半導体チップ 10 は、ドレイン部 D 側が電源用パターン 23 上に当接された状態で当該電源用パターン 23 に実装される。

【0021】

50

基板 20 は、電気回路を構成するものである。基板 20 は、基材 21 と、信号用パターン 22 と、電源用パターン 23 と、外部接続パターン 24 とを含んで構成される。

【0022】

基材 21 は、半導体チップ 10 を実装可能なものである。基材 21 は、樹脂等の絶縁部材から形成され、平板状且つ矩形状に構成されている。基材 21 は、3つ設けられ、それぞれが同じ形状を有している。各基材 21 は、第3方向 Z において、一对の面部を有し、一方側の面部には各パターンが形成されるパターン形成面 M が設けられている。パターン形成面 M には、4つの信号用パターン 22、3つの電源用パターン 23、及び、2つの外部接続パターン 24 が形成されている。基材 21 は、当該基材 21 に形成された電源用パターン 23 の上に、実現する半導体回路に応じて半導体チップ 10 が実装される。

10

【0023】

4つの信号用パターン 22 (221 ~ 224) は、制御信号を伝送可能な導電性のパターンである。4つの信号用パターン 22 は、基材 21 に設けられ、線状に形成されている。4つの信号用パターン 22 は、直線状に形成され、第1方向 X に沿って互いに平行に延在している。4つの信号用パターン 22 は、それぞれが同じ太さに形成されており、つまり第2方向 Y の幅長が同じ長さに形成されており、3つの電源用パターン 23 よりも細く形成されている。4つの信号用パターン 22 (221 ~ 224) は、それぞれの第1方向 X の長さが全て同じ長さに形成され、2つの信号用パターン 221、222 と残りの2つの信号用パターン 223、224 とが、第2方向 Y に沿って3つの電源用パターン 23 を挟んで一对で配置されている。言い換えれば、4つの信号用パターン 22 は、2つの信号用パターン 221、222 が第2方向 Y に沿って3つの電源用パターン 23 の一方側に並んで配置され、残りの2つの信号用パターン 223、224 が第2方向 Y に沿って3つの電源用パターン 23 の他方側に並んで配置されている。4つの信号用パターン 22 は、第1方向 X における一方側のそれぞれの端部の位置が揃っており、第1方向 X における他方側のそれぞれの端部の位置も揃っている。4つの信号用パターン 22 は、2つの信号用パターン 22 が半導体チップ 10 のゲート部 G と接続可能であり、残りの2つの信号用パターン 22 が半導体チップ 10 のソース部 S と接続可能である。4つの信号用パターン 22 (221 ~ 224) は、例えば、ゲート部 G と接続可能な2つの信号用パターン 222、223 が、第2方向 Y に沿って3つの電源用パターン 23 を挟んで一对で配置され、かつ、ソース部 S と接続可能な2つの信号用パターン 221、224 が、第2方向 Y に沿って3つの電源用パターン 23 を挟んで一对で配置される。具体的には、4つの信号用パターン 22 (221 ~ 224) は、第2方向 Y において、内側 (3つの電源用パターン 23 側) の2つの信号用パターン 222、223 が半導体チップ 10 のゲート部 G と接続可能であり、外側 (3つの電源用パターン 23 とは反対側) の2つの信号用パターン 221、224 が半導体チップ 10 のソース部 S と接続可能である。

20

30

【0024】

3つの電源用パターン 23 (231 ~ 233) は、電源電力を伝送可能な導電性のパターンである。3つの電源用パターン 23 は、基材 21 に設けられ、線状に形成されている。3つの電源用パターン 23 は、直線状に形成され、第1方向 X に沿って互いに平行に延在している。そして、3つの電源用パターン 23 と2つの信号用パターン 22 とは、第1方向 X に沿って互いに平行に延在している。3つの電源用パターン 23 は、それぞれが同じ太さに形成されており、つまり第2方向 Y の幅長が同じ長さに形成されており、4つの信号用パターン 22 よりも太く形成されている。3つの電源用パターン 23 は、それぞれの第1方向 X の長さが全て同じ長さに形成され、この例では、4つの信号用パターン 22 の第1方向 X の長さと同じ長さに形成されている。3つの電源用パターン 23 は、第2方向 Y において、2つの信号用パターン 221、222 と残りの2つの信号用パターン 223、224 との間に挟まれて配置している。3つの電源用パターン 23 は、第1方向 X における一方側のそれぞれの端部の位置が揃っており、第1方向 X における他方側のそれぞれの端部の位置も揃っている。さらに、3つの電源用パターン 23 は、第1方向 X における一方側のそれぞれの端部の位置が、4つの信号用パターン 22 の第1方向 X における一

40

50

方側のそれぞれの端部の位置と揃っており、第1方向Xにおける他方側のそれぞれの端部の位置も、4つの信号用パターン22の第1方向Xにおける他方側のそれぞれの端部の位置と揃っている。3つの電源用パターン23は、第2方向Yに沿って順番に、第1電源用パターン231、第2電源用パターン232、及び、第3電源用パターン233から構成されている。第1、第3電源用パターン231、233は、半導体チップ10を実装可能かつ当該実装された半導体チップ10のドレイン部Dと接続可能なドレイン用の電源用接続パターンである。第2電源用パターン232は、当該実装された半導体チップ10のソース部Sと接続可能なソース用の電源用接続パターンである。3つの電源用パターン23は、半導体チップ10を実装可能な2つの第1、第3電源用パターン231、233が、第2方向Yに沿ってそれぞれ両側に配置され、半導体チップ10のソース部Sと接続可能な第2電源用パターン232が第2方向Yに沿って中央に配置されている。言い換えれば、3つの電源用パターン23(231~233)は、第2方向Yに沿って、半導体チップ10を実装可能な2つの第1、第3電源用パターン231、233の間に、ソース部Sと接続可能な1つの第2電源用パターン232が配置されている。半導体チップ10を実装可能な2つの第1、第3電源用パターン231、233は、ドレイン部Dに対する信号用パターン22としても兼用可能である。

10

【0025】

2つの外部接続パターン24は、電源電力を伝送可能な導電性のパターンである。2つの外部接続パターン24は、基材21に設けられ、線状に形成されている。2つの外部接続パターン24は、直線状に形成され、第2方向Yに沿って互いに平行に延在している。2つの外部接続パターン24は、それぞれが同じ太さに形成されており、つまり第1方向Xの幅長が同じ長さに形成されており、上述の3つの電源用パターン23と同等の太さに形成されている。2つの外部接続パターン24は、それぞれの第2方向Yの長さが同じ長さに形成され、第1方向Xに沿って少なくとも3つの電源用パターン23を挟んで一対で設けられている。典型的には、2つの外部接続パターン24は、第1方向Xに沿って3つの電源用パターン23及び4つの信号用パターン22を挟んで一対で設けられる。言い換えれば、2つの外部接続パターン24(241、242)は、第1方向Xにおいて、3つの電源用パターン23及び4つの信号用パターン22の一方側に第1外部接続パターン241が配置され、3つの電源用パターン23及び4つの信号用パターン22の他方側に第2外部接続パターン242が配置されている。2つの外部接続パターン24は、第2方向Yにおける一方側のそれぞれの端部の位置が揃っており、第2方向Yにおける他方側のそれぞれの端部の位置も揃っている。外部接続パターン24は、3つの電源用パターン23のいずれか1つと接続可能かつ基板20の外側に位置する外部接続相手(後述する電源用端子42、他の外部接続パターン24)と接続可能である。

20

30

【0026】

ベース部30は、3つの基板20を載置するものである。ベース部30は、熱伝導性を有する金属部材から形成され、平板状且つ矩形状に構成されている。ベース部30は、熱伝導性を有することにより、基板20に搭載された半導体チップ10により生じる熱を効率的に放熱することができる。ベース部30は、第3方向Zにおいて、一対の面部を有し、一方側の面部には3つの基板20及びケース40が搭載される基板搭載面N(図1参照)が設けられている。

40

【0027】

ケース40は、半導体チップ10が実装された基板20を収容する筐体である。ケース40は、ケース本体41と、電源用端子42と、信号用端子43と、中継用端子44とを含んで構成される。

【0028】

ケース本体41は、樹脂等の絶縁性部材により形成され、3つの収容部411を有している。3つの収容部411は、基板20の外形に合わせて矩形状に形成され、第2方向Yに沿って並んで配置されている。3つの収容部411は、それぞれが基板20を個別に収容する。

50

【 0 0 2 9 】

電源用端子 4 2 は、電源系統に接続される端子であり、ケース本体 4 1 に設けられている。電源用端子 4 2 は、第 1 端子 4 2 1 と、第 2 端子 4 2 2 とを含んで構成される。第 1 端子 4 2 1 と第 2 端子 4 2 2 は、ケース本体 4 1 の 1 つの収容部 4 1 1 に対して 1 つずつ設けられている。第 1 端子 4 2 1 は、1 つの収容部 4 1 1 における第 1 方向 X の一方側に設けられている。第 2 端子 4 2 2 は、1 つの収容部 4 1 1 における第 1 方向 X の他方側に設けられている。第 1 端子 4 2 1 及び第 2 端子 4 2 2 は、3 つの収容部 4 1 1 に対してそれぞれ設けられている。第 1 端子 4 2 1 及び第 2 端子 4 2 2 は、電源用パターン 2 3 に接続可能であり、例えば、第 1 端子 4 2 1 が電源の正極及び電源用パターン 2 3 に接続され、第 2 端子 4 2 2 が負荷部及び電源用パターン 2 3 に接続される。

10

【 0 0 3 0 】

信号用端子 4 3 は、制御系統に接続される端子であり、ケース本体 4 1 に設けられている。信号用端子 4 3 は、例えば、ケース本体 4 1 の 1 つの収容部 4 1 1 に対して 6 つ設けられている。6 つの信号用端子 4 3 (D 1 1、G 1 1、S 1 1、D 1 2、G 1 2、S 1 2) は、3 つの収容部 4 1 1 に対してそれぞれ設けられている。6 つの信号用端子 4 3 は、3 つの信号用端子 4 3 (D 1 1、G 1 1、S 1 1) が 1 つの収容部 4 1 1 の第 2 方向 Y における一方側に設けられ、残り 3 つの信号用端子 4 3 (D 1 2、G 1 2、S 1 2) が 1 つの収容部 4 1 1 の第 2 方向 Y における他方側に設けられている。6 つの信号用端子 4 3 は、信号用パターン 2 2 に接続可能である。

20

【 0 0 3 1 】

中継用端子 4 4 は、隣り合う基板 2 0 を互いに接続する端子である。中継用端子 4 4 は、ケース 4 0 に設けられ、第 2 方向 Y において隣り合う基板 2 0 の間に配置されている。中継用端子 4 4 は、例えば、中央の基板 2 0 の外部接続パターン 2 4 と、当該中央の基板 2 0 の第 2 方向 Y における一方側に位置する基板 2 0 の外部接続パターン 2 4 との間に配置されている。さらに、中継用端子 4 4 は、中央の基板 2 0 の外部接続パターン 2 4 と、当該中央の基板 2 0 の第 2 方向 Y における他方側に位置する基板 2 0 の外部接続パターン 2 4 との間に配置されている。中継用端子 4 4 は、外部接続パターン 2 4 を介して隣り合う基板 2 0 を互いに接続する。上述のように構成されるケース 4 0 は、基板 2 0 が載置されるベース部 3 0 に組み付けられる。例えば、ケース 4 0 は、当該ベース部 3 0 に接着され固定される。そして、半導体モジュール 1 は、半導体チップ 1 0 が実装された基板 2 0 及びケース 4 0 がベース部 3 0 に組み付けられた状態で、基板 2 0 上の半導体チップ 1 0 等が樹脂で封止される。

30

【 0 0 3 2 】

〔 第 1 バリエーション 〕

次に、上記基本構成で説明した基板 2 0 に半導体チップ 1 0 を実装して単方向回路 P 1 を構成する例について説明する。図 4 は、第 1 実施形態に係る半導体モジュール 1 の構成例 (第 1 バリエーション) を示す平面図である。図 5 は、第 1 実施形態に係る半導体モジュール 1 の構成例 (第 1 バリエーション) を示す回路図である。なお、図 5 の回路図では、図 4 に示す半導体モジュール 1 の構成例を簡略化して図示している。

【 0 0 3 3 】

図 4 に示す半導体モジュール 1 は、例えば、車両の電源系統に設けられ、当該車両の電源から負荷部に単方向 (一方向) に流れる電流を通電又は遮断するものである。半導体モジュール 1 は、半導体チップ 1 0 と、基板 2 0 と、ベース部 3 0 と、ケース 4 0 とを備える。半導体モジュール 1 は、車両の電源系統において、様々な箇所に配置可能である。半導体モジュール 1 は、例えば、電源 + 側と負荷部との間に配置された場合、電源用端子 4 2 の第 1 端子 4 2 1 が車両の電源 + 側に接続され、電源用端子 4 2 の第 2 端子 4 2 2 が負荷部に接続される。また、半導体モジュール 1 は、電源 - 側と負荷部との間に配置された場合、電源用端子 4 2 の第 1 端子 4 2 1 が負荷部に接続され、電源用端子 4 2 の第 2 端子 4 2 2 が車両の電源 - 側に接続される。また、半導体モジュール 1 は、電源用端子 4 2 の第 1 端子 4 2 1 がワイヤ W a を介して第 1 外部接続パターン 2 4 1 に接続され、電源用端

40

50

子 4 2 の第 2 端子 4 2 2 がワイヤ W a を介して第 2 外部接続パターン 2 4 2 に接続されている。さらに、半導体モジュール 1 は、第 1 外部接続パターン 2 4 1 がワイヤ W a を介して第 1 電源用パターン 2 3 1 に接続され、第 2 外部接続パターン 2 4 2 がワイヤ W a を介して第 2 電源用パターン 2 3 2 に接続されている。

【 0 0 3 4 】

半導体チップ（実装半導体チップ）1 0 は、電源用パターン 2 3 上に 3 つ実装され、それぞれの半導体チップ 1 0 が電源用パターン 2 3 に並列に接続されている。3 つの半導体チップ 1 0 は、例えば、それぞれが第 1 電源用パターン 2 3 1 上に実装され、それぞれの半導体チップ 1 0 のドレイン部 D が第 1 電源用パターン 2 3 1 に直接接続され、それぞれの半導体チップ 1 0 のソース部 S がワイヤ W a を介して第 2 電源用パターン 2 3 2 に接続されている。言い換えれば、3 つの電源用パターン 2 3 は、1 つの第 1 電源用パターン 2 3 1 が半導体チップ 1 0 を実装しかつ当該実装された半導体チップ 1 0 のドレイン部 D と接続される電源用接続パターンであり、別の 1 つの第 2 電源用パターン 2 3 2 がワイヤ W a を介して半導体チップ 1 0 のソース部 S と接続される電源用接続パターンである。そして、残り 1 つの第 3 電源用パターン 2 3 3 は、半導体チップ 1 0 のドレイン部 D、ソース部 S、及び、ゲート部 G に接続されない電源用非接続パターンである。つまり、電源用非接続パターンである第 3 電源用パターン 2 3 3 には、電源から負荷部に電力を供給する際に電流が流れない。

10

【 0 0 3 5 】

また、3 つの半導体チップ 1 0 は、それぞれのソース部 S がワイヤ W b を介してソース用の信号用パターン 2 2 1 に接続され、それぞれのゲート部 G がワイヤ W b を介してゲート用の信号用パターン 2 2 2 に接続されている。言い換えれば、信号用パターン 2 2 は、1 つの信号用パターン 2 2 2 が半導体チップ 1 0 のゲート部 G と接続される信号用接続パターンであり、別の 1 つの信号用パターン 2 2 1 が各半導体チップ 1 0 のソース部 S と接続される信号用接続パターンである。そして、残り 2 つの信号用パターン 2 2 3、2 2 4 は、ドレイン部 D、ソース部 S、及び、ゲート部 G に接続されない信号用非接続パターンである。そして、信号用接続パターンである 2 つの信号用パターン 2 2 1、2 2 2 には、各半導体チップ 1 0 を制御する際に制御信号が流れ、信号用非接続パターンである 2 つの信号用パターン 2 2 3、2 2 4 には、各半導体チップ 1 0 を制御する際に制御信号が流れない。

20

30

【 0 0 3 6 】

ソース用の信号用パターン 2 2 1 は、ワイヤ W b を介してケース 4 0 のソース用の信号用端子 S 1 1（S 2 1、S 3 1）に接続され、ゲート用の信号用パターン 2 2 2 は、ワイヤ W b を介してケース 4 0 のゲート用の信号用端子 G 1 1（G 2 1、G 3 1）に接続されている。第 1 電源用パターン 2 3 1 は、ワイヤ W b を介してケース 4 0 のドレイン用の信号用端子 D 1 1（D 2 1、D 3 1）に接続されている。ケース 4 0 の各信号用端子 S 1 1（S 2 1、S 3 1）、D 1 1（D 2 1、D 3 1）、G 1 1（G 2 1、G 3 1）は、外部の制御部（図示省略）に接続される。各半導体チップ 1 0 は、当該制御部から出力される制御信号に応じて電源用パターン 2 3 に単方向に流れる電流を通電又は遮断する単方向回路 P 1（図 5 参照）を構成する。例えば、各半導体チップ 1 0 は、当該制御部によりゲート部 G に印加される電圧（制御信号）に応じて電源用パターン 2 3 に単方向に流れる電流を通電又は遮断する。

40

【 0 0 3 7 】

なお、図 4 に示す半導体モジュール 1 は、各半導体チップ 1 0 が実装された 3 つの基板 2 0 がケース 4 0 に収容され、同じ単方向回路 P 1 を 3 つ構成している。そして、それぞれの当該基板 2 0 は、同じ構成となっているので、その他の基板 2 0 については詳細な説明を省略する。

【 0 0 3 8 】

〔 第 2 バリエーション 〕

次に、第 2 バリエーションに係る半導体モジュール 1 A について説明する。半導体モジ

50

ジュール 1 A は、双方向回路 P 2 を構成する点で第 1 バリエーションに係る半導体モジュール 1 とは異なる。図 6 は、第 1 実施形態に係る半導体モジュール 1 A の構成例（第 2 バリエーション）を示す平面図である。図 7 は、第 1 実施形態に係る半導体モジュール 1 A の構成例（第 2 バリエーション）を示す回路図である。なお、図 7 の回路図では、図 6 に示す半導体モジュール 1 A の構成例を簡略化して図示している。

【 0 0 3 9 】

図 6 に示す半導体モジュール 1 A は、例えば、車両の電源系統に設けられ、当該車両の電源と負荷部との間で双方向に流れる電流を通電又は遮断するものである。半導体モジュール 1 A は、半導体チップ 1 0 A、1 0 B と、基板 2 0 と、ベース部 3 0 と、ケース 4 0 とを備える。半導体モジュール 1 A は、電源用端子 4 2 の第 1 端子 4 2 1 が車両の電源に接続され、電源用端子 4 2 の第 2 端子 4 2 2 が負荷部に接続される。半導体モジュール 1 A は、電源用端子 4 2 の第 1 端子 4 2 1 がワイヤ W a を介して第 1 外部接続パターン 2 4 1 に接続され、電源用端子 4 2 の第 2 端子 4 2 2 がワイヤ W a を介して第 2 外部接続パターン 2 4 2 に接続されている。半導体モジュール 1 A は、第 1 外部接続パターン 2 4 1 がワイヤ W a を介して第 1 電源用パターン 2 3 1 に接続され、第 2 外部接続パターン 2 4 2 がワイヤ W a を介して第 3 電源用パターン 2 3 3 に接続されている。

10

【 0 0 4 0 】

実装半導体チップとしての半導体チップ 1 0 A、1 0 B は、電源用パターン 2 3 上に 6 つ実装され、そのうち 3 つの半導体チップ 1 0 A が電源用パターン 2 3 に並列に接続され、残り 3 つの半導体チップ 1 0 B が別の電源用パターン 2 3 に並列に接続されている。3 つの半導体チップ 1 0 A は、例えば、それぞれが第 1 電源用パターン 2 3 1 上に実装され、それぞれの半導体チップ 1 0 A のドレイン部 D が第 1 電源用パターン 2 3 1 に直接接続され、それぞれの半導体チップ 1 0 A のソース部 S がワイヤ W a を介して第 2 電源用パターン 2 3 2 に接続されている。また、残り 3 つの半導体チップ 1 0 B は、それぞれが第 3 電源用パターン 2 3 3 上に実装され、それぞれの半導体チップ 1 0 B のドレイン部 D が第 3 電源用パターン 2 3 3 に直接接続され、それぞれの半導体チップ 1 0 B のソース部 S がワイヤ W a を介して第 2 電源用パターン 2 3 2 に接続されている。言い換えれば、3 つの電源用パターン 2 3 は、2 つの第 1、第 3 電源用パターン 2 3 1、2 3 3 が半導体チップ 1 0 A、1 0 B を実装しかつそれぞれが当該実装された半導体チップ 1 0 A、1 0 B のドレイン部 D と接続され、残り 1 つの第 2 電源用パターン 2 3 2 がワイヤ W a を介して半導体チップ 1 0 A、1 0 B のソース部 S と接続されている。そして、3 つの電源用パターン 2 3 は、半導体チップ 1 0 のドレイン部 D、ソース部 S、及び、ゲート部 G に接続されない電源用非接続パターンを含まず、全ての電源用パターン 2 3 が半導体チップ 1 0 のドレイン部 D、ソース部 S、及び、ゲート部 G の少なくとも 1 つに接続される電源用接続パターンである。

20

30

【 0 0 4 1 】

3 つの半導体チップ 1 0 A は、それぞれのソース部 S がワイヤ W b を介してソース用の信号用パターン 2 2 1 に接続され、それぞれのゲート部 G がワイヤ W b を介してゲート用の信号用パターン 2 2 2 に接続されている。また、残り 3 つの半導体チップ 1 0 B は、それぞれのソース部 S がワイヤ W b を介してソース用の信号用パターン 2 2 4 に接続され、それぞれのゲート部 G がワイヤ W b を介してゲート用の信号用パターン 2 2 3 に接続されている。言い換えれば、信号用パターン 2 2 は、2 つの信号用パターン 2 2 2、2 2 3 が半導体チップ 1 0 A、1 0 B のゲート部 G のいずれかと接続され、残り 2 つの信号用パターン 2 2 1、2 2 4 が半導体チップ 1 0 A、1 0 B のソース部 S のいずれかと接続されている。そして、4 つの信号用パターン 2 2 は、ドレイン部 D、ソース部 S、及び、ゲート部 G に接続されない信号用非接続パターンを含まず、全ての信号用パターン 2 2 がドレイン部 D、ソース部 S、及び、ゲート部 G のいずれかに接続される信号用接続パターンである。

40

【 0 0 4 2 】

ソース用の信号用パターン 2 2 1 は、ワイヤ W b を介してケース 4 0 のソース用の信号

50

用端子 S 1 1 (S 2 1、 S 3 1) に接続され、ゲート用の信号用パターン 2 2 2 は、ワイヤ W b を介してケース 4 0 のゲート用の信号用端子 G 1 1 (G 2 1、 G 3 1) に接続されている。また、ソース用の信号用パターン 2 2 4 は、ワイヤ W b を介してケース 4 0 のソース用の信号用端子 S 1 2 (S 2 2、 S 3 2) に接続され、ゲート用の信号用パターン 2 2 3 は、ワイヤ W b を介してケース 4 0 のゲート用の信号用端子 G 1 2 (G 2 2、 G 3 2) に接続されている。

【 0 0 4 3 】

第 1 電源用パターン 2 3 1 は、ワイヤ W b を介してケース 4 0 のドレイン用の信号用端子 D 1 1 (D 2 1、 D 3 1) に接続されている。また、第 3 電源用パターン 2 3 3 は、ワイヤ W b を介してケース 4 0 のドレイン用の信号用端子 D 1 2 (D 2 2、 D 3 2) に接続されている。ケース 4 0 の各信号用端子 S 1 1、 S 1 2 (S 2 1、 S 2 2、 S 3 1、 S 3 2)、 D 1 1、 D 1 2 (D 2 1、 D 2 2、 D 3 1、 D 3 2)、 G 1 1、 G 1 2 (G 2 1、 G 2 2、 G 3 1、 G 3 2) は、外部の制御部 (図示省略) に接続される。各半導体チップ 1 0 A、 1 0 B は、当該制御部から出力される制御信号に応じて電源用パターン 2 3 に双方向に流れる電流を通電又は遮断する双方向回路 P 2 (図 7 参照) を構成する。例えば、各半導体チップ 1 0 A、 1 0 B は、当該制御部によりゲート部 G に印加される電圧 (制御信号) に応じて電源用パターン 2 3 に双方向に流れる電流を通電又は遮断する。

【 0 0 4 4 】

なお、図 6 に示す半導体モジュール 1 A は、各半導体チップ 1 0 A、 1 0 B が実装された 3 つの基板 2 0 がケース 4 0 に收容され、同じ双方向回路 P 2 を 3 つ構成している。そして、それぞれの当該基板 2 0 は、同じ構成となっているので、その他の基板 2 0 については詳細な説明を省略する。

【 0 0 4 5 】

〔 第 3 バリエーション 〕

次に、第 3 バリエーションに係る半導体モジュール 1 B について説明する。半導体モジュール 1 B は、3 相のインバータ回路 P 3 を構成する点で第 1、第 2 バリエーションに係る半導体モジュール 1、 1 A とは異なる。図 8 は、第 1 実施形態に係る半導体モジュール 1 B の構成例 (第 3 バリエーション) を示す平面図である。図 9 は、第 1 実施形態に係る半導体モジュール 1 B の構成例 (第 3 バリエーション) を示す回路図である。

【 0 0 4 6 】

図 8 に示す半導体モジュール 1 B は、例えば、車両の電源系統に設けられ、当該車両の電源から供給される直流電力を交流電力に変換するものである。半導体モジュール 1 B は、複数の半導体チップ 1 0 C、 1 0 D と、3 つの基板 2 0 と、ベース部 3 0 と、ケース 4 0 とを備える。半導体モジュール 1 B は、半導体チップ 1 0 C、 1 0 D が実装された 3 つの基板 2 0 は、第 2 方向 Y に沿って並んで配置されている。半導体モジュール 1 B は、ケース 4 0 の電源用端子 4 2 において、第 1 端子 4 2 1 が車両の電源の正極 (+ B) に接続され、第 2 端子 4 2 2、第 3 端子 4 2 3、第 4 端子 4 2 4 が負荷部の入力端子に接続され、第 5 端子 4 2 5 がグランド G N D に接続される。半導体モジュール 1 B は、第 1 端子 4 2 1 が第 1 電源用パターン 2 3 1 に接続され、第 2 端子 4 2 2 が第 3 電源用パターン 2 3 3 に接続されている。半導体モジュール 1 B は、第 1 電源用パターン 2 3 1 が第 2 外部接続パターン 2 4 2 に接続され、第 2 電源用パターン 2 3 2 が第 1 外部接続パターン 2 4 1 に接続されている。半導体モジュール 1 B は、隣り合う基板 2 0 が、外部接続パターン 2 4 を介して互いに接続されている。つまり、半導体モジュール 1 B は、第 1 外部接続パターン 2 4 1 が中継用端子 4 4 を介して隣の基板 2 0 の第 1 外部接続パターン 2 4 1 に接続され、第 2 外部接続パターン 2 4 2 が中継用端子 4 4 を介して隣の基板 2 0 の第 2 外部接続パターン 2 4 2 に接続されている。

【 0 0 4 7 】

半導体チップ 1 0 C、 1 0 D は、1 つ目の基板 2 0 (第 2 方向 Y の一方側の基板 2 0) において、電源用パターン 2 3 上に 6 つ実装され、そのうち 3 つの半導体チップ 1 0 C が電源用パターン 2 3 に並列に接続され、残り 3 つの半導体チップ 1 0 D が別の電源用パタ

10

20

30

40

50

ーン 2 3 に並列に接続されている。3つの半導体チップ 1 0 C は、例えば、それぞれが第 1 電源用パターン 2 3 1 上に実装され、それぞれの半導体チップ 1 0 C のドレイン部 D が第 1 電源用パターン 2 3 1 に直接接続され、それぞれの半導体チップ 1 0 C のソース部 S がワイヤ W a を介して第 3 電源用パターン 2 3 3 に接続されている。また、残り 3 つの半導体チップ 1 0 D は、それぞれが第 3 電源用パターン 2 3 3 上に実装され、それぞれの半導体チップ 1 0 D のドレイン部 D が第 3 電源用パターン 2 3 3 に直接接続され、それぞれの半導体チップ 1 0 D のソース部 S がワイヤ W a を介して第 2 電源用パターン 2 3 2 に接続されている。言い換えれば、3つの電源用パターン 2 3 は、2つの第 1、第 3 電源用パターン 2 3 1、2 3 3 が半導体チップ 1 0 C、1 0 D を実装しかつそれぞれが当該実装された半導体チップ 1 0 C、1 0 D のドレイン部 D と接続され、残り 1 つの第 2 電源用パターン 2 3 2 が 1 つの第 3 電源用パターン 2 3 3 に実装された半導体チップ 1 0 D のソース部 S と接続されている。そして、3つの電源用パターン 2 3 は、ドレイン部 D と接続された 2 つの第 1、第 3 電源用パターン 2 3 1、2 3 3 のうち 1 つの第 3 電源用パターン 2 3 3 が別の 1 つの第 1 電源用パターン 2 3 1 に実装された半導体チップ 1 0 C のソース部 S と接続されている。

10

【 0 0 4 8 】

3つの半導体チップ 1 0 C は、それぞれのソース部 S がワイヤ W b を介してソース用の信号用パターン 2 2 1 に接続され、それぞれのゲート部 G がワイヤ W b を介してゲート用の信号用パターン 2 2 2 に接続されている。また、残り 3 つの半導体チップ 1 0 D は、それぞれのソース部 S がワイヤ W b を介してソース用の信号用パターン 2 2 4 に接続され、それぞれのゲート部 G がワイヤ W b を介してゲート用の信号用パターン 2 2 3 に接続されている。言い換えれば、信号用パターン 2 2 は、2つの信号用パターン 2 2 2、2 2 3 が半導体チップ 1 0 のゲート部 G と接続され、残り 2 つの信号用パターン 2 2 1、2 2 4 が半導体チップ 1 0 のソース部 S と接続されている。

20

【 0 0 4 9 】

ソース用の信号用パターン 2 2 1 は、ワイヤ W b を介してケース 4 0 のソース用の信号用端子 S 1 1 に接続され、ゲート用の信号用パターン 2 2 2 は、ワイヤ W b を介してケース 4 0 のゲート用の信号用端子 G 1 1 に接続されている。また、ソース用の信号用パターン 2 2 4 は、ワイヤ W b を介してケース 4 0 のソース用の信号用端子 S 1 2 に接続され、ゲート用の信号用パターン 2 2 3 は、ワイヤ W b を介してケース 4 0 のゲート用の信号用端子 G 1 2 に接続されている。

30

【 0 0 5 0 】

第 1 電源用パターン 2 3 1 は、ワイヤ W b を介してケース 4 0 のドレイン用の信号用端子 D 1 1 に接続されている。また、第 3 電源用パターン 2 3 3 は、ワイヤ W b を介してケース 4 0 のドレイン用の信号用端子 D 1 2 に接続されている。ケース 4 0 の各信号用端子 S 1 1、S 1 2、D 1 1、D 1 2、G 1 1、G 1 2 は、外部の制御部（図示省略）に接続される。

【 0 0 5 1 】

上述の 1 つ目の基板 2 0 とは別の基板 2 0 についても、上記基板 2 0 と同様に構成されている。すなわち、2 つ目の基板 2 0（第 2 方向 Y の中央の基板 2 0）において、半導体チップ 1 0 C、1 0 D は、電源用パターン 2 3 上に 6 つ実装され、そのうち 3 つの半導体チップ 1 0 C が電源用パターン 2 3 に並列に接続され、残り 3 つの半導体チップ 1 0 D が別の電源用パターン 2 3 に並列に接続されている。半導体チップ 1 0 C、1 0 D の接続関係は、上述した 1 つ目の基板 2 0 における接続関係と同じであるため、詳細な説明を省略する。

40

【 0 0 5 2 】

ソース用の信号用パターン 2 2 1 は、ワイヤ W b を介してケース 4 0 のソース用の信号用端子 S 2 1 に接続され、ゲート用の信号用パターン 2 2 2 は、ワイヤ W b を介してケース 4 0 のゲート用の信号用端子 G 2 1 に接続されている。また、ソース用の信号用パターン 2 2 4 は、ワイヤ W b を介してケース 4 0 のソース用の信号用端子 S 2 2 に接続され、

50

ゲート用の信号用パターン 223 は、ワイヤ Wb を介してケース 40 のゲート用の信号用端子 G22 に接続されている。

【0053】

第1電源用パターン 231 は、ワイヤ Wb を介してケース 40 のドレイン用の信号用端子 D21 に接続されている。また、第3電源用パターン 233 は、ワイヤ Wb を介してケース 40 のドレイン用の信号用端子 D22 に接続されている。ケース 40 の各信号用端子 S21、S22、D21、D22、G21、G22 は、外部の制御部（図示省略）に接続される。

【0054】

上述の1つ目、2つ目の基板 20 とは別の3つ目の基板 20 についても、1つ目、2つ目の基板 20 と同様に構成されている。すなわち、3つ目の基板 20（第2方向 Y の他方側の基板 20）において、半導体チップ 10C、10D は、電源用パターン 23 上に6つ実装され、そのうち3つの半導体チップ 10C が電源用パターン 23 に並列に接続され、残り3つの半導体チップ 10D が別の電源用パターン 23 に並列に接続されている。半導体チップ 10C、10D の接続関係は、上述した1つ目の基板 20 における接続関係と同じであるため、詳細な説明を省略する。

10

【0055】

ソース用の信号用パターン 221 は、ワイヤ Wb を介してケース 40 のソース用の信号用端子 S31 に接続され、ゲート用の信号用パターン 222 は、ワイヤ Wb を介してケース 40 のゲート用の信号用端子 G31 に接続されている。また、ソース用の信号用パターン 224 は、ワイヤ Wb を介してケース 40 のソース用の信号用端子 S32 に接続され、ゲート用の信号用パターン 223 は、ワイヤ Wb を介してケース 40 のゲート用の信号用端子 G32 に接続されている。

20

【0056】

第1電源用パターン 231 は、ワイヤ Wb を介してケース 40 のドレイン用の信号用端子 D31 に接続されている。また、第3電源用パターン 233 は、ワイヤ Wb を介してケース 40 のドレイン用の信号用端子 D32 に接続されている。ケース 40 の各信号用端子 S31、S32、D31、D32、G31、G32 は、外部の制御部（図示省略）に接続される。各半導体チップ 10C、10D は、当該制御部から出力される制御信号に応じて直流電力を交流電力に変換するインバータ回路 P3 を構成する（図9参照）を構成する。例えば、各半導体チップ 10C、10D は、当該制御部によりゲート部 G に印加される電圧（制御信号）に応じて直流電力を交流電力に変換する。

30

【0057】

以上のように、第1実施形態に係る半導体モジュール 1 は、半導体チップ 10 と、基板 20 とを備える。半導体チップ 10 は、対向する一対の面の一方にドレイン部 D が設けられ、他方の面にソース部 S 及びゲート部 G が設けられている。基板 20 は、半導体チップ 10 を実装可能であり、基材 21、基材 21 に設けられ電源電力を伝送可能である3つの電源用パターン 23、及び、基材 21 に設けられ制御信号を伝送可能である少なくとも2つの信号用パターン 22 を含む。3つの電源用パターン 23 と2つの信号用パターン 22 とは、第1方向 X に沿って互いに平行に延在している。3つの電源用パターン 23 は、2つの電源用パターン 23 が半導体チップ 10 を実装可能かつ当該実装された半導体チップ 10 のドレイン部 D と接続可能であり、残り1つの電源用パターン 23 が半導体チップ 10 のソース部 S と接続可能である。2つの信号用パターン 22 は、半導体チップ 10 のゲート部 G と接続可能である。

40

【0058】

この構成により、半導体モジュール 1 は、電源用パターン 23 に実装される半導体チップ 10 の組み合わせを変更することにより、同じ基板 20 を用いて複数種類の回路を実現することができる。そして、半導体モジュール 1 は、3つの電源用パターン 23 から構成されるので、回路の種類によっては使用しない電源用パターン 23 の増加を抑制した上で、様々な種類の回路を実現することができる。つまり、半導体モジュール 1 は、回路の汎

50

用性を確保した上で、電源用パターン 2 3 の無駄を省くことができる。また、半導体モジュール 1 は、3 つの電源用パターン 2 3 及び 2 つの信号用パターン 2 2 が、第 1 方向 X に沿って互いに平行に延在しているため、半導体チップ 1 0 との接続性を向上することができる。この結果、半導体モジュール 1 は、基板 2 0 (部品) を適正に共通化することができる。そして、半導体モジュール 1 は、当該半導体モジュール 1 を製造する際に、実現する回路の種類に応じて配線パターンが異なる複数の基板を用意する必要がなく、製造効率の低下を抑制できる。また、半導体モジュール 1 は、基板 2 0 の共通化により、設計工数の削減や部品管理コストの削減を実現することができる。半導体モジュール 1 は、基板 2 0 の共通化によりケース 4 0 も共通化することができるので、ケース 4 0 の信号用端子 4 3 の配置を同じ配置とすることができる。これにより、半導体モジュール 1 は、信号用端子 4 3 を介して半導体モジュール 1 を制御する制御部の基板を共通化することができる。

10

【 0 0 5 9 】

上記半導体モジュール 1 において、3 つの電源用パターン 2 3 は、第 1 方向 X と直交する第 2 方向 Y に沿って、半導体チップ 1 0 を実装可能な 2 つの電源用パターン 2 3 の間に、ソース部 S と接続可能な 1 つの電源用パターン 2 3 が配置される。信号用パターン 2 2 は、4 つ設けられ、2 つの信号用パターン 2 2 がゲート部 G と接続可能であり、残りの 2 つの信号用パターン 2 2 がソース部 S と接続可能である。そして、4 つの信号用パターン 2 2 は、ゲート部 G と接続可能な 2 つの信号用パターン 2 2 が、第 2 方向 Y に沿って 3 つの電源用パターン 2 3 を挟んで一対で配置され、かつ、ソース部 S と接続可能な 2 つの信号用パターン 2 2 が、第 2 方向 Y に沿って 3 つの電源用パターン 2 3 を挟んで一対で配置される。半導体チップ 1 0 を実装可能な 2 つの電源用パターン 2 3 は、ドレイン部 D に対する信号用パターンとしても兼用可能である。

20

【 0 0 6 0 】

この構成により、半導体モジュール 1 は、第 2 電源用パターン 2 3 2 を第 1、第 3 電源用パターン 2 3 1、2 3 3 のソース用の電源用接続パターンとして兼用することができる。さらに、半導体モジュール 1 は、第 2 電源用パターン 2 3 2 が第 1 電源用パターン 2 3 1 と第 3 電源用パターン 2 3 3 との間に位置するので、電源用パターン 2 3 を跨ぐことなく、第 1、第 3 電源用パターン 2 3 1、2 3 3 と第 2 電源用パターン 2 3 2 とを接続することができる。これにより、半導体モジュール 1 は、第 1、第 3 電源用パターン 2 3 1、2 3 3 と第 2 電源用パターン 2 3 2 とを接続するワイヤ W a を相対的に短くすることができる。半導体モジュール 1 は、4 つの信号用パターン 2 2 が 3 つの電源用パターン 2 3 の外側に配置されるので、4 つの信号用パターン 2 2 が 3 つの電源用パターン 2 3 の内側に配置される場合と比較して、4 つの信号用パターン 2 2 に接続されるワイヤ W b の長さを短くすることができる。これにより、半導体モジュール 1 は、ワイヤ W b のインダクタ成分を小さくすることができ、半導体チップ 1 0 を駆動する周波数を相対的に高くすることができる。また、半導体モジュール 1 は、4 つの信号用パターン 2 2 に接続されるワイヤ W b が、3 つの電源用パターン 2 3 と短絡することを抑制できる。さらに、半導体モジュール 1 は 4 つの信号用パターン 2 2 に接続されるワイヤ W b により、3 つの電源用パターン 2 3 に接続されるワイヤ W a の配策スペースが減少することを抑制できる。

30

【 0 0 6 1 】

上記半導体モジュール 1 において、3 つの電源用パターン 2 3 のいずれか 1 つと接続可能かつ基板 2 0 の外側に位置する外部接続相手 (電源用端子 4 2、隣りの外部接続パターン 2 4) と接続可能であり、第 1 方向 X と直交する第 2 方向 Y に沿って延在し、第 1 方向 X に沿って少なくとも 3 つの電源用パターン 2 3 を挟んで一対で設けられる外部接続パターン 2 4 をさらに備える。この構成により、半導体モジュール 1 は、例えば、外部接続パターン 2 4 を介して、隣り合う基板 2 0 を接続することができるので、拡張性を向上することができる。

40

【 0 0 6 2 】

上記半導体モジュール 1 において、基板 2 0 が載置されるベース部 3 0 と、基板 2 0 が載置されたベース部 3 0 に組み付けられるケース 4 0 とをさらに備える。ケース 4 0 は、

50

ケース本体 4 1 と、ケース本体 4 1 に設けられ電源用パターン 2 3 に接続可能な電源用端子 4 2 と、ケース本体 4 1 に設けられ信号用パターン 2 2 に接続可能な信号用端子 4 3 とを含んで構成される。この構成により、半導体モジュール 1 は、ケース 4 0 の電源用端子 4 2 を介して基板 2 0 を電源及び負荷部に接続することができると共に、ケース 4 0 の信号用端子 4 3 を介して基板 2 0 を制御部に接続することができるので、接続性を向上させることができる。

【 0 0 6 3 】

上記半導体モジュール 1 において、3つの電源用パターン 2 3 は、1つの電源用パターン 2 3 が半導体チップ 1 0 を実装しかつ当該実装された半導体チップ 1 0 のドレイン部 D と接続される電源用接続パターンであり、別の1つの電源用パターン 2 3 が半導体チップ 1 0 のソース部 S と接続される電源用接続パターンであり、残り1つの電源用パターン 2 3 がドレイン部 D、ソース部 S、及び、ゲート部 G に接続されない電源用非接続パターンである。信号用パターン 2 2 は、4つ設けられ、1つの信号用パターン 2 2 が半導体チップ 1 0 のゲート部 G と接続される信号用接続パターンであり、別の1つの信号用パターン 2 2 が半導体チップ 1 0 のソース部 S と接続される信号用接続パターンであり、残り2つの信号用パターン 2 2 がドレイン部 D、ソース部 S、及び、ゲート部 G と接続されない電源用非接続パターンである。そして、半導体チップ 1 0 は、当該電源用パターン 2 3 に単方向に流れる電流を通電又は遮断する単方向回路 P 1 を構成する。このように、半導体モジュール 1 は、基板 2 0 に実装される半導体チップ 1 0 の配置に応じてバリエーションの1つとして単方向回路 P 1 を構成することができる。

10

20

【 0 0 6 4 】

上記半導体モジュール 1 A において、3つの電源用パターン 2 3 は、2つの電源用パターン 2 3 が半導体チップ 1 0 を実装しかつそれぞれが当該実装された半導体チップ 1 0 のドレイン部 D と接続され、残り1つの電源用パターン 2 3 が半導体チップ 1 0 のソース部 S と接続される。信号用パターン 2 2 は、4つ設けられ、2つの信号用パターン 2 2 が半導体チップ 1 0 のいずれかのゲート部 G と接続され、残り2つの信号用パターン 2 2 が半導体チップ 1 0 のいずれかのソース部 S と接続される。そして、半導体チップ 1 0 は、当該電源用パターン 2 3 に双方向に流れる電流を通電又は遮断する双方向回路 P 2 を構成する。このように、半導体モジュール 1 A は、基板 2 0 に実装される半導体チップ 1 0 の配置に応じてバリエーションの1つとして双方向回路 P 2 を構成することができる。

30

【 0 0 6 5 】

上記半導体モジュール 1 B において、3つの電源用パターン 2 3 のいずれか1つと接続可能かつ基板 2 0 の外側に位置する外部接続パターン 2 4 と接続可能であり、第1方向 X と直交する第2方向 Y に沿って延在し、第1方向 X に沿って少なくとも3つの電源用パターン 2 3 を挟んで一対で設けられる外部接続パターン 2 4 をさらに備える。半導体チップ 1 0 が実装された基板 2 0 は、3つ設けられ、それぞれが第1方向 X と直交する第2方向 Y に沿って並んで配置される。隣り合う基板 2 0 は、外部接続パターン 2 4 を介して互いに接続される。それぞれの基板 2 0 において、3つの電源用パターン 2 3 は、2つの電源用パターン 2 3 が半導体チップ 1 0 を実装しかつそれぞれが当該実装された半導体チップ 1 0 のドレイン部 D と接続され、残り1つの電源用パターン 2 3 が1つの電源用パターン 2 3 に実装された半導体チップ 1 0 のソース部 S と接続され、ドレイン部 D と接続された2つの電源用パターン 2 3 のうち一方の電源用パターン 2 3 が他方の電源用パターン 2 3 に実装された半導体チップ 1 0 のソース部 S と接続される。信号用パターン 2 2 は、4つ設けられ、2つの信号用パターン 2 2 が半導体チップ 1 0 のいずれかのゲート部 G と接続され、残り2つの信号用パターン 2 2 が半導体チップ 1 0 のいずれかのソース部 S と接続される。そして、半導体チップ 1 0 は、直流電力を交流電力に変換するインバータ回路 P 3 を構成する。このように、半導体モジュール 1 B は、基板 2 0 に実装される半導体チップ 1 0 の配置に応じてバリエーションの1つとしてインバータ回路 P 3 を構成することができる。

40

【 0 0 6 6 】

50

〔第1実施形態の変形例〕

次に、実施形態の変形例について説明する。なお、変形例では、実施形態と同等の構成要素には同じ符号を付し、その詳細な説明を省略する。図10は、第1実施形態の変形例に係る半導体モジュール1Cの構成例を示す平面図である。図11は、第1実施形態の変形例に係る半導体モジュール1Cの構成例を示す回路図である。半導体モジュール1Cは、外部接続パターン24Aが基板20Aに設けられるのではなく、ケース40Aに設けられる点で第1実施形態の半導体モジュール1とは異なる。

【0067】

半導体モジュール1Cは、半導体チップ10と、基板20Aと、ベース部30と、ケース40Aとを備える。

10

【0068】

基板20Aは、基材21と、信号用パターン22(221~224)と、電源用パターン23(231~233)とを含んで構成され、外部接続パターン24Aを含んでいない。

【0069】

ケース40Aは、ケース本体41と、電源用端子42(421、422)と、信号用端子43(D11、S11、G11、D12、S12、G12等)と、外部接続パターン24Aとを含んで構成される。外部接続パターン24Aは、それぞれの基板20Aにおいて、ケース本体41に2つ設けられ、線状に形成されている。2つの外部接続パターン24A(241A、242A)は、直線状に形成され、第2方向Yに沿って互いに平行に延在している。2つの外部接続パターン241A、242Aは、それぞれが同じ太さに形成されており、つまり第1方向Xの幅長が同じ長さに形成されている。2つの外部接続パターン241A、242Aは、それぞれの第2方向Yの長さが同じ長さに形成され、第1方向Xに沿って少なくとも3つの電源用パターン23(231~233)を挟んで一対で設けられている。典型的には、2つの外部接続パターン241A、242Aは、第1方向Xに沿って3つの電源用パターン23(231~233)及び4つの信号用パターン22(221~224)を挟んで一対で設けられる。2つの外部接続パターン241A、242Aは、第2方向Yにおける一方側のそれぞれの端部の位置が揃っており、第2方向Yにおける他方側のそれぞれの端部の位置も揃っている。2つの外部接続パターン241A、242Aは、3つの電源用パターン23のいずれか1つと接続可能かつ基板20Aの外側に位置する外部接続相手(電源用端子42(421、422)、他の外部接続パターン24A)と接続可能である。このように、半導体モジュール1Cは、それぞれの基板20Aにおいて、2つの外部接続パターン241A、242Aをケース40Aに設ける構成であってもよい。なお、図10及び図11では、半導体モジュール1Cは、上述した単方向回路P1を構成する例を図示している。

20

30

【0070】

〔第2実施形態〕

次に、第2実施形態に係る半導体モジュール1Dについて説明する。図12は、第2実施形態に係る半導体モジュール1Dの基本構成例を示す分解斜視図である。半導体モジュール1Dは、基板20Bを1つ有する点で第1実施形態に係る半導体モジュール1とは異なる。

40

【0071】

半導体モジュール1Dの基本構成は、図12に示すように、半導体チップ10と、基板20Bと、ベース部30Aと、ケース40Bとを備える。そして、半導体モジュール1Dは、この基本構成に対して半導体チップ10が実装されることで、半導体チップ10の構成に応じた各種半導体回路を構成する。

【0072】

基板20Bは、基材21と、信号用パターン22と、電源用パターン23とを含んで構成され、外部接続パターン24を含んでいない。

【0073】

ベース部30Aは、1つの基板20Bを載置するものである。ベース部30Aは、熱伝

50

導性を有する金属部材から形成され、平板状且つ矩形状に構成されている。ベース部 30 A は、第 3 方向 Z において、一对の面部を有し、一方側の面部には 1 つの基板 20 B 及び ケース 40 A が搭載される基板搭載面 N が設けられている。

【0074】

ケース 40 A は、半導体チップ 10 が実装された基板 20 B を收容する筐体である。ケース 40 A は、ケース本体 41 A と、電源用端子 42 と、信号用端子 43 とを含んで構成され、中継用端子 44 を含んでいない。

【0075】

ケース本体 41 A は、樹脂等の絶縁性部材により形成され、1 つの收容部 411 を有している。1 つの收容部 411 は、基板 20 B の外形に合わせて矩形状に形成されている。

10

【0076】

電源用端子 42 は、ケース本体 41 A に設けられ、第 1 端子 421 と、第 2 端子 422 を含んで構成される。第 1 端子 421 は、1 つの收容部 411 における第 1 方向 X の一方側に設けられている。第 2 端子 422 は、第 2 端子 422 は、1 つの收容部 411 における第 1 方向 X の他方側に設けられている。

【0077】

信号用端子 43 は、ケース本体 41 A に設けられ、ソース用の信号用端子 S11、S12 と、ドレイン用の信号用端子 D11、D12 と、ゲート用の信号用端子 G11、G12 とを含んで構成される。ソース用の信号用端子 S11、ドレイン用の信号用端子 D11、及び、ゲート用の信号用端子 G11 は、1 つの收容部 411 の第 2 方向 Y における一方側に設けられている。また、ソース用の信号用端子 S12、ドレイン用の信号用端子 D12、及び、ゲート用の信号用端子 G12 は、1 つの收容部 411 の第 2 方向 Y における他方側に設けられている。

20

【0078】

半導体モジュール 1D は、外部接続パターン 24 及び中継用端子 44 を含まない点で、半導体モジュール 1 よりも構成を簡略化することができる。

【0079】

〔第 2 実施形態の第 1 バリエーション〕

次に、上記基本構成で説明した基板 20 B に半導体チップ 10 を実装してケース 40 A に收容し、1 つの単方向回路 P1 を構成する例について説明する。図 13 は、第 2 実施形態に係る半導体モジュール 1D の構成例（第 1 バリエーション）を示す平面図である。図 14 は、第 2 実施形態に係る半導体モジュール 1D の構成例（第 1 バリエーション）を示す回路図である。なお、図 14 の回路図では、図 13 に示す半導体モジュール 1D の構成例を簡略化して図示している。

30

【0080】

図 13 に示す半導体モジュール 1D は、例えば、車両の電源系統に設けられ、当該車両の電源から負荷部に単方向（一方向）に流れる電流を通電又は遮断するものである。半導体モジュール 1D は、車両の電源系統において、様々な箇所に配置可能である。半導体モジュール 1D は、例えば、電源 + 側と負荷部との間に配置された場合、電源用端子 42 の第 1 端子 421 が車両の電源 + 側に接続され、電源用端子 42 の第 2 端子 422 が負荷部に接続される。また、半導体モジュール 1D は、電源 - 側と負荷部との間に配置された場合、電源用端子 42 の第 1 端子 421 が負荷部に接続され、電源用端子 42 の第 2 端子 422 が車両の電源 - 側に接続される。また、半導体モジュール 1D は、電源用端子 42 の第 1 端子 421 がワイヤ Wa を介して第 1 電源用パターン 231 に接続され、電源用端子 42 の第 2 端子 422 がワイヤ Wa を介して第 2 電源用パターン 232 に接続されている。なお、3 つの半導体チップ 10 や信号用パターン 22 の接続関係は、図 4 に示した半導体モジュール 1 と同等であるため、その説明を省略する。このように、半導体モジュール 1D は、1 つの単方向回路 P1 を構成するようにしてもよい。

40

【0081】

〔第 2 実施形態の第 2 バリエーション〕

50

次に、第2実施形態の第2バリエーションに係る半導体モジュール1Eについて説明する。半導体モジュール1Eは、双方向回路P2を構成する点で第2実施形態の第1バリエーションに係る半導体モジュール1Dとは異なる。図15は、第2実施形態に係る半導体モジュール1Eの構成例(第2バリエーション)を示す平面図である。図16は、第2実施形態に係る半導体モジュール1Eの構成例(第2バリエーション)を示す回路図である。なお、図16の回路図では、図15に示す半導体モジュール1Eの構成例を簡略化して図示している。

【0082】

図15に示す半導体モジュール1Eは、例えば、車両の電源系統に設けられ、当該車両の電源から負荷部に双方向に流れる電流を通電又は遮断するものである。半導体モジュール1Eは、例えば、電源用端子42の第1端子421が車両の電源に接続され、電源用端子42の第2端子422が負荷部に接続される。半導体モジュール1Eは、双方向回路のため、電源用端子42の第1端子421が負荷部に接続され、電源用端子42の第2端子422が車両の電源に接続されてもよい。また、半導体モジュール1Eは、電源用端子42の第1端子421がワイヤWaを介して第1電源用パターン231に接続され、電源用端子42の第2端子422がワイヤWaを介して第3電源用パターン233に接続されている。なお、6つの半導体チップ10や信号用パターン22の接続関係は、図6に示した半導体モジュール1Aと同等であるため、その説明を省略する。このように、半導体モジュール1Eは、1つの双方向回路P2を構成するようにしてもよい。

【0083】

なお、上記説明では、3つの電源用パターン23は、半導体チップ10を実装可能な2つの電源用パターン23が、第2方向Yに沿ってそれぞれ両側に配置され、ソース部Sと接続可能な1つの電源用パターン23が第2方向Yに沿って中央に配置される例について説明したが、これに限定されない。例えば、3つの電源用パターン23は、半導体チップ10を実装可能な2つの電源用パターン23が、第2方向Yに沿って一方側に配置され、ソース部Sと接続可能な1つの電源用パターン23が第2方向Yに沿って他方側に配置されてもよい。

【0084】

信号用パターン22は、4つ設けられる例について説明したが、これに限定されず、少なくとも2つ設ければよい。信号用パターン22が2つの場合、各信号用パターン22は、ゲート部Gと接続可能である。

【0085】

4つの信号用パターン22は、2つの信号用パターン22と残りの2つの信号用パターン22とが、第2方向Yに沿って3つの電源用パターン23を挟んで一対で配置される例について説明したが、これに限定されない。例えば、4つの信号用パターン22は、第2方向Yに沿って3つの電源用パターン23の間に設けられてもよい。

【0086】

4つの信号用パターン22(221~224)は、第2方向Yにおいて、内側(3つの電源用パターン23側)の2つの信号用パターン222、223が半導体チップ10のゲート部Gと接続可能であり、外側(3つの電源用パターン23とは反対側)の2つの信号用パターン221、224が半導体チップ10のソース部Sと接続可能である例について説明したが、これに限定されない。例えば、4つの信号用パターン22(221~224)は、第2方向Yにおいて、内側(3つの電源用パターン23側)の2つの信号用パターン222、223が半導体チップ10のソース部Sと接続可能であり、外側(3つの電源用パターン23とは反対側)の2つの信号用パターン221、224が半導体チップ10のゲート部Gと接続可能であってもよい。

【0087】

半導体チップ10は、Nチャネル型のMOSFETである例について説明したが、これに限定されず、例えば、Pチャネル型のMOSFETであってもよい。

【0088】

10

20

30

40

50

4つの信号用パターン22は、それぞれの第1方向Xの長さが全て同じ長さに形成され、同じ太さに形成される例について説明したが、これに限定されず、それぞれが異なる長さや太さであってもよい。

【0089】

3つの電源用パターン23は、それぞれの第1方向Xの長さが全て同じ長さに形成され、同じ太さに形成される例について説明したが、これに限定されず、それぞれが異なる長さや太さであってもよい。

【0090】

4つの信号用パターン22は、3つの電源用パターン23と同じ長さに形成される例について説明したが、これに限定されず、3つの電源用パターン23とは異なる長さであってもよい。4つの信号用パターン22は、例えば、3つの電源用パターン23よりも短くてもよいし、3つの電源用パターン23よりも長くてもよい。

10

【0091】

ベース部30は、平板状且つ矩形状に構成される例について説明したが、これに限定されず、例えば、放熱フィンを設けて放熱性を高めるように構成してもよい。

【0092】

〔参考例〕

3つの電源用パターン23は、直線状に形成される例について説明したが、参考例として、L字形状としてもよい。

【符号の説明】

20

【0093】

1、1A、1B、1C、1D、1E 半導体モジュール

10、10A、10B、10C、10D 半導体チップ

20 基板

21 基材

23 電源用パターン

231 第1電源用パターン

232 第2電源用パターン

233 第3電源用パターン

22、221、222、223、224 信号用パターン

30

24、24A 外部接続パターン（外部接続相手）

30 ベース部

40、40A、40B ケース

41 ケース本体

42 電源用端子（外部接続相手）

43 信号用端子

D ドレイン部

S ソース部

G ゲート部

P1 単方向回路

40

P2 双方向回路

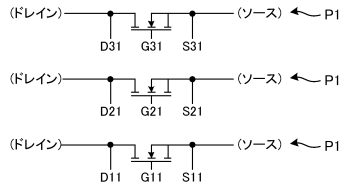
P3 インバータ回路

X 第1方向

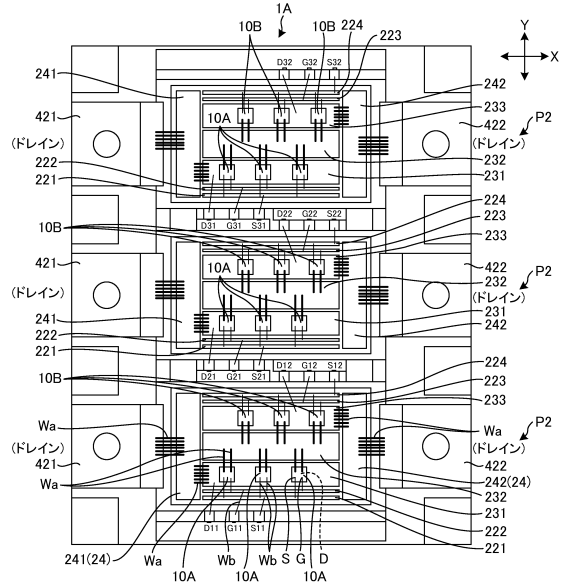
Y 第2方向

50

【 図 5 】

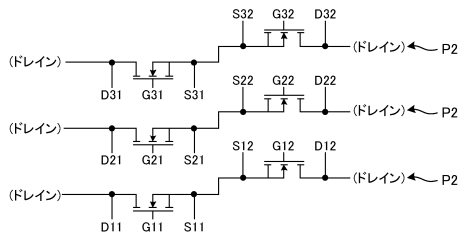


【 図 6 】

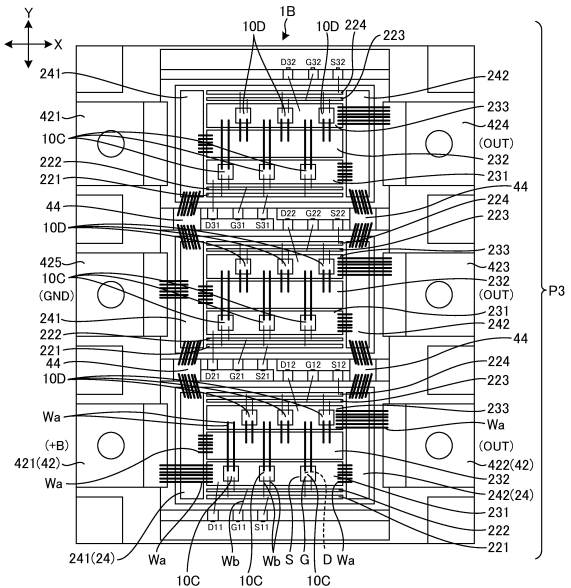


10

【 図 7 】



【 図 8 】



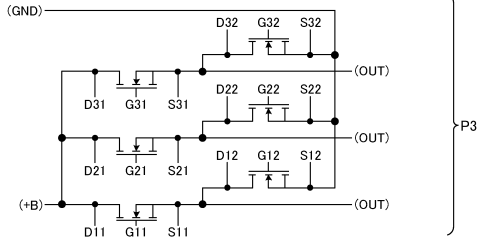
20

30

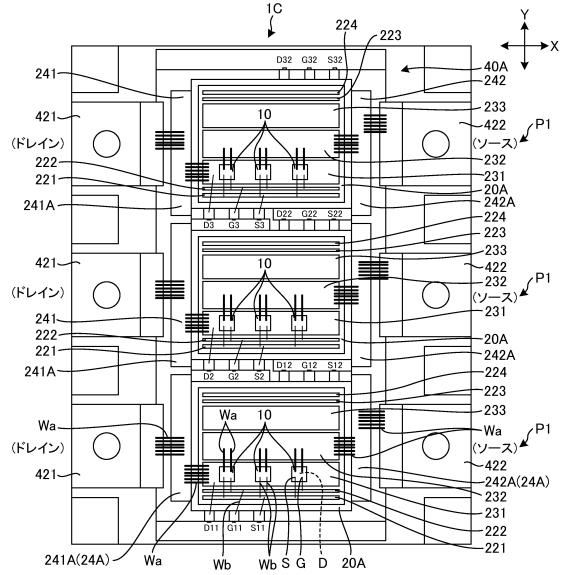
40

50

【図 9】

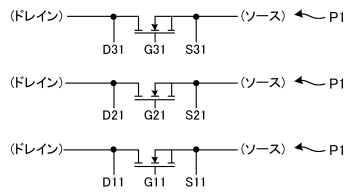


【図 10】

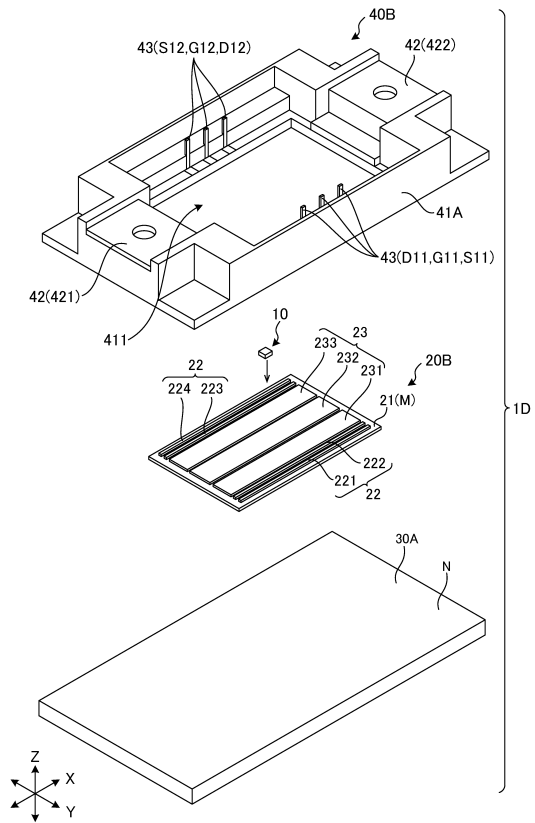


10

【図 11】



【図 12】



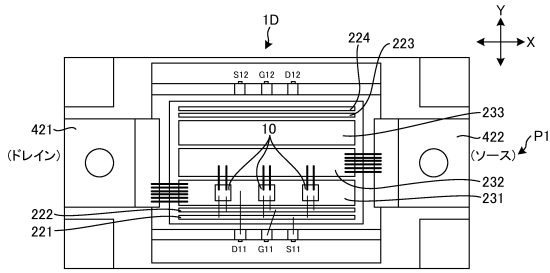
20

30

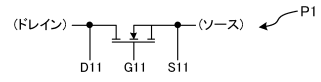
40

50

【図 13】

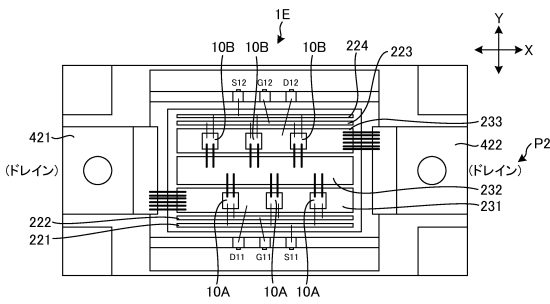


【図 14】

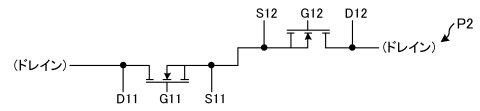


10

【図 15】



【図 16】



20

30

40

50

フロントページの続き

静岡県裾野市御宿 1 5 0 0 矢崎総業株式会社内
(72)発明者 重實 泰行
静岡県裾野市御宿 1 5 0 0 矢崎総業株式会社内
審査官 豊島 洋介
(56)参考文献 特開 2 0 1 7 - 2 0 8 5 4 7 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 5 / 0 0 - 2 5 / 0 7
H 0 1 L 2 5 / 1 0 - 2 5 / 1 1
H 0 1 L 2 5 / 1 6 - 2 5 / 1 8