

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5136577号
(P5136577)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.

G 11 B 20/10 (2006.01)

F 1

G 11 B 20/10 321 A

請求項の数 4 (全 15 頁)

(21) 出願番号 特願2010-49358 (P2010-49358)
 (22) 出願日 平成22年3月5日 (2010.3.5)
 (65) 公開番号 特開2010-244673 (P2010-244673A)
 (43) 公開日 平成22年10月28日 (2010.10.28)
 審査請求日 平成23年3月11日 (2011.3.11)
 (31) 優先権主張番号 特願2009-68949 (P2009-68949)
 (32) 優先日 平成21年3月19日 (2009.3.19)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12
 番地
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 速水 淳
 神奈川県横浜市神奈川区守屋町3丁目12
 番地
 (72) 発明者 糸長 誠
 神奈川県横浜市神奈川区守屋町3丁目12
 番地
 審査官 堀 洋介

最終頁に続く

(54) 【発明の名称】等化器および等化方法

(57) 【特許請求の範囲】

【請求項 1】

処理対象の信号を順次線形等化する線形等化部と、
 前記線形等化部において線形等化した信号をバーシャルレスポンス規則に従って順次仮判定する仮判定部と、

前記仮判定部において仮判定した信号を教師信号として、ニューラルネットワークの学習には通常必要とされている、特定の出力に対する既知の入力であるトレーニング信号なしでニューラルネットワークの複数の係数を導出するとともに、前記複数の係数をもとに、前記線形等化部において線形等化した信号を順次非線形等化するニューラルネットワークから構成される非線形等化部と、

10

前記非線形等化部において非線形等化した信号を遅延させる遅延部とを備え、
 前記遅延部は、前記仮判定部における処理遅延と前記非線形等化部における処理遅延との差異に応じた期間にわたって遅延を実行し、

前記非線形等化部は、前記遅延部において遅延した信号と前記仮判定部において仮判定した信号との差異をもとに、前記複数の係数を導出することを特徴とする等化器。

【請求項 2】

前記非線形等化部は、前記遅延部において遅延した信号と前記仮判定部において仮判定した信号との差異がしきい値よりも大きくなった場合に、前記複数の係数を新たに導出することを特徴とする請求項1に記載の等化器。

【請求項 3】

20

入力した信号を順次線形等化するステップと、
 線形等化した信号をパーシャルレスポンス規則に従って順次仮判定するステップと、
 仮判定した信号を教師信号として、ニューラルネットワークの学習には通常必要とされている、特定の出力に対する既知の入力であるトレーニング信号なしでニューラルネットワークの複数の係数を導出するとともに、前記複数の係数をもとに、線形等化した信号をニューラルネットワークから構成される適応非線形等化部によって順次非線形等化するステップと、

非線形等化した信号を遅延させるステップとを備え、
 前記遅延させるステップは、前記仮判定するステップにおける処理遅延と前記非線形等化するステップにおける処理遅延との差異に応じた期間にわたって遅延を実行し、

前記非線形等化するステップは、前記遅延させるステップにおいて遅延した信号と前記仮判定するステップにおいて仮判定した信号との差異をもとに、前記複数の係数を導出することを特徴とする等化方法。

【請求項 4】

入力した信号を順次線形等化するステップと、
 線形等化した信号をパーシャルレスポンス規則に従って順次仮判定するステップと、
 仮判定した信号を教師信号として、ニューラルネットワークの学習には通常必要とされている、特定の出力に対する既知の入力であるトレーニング信号なしでニューラルネットワークの複数の係数を導出するとともに、前記複数の係数をもとに、線形等化した信号をニューラルネットワークから構成される適応非線形等化部によって順次非線形等化するステップと、

非線形等化した信号を遅延させるステップとを備え、
 前記遅延させるステップは、前記仮判定するステップにおける処理遅延と前記非線形等化するステップにおける処理遅延との差異に応じた期間にわたって遅延を実行し、
 前記非線形等化するステップは、前記遅延させるステップにおいて遅延した信号と前記仮判定するステップにおいて仮判定した信号との差異をもとに、前記複数の係数を導出することをコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、等化器に関し、特に非線形ひずみを等化する等化器および等化方法に関する。

【背景技術】

【0002】

光ディスクから検出した再生信号を良好に復号するために、パーシャルレスポンス方式の線形波形等化回路とビタビ復号との併用が有効である。これは、例えば、DVDフォーマットより公開されているHD DVD (High Definition DVD) - ROM Part 1 (物理) 規格書などに示されている。これに対応した光ディスク再生装置において、ディスク制御回路は、光ディスクを所定の回転速度で回転させ、光ピックアップは、光ディスクに記録された再生信号を読み取る。再生信号は、プリアンプで増幅された後、AGC回路等で所定の振幅に増幅される。

【0003】

さらに、再生信号は、A/D変換され、線形波形等化回路で波形等化された後、ビタビ復号で復号される。その結果、光ディスクに記録された画像データや音楽データが再現される。一方、光ディスクがさらに高密度化されると、再生波形の非線形歪が大きくなるので、線形波形等化回路だけでは不十分になる。そのため、非線形歪を低減するために、非線形波形等化回路が使用される。また、非線形波形等化回路を実現するために、ニューラルネットワークが使用される（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0004】

【特許文献1】特開平10-106158号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

一般的に、ニューラルネットワークに所望の動作を実行させるためには、既知のトレーニング信号を使用して、学習動作を予め実行させることが必要である。例えば、光ディスクの所定箇所にトレーニング信号を記録しておき、トレーニング信号に対応した出力を教師信号として、ニューラルネットワークにおける係数が決定される。そのため、光ディスクにトレーニング信号が予め記録されるので、光ディスクの利用効率が低減する。また、学習動作の終了後は係数が固定されるので、光ディスクの面内において再生波形特性が変動することへの追従が困難になる。さらに、光ディスクにデータを記録した記録機によってパワー変動等があるが、それへの追従も困難になる。そのため、線形歪を適応的に低減するとともに、記録密度の向上や記録パワー変動等によって生じる再生信号の非線形歪をトレーニング信号なしで適応的に低減することが要求される。

10

【0006】

本発明はこうした状況に鑑みてなされたものであり、その目的は、記録密度の向上や記録パワー変動等によって生じる再生信号の非線形歪をトレーニング信号なしで低減する技術を提供することにある。

20

【課題を解決するための手段】**【0007】**

上記課題を解決するために、本発明のある態様の等化器は、処理対象の信号を順次線形等化する線形等化部と、線形等化部において線形等化した信号をパーシャルレスポンス規則に従って順次仮判定する仮判定部と、仮判定部において仮判定した信号を教師信号として、ニューラルネットワークの学習には通常必要とされている、特定の出力に対する既知の入力であるトレーニング信号なしでニューラルネットワークの複数の係数を導出するとともに、複数の係数をもとに、線形等化部において線形等化した信号を順次非線形等化するニューラルネットワークから構成される非線形等化部と、非線形等化部において非線形等化した信号を遅延させる遅延部とを備える。遅延部は、仮判定部における処理遅延と非線形等化部における処理遅延との差異に応じた期間にわたって遅延を実行し、非線形等化部は、遅延部において遅延した信号と仮判定部において仮判定した信号との差異をもとに、複数の係数を導出する。

30

【0008】

この態様によると、線形等化信号を仮判定した結果を教師信号として、トレーニング信号を使用せずに、非線形等化のための係数を導出できる。この場合、仮判定部における処理遅延と非線形等化部における処理遅延との差異に応じた期間にわたって遅延を実行するので、遅延した信号と仮判定した信号とのタイミングを合わせることができる。この場合、パーシャルレスポンス規則にしたがった仮判定が実行されるので、パーシャルレスポンス処理に対応できる。

40

【0011】

非線形等化部は、遅延部において遅延した信号と仮判定部において仮判定した信号との差異がしきい値よりも大きくなった場合に、複数の係数を新たに導出してもよい。この場合、発散を検出した場合に複数の係数を新たに導出するので、等化特性の悪化を抑制できる。

【0012】

本発明の別の態様は、等化方法である。この方法は、入力した信号を順次線形等化するステップと、線形等化した信号をパーシャルレスポンス規則に従って順次仮判定するステップと、仮判定した信号を教師信号として、ニューラルネットワークの学習には通常必要とされている、特定の出力に対する既知の入力であるトレーニング信号なしでニューラルネットワークの複数の係数を導出するとともに、複数の係数をもとに、線形等化した信号

50

をニューラルネットワークから構成される適応非線形等化部によって順次非線形等化するステップと、非線形等化した信号を遅延させるステップとを備える。遅延させるステップは、仮判定するステップにおける処理遅延と非線形等化するステップにおける処理遅延との差異に応じた期間にわたって遅延を実行し、非線形等化するステップは、遅延させるステップにおいて遅延した信号と仮判定するステップにおいて仮判定した信号との差異をもとに、複数の係数を導出する。

【0013】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

10

【発明の効果】

【0014】

本発明によれば、記録密度の向上や記録パワー変動等によって生じる再生信号の非線形歪をトレーニング信号なしで低減できる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施例に係る再生装置の構成を示す図である。

【図2】図1の処理部の構成を示す図である。

【図3】図2の線形等化部の構成を示す図である。

【図4】図2の非線形等化部の構成を示す図である。

20

【図5】図2の仮判定部の構成を示す図である。

【図6】図5の仮判定部がパーシャルレスポンス(1, 2, 2, 2, 1)に対応する場合の状態遷移を示す図である。

【図7】図5の仮判定部がパーシャルレスポンス(1, 2, 2, 2, 1)に対応する場合の状態遷移を示す別の図である。

【図8】図5のプランチメトリック演算部の構成を示す図である。

【図9】図5のパスメモリ部の構成を示す図である。

【図10】図5の特定部に記憶されたテーブルのデータ構造を示す図である。

【図11】図2の非線形等化部における係数の導出手順を示すフローチャートである。

【図12】図12(a)-(b)は、従来および図1の再生装置による出力信号のヒストグラムを示す図である。

30

【発明を実施するための形態】

【0016】

本発明を具体的に説明する前に、まず概要を述べる。本発明の実施例は、光ディスク等の記録媒体に記録されている信号を再生し、再生した信号(以下、「再生信号」という)をパーシャルレスポンス方式にて等化するととともに、等化した信号(以下、「等化信号」という)を復号する再生装置に関する。前述のごとく、光ディスクの記録容量が高まるにつれ、線形波形等化器では除去しきれない非線形歪の影響が大きくなっている。非線形歪を除去するためには、非線形等化器としてのニューラルネットが有効であるが、トレーニング信号によって学習、収束させる必要がある。そこで、再生信号の非線形歪をトレーニング信号なしで低減するために、本実施例に係る再生装置は次の処理を実行する。

40

【0017】

再生装置は、非線形波形等化器の前段に線形波形等化器を直列に配置する。また、再生装置は、線形波形等化器からの等化信号(以下、「線形等化信号」という)を非線形波形等化器に入力した後、非線形波形等化器からの等化信号(以下、「非線形等化信号」という)をビタビ復号器に入力する。線形等化信号は、仮判定部にも入力され、仮判定部において仮判定される。仮判定された信号(以下、「仮判定信号」という)は、教師信号として、線形波形等化器と非線形波形等化器とに入力される。線形波形等化器と非線形波形等化器とは、教師信号をもとにタップ係数を導出して等化処理を実行する。

【0018】

50

例えば、非線形等化器には、ニューラルネットワークが使用されているが、上記の構成によれば、トレーニング信号を使用せずにニューラルネットワークの学習がなされる。また、線形波形等化器と非線形波形等化器とにおけるタップ係数の導出には、線形等化信号、非線形等化信号、仮判定信号が使用されるが、線形等化信号や非線形信号と、仮判定信号とは、出力タイミングが異なる。そのため、これらのタイミングを合わせるために、再生装置は、タップ係数導出のために、線形等化信号と非線形等化信号とを遅延させる。

【0019】

図1は、本発明の実施例に係る再生装置100の構成を示す。再生装置100は、光ディスク10、光ディスク駆動部12、光ピックアップ14、プリアンプ部16、AGC部18、PLL(Phase Locked Loop)部20、A/D変換部22、処理部24、制御部26を含む。
10

【0020】

光ディスク10は、再生装置100に着脱可能に構成された記録媒体である。光ディスク10は、CD、DVD、BD、HDDVDのようなさまざまな種類に対応する。ここでは、特に光ディスク10として、非線形歪が再生に影響を及ぼす程度に大きい場合を対象にする。光ディスク駆動部12は、所定の回転速度で光ディスク10を回転させるためのモータである。光ピックアップ14は、光ディスク10から処理対象となる信号を読み出すとともに、これに対して光電変換および増幅を実行する。その結果の信号が、前述の「再生信号」に相当する。光ピックアップ14は、再生信号をプリアンプ部16へ出力する。
20

【0021】

プリアンプ部16は、再生信号を増幅し、AGC部18は、プリアンプ部16からの再生信号を所定の振幅に増幅する。AGC部18は、増幅した再生信号をPLL部20へ出力し、PLL部20は、再生信号からクロックを検出する。A/D変換部22は、PLL部20によって検出されたクロックをもとに、再生信号をアナログ/デジタル変換する。処理部24は、A/D変換部22においてアナログ/デジタル変換された再生信号（以下、「再生信号」という）に対して、等化処理および復号処理を実行する。処理部24の詳細は、後述する。

【0022】

この構成は、ハードウェア的には、任意のコンピュータのCPU、メモリ、その他のLSIで実現でき、ソフトウェア的にはメモリにロードされたプログラムなどによって実現されるが、ここではそれらの連携によって実現される機能ブロックを描いている。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは、当業者には理解されるところである。
30

【0023】

図2は、処理部24の構成を示す。処理部24は、線形等化部44、第1遅延部32、仮判定部30、非線形等化部46、第2遅延部34、第1加算部40、第2加算部42、ビタビ復号部38を含む。また、信号として、線形等化用誤差信号300、非線形等化用誤差信号302、仮判定信号306を含む。

【0024】

図1のA/D変換部22においてビットクロック毎にサンプリングされた再生信号は、線形等化部44に順次入力される。線形等化部44は、入力した再生信号を順次線形等化する。線形等化部44は、トランスバーサルフィルタにて構成されており、多段タップで再生信号を遅延させるとともに、多段タップからの出力と複数のタップ係数とを乗算し、かつ乗算結果を加算する。ここで、加算結果が、前述の線形等化信号に相当する。また、線形等化部44は、後述の第1加算部40から線形等化用誤差信号300を入力し、線形等化用誤差信号300をもとに、複数のタップ係数を導出する。ここで、複数のタップ係数の導出には、LMS(Least Mean Square)アルゴリズムのような適応アルゴリズムが使用される。線形等化部44は、第1遅延部32、仮判定部30、非線形等化部46へ線形等化信号を出力する。
40
50

【0025】

非線形等化部46は、線形等化部44からの線形等化信号を入力し、線形等化信号を順次非線形等化する。非線形等化部46は、ニューラルネットワークにて構成されている。非線形等化部46における非線形等化の結果が、前述の非線形等化信号に相当する。また、非線形等化部46は、後述の第2加算部42から、非線形等化用誤差信号302を入力し、非線形等化用誤差信号302をもとに、ニューラルネットワークにおいて使用される複数のタップ係数を導出する。ここで、非線形等化用誤差信号302は、第2遅延部34からの遅延信号と仮判定信号306との差異にて生成されているので、非線形等化部46は、仮判定信号を教師信号として複数の係数を導出するといえる。非線形等化部46は、非線形等化信号を第2遅延部34とビタビ復号部38へ出力する。

10

【0026】

ビタビ復号部38は、非線形等化部46からの非線形等化信号を入力し、非線形等化信号に対してビタビ復号を実行する。ビタビ復号部38は、非線形等化信号からプランチメトリックを計算するプランチメトリック演算回路と、プランチメトリックを1クロック毎に累積加算してパスメトリックを計算するパスメトリック演算回路と、パスメトリックが最小となるデータ系列を最も確からしい候補系列として選択して記憶するパスメモリとを含む。パスメモリは、複数の候補系列を格納しており、パスメトリック演算回路からの選択信号にしたがって候補系列を選択する。また、選択された候補系列がデータ系列として出力される。

【0027】

20

仮判定部30は、線形等化部44からの線形等化信号を入力し、線形等化信号に対してビタビ復号を実行することによって、線形等化信号を順次仮判定する。仮判定部30は、ビタビ復号部38と同様に構成されている。パスメモリは、複数の候補系列を格納しており、パスメトリック演算回路からの選択信号をもとに、パーシャルレスポンス規則にしたがって仮判定が実行される。具体的に説明すると、仮判定部30は、パーシャルレスポンス等化が正常になされた場合に、所定の入力ビットに対する出力のレベルを仮判定し、入力ビットに対して仮判定したレベルを仮判定信号306として出力する。ここで、仮判定部30とビタビ復号部38とは、パスメモリ長が異なるように構成されている。例えば、ビタビ復号部38のパスメモリ長が64ビットである場合、仮判定部30のパスメモリ長は24ビットや32ビットである。

30

【0028】

第1遅延部32は、線形等化部44からの線形等化信号を入力する。第1遅延部32は、線形等化信号を遅延させた後、遅延した線形等化信号（以下、「線形等化信号」あるいは「遅延信号」という）を第1加算部40へ出力する。ここで、第1遅延部32は、仮判定部30での処理遅延に応じた期間にわたって遅延を実行する。つまり、仮判定部30から出力された仮判定信号306と、線形等化部44からの線形等化信号とのタイミングが、第1加算部40において合わされる。第1遅延部32は、例えば、ビットクロックで駆動されるラッチ回路にて構成される。第1加算部40は、第1遅延部32からの線形等化信号、仮判定信号306を入力する。第1加算部40は、線形等化誤差と仮判定信号306との差異をもとに、線形等化用誤差信号300を生成する。例えば、線形等化誤差から仮判定信号306を減算することによって、線形等化用誤差信号300が導出される。第1加算部40は、線形等化用誤差信号300を線形等化部44へ出力する。

40

【0029】

第2遅延部34は、非線形等化部46からの非線形等化信号を入力する。第2遅延部34は、非線形等化信号を遅延させた後、遅延した非線形等化信号（以下、「非線形等化信号」あるいは「遅延信号」という）を第2加算部42へ出力する。ここで、第2遅延部34は、仮判定部30における処理遅延と非線形等化部46における処理遅延との差異に応じた期間にわたって遅延を実行する。第2加算部42は、第2遅延部34からの非線形等化信号と、仮判定信号306との差異をもとに、非線形等化用誤差信号302を生成する。例えば、非線形等化信号和から仮判定信号306を減算することによって、非線形等化

50

用誤差信号 302 が導出される。第 2 加算部 42 は、非線形等化用誤差信号 302 を非線形等化部 46 へ出力する。

【0030】

ここで、非線形等化部 46 は、非線形等化用誤差信号 302 をもとに、複数の係数を導出する。つまり、非線形等化部 46 は、仮判定信号 306 を教師信号として使用する。また、非線形等化部 46 は、非線形等化用誤差信号 302 の二乗値を次々に加算していった総和である積算値を計算することによって、非線形等化部 46 における複数のタップ係数の収束を監視する。つまり、非線形等化部 46 は、その積算値がしきい値よりも大きい状態から小さい状態へ、非線形等化用誤差信号 302 が変化した場合に、複数のタップ係数の収束を判定する。また、収束を判定した後、非線形等化用誤差信号 302 の二乗値の総和である積算値がしきい値よりも再び大きくなった場合に、非線形等化部 46 の複数のタップ係数の発散と判定する。その際、非線形等化部 46 は、複数のタップ係数を新たに導出する。

【0031】

図 3 は、線形等化部 44 の構成を示す。線形等化部 44 は、多段タップ 50、線形処理部 52 を含む。多段タップ 50 は、遅延タップ 54 と総称される第 1 遅延タップ 54a、第 2 遅延タップ 54b、第 3 遅延タップ 54c、第 N 遅延タップ 54n を含む。線形処理部 52 は、乗算部 56 と総称される第 1 乗算部 56a、第 2 乗算部 56b、第 3 乗算部 56c、第 N + 1 乗算部 56n+1、タップ係数導出部 58、積算部 60 を含む。

【0032】

多段タップ 50 は、複数の遅延タップ 54 がシリアルに接続されることによって形成される。具体的に説明すると、第 1 遅延タップ 54a は、再生信号を入力し、遅延後、再生信号を出力する。第 2 遅延タップ 54b は、第 1 遅延タップ 54a からの再生信号を入力し、遅延後、再生信号を出力する。第 3 遅延タップ 54c から第 N 遅延タップ 54n も、同様の処理を実行する。遅延タップ 54 への入力部分と出力部分が多段タップ 50 からの出力信号であり、例えば、4 つの遅延タップ 54 が配置される場合、5 つの出力信号が存在する。これらの出力信号は、乗算部 56 へ出力されている。

【0033】

乗算部 56 は、遅延タップ 54 からの出力信号を入力するとともに、タップ係数導出部 58 からのタップ係数も入力する。ここで、タップ係数は、各出力信号に対応づけられて導出されている。乗算部 56 は、出力信号とタップ係数とを乗算する。乗算部 56 は、各乗算結果を積算部 60 へ出力する。積算部 60 は、乗算部 56 からの乗算結果を次々に加算して加算結果である積算値を求める。加算結果である積算値が、前述の線形等化信号に相当する。積算部 60 は、線形等化信号を出力する。タップ係数導出部 58 は、線形等化用誤差信号 300 を入力する。タップ係数導出部 58 は、再生信号がパーシャルレスポンス特性に適合するように、線形等化用誤差信号 300、乗算部 56 での乗算結果を使用して、複数のタップ係数を制御する。なお、タップ係数の導出には、例えば LMS アルゴリズムのような適応アルゴリズムが使用されることによって、線形等化用誤差信号 300 が小さくなるように制御される。なお、LMS アルゴリズムは、公知の技術であるので、ここでは説明を省略する。

【0034】

図 4 は、非線形等化部 46 の構成を示す。非線形等化部 46 は、多段タップ 70、非線形処理部 72 を含む。多段タップ 70 は、遅延タップ 74 と総称される第 1 遅延タップ 74a、第 2 遅延タップ 74b、第 N 遅延タップ 74n を含む。非線形処理部 72 は、乗算部 76 と総称される第 1 1 乗算部 76aa、第 1 2 乗算部 76ab、第 1 M 乗算部 76am、第 2 1 乗算部 76ba、第 2 2 乗算部 76bb、第 2 M 乗算部 76bm、第 (N + 1) 1 乗算部 76(n + 1)a、第 (N + 1) 2 乗算部 76(n + 1)b、第 (N + 1) M 乗算部 76(n + 1)m、積算部 78 と総称される第 1 積算部 78a、第 2 積算部 78b、第 M 積算部 78m、関数演算部 80 と総称される第 1 関数演算部 80a、第 2 関数演算部 80b、第 M 関数演算部 80m、乗算部 82 と総称される第 1 乗算部 82a、第 2 乗算

部 8 2 b、第 M 乗算部 8 2 m、積算部 8 4、関数演算部 8 6、タップ係数導出部 8 8 を含む。

【 0 0 3 5 】

非線形等化部 4 6 は、図示のごとく、3 層パーセプトロン型のニューラルネットワークにて構成される。ここで、入力層が多段タップ 7 0 に相当し、隠れ層が関数演算部 8 0 に相当し、出力層が関数演算部 8 6 に相当する。多段タップ 7 0 は、複数の遅延タップ 7 4 がシリアルに接続されることによって形成される。具体的に説明すると、第 1 遅延タップ 7 4 a は、線形等化信号を入力し、遅延後、線形等化信号を出力する。第 2 遅延タップ 7 4 b は、第 1 遅延タップ 7 4 a からの線形等化信号を入力し、遅延後、線形等化信号を出力する。第 N 遅延タップ 7 4 n も、同様の処理を実行する。遅延タップ 7 4 への入力部分と出力部分が多段タップ 7 0 からの出力信号である。これらの出力信号は、乗算部 7 6 へ出力されている。10

【 0 0 3 6 】

乗算部 7 6 は、多段タップ 7 0 からの出力信号と、タップ係数導出部 8 8 からのタップ係数とを乗算する。具体的に説明すると、第 I J 乗算部 7 6 i j は、多段タップ 7 0 の先頭から i 番目の出力信号 S (i) と、タップ係数 W 1 (i , j) とを乗算することによって、乗算結果 U (i , j) を生成する。積算部 7 8 は、乗算部 7 6 における乗算結果を次々に加算する積算を行う。具体的に説明すると、第 J 積算部 7 8 j は、乗算結果 U (1 , j) 、U (2 , j) 、U (3 , j) 、…、U (n + 1 , j) を加算する積算によって、積算結果 V (j) を生成する。関数演算部 8 0 は、積算部 7 8 における積算結果 V (j) にシグモイド関数を演算する。シグモイド関数は、次のように示される。20

$$f (x) = (1 - e \times p (- x)) / (1 + e \times p (- x)) \quad (式 1)$$

ここで、式 1 の x に積算結果 V (j) が入力される。ここでは、第 J 関数演算部 8 0 j での演算結果を X (j) と示し、当該演算結果が隠れ層からの出力に相当する。

【 0 0 3 7 】

乗算部 8 2 は、関数演算部 8 0 における演算結果とタップ係数導出部 8 8 からのタップ係数とを乗算する。具体的に説明すると、第 J 乗算部 8 2 j は、第 J 関数演算部 8 0 j における演算結果 X (j) と、タップ係数 W 2 (j) とを乗算することによって、乗算結果 Y (j) を生成する。積算部 8 4 は、乗算部 8 2 における乗算結果を次々に加算する積算を行う。ここでは、すべての乗算部 8 2 における乗算結果が積算され。積算結果 Z が生成される。関数演算部 8 6 は、積算部 8 4 における積算結果にシグモイド関数を演算する。ここでは、式 1 の x に積算結果 Z が入力される。関数演算部 8 6 の演算結果が、出力層からの出力に相当し、前述の非線形等化信号に相当する。30

【 0 0 3 8 】

タップ係数導出部 8 8 は、乗算部 7 6 および乗算部 8 2 において使用されるタップ係数 W 1 (i , j) と W 2 (j) とを導出する。なお、W 1 (i , j) 、W 2 (j) の初期値として、ランダムな値や収束後に近い値が設定される。また、タップ係数導出部 8 8 は、図 3 のタップ係数導出部 5 8 と同様に L M S アルゴリズムによって、W 1 (i , j) 、W 2 (j) を更新する。ここで、W 1 (i , j) 、W 2 (j) の学習は、バックプロパゲーションによってなされる。非線形等化用誤差信号 3 0 2 の二乗値は、次のように示される。40

$$E = (A - D)^2 \quad (式 2)$$

【 0 0 3 9 】

ここで、A は、線形等化信号に相当し、D は、仮判定信号 3 0 6 に相当する。つまり、A - D は、非線形等化用誤差信号 3 0 2 に相当する。タップ係数導出部 8 8 は、E が最小となるように、W 1 (i , j) 、W 2 (j) を制御する。出力層でのバックプロパゲーションの結果は次のように示される。

$$(- E) / (- Y (j)) = f' (Y (j)) \times 2 (A - D) \quad (式 3)$$

タップ係数導出部 8 8 は、タップ係数 W 2 (j) を次のように更新する。

$$W 2 (j) = W 2 (j) ._{1 d} - \times (- E) / (- W 2 (j)) \quad (式 4)$$
50

【0040】

ここで、 $W_2(j)_{0.1d}$ は、ひとつ前のタイミングにおけるタップ係数 $W_2(j)$ を示す。一方、隠れ層でのバックプロパゲーションは次のように示される。

$$(E) / (U(i, j)) = f'(U(i, j)) \times (E) / (Y(j)) \times W_2(j) \quad (\text{式 } 5)$$

タップ係数導出部88は、タップ係数 $W_1(i, j)$ を次のように更新する。

$$W_1(i, j) = W_1(i, j)_{0.1d} - \times (E) / (W_1(i, j)) \quad (\text{式 } 6)$$

ここで、 $W_1(i, j)_{0.1d}$ は、ひとつ前のタイミングにおけるタップ係数 $W_1(i, j)$ を示す。

10

【0041】

図5は、仮判定部30の構成を示す。仮判定部30は、ブランチメトリック演算部90、バスメモリ部92、特定部96を含む。また、信号として、選択信号SELを含む。ブランチメトリック演算部90は、図示しない線形等化部44からの線形等化信号をもとに、ブランチメトリック演算およびバスメトリック演算を実行する。そのため、ブランチメトリック演算部90には、前述のブランチメトリック演算回路およびバスメトリック演算回路が含まれる。前述のごとく、本実施例では、パーシャルレスポンス方式が適用されているが、仮判定部30の構成を説明する前に、ここでは、パーシャルレスポンス方式における状態遷移を説明する。

【0042】

20

図6は、仮判定部30がパーシャルレスポンス(1, 2, 2, 2, 1)に対応する場合の状態遷移を示す。パーシャルレスポンス(1, 2, 2, 2, 1)では、振幅が±4の範囲に収まる。4ビットをひとつの組合せとすれば、組合せに含まれる値に応じて、S0からS9までの10状態が規定されている。また、次に入力されるビット値に応じて図示のごとく、状態が遷移する。例えば、状態S0にビット値「1」が入力されると、状態S1への遷移がなされる。ここで、状態間を結ぶ矢印に「x/y」のような値が示されているが、xは、入力されるビット値を示し、yは、もとの状態に新たなビット値が加わった5ビットに対する仮判定値を示す。図7は、仮判定部30がパーシャルレスポンス(1, 2, 2, 2, 1)に対応する場合の状態遷移を示す。図7は、連続したふたつのタイミングでの状態を示しており、各状態は、図6と同様である。

30

【0043】

図8は、ブランチメトリック演算部90の構成を示す。ブランチメトリック演算部90は、加算部110と総称される第1加算部110a、第2加算部110b、第3加算部110c、第4加算部110d、第5加算部110e、第6加算部110f、第7加算部110g、第8加算部110h、第9加算部110i、第10加算部110j、第11加算部110k、第12加算部110l、第13加算部110m、第14加算部110n、第15加算部110o、第16加算部110p、二乗回路112と総称される第1二乗回路112a、第2二乗回路112b、第3二乗回路112c、第4二乗回路112d、第5二乗回路112e、第6二乗回路112f、第7二乗回路112g、第8二乗回路112h、第9二乗回路112i、第10二乗回路112j、第11二乗回路112k、第12二乗回路112l、第13二乗回路112m、第14二乗回路112n、第15二乗回路112o、第16二乗回路112p、ACS回路114と総称される第1ACS回路114a、第2ACS回路114b、第3ACS回路114c、第4ACS回路114d、第5ACS回路114e、第6ACS回路114f、加算部116と総称される第1加算部116a、第2加算部116b、第3加算部116c、第4加算部116dを含む。また、選択信号SELと総称される第0選択信号SEL0、第1選択信号SEL1、第2選択信号SEL2、第7選択信号SEL7、第8選択信号SEL8、第9選択信号SEL9を含む。

40

【0044】

加算部110は、線形等化信号から所定の目標値を減じる。二乗回路112は、加算部

50

110における減算結果の二乗値を計算する。ACS回路114は、二乗回路112からの二乗に対して、加算、比較、選択によるメトリック演算を実行する。また、ACS回路114は、メトリック演算の結果として、第0選択信号SEL0、第1選択信号SEL1、第2選択信号SEL2、第7選択信号SEL7、第8選択信号SEL8、第9選択信号SEL9を出力する。また、パーシャルレスポンス特性からACS回路114へ入力されない二乗値も存在する。そのような二乗値に対して、加算部116において加算がなされる。図5に戻る。

【0045】

バスメモリ部92は、ブランチメトリック演算部90からの選択信号SELを入力し、選択信号SELに応じたバスを記憶する。図9は、バスメモリ部92の構成を示す。バスメモリ部92は、メモリ120と総称される第11メモリ120aa、第12メモリ120ab、第13メモリ120ac、第14メモリ120ad、第15メモリ120ae、第16メモリ120af、第17メモリ120ag、第18メモリ120ah、第19メモリ120ai、第110メモリ120aj、第21メモリ120ba、第22メモリ120bb、第23メモリ120bc、第24メモリ120bd、第25メモリ120be、第26メモリ120bf、第27メモリ120bg、第28メモリ120bh、第29メモリ120bi、第210メモリ120bj、第(L+1)1メモリ120(1+1)a、第(L+1)2メモリ120(1+1)b、第(L+1)3メモリ120(1+1)c、第(L+1)4メモリ120(1+1)d、第(L+1)5メモリ120(1+1)e、第(L+1)6メモリ120(1+1)f、第(L+1)7メモリ120(1+1)g、第(L+1)8メモリ120(1+1)h、第(L+1)9メモリ120(1+1)i、第(L+1)10メモリ120(1+1)j、選択部122と総称される第11選択部122aa、第12選択部122ab、第13選択部122ac、第14選択部122ad、第15選択部122ae、第16選択部122af、第L1選択部1221a、第L2選択部1221b、第L3選択部1221c、第L4選択部1221d、第L5選択部1221e、第6L6選択部1221f、多数決部124を含む。
10
20

【0046】

ここでは、L+1のメモリ120によってひとつのバスが記憶され、かつ図6、7に示した10種類の状態のそれぞれに対応するように、10種類のバスが記憶される。選択部122は、選択信号SELに応じて、いずれかのバスを選択する。選択されたバスが、生き残りバス相当する。多数決部124は、第(L+1)1メモリ120(1+1)aから第(L+1)10メモリ120(1+1)jのそれぞれに記憶されたビット値を入力し、多数決を実行する。多数決部124は、選択結果を出力する。図5に戻る。
30

【0047】

特定部96は、図示しない多数決部124からの選択値を入力し、ラッチにて選択値を保持する。ここで、特定部96は、過去の選択値を含めて、5つのタイミングに対応した選択値からひとつの組合せを選択する。なお、特定部96に新たな選択値が入力されると、組合せの中から最も過去の選択値が除外されることによって、組合せが更新される。

【0048】

図10は、特定部96に記憶されたテーブルのデータ構造を示す。図示のごとく、メモリ値欄200、b(k)欄202、b(k-1)欄204、b(k-2)欄206、b(k-3)欄208、b(k-4)欄210、仮判定出力欄212が含まれる。ここで、b(k)は、最も新しく入力された選択値に相当し、b(k-1)は、ひとつ前のタイミングに入力された選択値に相当し、b(k-4)は、4つ前のタイミングに入力された選択値に相当する。前述のごとく、これらはラッチにて保持されている。b(k)欄202からb(k-4)欄210には、ラッチに保持された選択値が取り得る値の組合せが示されている。メモリ値欄200では、取り得る値に対応したメモリ値が示され、仮判定出力欄212では、取り得る値に対応した仮判定値が示されている。例えば、バスメモリの内容が「00000」であれば仮判定値「-4」、「00001」であれば仮判定値「-3」が対応づけられている。図5に戻る。特定部96は、図10に示したテーブルを参照しな
40
50

がら、組合せに対応した仮判定値を特定する。特定部 9 6 は、仮判定値を仮判定信号 3 0 6 として出力する。

【 0 0 4 9 】

以上の構成による再生装置 1 0 0 の動作を説明する。図 1 1 は、非線形等化部 4 6 における係数の導出手順を示すフローチャートである。非線形等化部 4 6 は、非線形等化用誤差信号 3 0 2 の大きさが収束した後も、継続して非線形等化用誤差信号 3 0 2 の大きさを導出する。大きさがしきい値よりも大きくなつた場合 (S 4 0 の Y) 、非線形等化部 4 6 は、新たにタップ係数を導出する (S 4 2) 。大きさがしきい値よりも大きくならなければ (S 4 0 の N) 、処理は終了される。

【 0 0 5 0 】

図 1 2 (a) - (b) は、従来および図 1 の再生装置 1 0 0 による出力信号のヒストグラムを示す。図 1 2 (a) は、従来の線形波形等化器で等化した信号のヒストグラムを示す。このときのビットエラーレートは、 1.1×10^{-2} である。一方、図 1 2 (b) は、再生装置 1 0 0 で等化した信号のヒストグラムを示す。このときの目標値は、前述のごとく、パーシャルレスポンス (1 , 2 , 2 , 2 , 1) の 9 値としている。また、このときのビットエラーレートは、 1.5×10^{-4} である。従来の線形波形等化器における特性悪化は、波形に非線形成分が含まれているので、ビタビ目標値に収束がなされないためであると推定される。

【 0 0 5 1 】

本発明の実施例によれば、線形等化信号を仮判定した結果を教師信号とするので、トレーニング信号の代わりに仮判定信号を教師信号に使用できる。また、トレーニング信号の代わりに仮判定信号を教師信号に使用するので、トレーニング信号を使用せずに、非線形等化のための係数を導出できる。また、トレーニング信号を使用せずに、非線形等化のための係数が導出されるので、トレーニング信号を使用せずに非線形等化を実行できる。また、トレーニング信号を使用せずに、非線形等化のための係数が導出されるので、記録密度の向上や記録パワー変動等によって生じる再生信号の非線形歪をトレーニング信号なしで低減できる。

【 0 0 5 2 】

また、パーシャルレスポンス規則にしたがつた仮判定が実行されるので、パーシャルレスポンス処理に対応できる。また、仮判定部における処理遅延と非線形等化部における処理遅延との差異に応じた期間にわたって遅延を実行するので、非線形等化信号と仮判定信号とのタイミングを合わせることができる。また、非線形等化信号と仮判定信号とのタイミングが合わされるので、非線形等化のためのタップ係数の推定精度を向上できる。また、非線形等化用誤差信号の発散を検出した場合に複数の係数を新たに導出するので、等化特性の悪化を抑制できる。

【 0 0 5 3 】

以上、本発明を実施例をもとに説明した。この実施例は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能のこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【 0 0 5 4 】

本発明の実施例において、線形等化部 4 4 および非線形等化部 4 6 は、いずれも複数のタップ係数を使用しており、複数のタップ係数を適応的に導出している。しかしながらこれに限らず例えば、非線形等化部 4 6 は、複数のタップ係数を適応的に導出し、線形等化部 4 4 は、複数のタップ係数として固定値を使用してもよい。つまり、線形等化部 4 4 は、複数のタップ係数を適応的に導出しなくてもよい。その際、第 1 加算部 4 0 は、線形等化部 4 4 へ線形等化用誤差信号 3 0 0 を出力しない。本変形例によれば、線形等化のための係数を固定値とするので、処理を簡易にできる。

【 符号の説明 】

【 0 0 5 5 】

1 0 光ディスク、 1 2 光ディスク駆動部、 1 4 光ピックアップ、 1 6 プ

10

20

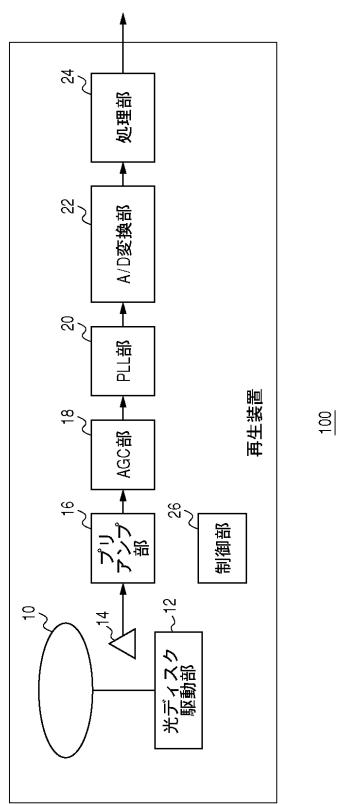
30

40

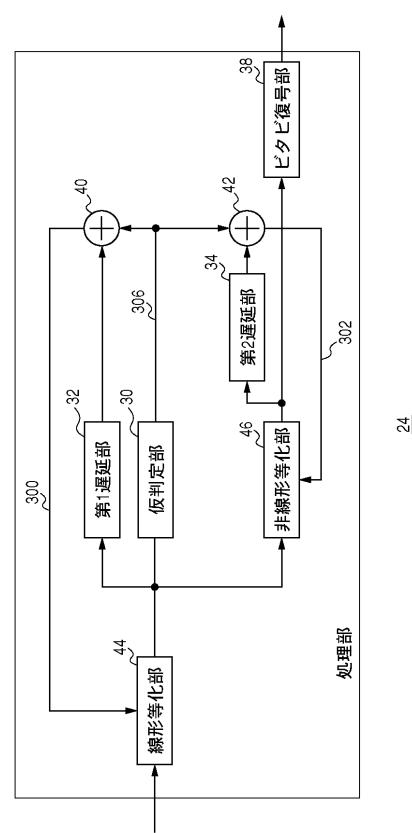
50

リアンプ部、18 AGC部、20 PLL部、22 A/D変換部、24 処理部、26 制御部、30 仮判定部、32 第1遅延部、34 第2遅延部、38 ビタビ復号部、40 第1加算部、42 第2加算部、44 線形等化部、46 非線形等化部、100 再生装置。

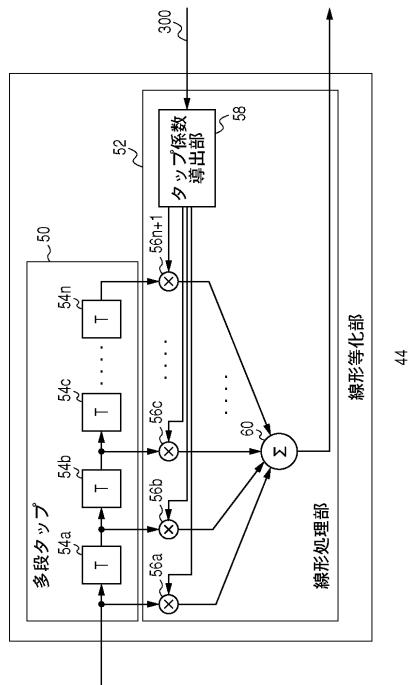
【図1】



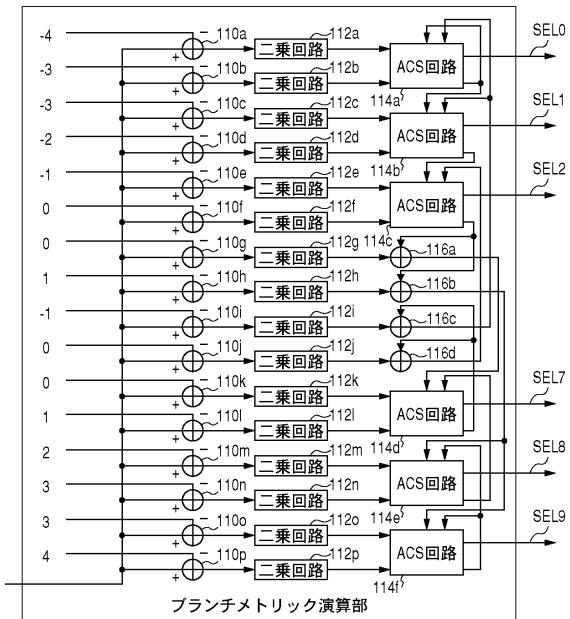
【図2】



【図3】

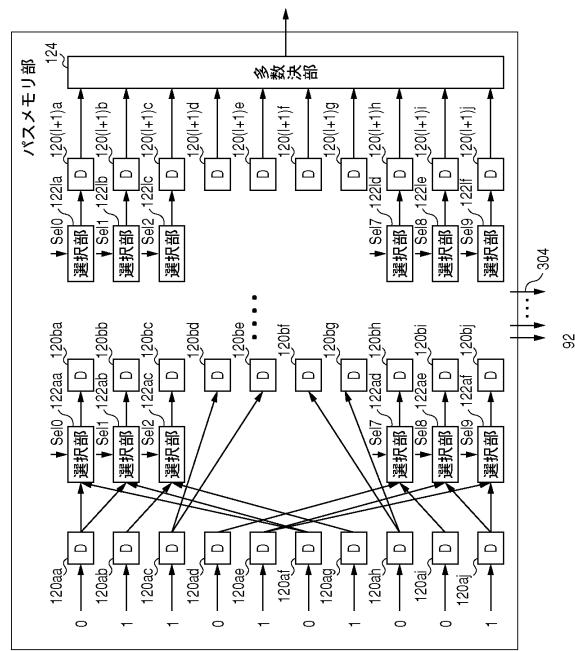


【図 8】



90

【図 9】



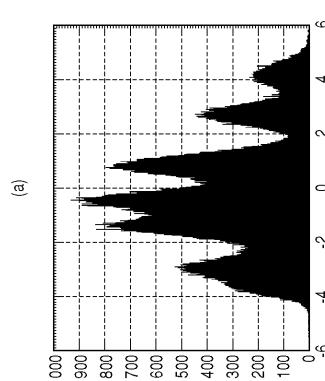
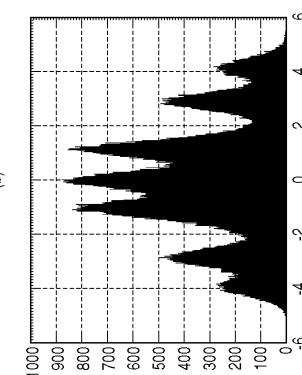
92

【図 10】

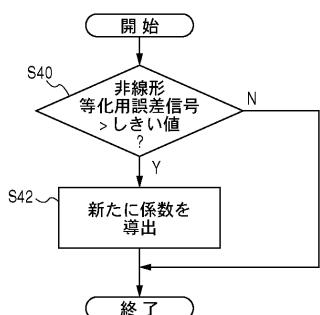
メモリ値	$b(k)$	$b(k-1)$	$b(k-2)$	$b(k-3)$	$b(k-4)$	仮判定出力
0	0	0	0	0	0	-4
1	0	0	0	0	1	-3
3	0	0	0	1	1	-1
6	0	0	1	1	0	0
7	0	0	1	1	1	1
12	0	1	1	0	0	0
14	0	1	1	1	0	2
15	0	1	1	1	1	3
16	1	0	0	0	0	-3
17	1	0	0	0	1	-2
19	1	0	0	1	1	0
24	1	1	0	0	0	-1
25	1	1	0	0	1	0
28	1	1	1	0	0	1
30	1	1	1	1	0	3
31	1	1	1	1	1	4

96

【図 12】



【図 11】



フロントページの続き

(56)参考文献 特開平11-055132(JP,A)
特開平07-152716(JP,A)
特開2005-303361(JP,A)
特開2005-302130(JP,A)
特開2008-276931(JP,A)
特開2002-050125(JP,A)
特開2003-085764(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 11 B 20 / 10