

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7387191号
(P7387191)

(45)発行日 令和5年11月28日(2023.11.28)

(24)登録日 令和5年11月17日(2023.11.17)

(51)国際特許分類 F I
G 0 6 N 10/40 (2022.01) G 0 6 N 10/40

請求項の数 13 (全16頁)

(21)出願番号	特願2021-528848(P2021-528848)	(73)特許権者	521216832
(86)(22)出願日	令和1年11月19日(2019.11.19)		キューエムウェア アーゲー
(65)公表番号	特表2022-519004(P2022-519004 A)		Q M w a r e A G
(43)公表日	令和4年3月18日(2022.3.18)		スイス連邦、ザンクト ガレン、コルンハウスシュトラッセ 25
(86)国際出願番号	PCT/US2019/062299		K o r n h a u s s t r a s s e 2 5 ,
(87)国際公開番号	WO2020/106777		S t . G a l l e n , S w i t z e r
(87)国際公開日	令和2年5月28日(2020.5.28)		l a n d
審査請求日	令和3年11月17日(2021.11.17)	(74)代理人	100109210
(31)優先権主張番号	62/769,455		弁理士 新居 広守
(32)優先日	平成30年11月19日(2018.11.19)	(72)発明者	ゲセク・ゲオルク
(33)優先権主張国・地域又は機関	米国(US)		スイス連邦、9400 ロールシャハ、
			ザンクト・ガラシュトラッセ 16エー
			キューエムウェア アーゲー内
		審査官	金田 孝之

最終頁に続く

(54)【発明の名称】 ハイブリッド型量子コンピュータを含むシステム

(57)【特許請求の範囲】

【請求項1】

量子ビットを使用して量子情報を記憶する量子レジスタであって、前記量子レジスタがもつれ構成要素を含み、

前記量子ビットが、量子ゲートの格子内に配置された粒子又はオブジェクトを使用して、前記量子情報を記憶するように構成されており、また、

前記量子ビットが、1つ又は複数の異なるシステム及び/又は前記システムの外部の実体ともつれ合うように構成されている、量子レジスタと、

前記量子レジスタにクロックサイクルを提供しているクロックと、

前記量子レジスタに接続された量子ビットの結合演算構成要素であって、前記量子ビットの結合演算構成要素が、前記量子ビットの重ね合わせを提供するように適合された重ね合わせ構成要素を含み、

前記量子ビットの結合演算構成要素が、前記量子ビット間で前記量子情報をシフトするように構成されており、また、

前記量子ビットが、前記粒子又はオブジェクトの特性によって定義される重ね合わせ状態へと変換されるように構成されている、量子ビットの結合演算構成要素と、を備えるシステムであって、

前記システムが、物理特性を用いて、異なる状態にある前記量子ビットを記憶し、前記物理特性が、もつれ及び重ね合わせを同時に行うように量子ビットの構成を定義している、システム。

【請求項 2】

前記量子ビットが、前記クロックの1つ又は複数のサイクルによって定義される同一の期間にわたって、前記量子情報を記憶するように構成されている、請求項 1 に記載のシステム。

【請求項 3】

前記量子ビットが、前記クロックサイクルによって定義される時間単位毎に異なる状態に変換されるように構成されている、請求項 1 又は 2 に記載のシステム。

【請求項 4】

前記量子ビットの結合演算構成要素が、前記もつれ構成要素及び前記重ね合わせ構成要素を介して、前記量子レジスタに接続されている、請求項 1 に記載のシステム。

10

【請求項 5】

前記量子ビットが外乱から保護されるように前記量子ビットを構成する操作を、前記量子ビットに対して実行するゲート制御装置をさらに備える、請求項 1 に記載のシステム。

【請求項 6】

前記量子ビットのうちの1つ又は複数の誤りを訂正する誤り訂正構成要素を、前記ゲート制御装置内にさらに備える、請求項 5 に記載のシステム。

【請求項 7】

前記量子ビットの結合が、読み書きテープと前記量子レジスタとの間に配置された追加の量子系である、請求項 1 に記載のシステム。

【請求項 8】

量子処理装置 (Q P U) の実装を円滑に行うために、デコヒーレンスの態様、忠実度の態様、及び / 又は複雑度 / 多様体の態様のうちの少なくとも1つを実行する1つ又は複数の追加の構成要素をさらに備える、請求項 1 に記載のシステム。

20

【請求項 9】

前記量子ビットが1つ又は複数の素粒子として実装されている、請求項 1 に記載のシステム。

【請求項 10】

前記素粒子が、1つ又は複数の状態及び / 又は特性を記憶するように構成され、なおかつ前記1つ又は複数の状態及び / 又は特性を変更する外部要素との相互作用を防止することに限定されている、請求項 9 に記載のシステム。

30

【請求項 11】

前記素粒子が、超伝導電子、真空孤立プロトン、 H^- 、 He^+ 、及び / 又は、それぞれアニオンとする他の軽イオンであると定義される、1つ又は複数の単純な素粒子を含む、請求項 9 又は 10 に記載のシステム。

【請求項 12】

前記粒子が、人工力場に捕捉されている状態か、及び / 又は任意の入射粒子若しくは準粒子から遮蔽されている状態の一方又は両方である、請求項 9 に記載のシステム。

【請求項 13】

前記人工力場が1つ又は複数の微視的力場を含み、
場合により、前記微視的力場が、高温の超伝導体内の伝導帯の電子に供給される結晶中の原子体を含むか、かつ / 又は伴っている、請求項 12 に記載のシステム。

40

【発明の詳細な説明】

【技術分野】

【0001】

開示している技術は、コンピュータサイエンス、量子情報理論、量子物理学、コンピュータアーキテクチャ、量子処理、及び / 又はそれらの物理構造を有する記憶構成要素の1つ又は複数の分野に関する。

【0002】

関連出願の相互参照

本出願は、2018年11月19日に出願された米国仮特許出願第62 / 769, 45

50

5号の利益及び優先権を主張し、その内容全体は参照により本明細書に援用される。

【背景技術】

【0003】

我々が使用している従来のコンピュータは、主としてAlan Turingによる演算の理論と、John von Neumannによる概念のような様々なアーキテクチャ概念とに基づいている。したがって、今日工業製品や商業製品における多くの用途に使用されているコンピュータは、基本的にデータと呼ばれる入力状態のセットを、これも同様にデータであり、ある問題に対する「結果」又は「解」とも呼ばれる出力状態のセットへと変換する、いわゆるチューリングマシンである。このようなデータの変換を生成する中間の演算はアルゴリズムと呼ばれ、これはなぜなら、このチューリングマシンが、中央処理装置の算術論理演算装置(Arithmetic and Logic Unit: ALU)にハードワイヤードされた数学関数を、逐次的に実行することしかできないためである。したがって、このプログラム自体は、単にALUの関数を次々と選択する、いわゆる機械コードのセットから構成されている。チューリングマシン用のそのようなプログラムにおいては、数学の問題をエンコードすることができ、当該チューリングマシンが有限数のステップの後にその実行を停止する場合、この問題は別のデータセットである有限の結果によって解を与えられる。

10

【0004】

すべてのチューリングマシン(図1に示す典型的なマシンなど)は、古典力学によって物理的に構築することができるという共通点を有する。このように、チューリングマシンには高度な予測が可能であり、理論上、決定性であり、このことは、当該プログラムが実行される頻度に関係なく、特定の入力データのセットが毎回同一の出力データのセットをもたらすという事実によって明示されている。また、チューリングマシンでは、1つのプログラムステップを順番に逐次的に実行することのみに能力が制限されている。より多数台のチューリングマシンを同時に実行することができるが、データ交換によってそれらの間で相互作用が発生するようになると即時に、一方のチューリングマシンは他方のマシンの結果を待機しなければならなくなる。

20

【0005】

これらのことがすべて関与して、入力データのサイズに対する多項式関数に比例する時間の後に停止する、チューリングマシン上のプログラムにエンコードすることができるすべての問題を表す、「P」のクラスの問題をもたらす。一般に、Pのクラスに属する問題は、現在のチューリングマシンによって妥当な時間内に解を得ることができる。しかし、多項式時間でそれらの解を得ることができるプログラムは知られておらず、入力データサイズの指数関数としてしか解を与えられないという多くの既知の課題が存在している。したがって、そのような課題に対する解決策では、入力データサイズを増加させることで、いずれのチューリングマシンの能力を早急に超えることになる。

30

【発明の概要】

【0006】

この課題に対する根本的な解決策となるのが、ニューラルネットワーク又は量子コンピュータのような新型の計算機の存在である。ニューラルネットワークは、幅広く相互接続された膨大な量の論理ゲートを有する、大規模並列演算構造として理解され得る。したがって、これらのネットワークを明示的なアルゴリズムでプログラムすることはできないが、いくつかの例によって教示され、その結果、ニューラルネットワーク全体が巨大なアルゴリズムそのものになり、その複雑さのためにははや完全な形式化を行うことができず、大域的な規模で当該問題の解を得ることになる。ニューラルネットワークの自然の実装形態となるのが、人間の脳のようなニューロンネットワークである。

40

【0007】

量子コンピュータは、チューリングマシンのこうした根本的な演算上の限界を克服するための、全く異なる手法であり、もはや古典的な決定論的力学に基づくのではなく、量子力学に直接基づいている。そのようなマシンにおけるいくつかの理論的概念は、20年ほ

50

ど前から提唱され、かつ/又は既知となっているが、量子コンピュータの実装に関して商業的な成功を収めるという点では、いくつかの主要な成果が依然として達成されておらず、これについては、以下でさらに説明する。

【0008】

ここでもう1つの重要な点となるのが、量子アルゴリズムと古典アルゴリズムとの根本的な差異に起因して、チューリングマシン用に記述されたソフトウェアを量子コンピュータ上で実行させることができず、逆もまた同様となることである。しかし、我々が現在使用中の計算機であるチューリングマシン用のソフトウェアのインストールベースが有する直接の商業的価値は、1兆米ドルを超えており、工業先進国にあるすべての産業の大部分が、間接的にこのチューリングマシン用のソフトウェアに依存している。使用前にすべてのソフトウェアを複製しておかなければならない純粋な量子コンピュータを成功裏に市場に出すことは期待できないが、潜在的にはさらに低速であるチューリングマシンでも、周知の決定性アルゴリズムで依然として快適に動作している。したがって、量子アルゴリズム及び逐次的決定性のアルゴリズム(例えば、以下のいくつかの技術革新に記載しているような)の両方を使用できるハイブリッド型量子コンピュータが、種々の事例に必要なとまではいかないにせよ、非常に望ましい。

【図面の簡単な説明】

【0009】

本開示の様々な実施形態については、添付の図面を参照してさらに説明することができ、これらいくつかの図全体を通して、同様の構造は同様の符号で参照される。図示している図面は必ずしも縮尺通りではなく、代わりに、概ね本開示の原理を例示することに重点が置かれている。したがって、本明細書に開示している特定の構造的かつ機能的詳細は、限定として解釈されるべきではなく、単に1つ又は複数の例示的な実施形態を多岐にわたって使用する方法を当業者に教示するための、代表的基礎として解釈されるべきである。

【図1】既知のチューリングマシンのブロック図である。

【図2】本開示の特定の実施形態の典型的な態様と一致する、典型的なユニバーサル量子コンピュータのブロック図である。

【図3】本開示の特定の実施形態の典型的な態様と一致する、典型的なハイブリッド型量子コンピュータのブロック図である。

【図4】本開示の特定の実施形態の典型的な態様と一致する、典型的なハイブリッド型量子プロセッサのブロック図である。

【発明を実施するための形態】

【0010】

上述したように、そのようなマシンにおけるいくつかの理論的概念は量子コンピュータに関して既に提唱されており、かつ/又は既知となっているが、量子コンピュータの実装に関して商業的な成功を収めるという点では、いくつかの主要な成果が依然として達成されていなかった。第一に、例えば、チューリングマシンの演算クラスや、それらの演算複雑性のクラスとの関わりに類似した、量子における既存の技術的課題に対する技術的解決策を規定する、ユニバーサル量子コンピュータのモデルが得られていなかった。第二に、実際に量子情報処理を行うために必要とされる、異なる種類の処理装置間のデータ交換における帯域幅の広さを維持しながら、異なる種類の処理装置間のキャッシュコヒーレンシに関する既存の技術的課題に対する技術的解決策をも備える、ハイブリッド型量子コンピュータの物理的実装も、同様に達成されていなかった。これらの技術革新の両方に関する技術的解決策については、それぞれ以下の第1章、及び第2章~第3章にさらに記載している。

【0011】

1. ユニバーサル量子コンピュータに関する技術概要

多項式時間内にチューリングマシンによって解を求めることができる問題のクラスはPと呼ばれるが、その一方で、多項式時間内にユニバーサル量子コンピュータによって解を求めることができる問題のクラスはQPと呼ばれ得る。確率的ソースをこのチューリング

10

20

30

40

50

マシンに追加することにより、Pのクラスに対して理論的拡張を行う方法もあり、その結果、真の乱数の生成も可能となり、このことは、多項式時間内にそのような非決定性チューリングマシンによって解を求めることができる、NPと呼ばれるクラスの課題をもたらす。なお、 $P < \text{又は} = NP$ 及び $NP < \text{又は} = QP$ であるかどうかの判定に成功していないという事実があることから、複雑性クラスの最終理論はいまだに存在しないということに留意されたい。また、定義上、その演算時間を最小限に抑えながら、すべての実行可能な量子アルゴリズムを演算する能力があるという、ユニバーサル量子コンピュータと、能力に限界のある量子コンピュータとをいまだ完全に見分けることができていない。それでもなお、量子情報理論はこの難問に関連した情報を含み、本明細書に記載しているような量子コンピュータは、これらの微妙な差異を明らかにするのに寄与することになる。

10

【0012】

本開示の技術は、図2に示すように、あらゆるユニバーサル量子コンピュータで有効な汎用モデルのための、以下の典型的な態様又は方式を使用してもよく、かつ/又はこれらを含んでいてもよい。さらに、本明細書の態様は、量子効果、即ち量子アルゴリズム以外の真の確率的ソースが、この宇宙で他に存在しないという原理又は洞察に基づいている。これを考慮すると、確率的ソースによって決定性チューリングマシンの理論的拡張を行った場合、最終的に、能力に限界のある量子コンピュータがもたらされる。一方、決定性プロセスでは、定義上、真の確率的ソースを生成することは決してできない。このことは、 $P < NP$ でなければならないという結論をもたらし、これはなぜなら、真の乱数を生成するタスクが決定性チューリングマシンで停止することは決してないが、非決定性チューリングマシンによっては、容易にこれを達成する可能性があるためである。その意味では、NPはQPのサブセットであるので、 $QP > NP > P$ であると考えられる。

20

【0013】

図1及び図2に関連して説明したように、チューリングマシンのアーキテクチャと、開示しているユニバーサル量子コンピュータのアーキテクチャとを比較することについては、以下のように説明している。図1を参照すると、そのようなチューリングマシンは、従来型ビットのレジスタ110を備えていてもよく、この従来型ビットは、外部のシンボルソース(シンボルの入力セット)から直接供給され、次いでプログラム命令又はデータとして当該マシンによって解釈され得る。その使用言語は極めて簡易であり、レジスタに接続されたメモリバンド120(読取り/書込みテープ)を移動させるコマンド、並びにこのバンド上でシンボルの書込み又は読取りを行わせるコマンドがある。このテープ上の個々の位置は、コンピュータ用語で明確に定義されており、そのような位置は、即ち「アドレス指定可能」となる。コンピュータプログラムの各処理ステップは、クロック140(サイクル)によって時間的に互いから離隔されている。

30

【0014】

チューリングマシンの算術論理演算装置130(ALU)は、全種類の演算を実行するために、任意の位置でテープの移動、読取り、及び書込みを行うこれらのプログラムコマンドとは別に、必要な数学関数すべてを実装してもよい。より複雑な関数は、より簡易な関数のセットへと分割され得る。この点においてこそ、いわゆる決定性チューリングマシンと非決定性チューリングマシンとの差異が生じている。決定性チューリングマシンでは、特定の入力から特定の1つの出力のみを生成することができる関数のみが使用可能となるが、非決定性チューリングマシンでは相関能力も有し、したがって、1つの入力セットのみから複数の出力バージョンを生成することができる。選択される結果候補のバージョンは純粋にランダムであり、予測不能な確率的ソースによって決定される。したがって、いわゆる非決定性チューリングマシン(non-deterministic Turing machine: NDTM)は、決定性チューリングマシン(deterministic Turing machine: DTM)とは対極にある変形例ではなく、この決定性チューリングマシンに対するリレーショナル拡張として理解される必要がある。

40

【0015】

開示している技術に話を戻すと、本明細書の技術革新は、図2に記載している1つ又は

50

複数のシステム／実装形態を含み、かつ／又は伴っていてもよく、これによってユニバーサル量子コンピュータの原型を得ることができ、また、ここでは、量子及び逐次的決定性演算と、非決定性アルゴリズムとの両方が実行可能である。

【 0 0 1 6 】

外部からはブラックボックスと見なされているが、図 2 に示す典型的なユニバーサル量子コンピュータ (universal quantum machine : UQM) は、非決定性チューリングマシン (NDTM) と同様に機能し、ここでは曖昧な相関も許容される。したがって、全く同一の入力セットから異なる出力セットが導出され得、これにより、ユニバーサル量子コンピュータの結果が部分的に予測不能になる。入力セットと出力セットとの間には、量子相関を含むアルゴリズムが存在する。

10

【 0 0 1 7 】

ユニバーサル量子コンピュータとチューリングマシンとの差異に関してであるが、量子レジスタ 2 1 0 (図の上側の範囲) 内に記憶された量子情報は、古典情報とは異なり、量子力学によって非クローニング要求が課されるために、複製されることはない。これは、レジスタ内の量子情報が無効化され、削除され、又は破棄されるようにする入力を行うためには、量子コンピュータとの相互作用が必要となるためである。しかしながら、量子レジスタは、そのような労力によって破棄される量子状態を単に記憶しているにすぎない。

【 0 0 1 8 】

したがって、本開示の量子コンピュータでは、演算結果の出力を行うためだけでなく、レジスタに記憶された値を戻すために、かつ入力データを取り込むために、古典的な読み書きテープ 2 3 0 を使用している。量子アルゴリズムを少しでも実行するために、「初期化」、即ち導入を行う適切な物理的プロセスが最初に用いられ、これらの古典的な、この場合は決定性のデータセットを量子状態 2 6 0 へと変換しており、こうした状態を本明細書では量子ビットと呼んでいる。これらの量子ビットは、図 2 において「量子ビットの結合」と呼ばれる量子ビットテープ 2 2 0 に格納される。このようにして、古典ビットは量子レジスタによって直接読み取られ、書き込まれ、かつ処理され得る、重ね合わせ量子ビットとなる。ここでの演算はチューリングマシンに類似しているが、古典アルゴリズムの代わりに、量子アルゴリズム 2 7 0 が動作し始め、古典ビットに記憶されたデータの代わりに、量子ビットに情報が記憶されるようになる。量子レジスタは量子ビットをもつれさせることができ、量子ビットの結合は量子ビットの重ね合わせをもたらす。図 2 の典型的な実装形態に示すように、そのようなもつれは、量子レジスタ 2 1 0 内のもつれ構成要素 2 1 2 を介してもたらされてもよく、また、そのような重ね合わせは、量子ビットの結合演算構成要素 2 2 0 内の重ね合わせ構成要素 2 2 2 を介してもたらされてもよい。

20

30

【 0 0 1 9 】

ここで、「テープ」という表現は、例えば専門用語として、従来理由で本明細書において使用しているが、そのような記憶媒体が、従来テープ (例えば、磁性) 記憶装置を凌駕するあらゆるメモリ技術のうちの 1 つ又は複数を含むことに、さらに留意されたい。

【 0 0 2 0 】

本量子コンピュータによって演算結果を出力するには、読み書きテープの出力を読み取るだけでは不十分であるが、初期化に対する逆の手順、即ち、図 2 の計装記号によって表されるような量子ビットの測定 2 5 0 が、事前に行われなければならない。この測定は、固有確率に従って量子ビットにおいて生じる重ね合わせ状態の確率的効果を含み、これに対して、固有確率は、レジスタ内で従前に確立された量子ゲートから生じるものであり、出力ビットと呼ばれる、部分的に決定性かつランダムである古典的な出力量をもたらす。これらの出力ビットは、古典的な記憶テープ 2 3 0 上のチューリングマシンなどによって等しく (例えば、そのような従前に確立された量子ゲートを介して) 書き込まれ、その結果として、又はユニバーサル量子コンピュータのアルゴリズムの古典的なキャッシュとして使用可能となる。したがって、本開示のユニバーサル量子コンピュータは、古典的アルゴリズムと量子アルゴリズムとの両方を実行することができ、その結果として、チュー

40

50

リングマシン全体をエミュレートできるようになることは明らかである。実際、Shoreによるもののような既知の量子アルゴリズムのほとんどは、古典関数と量子関数との両方を使用しており、これらは交互に構成されている。

【0021】

ここでも分かるように、本開示の量子コンピュータが、例えば、既存の量子相関がすべてで発見されているわけではないというあらゆる示唆を超越して、ユニバーサルであることが立証されており、これはなぜなら、第一に、この宇宙で自然量子系を記述する物理モデルがすべて、単に重ね合わせやもつれから構成されているにすぎないからである。第二に、本発明者らは、量子情報技術(Quantum Information Technology) [例えば、参照により本明細書に援用される、「Theory of Quantum Information as the Theory of Everything」、Georg Geseck著、2009~2012年を参照されたい]の研究をしており、その基礎となるグラフ理論を用いて、この宇宙で保存されている情報の配置で想定されるものはすべて、重ね合わせやもつれによって完全に記述されるということを示している。したがって、図2に示すアーキテクチャにおけるユニバーサルな特徴、即ちユニバーサル量子コンピュータは、本文脈内で定義され、かつ立証されてもよい。

10

【0022】

2. ハイブリッド型量子コンピュータの1つ又は複数の物理的実装形態

十分な、かつ適度な簡潔さをもって本ユニバーサル量子コンピュータの具現化を達成し、かつこれについて述べるために、本開示の技術を、サーバとも呼ばれる既存のチューリングマシンと、さらに、図3に示すように、量子プロセッサ360に実装されている量子部分のビルディングブロックとに基づいて説明している。

20

【0023】

図3は、本開示の特定の実施形態の典型的な態様と一致する、典型的なハイブリッド型量子コンピュータ300のブロック図である。図3を参照すると、例えば、Novarion社のQuanton(商標)サーバなどのチューリングプロセッサを例とする、プリポスト処理装置330を含むシステム構成要素を利用して、本ユニバーサル量子コンピュータの古典部分である、図3に示す、いわゆるPCI(Peripheral Component Interconnect、周辺構成要素相互接続)エクスプレバス340、即ちPCIeとして具現化されている読み書きテープを設けることができ、ここでも、ハイブリッド型量子コンピュータの典型的な高レベルブロック図を示している。

30

【0024】

これらの量子演算部分を工業的手段によって追加するために、本明細書の実装形態では、そのような量子演算部分が、量子処理装置(Quantum Processing Unit)、即ちQPU 360内に組み込まれていてもよい。本ハイブリッド型量子コンピュータの古典部分と量子部分とを、動作上の必要性に応じて、即ち、それらが円滑に相互接続され、高パフォーマンスで協働することができるように組み合わせるために、古典プロセッサと量子プロセッサとは、図3の典型的なシステムに示すように、メモリ記憶システム320を含むメモリ駆動型演算アーキテクチャ内に配置されている。いくつかの実装形態では、そのようなメモリ記憶システムは、Novarion社のPlatinStor(商標)記憶システムを介して実装されてもよい。通常、そのようなメモリ記憶システム320は、プリポスト処理装置330と、ハイブリッド型量子プロセッサプラットフォーム310との両方から、同時にPCIeバスによって直接アドレス指定されるように構成された、不揮発性メモリバンクを備えていてもよい。転送中にデータを危険にさらさないようにするために、そのようなメモリ記憶システム320が有する重要な特徴は、物理的にデータが書き込まれ、別のデバイスの物理的読取り動作に使用可能となった場合のみ、書込みを確認応答する、内蔵キャッシュのコヒーレンスがあることである。このようにして、このメモリ記憶システム320は、本明細書で必要とされるメモリ駆動型演算プラットフォームをサポートするように特別に設計されており、このことが、本明細書に導入している本ハイブリッド型量子コンピュータの全体的な機能性の鍵となっている。

40

50

【 0 0 2 5 】

図3に示す、本ハイブリッド型量子コンピュータのための具体的なアーキテクチャの実施形態では、様々な種類のプリポスト処理装置330又はチューリングプロセッサ(例えば、Novarion社のQuanton(商標)プロセッサなど)、メモリ記憶システム320(例えば、上記のPlatinStor(商標)などの不揮発性メモリバンク)、及びビルディングブロックを接続するためのPCIeバス340などの既存の産業技術を利用してよい。図3に示すように、プリポスト処理装置330又はチューリングプロセッサは、図1に示す一般構成要素を備えていてもよい。さらに、いくつかの実施形態では、プリポスト処理装置330又はチューリングプロセッサは、Quanton(商標)のように、様々な種類の古典的演算処理装置、例えば中央演算処理装置(central processing unit: CPU)、マトリクス演算処理装置(matrix processing unit: MPU)、画像演算処理装置(graphics processing unit: GPU)、又はニューラルネットワーク(とりわけ少なくともこれらに限られることはないが)さえも利用するように構成されていてもよい。あらゆる種類のXPUでは、PCIeバスを介してメモリ記憶システム320によって提供される、集中型メモリアーキテクチャへのこれらXPU構成要素のアクセスを許可する内蔵メモリコントローラを、プリポスト処理装置330内で使用する必要がある。

10

【 0 0 2 6 】

さらに、なお、メモリ駆動型演算プラットフォームの特定かつ既存のサブ構成要素が当業界によって開発されているが、本システム及び方法の態様は、さらに、メモリ駆動型アーキテクチャによる異種の処理装置(XPU、QPU)間のキャッシュ・コヒーレント・データフローを実装することなどにより、PCIeバス周辺のソフトウェア及びハードウェアの機能として生じる技術革新をも含んでいてもよい。なお、これに加えて、プリポスト処理装置330(Quanton(商標)サーバシステムなど)及びメモリ記憶システム320(PlatinStor(商標)など)の両方は、相互に関連する用途のために、Novarion社によって既に開発されている。

20

【 0 0 2 7 】

IONICS演算プラットフォームとも呼ばれる、本技術革新と一致するハイブリッド型量子プロセッサ310は、本明細書に記載の発明の焦点の1つであり、図3に示すようなPCIeバス340を介して、メモリ駆動型演算アーキテクチャに接続されてもよい。ハイブリッド型量子プロセッサ300は複数の量子プロセッサを内蔵しており、これらのプロセッサは、新規なフォトニック量子情報インターフェース(Photonic Quantum Information Interface: PQI)350によって接続されている。本ハイブリッド型量子プロセッサにおける1つの革新的な構成要素は、図2に示すように機能し、かつ図4に記載しているように構築され得る、量子プロセッサコア360である。

30

【 0 0 2 8 】

図4は、本開示の特定の実施形態の典型的な態様と一致する、典型的なハイブリッド型量子プロセッサ400のブロック図である。図4を参照すると、本開示のアーキテクチャにより、古典演算部分が本量子コンピュータ、即ち、量子ビット上に形成された算術論理演算装置(ALU)430である量子ゲートから分離されているが、業界標準に基づく比較的高性能でスケーラブルなバスシステム(PCIe)によって、双方が接続されてもよい。本開示のハイブリッド型量子プロセッサ400は、プリント回路基板(printed circuit board: PCB)、即ちマザーボード上に実装かつ接続されてもよく、またIC(integrated circuit、集積回路、即ちFPGA)として具現化されているバス制御装置410(Bus Control Unit: BCU)と、量子ビットを重ね合わせたり、もつれさせたりするために、BCUからの電子信号をALU430のパラメータへと変換するゲート生成装置450(Gate Creation Unit: GCRU)とで構成されている。

40

【 0 0 2 9 】

50

本明細書に開示しているハイブリッド型量子プロセッサ、例えば図4のプロセッサなどは、これまでのところ、他のあらゆる量子ビットの実装に対してアーキテクチャ上の重要な差異をもたらしており、これはなぜなら、ゲート生成装置450とゲート制御装置460とが、バス制御装置410を量子レジスタから分離し、その結果、古典的なバス制御装置と、量子ゲートを含む量子レジスタ430との間の量子ビットの結合220を示すことになるからである。さらに、ゲート制御装置460 (Gate Control Unit: GCU) は、量子ビットに対して操作を実行し、通常なら量子ゲート430内の量子情報のトランザクション実行中に誤りを引き起こす外乱から、量子ビットを保護している。これらの量子ビット制御機能は、最新技術によるアルゴリズムとして実装され、例えば、データセンタで稼働しているハイブリッド型量子コンピュータの既存のインストールに対するファームウェアのアップグレードとして、バス制御装置によってプログラムされ得る、誤り訂正演算子である。

10

【0030】

量子ビット初期化420は、量子ALUが所有する430のと同数までの量子ビットのセットを生成し、量子ゲート430に入力された量子情報を搬送している。量子情報処理の結果は、量子ALU (quantum ALU: Q-ALU) の右側にある量子ビット測定装置440によって検索される。これらの測定結果は、バス制御装置410 (bus control unit: BCU) に伝達され、PCIeバスを介して古典的なメモリ駆動型演算アーキテクチャ及びこれらに実装された古典プロセッサにさらに転送されるように、そこで古典メモリのキャッシュが確認される。本量子プロセッサはクロック470 (サイクル) によって同期され、これにより、時間単位毎に多数の重ね合わせ量子ビットやもつれ量子ビットの生成、処理及び測定を行うことができる。したがって、本ハイブリッド型量子プロセッサの演算能力は、もつれ量子ビットや重ね合わせ量子ビットの数、及び秒毎に行われる量子演算の数の両方において、極めてスケラブルであると言える。

20

【0031】

本明細書に開示しているQ-ALU (量子ビット算術論理演算装置430) は、量子ビットにおいて想定されるすべてのもつれ状態や重ね合わせ状態を生成することができる。量子ビットは量子情報を含んでおり、同時に量子ゲートの格子を定義している。これらの前提条件により、本明細書の実装形態は、Q-ALU内において想定可能なすべての量子状態及び関数の表現を取り入れている。したがって、本ハイブリッド型量子プロセッサは実際、第1章の記載によって定義しているようなユニバーサル量子コンピュータであると言える。

30

【0032】

制御装置自体はチューリングマシンであるため、ゲート制御装置を介して古典情報をQ-ALUにフィードバックすることができる。この特徴を、即時の誤り訂正に使用することができる。さらに、本量子プロセッサは、量子アルゴリズムの全セットを自律的に実行し、その結果をサーバ内の古典プロセッサへと返すことができる。本明細書のシステム及び方法により、PCIe帯域幅を効率的に使用することができ、また、PCIeバスを介したレイテンシを回避することができる。

【0033】

本明細書におけるPCIeシステムはバスシステムであるため、本明細書の実装形態では、この形式の複数の量子プロセッサを、サーバ内のいくつかの異なる従来型プロセッサに接続してもよい。さらに、記載しているすべての部品が単一のマイクロチップ上に集積されてもよく、その結果、これらの量子演算部分と古典演算部分との間で高速接続が実現する。このように集積させることにより、本解決策は、本明細書で例示として記載しているように、データセンタのサーバだけでなく、パーソナルコンピュータ、スマートフォン、及び自動車や飛行機の組み込みシステムなどにも有用となる。

40

【0034】

3. ハイブリッド型量子プロセッサを実装するための技術的特徴又は態様

量子情報理論における本発明者による現在までの知見は、量子情報システム (Quan

50

tum Information System: QIS) を量子コンピュータとしてどのように使用できるかを説明している。以下で初めて、本発明の原理の一部である、高性能の量子コンピュータとして量子情報システム(QIS)が実装され、かつ使用されるという条件下で、その使用方法について説明する。大文字で示す概念は既知の概念である。

【0035】

第1の原理 デコヒーレンスと分離の原理

本明細書で使用しているQISは、量子ビット初期化装置、ゲート生成装置、ゲート制御装置、及び量子ビット測定装置とは別に、宇宙に存在する他の実体が量子プロセッサのQ-ALUに影響を与えたり、これと相互作用したりすることができないように、自己完結型となっている。

【0036】

第2の原理 忠実度と限定の原理

本明細書の物理的実装形態によれば、量子情報、即ち、演算に使用されるQ-ALU内の量子ビットを搬送しているQISの要素(粒子)は、重ね合わせやもつれを同時に行うことができるという物理特性をもたらしている。これらの粒子自体は量子情報で構成されているので、量子情報理論によれば、粒子自体を重ね合わせたり、もつれさせたりすることができる。したがって、量子ビットの物理的実装は、QIS全体の自由度が、選択された物理パラメータに対する量子ビット演算に可能な限り限定されるように行われる。これにより、量子演算中に生じ得る誤りが制限され、この点は、そのような実装を成功させるためには不可欠である。

【0037】

第3の原理 複雑性と多様体の原理

QISがその周知の高度に機能する理論を適所に用いて記述されることを研究者らは好むが、本発明の量子算術論理演算装置が有する包括的な能力は、個々の重ね合わせ経路やもつれ経路上で多様体によって解放される。これは、本発明の高度な量子演算機能が、ニューラルネットワークの機能の記述のように、明確な理論形式ではなく、本質的に構造レベルで扱われ得ることを意味している。したがって、本明細書に開示しているハイブリッド型量子コンピュータのプログラミングは、ソフトウェアエンジニアによるアルゴリズムの定義によって行われるのではなく、むしろ、量子算術論理演算装置用の構造を構築する数学者、即ち「量子ゲート開発者」がそこに存在しなければならず、そのような構造は、その後、本明細書で従前に開示している本量子プロセッサによって、演算におけるいずれかの次ステップで、自律的かつ新規に導入され得る。この量子ゲートにおける多様体の原理を用いて、本量子コンピュータはハードウェア仮想化実体となり、ここでは、ハードウェアとソフトウェアとが、共に任意の用途に応じて変更されることになる。

【0038】

本発明者の量子情報理論によれば、もつれ現象や重ね合わせ現象に関する新規な解釈が導入された。

【0039】

もつれはこのため、本発明者により、宇宙における異なる実体(=QIS)間で特定の量子情報を共有する状態として説明されている。したがって、量子ビットの状態を変化させるあらゆる物理的プロセスを用いて、この変化がユニバーサル量子コンピュータの量子ビットなどのそれぞれのパーティーすべてに個別に実行される場合であっても、量子もつれを起こすことができる。

【0040】

重ね合わせはこのため、本発明者により、宇宙における1つの実体(=QIS)上に異なる量子情報が重なり合った状態として記述されている。したがって、ユニバーサル量子コンピュータでは、同じ量子ビットを同時に使用して、異なる量子ゲートが構築され得る。

【0041】

4. 量子ビットの物理的ビルディングブロック

本Q-ALUで使用される物理系、即ち分離、限定及び多様体に関する第3章の所与の

10

20

30

40

50

原理によれば、量子ビットのビルディングブロックとして想定可能な物理的実体の明白な諸例は以下の通りである。

【0042】

光子と電子

人類がこれまでに得た最も正確な理論の1つは、光子と電子との相互作用を記述する量子電磁力学 (Quantum Electrodynamics: QED) の理論である。これはなぜなら、前述のQITによれば、双方の粒子が宇宙で最も単純な成分を表し、それが第2の原理、即ち限定によって我々の享受するところとなるからである。これらの粒子の供給は容易であり、またその測定も容易である。興味深いことに、量子ビットを用いて量子処理装置を具現化しようとする最初の試みでは、量子ビットのキャリアとしての取り扱いが容易なこれらの電子を選択せずに、演算時に使用可能な量子ビットのデコヒーレンス時間を概ね維持するために、絶対零度に近い温度まで冷却されなければならない、ウェハ上のはるかに複雑な超伝導量子回路を選択していた。さらに、集積回路の巨視的要素に近くするのは単に自由度が高くなりすぎるため、第2の原理をIBM社、Google社及びD-Wave社によるQ-ALUのプロトタイプで達成することも困難を極める。したがって、実用的な量子処理装置を構築するためのこれらの企業による多大な努力が、いまだ成功に結びついていない。

10

【0043】

本明細書の実装形態によれば、3つの所与の原理に欠かせない量子算術論理演算装置の、電子、Li⁺、Be⁺、H⁻、He⁺のような単純イオン、又は単にプロトンなどの、磁気特性又は電気特性を有する力場に保持されている粒子を用いた物理的実装が開示されており、その際、周辺環境への接続は他に何ら有しないが、光子、電子、並びに単純粒子及び準粒子によってアドレス指定可能となっている。

20

【0044】

前述のQITによるプロトンは、宇宙で3番目に単純な粒子であり、したがって第2の原理の忠実度要件を満たしている。このようにして、本明細書の実装形態では、量子ビットの量子情報を記憶するための特性として、プロトンのスピンを使用してもよい。この点は単純な電子にも当てはまる。これらの極めて単純な粒子を用いて第3の原理である複雑性を満たすために、複合磁場を有する多参照系のスピン系を確立する形態が開示されている(その場合、これらのスピンは上下だけでなく、多くの重ね合わせ方向を有し得る)。これらの磁場は、室温であっても集積回路内での制御が容易であり、それらの微視的距離に対して十分な強度を有する。前述のQITにおいて、これらの磁場を用いると、開示している技術の態様で、これらの単純かつ純粋な量子ビット上に多くの重ね合わせ状態及びもつれ状態が確立することが示されている。このようにして、量子ビットは3つの原理と極めて良好に整合している。

30

【0045】

さらに、これらの効果が高温の超伝導材料中の電子によって得られ、既存の解決策で必要とされていた頑丈なマイクロケルビン温度対応の装置の代わりに、液体窒素でこれらの電子が容易に冷却され得ることが示されている。

【0046】

さらに、第3章のもつれ及び重ね合わせの定義によれば、本Q-ALU 430におけるゲート生成とゲート制御とは、本Q-ALUの外部から到来する光子や準粒子などの他の量子オブジェクトを用いて行われる。これにより、本ゲート制御装置は、量子演算中にゼロ測定や量子状態の誤り訂正を行うことができる。

40

【0047】

5. ハイブリッド型量子プロセッサプラットフォーム

図2のユニバーサル量子コンピュータと呼ばれる、本明細書に記載の理論的構成概念と、図4のハイブリッド型量子プロセッサのブロック図とは、任意の量子コンピュータの実用的かつ実際的な実装を施している第1のユニバーサルアーキテクチャを表している。量子ゲートの構造は、ゲート生成装置450内に記憶され、バス制御装置410によって選

50

択され、かつゲート制御装置460によって適切に実行される、Q - A L U 430内の算術論理関数として実装され得るので、一連のコピキタスな量子ゲート構造は、本明細書ではハイブリッド型量子プロセッサ並びに関連システム及びプラットフォームと呼ばれる、開示しているユニバーサル量子演算システムを用いて実現されることになる。

【0048】

本明細書に開示しているように、本発明の実装形態及び特徴は、コンピュータハードウェア、ソフトウェア及び/又はファームウェアを介して実装されてもよい。例えば、本明細書に開示しているシステム及び方法は、一例として1つ又は複数のコンピュータ、及び1つ又は複数のサーバなどの1つ又は複数のデータプロセッサを含む様々な形態で具現化されてもよく、また、少なくとも1つのデータベース、デジタル電子回路、ファームウェア、ソフトウェア、又はそれらの組み合わせを含むか、あるいはそれらにアクセスしてもよい。さらに、開示している実装形態のいくつかには、本明細書の技術革新と一致する特定の(例えば、ハードウェアなど)構成要素、システム、及び方法を記載しているが、これらはハードウェア、ソフトウェア、及び/又はファームウェアの任意の組み合わせで実装されてもよい。さらに、本明細書の技術革新における上記の特徴並びに他の態様及び原理は、様々な環境で実装されてもよい。そのような環境や関連アプリケーションは、本発明による様々なプロセスや演算を実行するために特別に構築されてもよく、又は必要な機能をもたらすために、コードによって選択的に起動若しくは再構成される、汎用コンピュータ又は演算プラットフォームを含んでいてもよい。本明細書に開示しているプロセスは、いかなる特定のコンピュータ、ネットワーク、アーキテクチャ、環境、又は他の装置にも本質的に関連しておらず、またハードウェア、ソフトウェア、及び/又はファームウェアの適切な組み合わせによって実装されてもよい。例えば、本発明の開示内容に従って記述されたプログラムと共に様々な汎用マシンが使用されてもよく、又は、必要となる方法及び手法を実行するための、専用の装置若しくはシステムを構築すると、より簡便になり得る。

【0049】

本明細書では、構成要素、モジュール、デバイスなどの用語は、様々な方法で実装され得る任意の形式の論理デバイス又は機能デバイス、プロセス、若しくはブロックを指していてもよい。例えば、様々なブロックの機能を互いに組み合わせることができ、かつ/又は他の任意個数のモジュールに分散させることもできる。各モジュールは、例えば、本明細書の技術革新の機能を実装するために処理装置によって読み取られるように、上記で開示している演算要素などの中の、又はこれらと関連付けられた有形メモリ(例えば、ランダム・アクセス・メモリ、読取り専用メモリ、CD-ROMメモリ、ハードディスクドライブ)に記憶された、ソフトウェアプログラムとして実装され得る。また、これらのモジュールは、本明細書の技術革新によって包含される機能を実行するハードウェア論理回路として、実装され得る。最終的に、モジュールは、所望のレベルの成果やコストをもたらす専用命令(special purpose instruction: SIMD命令)、フィールドプログラマブル論理アレイ、又はそれらの任意の組み合わせを使用して実装されてもよい。

【0050】

本明細書に記載のシステム及び方法の態様は、フィールド・プログラマブル・ゲート・アレイ(field programmable gate array: FPGA)、プログラマブルアレイ論理(programmable array logic: PAL)デバイス、電気的にプログラマブルな論理デバイス及び記憶装置、並びに標準セルベースのデバイスなどのプログラマブル論理デバイス(programmable logic device: PLD)、並びに特定用途向け集積回路を含む、様々な回路のいずれかにプログラムされる機能として実装されてもよい。これらの態様を実装する他のいくつかの候補としては、記憶装置、メモリ付きマイクロコントローラ(EEPROMなど)、埋め込みマイクロプロセッサ、ファームウェア、ソフトウェアなどが挙げられる。さらに、これらの態様は、ソフトウェアベースの回路エミュレーション、(シーケンシャル及び組み

10

20

30

40

50

合わせの)個別論理回路、カスタムデバイス、ファジー論理回路、ニューラルネットワーク、他のAI(人工知能)又は機械学習システム、量子デバイス、及び上記のデバイスタイプのいずれかのハイブリッドを有するマイクロプロセッサにおいて具現化されてもよい。

【0051】

なお、本明細書に開示している様々な論理及び/又は特徴は、さらにそれらの挙動、レジスタ転送、論理構成要素、及び/又は他の特性に関して、任意の数のハードウェア、ファームウェアの組み合わせを使用して、かつ/又は様々な機械可読媒体若しくはコンピュータ可読媒体で具現化されるデータ及び/又は命令として有効にされてもよい。そのようなフォーマット済みデータ及び/又は命令を具現化することができるコンピュータ可読媒体は、一時的媒体を包含しないが、有形の様々な形態(例えば、光学記憶媒体、磁気記憶媒体又は半導体記憶媒体)の不揮発性記憶媒体を含むが、これらに限定されない。

10

【0052】

文脈上明白に他の意味に解釈すべき場合を除き、本明細書全体を通して、「含む(comprise)」及び「含んでいる(comprising)」などの用語は、排他的又は網羅的な意味とは対照的に、包括的な意味で、即ち「~を含むが、これらに限定されない(including, but not limited to)」という意味で解釈されるべきである。単数又は複数を用いる単語はまた、それぞれ複数又は単数も含む。また、「本明細書において(herein)」、「本明細書に従って(hereunder)」、「上記の(above)」、「以下の(below)」という単語及び同様の意味の単語は、本出願全体を指し、本出願のいずれかの特定の部分を指すものではない。「又は(or)」という単語が2つ以上の項目のリストへの言及において使用される場合、その単語は、その単語の以下の解釈のすべて、即ち、リスト内の項目のいずれか、リスト内の項目のすべて、及びリスト内の項目の任意の組み合わせ、という解釈をすべて含む。

20

【0053】

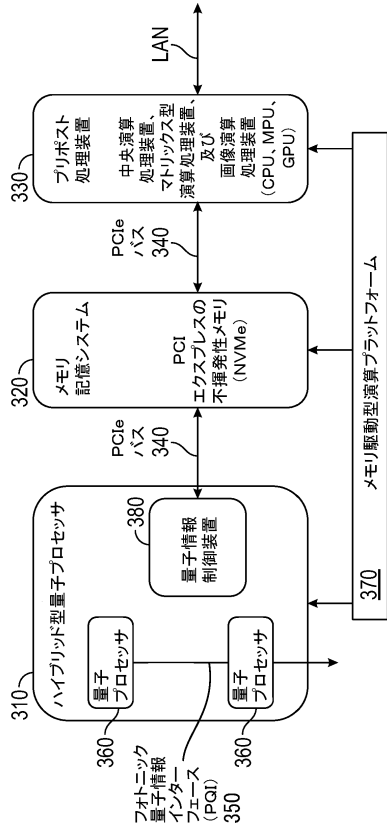
本発明の他の実装形態は、本明細書を考察し、かつ本明細書に開示している技術革新を実践することから、当業者には明らかとなるであろう。本明細書及び例は、例示としてのみ考慮されることが意図されており、本発明の真の範囲及び趣旨は、本開示及び特許請求の範囲によって示され、場合によっては、関連する特許原則の様々な関連原則によって示される。

30

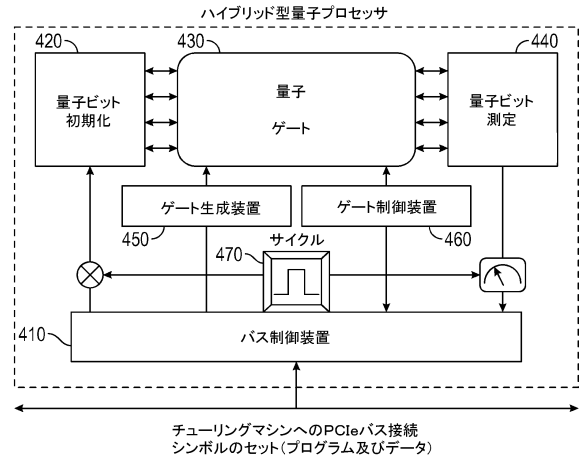
40

50

【図3】



【図4】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表 2018 - 521382 (JP, A)
国際公開第 2007 / 077617 (WO, A2)
米国特許出願公開第 2018 / 0180970 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
G06N 10 / 00