

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年4月12日 (2012.4.12)

【公開番号】特開2011-3250(P2011-3250A)

【公開日】平成23年1月6日 (2011.1.6)

【年通号数】公開・登録公報2011-001

【出願番号】特願2009-146809(P2009-146809)

【国際特許分類】

G 1 1 C 11/417 (2006.01)

【F I】

G 1 1 C 11/34 3 0 5

【手続補正書】

【提出日】平成24年2月27日 (2012.2.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のメモリセルが配列されて成るメモリセルアレイと、
第 1 クロック信号を取り込むための第 1 バッファと、
上記第 1 クロック信号とは異なる第 2 クロック信号を取り込むための第 2 バッファと、
上記メモリセルアレイへのデータ書き込み又は読み出しに用いられる各種信号を第 1 内部クロック信号に同期して取り込む第 1 回路と、
上記メモリセルアレイからの読み出しデータを第 2 内部クロック信号に同期して出力する第 2 回路と、
上記第 1 バッファを介して取り込まれた上記第 1 クロック信号と、上記第 1 回路に伝達された上記第 1 内部クロック信号との位相差が小さくなるように、上記第 1 クロック信号を遅延して上記第 1 内部クロック信号を形成する第 1 D L L 回路と、
上記第 2 バッファを介して取り込まれた上記第 2 クロック信号と、上記第 2 回路に伝達された上記第 2 内部クロック信号との位相差が小さくなるように、上記第 2 クロック信号を遅延して上記第 2 内部クロック信号を形成する第 2 D L L 回路と、を含んで成る半導体記憶装置。