

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年4月12日(2012.4.12)

【公開番号】特開2011-3250(P2011-3250A)

【公開日】平成23年1月6日(2011.1.6)

【年通号数】公開・登録公報2011-001

【出願番号】特願2009-146809(P2009-146809)

【国際特許分類】

G 11 C 11/417 (2006.01)

【F I】

G 11 C 11/34 3 0 5

【手続補正書】

【提出日】平成24年2月27日(2012.2.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリセルが配列されて成るメモリセルアレイと、

第1クロック信号を取り込むための第1バッファと、

上記第1クロック信号とは異なる第2クロック信号を取り込むための第2バッファと、

上記メモリセルアレイへのデータ書き込み又は読み出しに用いられる各種信号を第1内部クロック信号に同期して取り込む第1回路と、

上記メモリセルアレイからの読み出しデータを第2内部クロック信号に同期して出力する第2回路と、

上記第1バッファを介して取り込まれた上記第1クロック信号と、上記第1回路に伝達された上記第1内部クロック信号との位相差が小さくなるように、上記第1クロック信号を遅延して上記第1内部クロック信号を形成する第1DLL回路と、

上記第2バッファを介して取り込まれた上記第2クロック信号と、上記第2回路に伝達された上記第2内部クロック信号との位相差が小さくなるように、上記第2クロック信号を遅延して上記第2内部クロック信号を形成する第2DLL回路と、を含んで成る半導体記憶装置。