

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6086425号
(P6086425)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.	F I
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7
HO 1 L 27/105 (2006.01)	HO 1 L 29/82 Z
HO 1 L 29/82 (2006.01)	HO 1 L 43/08 Z
HO 1 L 43/08 (2006.01)	HO 1 L 43/12
HO 1 L 43/12 (2006.01)	

請求項の数 16 (全 18 頁)

(21) 出願番号	特願2012-541175 (P2012-541175)	(73) 特許権者	507364838
(86) (22) 出願日	平成22年11月23日(2010.11.23)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2013-512575 (P2013-512575A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成25年4月11日(2013.4.11)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2010/057891		イブ 5775
(87) 国際公開番号	W02011/066324	(74) 代理人	100108453
(87) 国際公開日	平成23年6月3日(2011.6.3)		弁理士 村山 靖彦
審査請求日	平成24年6月11日(2012.6.11)	(74) 代理人	100163522
審判番号	不服2014-24835 (P2014-24835/J1)		弁理士 黒田 晋平
審判請求日	平成26年12月4日(2014.12.4)	(72) 発明者	シア・リ
(31) 優先権主張番号	12/626, 269		アメリカ合衆国・カリフォルニア・921
(32) 優先日	平成21年11月25日(2009.11.25)		21-1714・サン・ディエゴ・モアハ
(33) 優先権主張国	米国 (US)		ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 磁気トンネル接合デバイス及び製造

(57) 【特許請求の範囲】

【請求項1】

第一の絶縁層の上方に底部キャップ層を形成することと、
 前記第一の絶縁層内に底部金属トレンチ及び底部ビアを開口し、銅をメッキし、銅の化学機械平坦化を行うための第一の銅ダマシンプロセスを行うことと、
 前記底部キャップ層の上方に及び前記底部金属トレンチ内の銅の上方に底部電極を形成することと、
 前記底部電極の上方に複数の磁気トンネル接合層を形成することと、
 前記複数の磁気トンネル接合層の上方にハードマスクを形成することと、
 前記ハードマスクを用いて前記磁気トンネル接合層をパターン化することによって、磁気トンネル接合構造を形成することと、
 前記磁気トンネル接合構造の上方に、該磁気トンネル接合構造に隣接して、及び前記底部電極の上方に第一の物質製の拡散障壁層を形成することと、
 前記拡散障壁層をエッチングバックして、前記磁気トンネル接合構造に隣接する前記拡散障壁層の一部を残すことと、
 前記磁気トンネル接合構造に隣接する前記拡散障壁層の一部の上方に、該一部に隣接して、及び前記底部電極の上方に前記第一の物質製のキャップ層を形成することと、
 前記キャップ層の上方に第二の絶縁層を形成することと、
 前記第二の絶縁層を平坦化し、前記磁気トンネル接合構造の頂部を露出することと、
 平坦化された前記第二の絶縁層の上方に及び前記磁気トンネル接合構造の頂部の上方に

10

20

頂部電極を形成することと、

前記頂部電極及び前記底部電極をパターン化することと、

パターン化された前記頂部電極の上方に及び前記底部キャップ層の上方に第三の絶縁層を形成及び平坦化することと、

前記第三の絶縁層内において、パターン化された前記頂部電極まで頂部金属トレンチを開口し、銅をメッキし、銅の化学機械平坦化を行うための第二の銅ダマシンプロセスを行うこととを備えた方法。

【請求項 2】

前記複数の磁気トンネル接合層の少なくとも一層の磁気トンネル接合の磁気アニーリング容易軸が、前記磁気トンネル接合構造の磁場配向を整列する、請求項 1 に記載の方法。

10

【請求項 3】

前記底部キャップ層が炭化シリコンを含む、請求項 1 に記載の方法。

【請求項 4】

前記底部電極がタンタル及び窒化タンタルのうち少なくとも一方を含む、請求項 1 に記載の方法。

【請求項 5】

前記第一の物質が窒化シリコンである、請求項 1 に記載の方法。

【請求項 6】

前記拡散障壁層をエッチングバックすることが、酸素を含まない一種以上の化学薬品を用いて前記磁気トンネル接合構造の上に酸化層を形成せずに、行われる、請求項 1 に記載の方法。

20

【請求項 7】

前記頂部電極がタンタル及び窒化タンタルのうち少なくとも一方を含む、請求項 1 に記載の方法。

【請求項 8】

請求項 1 に記載の方法によって形成される半導体デバイスの少なくとも一つの物理的性質を表す設計情報を受信することと、

前記設計情報をファイルフォーマットに適合するように変換することと、

変換された前記設計情報を含むデータファイルを生成することとを備えた方法。

【請求項 9】

30

前記データファイルが GDSII フォーマットを含む、請求項 8 に記載の方法。

【請求項 10】

半導体デバイスに対応する設計情報を含むデータファイルを受信することと、

前記設計情報に従って前記半導体デバイスを製造することとを備え、

前記半導体デバイスが請求項 1 に記載の方法によって形成される、方法。

【請求項 11】

前記データファイルが GDSII フォーマットを有する、請求項 10 に記載の方法。

【請求項 12】

請求項 1 に記載の方法によって形成される半導体構造を含むパッケージングされた半導体デバイスの回路板上における物理的配置情報を含む設計情報を受信することと、

40

前記設計情報を変換してデータファイルを生成することとを備えた方法。

【請求項 13】

前記データファイルが GERBER フォーマットを有する、請求項 12 に記載の方法。

【請求項 14】

回路板上におけるパッケージングされた半導体デバイスの物理的配置情報を含む設計情報を含むデータファイルを受信することと、

前記設計情報に従って前記パッケージングされた半導体デバイスを収容するように構成された回路板を製造することとを備え、前記パッケージングされた半導体デバイスが、請求項 1 に記載の方法によって形成される半導体構造を含む、方法。

【請求項 15】

50

前記データファイルがGERBERフォーマットを有する、請求項14に記載の方法。

【請求項16】

セットトップボックス、ミュージックプレイヤー、ビデオプレイヤー、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、PDA、固定位置データユニット、及びコンピュータから成る群から選択されたデバイスに前記回路板を集積することを更に備えた請求項14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は一般的に磁気トンネル接合(MTJ, magnetic tunnel junction) デバイス及び製造に関する。 10

【背景技術】

【0002】

MTJ素子を用いて、磁気ランダムアクセスメモリ(MRAM, magnetic random access memory)を形成することができる。MTJ素子は典型的に、ピンド層と、磁気トンネル障壁と、自由層とを含み、ビット値は、自由層内の磁気モーメントによって表される。MTJ素子に記憶されたビット値は、ピンド層が有する固定磁気モーメントの方向に対する相対的な自由層の磁気モーメントの方向によって、決定される。自由層の磁化がスイッチング可能である一方、ピンド層の磁化は固定されている。 20

【0003】

MTJ素子の製造時において、エッチング剤が酸素を含む場合、MTJ素子を形成するためのMTJ層のエッチングによって、MTJ素子の表面の酸化が生じ得る。酸化層は、略30オングストローム(Å)、つまり略3ナノメートル(nm)の厚さを有し得る。直列抵抗を低下させるためにMTJ素子の頂部から酸化層を除去するには、プレクリーニング及びオーバーエッチングが更に必要とされ得る。しかしながら、ウェーハのトポグラフィ及びエッチングの均一性の問題に起因して、MTJ頂部コンタクトの露出は、MTJ素子の頂部酸化層を除去するのに狭いプロセスウィンドウを有する。MTJ素子の頂部電極のプレスパッタクリーニングプロセスの増加は、ウェーハの中心領域におけるMTJ層の頂部層のより多くの損失をもたらす得て、これはプロセスマージンを減じ得る。 30

【発明の概要】

【課題を解決するための手段】

【0004】

MTJエッチングプロセスが、MTJ構造の頂部から酸化層を除去するために、in-situ窒化シリコン(SiN)堆積及びエッチングバックプロセスを追加するように変更され得る。この窒化シリコン(SiN)エッチングバックプロセスは、大きなオーバーエッチングプロセスウィンドウを有して、後続のプレクリーニングプロセスに対する負担を軽減して、プレクリーニングプロセスウィンドウを改善し得る。MTJプロセス全体の統合及びプロセスウィンドウが増大し得る。 40

【0005】

特定の実施形態では、底部電極の上方に磁気トンネル接合構造を形成することを含む方法が開示される。また、本方法は、磁気トンネル接合構造の上方に及びこれに隣接して拡散障壁層を形成することも含む。本方法は、拡散障壁層をエッチングバックして、磁気トンネル接合構造の上方の拡散障壁層を除去することを更に含む。また、本方法は、磁気トンネル接合構造の頂部を導電層に接続することも含む。

【0006】

他の特定の実施形態では、底部電極の上方に複数の磁気トンネル接合層を形成することを含む方法が開示される。また、本方法は、底部電極で停止するエッチングプロセスを用いて、磁気トンネル接合構造をパターン化することも含む。本方法は、磁気トンネル接合構造の側壁及び頂部から側壁及び頂部酸化層を除去するためにin-situスパッタク 50

リーニングを行うことを更に含む。また、本方法は、磁気トンネル接合構造の上方に及びこれに隣接して拡散障壁層を形成することも含む。本方法は、拡散障壁層をエッチングバックして、磁気トンネル接合構造の頂部から頂部酸化層を除去して、磁気トンネル接合構造に隣接する拡散障壁層の一部を残すことを更に含む。また、本方法は、磁気トンネル接合構造の頂部を導電層に接続することも含む。

【0007】

他の特定の実施形態では、第一の絶縁層の上方に底部キャップ層を形成することを含む方法が開示される。また、本方法は、第一の絶縁層内に底部金属トレンチ及び底部ビアを開口し、銅をメッキし、銅の化学機械平坦化（CMP, chemical mechanical planarization）を行うための第一の銅ダマシンプロセスを行うことも含む。本方法は、底部キャップ層の上方に及び底部金属トレンチ内の銅の上方に底部電極を形成することを更に含む。また、本方法は、底部電極の上方に複数の磁気トンネル接合層を形成し、複数の磁気トンネル接合層の上方にハードマスクを形成し、磁気トンネル接合構造をパターン化することも含む。本方法は、磁気トンネル接合構造の上方及びこれに隣接して、並びに底部電極の上方に磁気トンネル接合エッチングバック層を形成し、拡散障壁層をエッチングバックして、磁気トンネル接合構造に隣接する拡散障壁層の一部を残すことを更に含む。また、本方法は、磁気トンネル接合構造の上方に、前記磁気トンネル接合構造に隣接する拡散障壁層の一部に隣接して、及び底部電極の上方にキャップ層を形成することも含む。本方法は、キャップ層の上方に第二の絶縁層を形成し、第二の絶縁層を平坦化し、磁気トンネル接合構造の頂部を露出することを更に含む。また、本方法は、平坦化された第二の絶縁層の上方及び磁気トンネル接合構造の頂部の上方に頂部電極を形成し、頂部電極及び底部電極をパターン化することも含む。本方法は、パターン化された頂部電極の上方及び底部キャップ層の上方に第三の絶縁層を形成及び平坦化すること、及び第三の絶縁層内にパターン化された頂部電極まで頂部金属トレンチを開口し、銅をメッキし、銅の化学機械平坦化を行うための第二の銅ダマシンプロセスを行うことを更に含む。

【0008】

他の特定の実施形態では、底部電極の上方の磁気トンネル接合構造を含む装置が開示される。また、本装置は、磁気トンネル接合構造に隣接する拡散障壁層の一部も含む。本装置は、導電層に接続された磁気トンネル接合構造の頂部を更に含む。

【発明の効果】

【0009】

開示される複数の実施形態のうち少なくとも一つによって提供される一つの具体的な利点は、大きなオーバーエッチングプロセスウィンドウを有する拡散障壁エッチングバックプロセスを用いてMTJ構造の頂部から酸化層を除去することである。拡散障壁エッチングバックプロセスは、後続のプレクリーンアッププロセスに対する負担を軽減し、プレクリーンアッププロセスウィンドウを改善し得る。MTJプロセス全体の統合及びプロセスウィンドウが増大し得る。本開示の他の側面、利点、及び特徴は、図面の簡単な説明、発明の詳細な説明、特許請求の範囲を含む本願全体を参照した後に明らかになるものである。

【図面の簡単な説明】

【0010】

【図1】MTJ層及びフォトレジストマスクを形成した後の磁気トンネル接合（MTJ）デバイスの製造プロセスの少なくとも一段階の第一の例示的な図である。

【図2】MTJ構造をパターン化した後の磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第二の例示的な図である。

【図3】拡散障壁層を形成した後の磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第三の例示的な図である。

【図4】拡散障壁層をエッチングバックし、MTJ構造の頂部から拡散障壁層を除去し、MTJ構造の側壁に隣接する拡散障壁層の一部を残した後の磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第四の例示的な図である。

【図５】キャップ層及びそのキャップ層の上方の絶縁層を形成した後の磁気トンネル接合（ＭＴＪ）デバイスの製造方法の少なくとも一段階の第五の例示的な図である。

【図６】絶縁層を平坦化し、ＭＴＪ構造の頂部を露出し、ＭＴＪ構造の頂部の上方及び平坦化された絶縁層の上方に頂部電極を形成した後の磁気トンネル接合（ＭＴＪ）デバイスの製造方法の少なくとも一段階の第六の例示的な図である。

【図７】頂部電極及び底部電極をパターン化し、その上方に他の絶縁層を形成し、絶縁層のＣＭＰを行い、パターン化された頂部電極を導電層に接続するための銅ダマシンプロセスを行った後の磁気トンネル接合（ＭＴＪ）デバイスの製造方法の少なくとも一段階の第七の例示的な図である。

【図８】磁気トンネル接合（ＭＴＪ）デバイスの形成方法の第一の例示的な実施形態のフロー図である。 10

【図９】磁気トンネル接合（ＭＴＪ）デバイスの形成方法の第二の例示的な実施形態のフロー図である。

【図１０】磁気トンネル接合（ＭＴＪ）デバイスの形成方法の第三の例示的な実施形態の第一部を示す。

【図１１】磁気トンネル接合（ＭＴＪ）デバイスの形成方法の第三の例示的な実施形態の第二部を示す。

【図１２】エッチングバックされた拡散障壁層の側壁を備えたＭＴＪ構造を有するモジュールを含む携帯型通信デバイスの特定の実施形態のブロック図である。

【図１３】磁気トンネル接合（ＭＴＪ）デバイスと共に使用される製造方法を示すデータフロー図である。 20

【発明を実施するための形態】

【００１１】

本開示の特定の実施形態を、添付図面を参照して説明する。説明において、共通の特徴は図面全体にわたって共通の参照番号で指称される。図１を参照すると、磁気トンネル接合（ＭＴＪ）デバイスの製造方法の少なくとも一段階の第一の例示的な図が示されていて、概して１００で指称される。底部キャップ層１０４が、第一の絶縁層１０２の上方に形成され得る。例えば、底部キャップ層１０４は、第一の絶縁層１０２上に堆積され得る。特定の実施形態では、底部キャップ層１０４は炭化シリコン（ＳｉＣ）を含む。第一の銅ダマシンプロセスを行い、第一の絶縁層１０２内に底部金属トレンチ１０６及び底部ビア 30 １０８を開口し、銅をメッキし、銅の化学機械平坦化を行い得る。底部電極１１０が、底部キャップ層１０４の上方及び底部金属トレンチ１０６内の銅の上方に形成され得る。例えば、底部電極１１０は、銅キャップ層１０４の上及び底部金属トレンチ１０６内の銅の上に堆積され得る。特定の実施形態では、底部電極１１０は、タンタル及び窒化タンタルのうち少なくとも一方を含む。

【００１２】

複数の磁気トンネル接合層１１２が、底部電極１１０の上方に形成され得る。例えば、複数の磁気トンネル接合層１１２は、底部電極１１０の上に堆積された、反強磁性（ＡＦＭ, *antiferromagnetic*) 層、ピニング層、スペーサ、固定ピンド層、トンネル障壁層、自由層、及びＭＴＪキャップ層を含み得る。特定の実施形態では、磁気 40 トンネル接合層１１２のピニング層及び自由層の磁気トンネル接合の磁気アニーリング容易軸は、後に形成される磁気トンネル接合構造２０２（図２に示される）の磁場配向を整列する。ハードマスク１１４が、磁気トンネル接合層１１２の上方に形成され得る。例えば、ハードマスク１１４は、磁気トンネル接合層１１２の上に堆積され得る。フォトレジスト１１６が、ハードマスク１１４の上方に形成され、図２に示される磁気トンネル接合構造２０２をパターン化するようにパターン化され得る。例えば、フォトレジストは、ハードマスク１１４の上に堆積され、フォトリソグラフィ法によってパターン化され得る。代表的なウェーハの中心領域１１８及び縁領域１２０が示されている。

【００１３】

図２を参照すると、磁気トンネル接合（ＭＴＪ）デバイスの製造方法の少なくとも一段 50

階の第二の例示的な図が示されていて概して200で指称される。磁気トンネル接合構造202が、底部電極の上方に形成され得て、また、底部金属トレンチ106内の銅の上方にも形成され得る。特定の実施形態では、*in-situ*スパッタクリーニングが実施されて、MTJエッチングプロセス後の磁気トンネル接合構造202から酸化層（図示せず）が除去される。*in-situ*スパッタクリーニングは、磁気トンネル接合構造202の頂部206及び側壁204から酸化層を除去し得る。磁気トンネル接合構造202を形成するのに用いられる磁気トンネル接合エッチングプロセス中に、磁気トンネル接合エッチングプロセスに使用される化学薬品中に存在する酸素が原因で、酸化層（図示せず）が、磁気トンネル接合構造202の上に形成され得る。

【0014】

10

図3を参照すると、磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第三の例示的な図が示されていて概して300で指称される。拡散障壁層302が、磁気トンネル接合構造202の上方に及びこれに隣接して形成され、また、底部電極110の上方に形成され得る。例えば、拡散障壁層302は、磁気トンネル接合構造202の上、磁気トンネル接合構造202の側壁204に隣接して、及び底部電極110の上に堆積され得る。特定の実施形態では、拡散障壁層302は*in-situ*で形成される。特定の実施形態では、拡散障壁層302は窒化シリコン（SiN）を含む。

【0015】

図4を参照すると、磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第四の例示的な図が示されていて概して400で指称される。図3に示される拡散障壁層302がエッチングバックされて、磁気トンネル接合構造202の側壁204に隣接する拡散障壁層302の一部402が残される。特定の実施形態では、図3に示される拡散障壁層302のエッチングバックは*in-situ*で行われる。特定の実施形態では、酸素がエッチングバックプロセスで用いられる化学薬品内に存在していないので、図3に示される拡散障壁層302のエッチングバックは、磁気トンネル接合構造202上に酸化層を形成せずに、行われる。特定の実施形態では、図3に示される拡散障壁層302のエッチングバックは、オーバーエッチングプロセスのマージンを増大させる効果を有する。例えば、MTJ構造202の頂部206からのトポグラフィの問題が存在せず、エッチングバックプロセスのオーバーエッチングプロセスのマージンが増大しているので、エッチングバックプロセス中において、図3に示される拡散障壁層302が磁気トンネル接合構造202の頂部206から除去される際に、磁気トンネル接合構造202の頂部206上に存在する酸化層が除去される。

20

30

【0016】

図5を参照すると、磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第五の例示的な図が示されていて概して500で指称される。キャップ層502が、磁気トンネル接合構造202の上方に、磁気トンネル接合構造202に隣接する拡散障壁層の一部402に隣接して、及び底部電極110の上方に*in-situ*で形成される。例えば、キャップ層502は、磁気トンネル接合構造202の上に、磁気トンネル接合構造202に隣接する拡散障壁層の一部402に隣接して、及び底部電極110の上に堆積され得る。特定の実施形態では、キャップ層502は窒化シリコン（SiN）を含む。第二の絶縁層504がキャップ層502の上方に形成され得る。例えば、第二の絶縁層504はキャップ層502の上方に堆積され得る。

40

【0017】

図6を参照すると、磁気トンネル接合（MTJ）デバイスの製造方法の少なくとも一段階の第六の例示的な図が示されていて概して600で指称される。第二の絶縁層504は平坦化され得て、磁気トンネル接合構造202の頂部206が露出され得る。第二の絶縁層504の平坦化及び磁気トンネル接合構造202の頂部の露出は、頂部電極110の上方に、及び図3に示される拡散障壁層302の一部402に隣接して、図5に示されるキャップ層502の一部602を残し得る。頂部電極604が、平坦化された第二の絶縁層504の上方に、及び磁気トンネル接合構造202の頂部206の上方に形成され得る。

50

例えば、頂部電極 604 は、平坦化された第二の絶縁層 504 の上に、及び磁気トンネル接合構造 202 の頂部 206 の上に堆積され得る。特定の実施形態では、頂部電極 604 はタンタル及び窒化タンタルのうち少なくとも一方を含む。

【0018】

頂部電極 604 は、酸化層を介在せずに、磁気トンネル接合構造 202 の頂部 206 に接触する。図 3 に示される拡散障壁層 302 がエッチングバックプロセス中に磁気トンネル接合構造 202 の頂部 206 から除去され、頂部電極 604 の堆積プロセスのプレスパッタクリーニングが行われる間に、磁気トンネル接合構造 202 の頂部 206 の上に存在する酸化層は除去される。介在する酸化層が存在しない状況と比較すると、介在する酸化層が存在しないことによって、頂部電極 604 と磁気トンネル接合構造 202 の頂部 206 との間の直列抵抗が低下する。

10

【0019】

図 7 を参照すると、磁気トンネル接合 (MTJ) デバイスの製造方法の少なくとも一段階の第七の例示的な図が示されていて概して 700 で指称される。図 1 の底部電極 110 及び図 6 の頂部電極 604 がパターン化されて、パターン化底部電極 702 及びパターン化頂部電極 704 が形成される。第三の絶縁層 706 がパターン化頂部電極 704 の上方及び底部キャップ層 104 の上方に形成及び平坦化され得る。例えば、第三の絶縁層 706 は、パターン化頂部電極 704 の上に、及び底部キャップ層 104 の上に堆積され、平坦化され得る。第二の銅ダマシンプロセスを行って、第三の絶縁層 706 内に頂部金属トレレンチ 708 を平坦化された頂部電極まで開口し、銅をメッキし、銅の化学機械平坦化を行い得る。パターン化底部電極 702 の上方に磁気トンネル接合構造 202 を含む磁気トンネル接合 (MTJ) デバイス 710 が形成され得る。MTJ デバイス 710 は、磁気トンネル接合構造 202 に隣接する図 3 の拡散障壁層 302 の一部 402 も含む。MTJ デバイス 710 は、パターン化頂部電極 704 を介して導電層、頂部金属トレレンチ 708 内の銅に接続された磁気トンネル接合構造 202 の頂部 404 を更に含む。

20

【0020】

説明を簡単且つ明確にするために、ステップ及び構造が図 1～7 において省略されている。例えば、図 1 の多様な MTJ 層 112 は、複合層であり得る。他の例では、保護キャップ層が、パターン化頂部電極 704 の上に形成されて、第二のダマシンプロセスの一部としてエッチングされ得る。

30

【0021】

図 8 は、磁気トンネル接合 (MTJ) デバイスの形成方法の第一の例示的な実施形態 800 のフロー図である。第一の例示的な実施形態 800 において、本方法は、802 において、底部電極の上方に磁気トンネル接合構造を形成することを含む。例えば、図 2 の磁気トンネル接合構造 202 が図 1 の底部電極 110 の上方に形成され得て、磁気アニーリングが行われ得る。本方法は、804 において、磁気トンネル接合構造の上方に及びこれに隣接して拡散障壁層を形成することを含む。例えば、図 3 の拡散障壁層 302 が、図 2 の磁気トンネル接合構造 202 の上方に及びこれに隣接して形成され得る。

【0022】

本方法は、806 において、拡散障壁層をエッチングバックして、磁気トンネル接合構造の上方の拡散障壁層を除去することを更に含む。例えば、図 3 の拡散障壁層 302 がエッチングバックされ、図 4 に示されるように、拡散障壁層 302、及び図 2 の磁気トンネル接合構造 202 の上方の酸化層が除去される。特定の実施形態では、図 3 の拡散障壁層 302 のエッチングバックは、図 2 の磁気トンネル接合構造 202 に隣接する拡散障壁層 302 の一部 402 を残す。また、本方法は、808 において、磁気トンネル接合構造の頂部を導電層に接続することを含む。例えば、磁気トンネル接合構造 202 の頂部 404 (図 4 に示される) が、頂部金属トレレンチ 708 内の銅に接続された図 7 のパターン化頂部電極 704 に接続され得る。

40

【0023】

図 9 は、磁気トンネル接合 (MTJ) デバイスの形成方法の第二の例示的な実施形態 9

50

00のフロー図である。第二の例示的な実施形態900において、本方法は、902において、底部電極の上方に複数の磁気トンネル接合層を形成することを含む。例えば、図1の複数の磁気トンネル接合層112が、図1の底部電極110の上方に形成され、磁気アニーリングが行われ得る。また、本方法は、904において、底部電極で停止するエッチングプロセスを用いて、磁気トンネル接合構造をパターン化することを含む。例えば、図1のハードマスク114及びフォトレジスト116を用いて、図2の磁気トンネル接合構造202をパターン化し得る。本方法は、906において、磁気トンネル接合構造の側壁から側壁酸化層を除去するためにin-situスパッタクリーニングを行うことを更に含む。例えば、図2の磁気トンネル接合構造202が、in-situスパッタクリーニングに晒されて、磁気トンネル接合構造202の図2の側壁204から酸化層（図示せず）が除去され得る。

10

【0024】

また、本方法は、908において、磁気トンネル接合構造の上方に及びこれに隣接して拡散障壁層を形成することを含む。例えば、図3の拡散障壁層302は、図2の磁気トンネル接合構造202の上方に及びこれに隣接して形成された拡散障壁層である。特定の実施形態では、拡散障壁層はin-situで形成される。特定の実施形態では、拡散障壁層は、窒化シリコン(SiN)及び炭化シリコン(SiC)のうち少なくとも一方を含む。

【0025】

本方法は、910において、拡散障壁層をエッチングバックすること、磁気トンネル接合構造の頂部から頂部酸化層を除去すること、及び磁気トンネル接合構造に隣接する拡散障壁層の一部を残すことを更に含む。例えば、図3の拡散障壁層320がエッチングバックされて、拡散障壁層、及び図2の磁気トンネル接合構造202の図2の頂部206からの頂部酸化層が除去されて、磁気トンネル接合構造202に隣接する拡散障壁層302の一部402が残される。特定の実施形態では、拡散障壁層のエッチングバックは、in-situで行われる。

20

【0026】

また、本方法は、912において磁気トンネル接合構造の頂部を導電層に接続することを含む。例えば、図2の磁気トンネル接合構造202の図2の頂部206が、図7の頂部金属トレンチ708内の銅に接続された図7のパターン化頂部電極704に接続され得る。

30

【0027】

図10は、磁気トンネル接合(MTJ)デバイスの形成方法の第三の例示的な実施形態の第一部1000のフロー図である。第三の例示的な実施形態の第一部1000において、本方法は、1002において、第一の絶縁層の上方に底部キャップ層を形成することを含む。例えば、図1の底部キャップ層104が、図1の第一の絶縁層102の上方に形成される。また、本方法は、1004において、第一の絶縁層内に底部金属トレンチ及び底部ビアを開口し、銅をメッキし、銅の化学機械平坦化を行うための第一の銅ダマシンプロセスも含む。例えば、第一の銅ダマシンプロセスが行われて、図1の第一の絶縁層102内に図1の底部金属トレンチ106及び図1の底部ビア108を開口し、銅をメッキし、銅の化学機械平坦化を行う。

40

【0028】

本方法は、1006において、底部キャップ層層の上方に、及び底部金属トレンチ内の銅の上方に底部電極を形成することを更に含む。例えば、図1の底部電極110が、図1の底部キャップ層104の上方に、及び図1の底部金属トレンチ106内の銅の上方に形成され得る。また、本方法は、1008において、底部電極の上方に複数の磁気トンネル接合層を形成すること、1010において、磁気トンネル接合層の上方にハードマスクを形成すること、及び1012において、磁気トンネル接合構造をパターン化することを含む。例えば、図1の磁気トンネル接合層112が図1の底部電極110の上方に形成され、磁気アニーリングが行われ得て、図1のハードマスク114が磁気トンネル接合層11

50

2 の上方に形成され、図 1 のハードマスク 1 1 4 及びフォトレジスト 1 1 6 を用いて、図 2 の磁気トンネル接合構造 2 0 2 をパターン化する。

【0 0 2 9】

本方法は、1 0 1 4 において、磁気トンネル接合構造の上方に及びこれに隣接して、並びに底部電極の上方に拡散障壁層を形成すること、1 0 1 6 において、拡散障壁層をエッチングバックして、磁気トンネル接合構造に隣接する拡散障壁層の一部を残すことを更に含む。例えば、図 3 の拡散障壁層 3 0 2 が、図 2 の磁気トンネル接合構造 2 0 2 の上方に及びこれに隣接して、並びに図 1 の底部電極 1 1 0 の上方に形成されて、拡散障壁層 3 0 2 がエッチングバックされて、磁気トンネル接合構造 2 0 2 に隣接する拡散障壁層 3 0 2 の図 4 の一部 4 0 2 が残される。

10

【0 0 3 0】

図 1 1 は、磁気トンネル接合 (M T J) デバイスの形成方法の第三の例示的な実施形態の第二部 1 1 0 0 のフロー図である。第三の例示的な実施形態の第二部 1 1 0 0 において、本方法は、1 1 0 2 において、磁気トンネル接合構造の上方に、磁気トンネル接合構造に隣接する拡散障壁層の一部に隣接して、及び底部電極の上方にキャップ層を形成することを含む。例えば、図 5 のキャップ層 5 0 2 が、図 2 の磁気トンネル接合構造 2 0 2 の上方、図 2 の磁気トンネル接合構造 2 0 2 に隣接する図 3 の拡散障壁層 3 0 2 の図 4 の一部 4 0 2 に隣接して、及び図 1 の底部電極 1 1 0 の上方に形成される。特定の実施形態では、キャップ層は、i n - s i t u で形成される。本方法は、1 1 0 4 において、キャップ層の上方に第二の絶縁層を形成すること、1 1 0 6 において、第二の絶縁層を平坦化し、磁気トンネル接合構造の頂部を露出することを更に含む。例えば、図 5 の第二の絶縁層 5 0 4 が、図 5 のキャップ層 5 0 2 の上方に形成され、第二の絶縁層 5 0 4 が平坦化されて、図 2 の磁気トンネル接合構造 2 0 2 の図 2 の頂部 2 0 6 が露出される。

20

【0 0 3 1】

また、本方法は、1 1 0 8 において、平坦化された第二の絶縁層の上方に、及び磁気トンネル接合構造の頂部の上方に頂部電極を形成すること、1 1 1 0 において、頂部電極及び底部電極をパターン化することを含む。例えば、図 6 の頂部電極 6 0 4 が、図 5 の平坦化された第二の絶縁層 5 0 4 の上方に、及び図 2 の磁気トンネル接合構造 2 0 2 の図 2 の頂部 2 0 6 の上方に形成されて、図 6 の頂部電極 6 0 4 及び図 1 の底部電極 1 1 0 がパターン化されて、図 7 のパターン化頂部電極 7 0 4 及び図 7 のパターン化底部電極 7 0 2 になる。

30

【0 0 3 2】

本方法は、1 1 1 2 において、パターン化頂部電極の上方及び底部キャップ層の上方に第三の絶縁層を形成及び平坦化すること、1 1 1 4 において、第三の絶縁層内にパターン化頂部電極まで頂部金属トレンチを開口し、銅をメッキし、銅の化学機械平坦化を行うための第二の銅ダマシンプロセスを行うことを含む。例えば、図 7 の第三の絶縁層 7 0 6 が、図 7 のパターン化頂部電極 7 0 4 の上方及び図 1 の底部キャップ層 1 0 4 の上方に形成及び平坦化されて、第二の銅ダマシンプロセスが行われて、第三の絶縁層 7 0 6 内にパターン化頂部電極 7 0 4 まで図 7 の頂部金属トレンチを開口して、銅をメッキし、銅の化学機械平坦化を行う。

40

【0 0 3 3】

図 1 2 は、エッチングバックされた拡散障壁層の側壁を備えた M T J 構造を有するモジュール 1 2 6 4 を含むシステム 1 2 0 0 の特定の実施形態のブロック図である。システム 1 2 0 0 は、携帯型電子デバイス内に実装され得て、ソフトウェア 1 2 6 6 等のコンピュータ可読命令を記憶するメモリ 1 2 3 2 等のコンピュータ可読媒体に結合されたデジタルシグナルプロセッサ (D S P) 等のプロセッサ 1 2 1 0 を含む。システム 1 2 0 0 は、エッチングバックされた拡散障壁層の側壁を備えた M T J 構造を有するモジュール 1 2 6 4 を含む。例示的な例では、エッチングバックされた拡散障壁層の側壁を備えた M T J 構造を有するモジュール 1 2 6 4 は、図 8 ~ 図 1 1 のいずれかの実施形態又はこれらの組み合わせに従って形成された図 7 の M T J 構造を含む。エッチングバックされた拡散障壁層の

50

側壁を備えたMTJ構造を有するモジュール1264は、プロセッサ1210内に存在し得て、又は別個のデバイス又は回路（図示せず）であり得る。特定の実施形態では、図12に示されるように、エッチングバックされた拡散障壁層の側壁を備えたMTJ構造を有するモジュール1264は、デジタルシグナルプロセッサ（DSP）1210にアクセス可能である。他の特定の実施形態では、メモリ1232は、エッチングバックされた拡散障壁層の側壁を備えたMTJ構造を有するモジュール1264を含むSTT-MRAMメモリアレイを含み得る。

【0034】

カメラインターフェース1268が、プロセッサ1210に結合され、また、ビデオカメラ1270等のカメラにも結合される。ディスプレイコントローラ1226が、プロセッサ1210及びディスプレイデバイス1228に結合される。コーデック（CODEC）1234も、プロセッサ1210に結合可能である。スピーカ1236及びマイク1238がCODEC1234に結合可能である。ワイヤレスインターフェース1240が、プロセッサ1210及びワイヤレスアンテナ1242に結合可能である。

【0035】

特定の実施形態では、プロセッサ1210、ディスプレイコントローラ1226、メモリ1232、CODEC1234、ワイヤレスインターフェース1240、及びカメラインターフェース1268は、システムインパッケージ又はシステムオンチップデバイス1222内に含まれる。特定の実施形態では、入力デバイス1230及び電源1244がシステムオンチップデバイス1222に結合される。更に、特定の実施形態では、図12に示されるように、ディスプレイデバイス1228と、入力デバイス1230と、スピーカ1236と、マイク1238と、ワイヤレスアンテナ1242と、ビデオカメラ1270と、電源1244は、システムオンチップデバイス1222の外部にある。しかしながら、ディスプレイデバイス1228、入力デバイス1230、スピーカ1236、マイク1238、ワイヤレスアンテナ1242、ビデオカメラ1270、及び電源1244の各々は、システムオンチップデバイス1222のコンポーネント（インターフェースやコントローラ等）に結合可能である。

【0036】

上述のデバイス及び機能性（図7のデバイス、図8、図9、図10、図11又はこれらの組み合わせの方法）は、コンピュータ可読媒体に記憶されたコンピュータファイル（例えば、RTI、GDSII、GERBER等）内に設計及び構成され得る。そのようなファイルの一部又は全ては、そうしたファイルに基づいてデバイスを製造する製造業者に提供され得る。結果物の製品は半導体ウェーハを含み、その半導体ウェーハは後で半導体ダイに切断されて半導体チップにパッケージングされる。その半導体チップは、電子デバイスにおいて採用される。図13は、電子デバイス製造方法1300の特定の例示的な実施形態を示す。

【0037】

製造方法1300において、物理的デバイス情報1302を、リサーチコンピュータ1306等において受信する。物理的デバイス情報1302は、図7のMTJデバイス710等の半導体デバイスの少なくとも一つの物理的性質を表す設計情報を含み得る。例えば、物理的デバイス情報1302は、リサーチコンピュータ1306に結合されたユーザーインターフェース1304を介して入力される物理的パラメータ、物質特性、構造情報を含み得る。リサーチコンピュータ1306は、メモリ1310等のコンピュータ可読媒体に結合されたプロセッサ1308（一つ以上の処理コア等）を含む。メモリ1310は、プロセッサ1308が物理的デバイス情報1302をファイルフォーマットに適合するように変換してライブラリファイル1312を生成するように実行可能なコンピュータ可読命令を記憶し得る。

【0038】

特定の実施形態では、ライブラリファイル1312は、変換された設計情報を含む少なくとも一つのデータファイルを含む。例えば、ライブラリファイル1312は、図7のM

10

20

30

40

50

T Jデバイス1312を含む半導体デバイスのライブラリを含み得て、そのライブラリは、電子設計自動化（EDA, electronic design automation）ツール1320と共に使用するために提供される。

【0039】

ライブラリファイル1312は、EDAツール1320と共に、メモリ1318に結合されたプロセッサ1316（一つ以上の処理コア等）を含む設計コンピュータ1314において使用され得る。EDAツール1320は、メモリ1318にプロセッサ実行可能命令として記憶され得て、設計コンピュータ1314の使用者が、ライブラリファイル1312の図7のMTJデバイス710を用いて回路を設計することを可能にする。例えば、設計コンピュータ1314の使用者は、設計コンピュータ1314に結合されたユーザインターフェース1324を介して回路設計情報1322を入力し得る。回路設計情報1322は、図7のMTJデバイス710等の半導体デバイスの少なくとも一つの物理的性質を表す設計情報を含み得る。例えば、回路設計特性は、特定の回路の識別及び回路設計の他の要素との関係、配置情報、フィーチャサイズ情報、相互接続情報、又は半導体デバイスの物理的性質を表す他の情報を含み得る。

10

【0040】

設計コンピュータ1314は、回路設計情報1322を含む設計情報をファイルフォーマットに適合するように変換するように構成され得る。例えば、ファイルフォーマットは、平面的な幾何学的形状、テキストラベル、階層型フォーマット内の回路レイアウトについての他の情報を表すデータベースバイナリファイルフォーマット（グラフィックデータシステム（GDSII）ファイルフォーマット等）を含み得る。設計コンピュータ1314は、変換された設計情報を含むデータファイルを生成するように構成され得て、そのデータファイルとして、図7のMTJデバイス710、更に他の回路又は情報を記述する情報を含むGDSIIファイル1326等が挙げられる。例えば、データファイルは、図7のMTJデバイス710を含み、またシステムオンチップ（SOC）内の追加の電子回路及びコンポーネントも含むシステムオンチップ（SOC）に対応する情報を含み得る。

20

【0041】

GDSIIファイル1326は、製造プロセス1328において受信され得て、その製造プロセス1328では、GDSIIファイル1326の変換された情報に従って、図7のMTJデバイス710を製造する。例えば、デバイス製造プロセスは、GDSIIファイル1326をマスク製造業者1330に提供して代表的なマスク1332が示されている一つ以上のマスク（フォトリソグラフィプロセスに使用されるマスク等）を製造することを含み得る。製造プロセス中に、マスク1332を用いて、一つ以上のウェーハ1334を生成して、そのウェーハ1334は、テストされて、また、代表的なダイ1336等のダイへと分離され得る。ダイ1336は、図7のMTJデバイス710を含む回路を含む。

30

【0042】

ダイ1336は、パッケージングプロセス1338へと提供され得て、ダイ1336が、代表的なパッケージ1340内に組み込まれる。例えば、パッケージ1340は、単一のダイ1336又は複数のダイを含み得て、システムインパッケージ（SiP）配置等とされる。パッケージ1340は、JEDEC（Joint Electron Device Engineering Council）の規格等の一つ以上の規格又は仕様に準拠するように構成され得る。

40

【0043】

パッケージ1340に関する情報は、コンピュータ1346に記憶されたコンポーネントライブラリ等を介して、多くの製品設計者に配布され得る。コンピュータ1346は、メモリ1350に結合されたプロセッサ1348（一つ以上の処理コア等）を含み得る。印刷回路基板（PCB, printed circuit board）ツールが、メモリ1350にプロセッサ実行可能命令として記憶され得て、コンピュータ1346の使用者からユーザインターフェース1344を介して受信したPCB設計情報1342を処理

50

する。PCB設計情報1342は、回路板上にパッケージングされた半導体デバイスの物理的配置情報を含み得て、そのパッケージングされた半導体デバイスは、図7のMTJデバイス710を含むパッケージ1340に対応する。

【0044】

コンピュータ1346は、PCB設計情報1342を変換して、回路板上にパッケージングされた半導体デバイスの物理的配置情報並びにトレース及びビア等の電気接続のレイアウトを含むデータを備えたGERBERファイル1352等のデータファイルを発生させるように構成され得る。ここで、そのパッケージングされた半導体デバイスは、図7のMTJデバイス710を含むパッケージ1340に対応する。他の実施形態では、変換されたPCB設計情報によって生成されるデータファイルは、GERBERフォーマット以外

10

【0045】

GERBERファイル1352は、基板アセンブリプロセス1354において受信されて、そのGERBERファイル1352内に記憶された設計情報に従って製造されたPCB（代表的なPCB1356等）を形成するのに使用され得る。例えば、GERBERファイル1352は、PCB製造プロセスの多様なステップを実行するための一つ以上の機器にアップロードされ得る。PCB1356には、パッケージ1340を含む電子部品が投入され得て、代表的な印刷回路アセンブリ（PCA, printed circuit assembly）1358が形成される。

【0046】

PCA1358は、製品製造プロセス1360において受け取られて、第一の代表的な電子デバイス1362及び第二の代表的な電子デバイス1364等の一つ以上の電子デバイス内に集積され得る。非限定的な例示として、第一の代表的な電子デバイス1362、第二の代表的な電子デバイス1364、又はその両方は、セットトップボックス、ミュージックプレイヤー、ビデオプレイヤー、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、PDA、固定位置データユニット、及びコンピュータの群から選択され得る。他の非限定的な例示では、電子デバイス1362及び1364の一以上は、携帯電話等のリモートユニット、携帯型パーソナルコミュニケーションシステム（PCS）ユニット、PDA等の携帯型データユニット、GPS有効化デバイス、ナビゲーションデバイス、計測設備等の固定位置データユニット、データ又はコンピュータ命令を記憶又は読み出す他のデバイス、又はこれらの組み合わせであり得る。図13は、本開示の教示によるリモートユニットを例示しているが、本開示は、これらの図示された例示的なユニットに限定されるものではない。本開示の実施形態は、メモリ及びオンチップ回路を含むアクティブ集積回路を含むあらゆるデバイスにおいて適切に採用可能である。

20

30

【0047】

従って、図7のMTJデバイス710、は、例示的なプロセス1300に示されるように、製造され、処理され、電子デバイス内に組み込まれ得る。図1～図11に関して説明された実施形態の一以上の側面は、多様な処理段階において、ライブラリファイル1312、GDSIIファイル1326、及びGERBERファイル1352内に含まれ得て、また、リサーチコンピュータ1306のメモリ1310、設計コンピュータ1314のメモリ1318、コンピュータ1346のメモリ1350、基板アセンブリプロセス1354等の多様な段階において使用される一以上の他のコンピュータ又はプロセッサ（図示せず）のメモリに記憶され得て、マスク1332、ダイ1336、パッケージ1340、PCA1358、プロトタイプの回路又はデバイス（図示せず）等の他の製品等の一つ以上の他の物理的实施形態内に組み込まれ得て、又はこれらの組み合わせであり得る。例えば、GDSIIファイル1326又は製造プロセス1328は、コンピュータによって実行可能な命令を記憶するコンピュータ可読有形媒体を含み得て、その命令は、図7のMTJデバイス710の形成を開始するようにコンピュータによって実行可能な命令を含む。物理的デバイス設計から最終製品までの多様な代表的な製造段階が図示されているが、他の実施形態では、より少ない段階が使用され得て、又は追加の段階が含まれ得る。同様に、

40

50

プロセス1300は、そのプロセス1300の多様な段階を実施する単一のエンティティ、又は一以上のエンティティによって実行され得る。

【0048】

更に、当業者は、本願で開示される実施形態に関して説明される多様な例示的な論理ブロック、構成、モジュール、回路、方法ステップが、電子ハードウェア、処理ユニットによって実行されるコンピュータソフトウェア、又は両方の組み合わせとして実施され得る点を理解されたい。多様な例示的な構成要素、ブロック、構成、モジュール、回路、ステップをそれらの機能性に関して一般的に上述してきた。このような機能性がハードウェアとして実現されるか、実行可能な処理命令として実現されるのかは、具体的な応用、及びシステム全体に対して課される設計制約に依存する。当業者は、各特定の応用に対して異なる方法で説明された機能性を実施することができるものであるが、そのような実施の決定は、本開示の範囲から逸脱するものではない。

10

【0049】

本願で開示される実施形態に関連して説明される方法又はアルゴリズムのステップは、ハードウェア、プロセッサによって実行されるソフトウェアモジュール、又は両者の組み合わせにおいて直接実現可能である。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、磁気抵抗ランダムアクセスメモリ(MRAM)、スピントルクトランスファ磁気抵抗ランダムアクセスメモリ(STT-MRAM)、フラッシュメモリ、リードオンリーメモリ(ROM)、プログラマブルリードオンリーメモリ(PROM)、イレーサブルプログラマブルリードオンリーメモリ(EPROM)、エレクトリカリーイレーサブルプログラマブルリードオンリーメモリ(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスクリードオンリーメモリ(CD-ROM)、又は他の形態の当該分野において知られているストレージ媒体によるものであり得る。例示的なストレージ媒体は、そのストレージ媒体に対してプロセッサが情報の読み書きができるようにプロセッサに接続される。代わりに、ストレージ媒体はプロセッサに集積され得る。プロセッサ及びストレージ媒体は特定用途集積回路(ASIC, application-specific integrated circuit)によるものであり得る。ASICは、計算デバイス又はユーザ端末によるものであり得る。代わりに、プロセッサ及びストレージ媒体は、計算デバイス又はユーザ端末内のディスクリット部品であり得る。

20

30

【0050】

開示される実施形態のこれまでの説明は、当業者が開示される実施形態を実施することができるようにするために提供されるものである。これらの実施形態に対する多様な変更は当業者にとって自明であり、本願で定められる原理は、本発明の範囲から逸脱せずに他の実施形態に適用可能である。従って、本発明は、本願で示される実施形態に限定されるものではなく、添付の特許請求の範囲によって定められるような原理及び新規特徴に矛盾しない最大限の範囲によるものである。

【符号の説明】

【0051】

- 102 第一の絶縁層
- 104 底部キャップ層
- 106 底部金属トレンチ
- 108 底部ビア
- 118 ウェーハの中心領域
- 120 ウェーハの縁領域
- 202 磁気トンネル接合構造
- 206 磁気トンネル接合構造の頂部
- 402 拡散障壁層の一部
- 504 第二の絶縁層
- 602 キャップ層の一部

40

50

- 702 パターン化底部電極
- 704 パターン化頂部電極
- 706 第三の絶縁層
- 708 頂部金属トレンチ
- 710 MTJデバイス

【図 1】

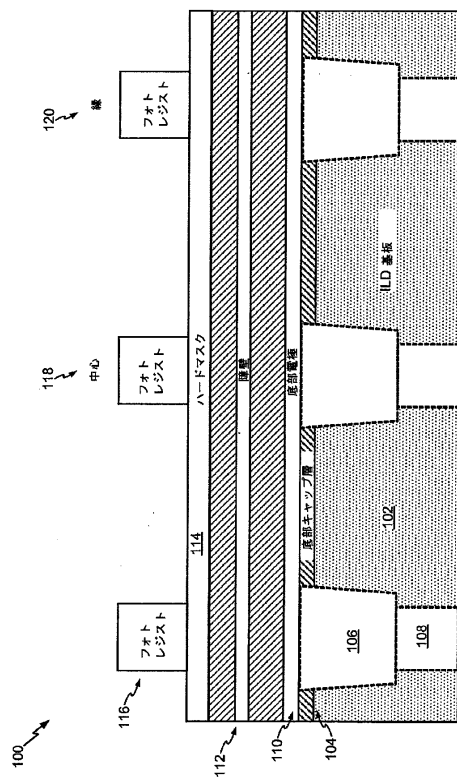


FIG. 1

【図 2】

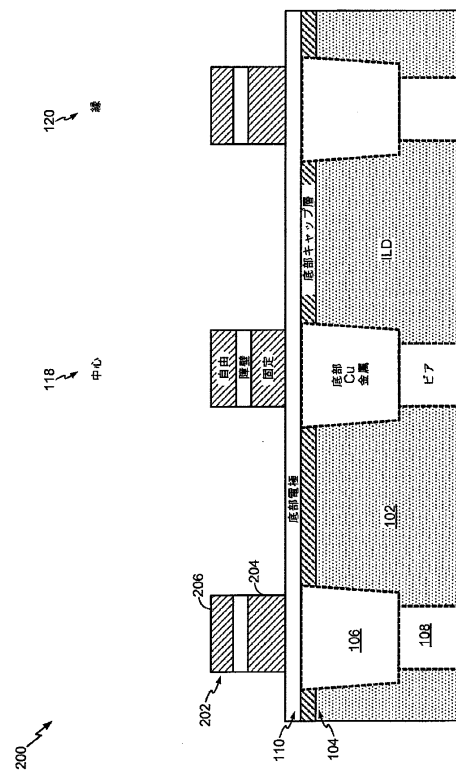


FIG. 2

【図 3】

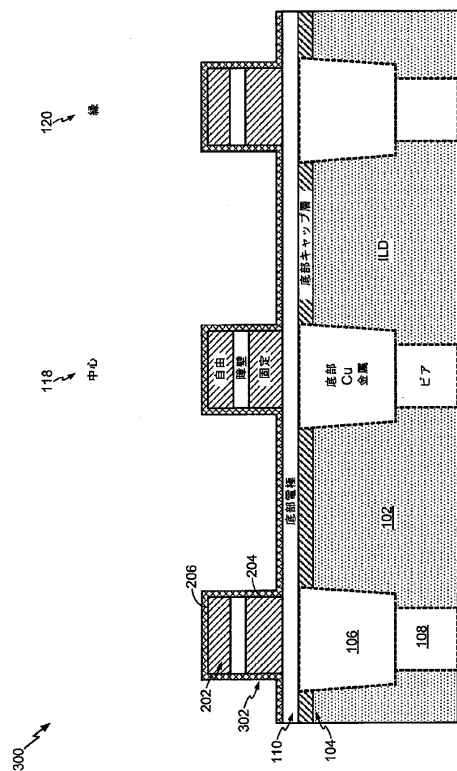


FIG. 3

【图 4】

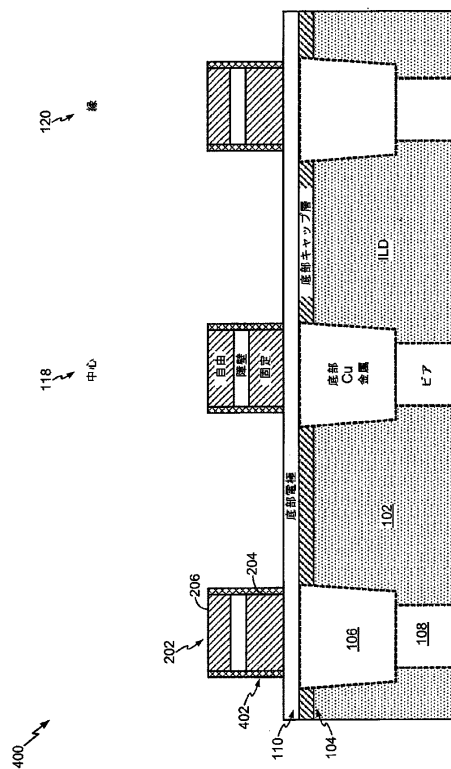


FIG. 4

【図 5】

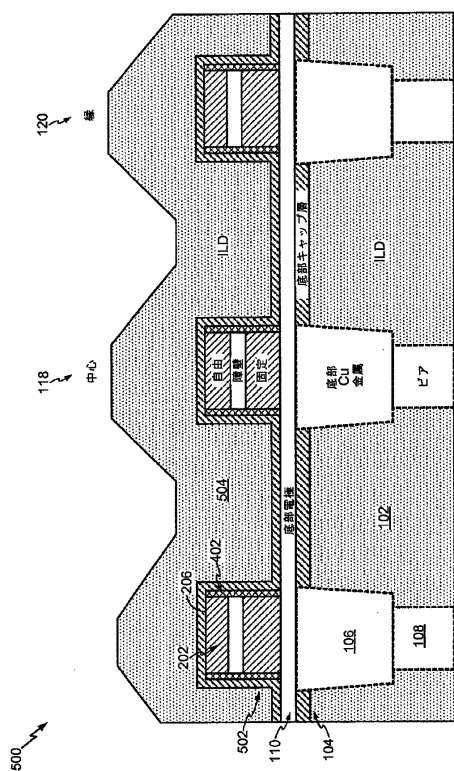


FIG. 5

【図 6】

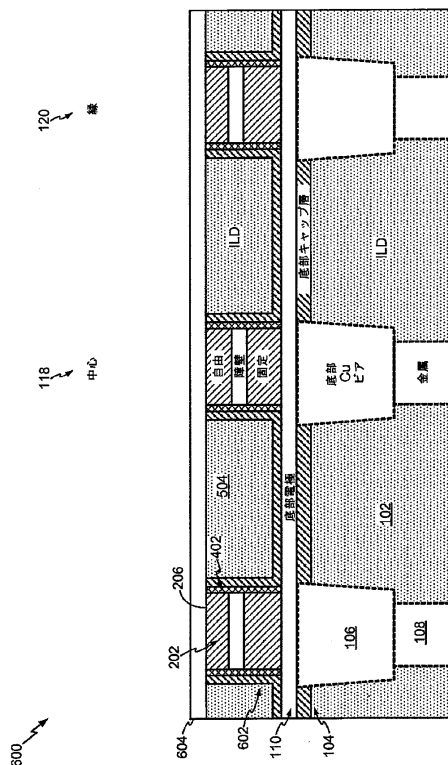


FIG. 6

【図 7】

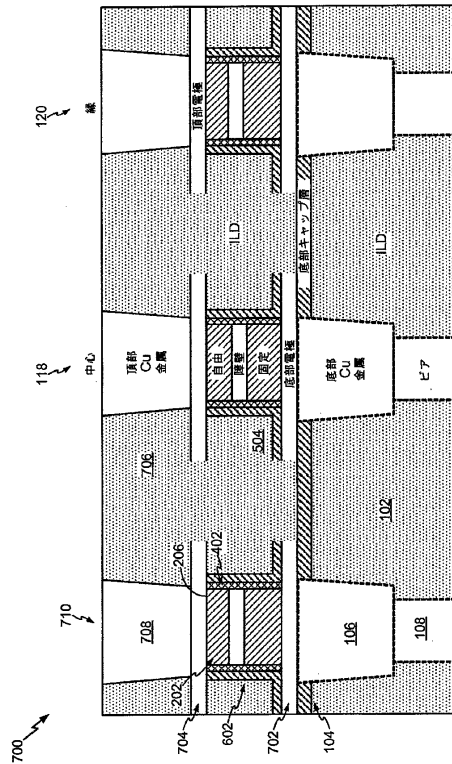


FIG. 7

【図 8】

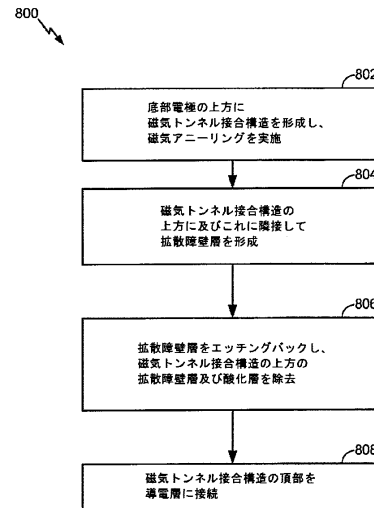


FIG. 8

【図 9】

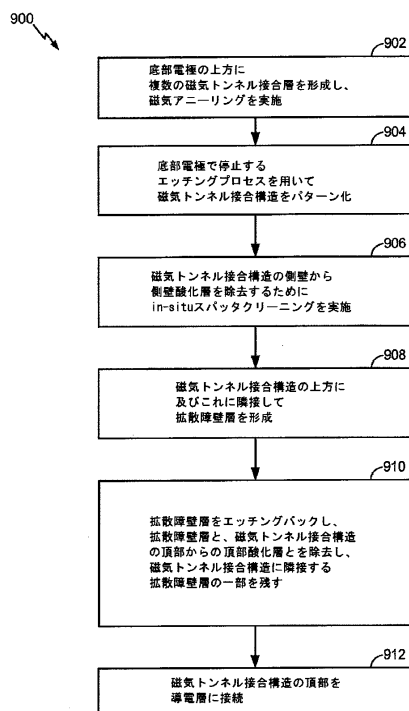


FIG. 9

【図 10】

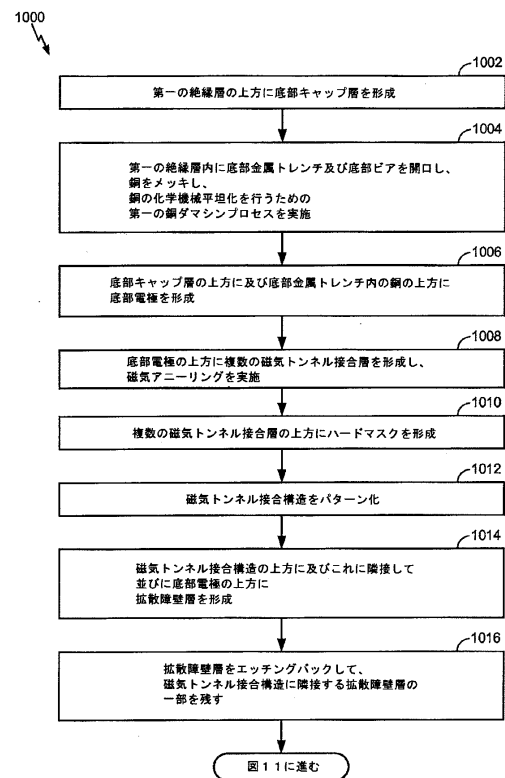


FIG. 10

【図 1 1】

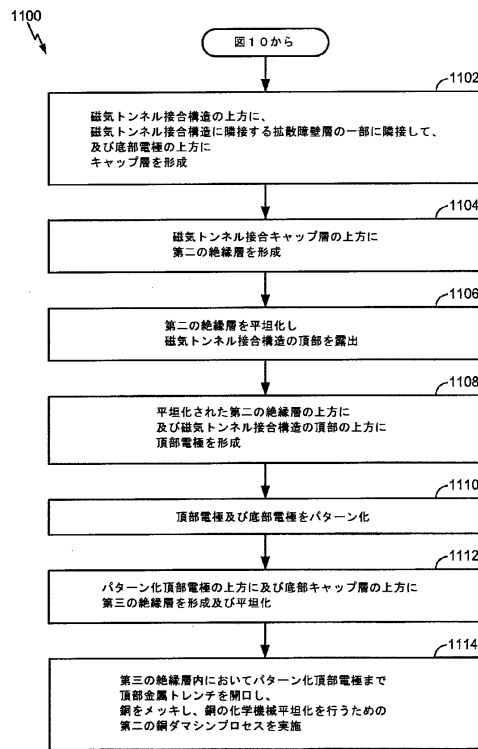


FIG. 11

【図 1 2】

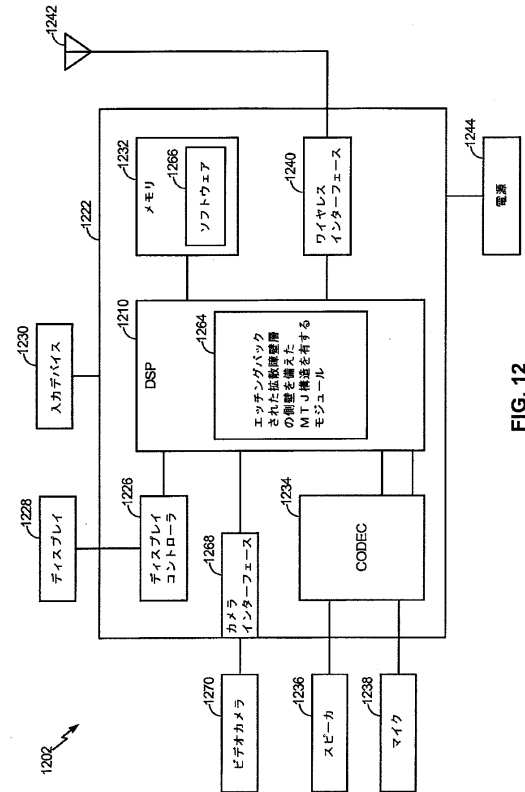


FIG. 12

【図 1 3】

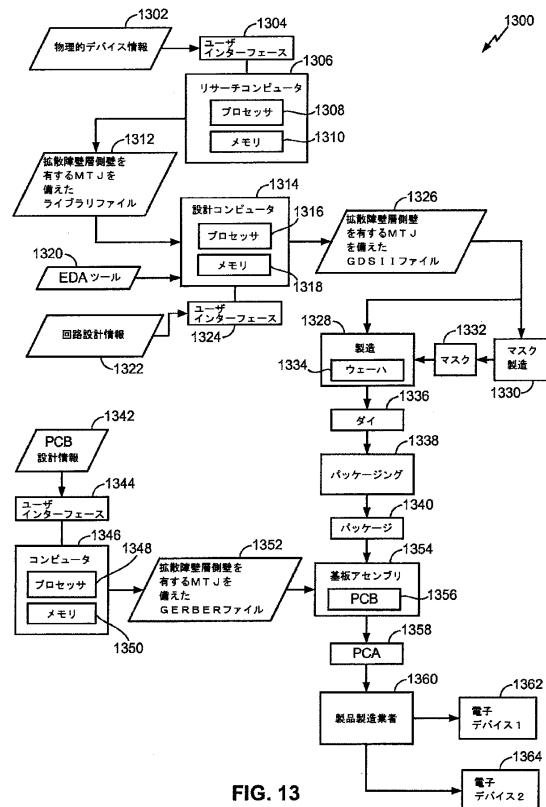


FIG. 13

フロントページの続き

- (72)発明者 スン・エイチ・カン
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ブ・5775
- (72)発明者 シャオチュン・ジュウ
アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ブ・5775

合議体

審判長 鈴木 匡明

審判官 飯田 清司

審判官 須藤 竜也

- (56)参考文献 特開2007-158336 (JP, A)
特開2002-171011 (JP, A)
特表2007-521629 (JP, A)
国際公開第2009/131890 (WO, A1)
特開2008-60569 (JP, A)
特開2008-310573 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10-27/118

H01L 29/82

H01L 43/00-43/14

G11C 11/00-11/16