



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0105730
(43) 공개일자 2011년09월27일

- | | |
|--|---|
| <p>(51) Int. Cl.
<i>G11C 13/00</i> (2006.01) <i>G11C 11/21</i> (2006.01)</p> <p>(21) 출원번호 10-2011-0024432</p> <p>(22) 출원일자 2011년03월18일
심사청구일자 없음</p> <p>(30) 우선권주장
JP-P-2010-063929 2010년03월19일 일본(JP)</p> | <p>(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자
이노우에 히로키
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이 에네루기 켄큐쇼 나이
마쓰자키 타카노리
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이 에네루기 켄큐쇼 나이
나가쓰카 슈헤이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이 에네루기 켄큐쇼 나이</p> <p>(74) 대리인
이화익, 김홍두</p> |
|--|---|

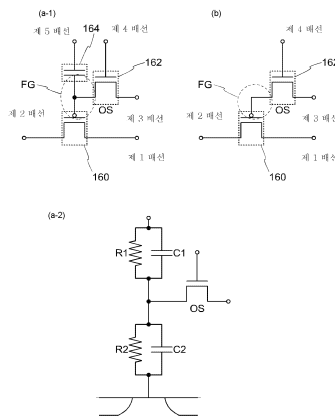
전체 청구항 수 : 총 16 항

(54) 반도체 장치

(57) 요약

본 발명은, 전력이 공급되지 않는 경우라도 기억된 내용을 유지할 수 있고, 또 기록 횟수의 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다. 산화물 반도체를 사용한 기록용 트랜지스터, 상기 트랜지스터와 상이한 반도체 재료를 사용한 관독용 트랜지스터 및 용량 소자를 포함하는 비휘발성의 메모리 셀을 갖는 반도체 장치를 제공한다. 메모리 셀에 대한 기록은, 기록용 트랜지스터를 온 상태로 함으로써 기록용 트랜지스터의 소스 전극(또는 드레인 전극)과, 용량 소자의 전극의 한쪽과, 관독용 트랜지스터의 게이트 전극이 전기적으로 접속된 노드에 전위를 공급한 후, 기록용 트랜지스터를 오프 상태로 하여, 노드에 소정의 양의 전하를 유지시킴으로써 행한다. 또한, 관독용 트랜지스터로서 p채널형 트랜지스터를 사용하여 관독 전위를 양(正)의 전위로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

메모리 셀을 포함하는 반도체 장치로서, 상기 메모리 셀은,
제 1 트랜지스터와;
상기 제 1 트랜지스터에 전기적으로 접속되는 제 2 트랜지스터를 포함하고,
상기 제 1 트랜지스터는 p채널형 트랜지스터이고, 제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하고,
상기 제 2 트랜지스터는 제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 산화물 반도체를 포함하는 제 2 채널 형성 영역을 포함하고,
상기 제 1 게이트 전극 및 상기 제 2 드레인 전극은 전기적으로 접속되고 전하가 유지되는 노드를 형성하는, 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 제 2 트랜지스터는 n채널형 트랜지스터인, 반도체 장치.

청구항 3

제 1 항에 있어서,
상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 적어도 일부와 중첩되는, 반도체 장치.

청구항 4

제 1 항에 있어서,
상기 제 1 채널 형성 영역은 실리콘을 포함하는, 반도체 장치.

청구항 5

제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 및 상기 제 1 배선과 상기 제 2 배선 사이에 접속되는 메모리 셀을 포함하는 반도체 장치로서,
상기 메모리 셀은,
제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터와;
제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 산화물 반도체를 포함하는 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터를 포함하고,
상기 제 1 트랜지스터는 p채널형 트랜지스터이고,
상기 제 1 게이트 전극 및 상기 제 2 드레인 전극은 전기적으로 접속되고 전하가 유지되는 노드를 형성하고,

상기 제 1 배선과 상기 제 1 소스 전극은 서로 전기적으로 접속되고,
상기 제 2 배선과 상기 제 1 드레인 전극은 서로 전기적으로 접속되고,
상기 제 3 배선과 상기 제 2 소스 전극은 서로 전기적으로 접속되고,
상기 제 4 배선과 상기 제 2 게이트 전극은 서로 전기적으로 접속되는, 반도체 장치.

청구항 6

제 5 항에 있어서,
상기 제 2 트랜지스터는 n채널형 트랜지스터인, 반도체 장치.

청구항 7

제 5 항에 있어서,
상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 적어도 일부와 중첩되는, 반도체 장치.

청구항 8

제 5 항에 있어서,
상기 제 1 채널 형성 영역은 실리콘을 포함하는, 반도체 장치.

청구항 9

메모리 셀을 포함하는 반도체 장치로서, 상기 메모리 셀은,
제 1 트랜지스터와;
상기 제 1 트랜지스터에 전기적으로 접속되는 제 2 트랜지스터와;
용량 소자를 포함하고,
상기 제 1 트랜지스터는 p채널형 트랜지스터이고, 제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하고,
상기 제 2 트랜지스터는 제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 산화물 반도체를 포함하는 제 2 채널 형성 영역을 포함하고,
상기 제 1 게이트 전극, 상기 용량 소자의 한쪽의 전극, 및 상기 제 2 드레인 전극은 서로 전기적으로 접속되고 전하가 유지되는 노드를 형성하는, 반도체 장치.

청구항 10

제 9 항에 있어서,
상기 제 2 트랜지스터는 n채널형 트랜지스터인, 반도체 장치.

청구항 11

제 9 항에 있어서,

상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 적어도 일부와 중첩되는, 반도체 장치.

청구항 12

제 9 항에 있어서,

상기 제 1 채널 형성 영역은 실리콘을 포함하는, 반도체 장치.

청구항 13

제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 제 5 배선, 및 상기 제 1 배선과 상기 제 2 배선 사이에 접속되는 메모리 셀을 포함하는 반도체 장치로서,

상기 메모리 셀은,

제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터와;

제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 산화물 반도체를 포함하는 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터와;

용량 소자를 포함하고,

상기 제 1 트랜지스터는 p채널형 트랜지스터이고,

상기 제 1 게이트 전극, 상기 제 2 드레인 전극, 및 상기 용량 소자의 한쪽 전극은 서로 전기적으로 접속되고 전하가 유지되는 노드를 형성하고,

상기 제 1 배선과 상기 제 1 소스 전극은 서로 전기적으로 접속되고,

상기 제 2 배선과 상기 제 1 드레인 전극은 서로 전기적으로 접속되고,

상기 제 3 배선과 상기 제 2 소스 전극은 서로 전기적으로 접속되고,

상기 제 4 배선과 상기 제 2 게이트 전극은 서로 전기적으로 접속되고,

상기 제 5 배선과 상기 용량 소자의 다른 쪽 전극은 서로 전기적으로 접속되는, 반도체 장치.

청구항 14

제 13 항에 있어서,

상기 제 2 트랜지스터는 n채널형 트랜지스터인, 반도체 장치.

청구항 15

제 13 항에 있어서,

상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 적어도 일부와 중첩되는, 반도체 장치.

청구항 16

제 13 항에 있어서,

상기 제 1 채널 형성 영역은 실리콘을 포함하는, 반도체 장치.

명세서

기술분야

[0001] 개시하는 발명은, 반도체 소자를 사용한 반도체 장치 및 그 제작 방법에 관한 것이다.

배경기술

[0002] 반도체 소자를 사용한 기억 장치는, 전력이 공급되지 않으면, 기억된 내용이 상실되는 휘발성(揮發性)의 기억 장치와, 전력이 공급되지 않아도 기억된 내용은 유지되는 비휘발성의 기억 장치로 대별(大別)된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는, DRAM(Dynamic Random Access Memory)이 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택하여 용량 소자에 전하를 축적함으로써 정보를 기억한다.

[0004] 상술한 원리에 따라, DRAM에 있어서는, 정보를 판독하면 용량 소자의 전하가 상실되기 때문에, 정보를 판독할 때마다 다시 기록 동작이 필요하다. 또한, 기억 소자를 구성하는 트랜지스터에 있어서는, 오프 상태의 소스와 드레인간의 리크 전류(오프 전류) 등에 의하여 트랜지스터가 선택되지 않는 경우에서도 전하가 유출(流出) 또는 유입(流入)하기 때문에, 데이터의 유지 기간이 짧다. 따라서, 소정의 주기로 다시 기록 동작(리프레시 동작)이 필요하고, 소비 전력을 충분히 저감하는 것은 어렵다. 또한, 전력이 공급되지 않으면, 기억된 내용이 상실되기 때문에, 기억을 장기간(長期間) 동안 유지하기 위해서는 자성(磁性) 재료나 광학 재료를 사용한, 다른 기억 장치가 필요하다.

[0005] 휘발성 기억 장치의 다른 예로서는, SRAM(Static Random Access Memory)이 있다. SRAM은 플립플롭 등의 회로를 사용하여 기억된 내용을 유지하기 때문에, 리프레시 동작이 불필요하고, 이 점에 있어서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 사용하기 때문에, 기억 용량당의 단가(單價)가 비싸진다는 문제가 있다. 또한, 전력이 공급되지 않으면, 기억된 내용이 상실되는 점에 대해서는 DRAM과 동일하다.

[0006] 비휘발성 기억 장치의 대표적인 예로서는, 플래시 메모리(flash memory)가 있다. 플래시 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역의 사이에 플로팅 게이트를 갖고, 상기 플로팅 게이트에 전하를 유지 시킴으로써 기억하기 때문에, 데이터의 유지 기간은 매우 길고(반영구적(半永久的)), 휘발성 기억 장치에서 필요한 리프레시 동작이 불필요하다는 이점을 갖는다(예를 들어, 특허 문헌 1 참조).

[0007] 그러나, 기록을 행할 때에 생기는 터널 전류(tunneling current)에 의하여 기억 소자를 구성하는 게이트 절연층이 열화(劣化)하기 때문에, 소정의 횡수의 기록을 행함으로써 기억 소자가 기능하지 않게 된다는 문제가 생긴다. 이 문제의 영향을 완화하기 위해서, 예를 들어, 각 기억 소자의 기록 횡수를 균일화하는 방법이 채용되지만, 이것을 실현하기 위해서는, 복잡한 주변 회로가 필요하게 된다. 그리고, 이와 같은 방법을 채용하여도 근본적인 수명(壽命)의 문제가 해소되는 것이 아니다. 즉, 플래시 메모리는, 정보를 재기록하는 빈도(頻度)가 높은 용도에는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 유지시키기 위해서는, 또는 그 전하를 제거하기 위해서는, 높은 전압이 필요하고, 또한 그 목적을 달성하기 위한 회로도 필요하다. 또한, 전하를 유지하기 위해서는 또는 전하를 제거하기 위해서는 비교적 긴 시간이 필요하고, 기록 또는 소거의 고속화가 용이하지 않다는 문제도 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 특개소(昭)57-105889호 공보

발명의 내용

해결하려는 과제

[0010] 상술한 문제를 감안하여, 개시하는 발명의 일 형태에서는, 전력이 공급되지 않는 경우라도 기억된 내용의 유지가 가능하고, 또 기록 횡수에도 제한이 없는 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

- [0011] 개시하는 발명에서는, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들어, 와이드 갭 반도체인 산화물 반도체 재료를 사용하여 반도체 장치를 구성한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 사용함으로써, 정보를 장기간 동안 유지할 수 있다.
- [0012] 또한, 개시하는 발명에서는, 산화물 반도체를 사용한 기록용 트랜지스터, 상기 기록용 트랜지스터와 상이한 반도체 재료를 사용한 판독용 트랜지스터 및 용량 소자를 포함하는 비휘발성의 메모리 셀을 갖는 반도체 장치를 제공한다. 상기 메모리 셀에 대한 정보의 기록 및 재기록은, 기록용 트랜지스터를 온 상태로 함으로써 기록용 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자의 전극의 한쪽과, 판독용 트랜지스터의 게이트 전극이 전기적으로 접속된 노드에 전위를 공급하고, 그 후에 기록용 트랜지스터를 오프 상태로 하여 노드에 소정의 양의 전하를 유지시킴으로써 행한다. 또한, 판독용 트랜지스터로서 p채널형 트랜지스터를 사용하여 판독 전위를 양(正)의 전위로 한다.
- [0013] 보다 구체적으로는, 예를 들어 다음과 같은 구성을 채용할 수 있다.
- [0014] 본 발명의 일 형태는, p채널형의 제 1 트랜지스터와, 제 2 트랜지스터와, 용량 소자를 포함하는 메모리 셀을 갖고, 제 1 트랜지스터는, 제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극 및 제 1 채널 형성 영역을 갖고, 제 2 트랜지스터는 제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 제 1 채널 형성 영역과 상이한 반도체 재료를 포함하여 구성된 제 2 채널 형성 영역을 갖고, 제 1 게이트 전극과, 제 2 드레인 전극과, 용량 소자의 한쪽의 전극은 전기적으로 접속되어 전하가 유지되는 노드를 구성하는 반도체 장치이다.
- [0015] 또한, 본 발명의 다른 일 형태는, 제 1 배선 내지 제 5 배선과, 제 1 배선과 제 2 배선 사이에 접속된 메모리 셀을 갖고, 메모리 셀은 제 1 게이트 전극, 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 채널 형성 영역을 포함하는 p채널형의 제 1 트랜지스터와, 제 2 게이트 전극, 제 2 소스 전극, 제 2 드레인 전극, 및 제 1 채널 형성 영역과 상이한 반도체 재료를 포함하여 구성된 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터와, 용량 소자를 갖고, 제 1 게이트 전극과, 제 2 드레인 전극과, 용량 소자의 전극의 한쪽은 전기적으로 접속되어 전하가 유지되는 노드를 구성하고, 제 1 배선과 제 1 소스 전극은 전기적으로 접속되고, 제 2 배선과 제 1 드레인 전극은 전기적으로 접속되고, 제 3 배선과 제 2 소스 전극은 전기적으로 접속되고, 제 4 배선과 제 2 게이트 전극은 전기적으로 접속되고, 제 5 배선과 용량 소자의 전극의 다른 쪽은 전기적으로 접속된 반도체 장치이다.
- [0016] 또한, 상술한 반도체 장치에 있어서, 제 2 채널 형성 영역은, 산화물 반도체를 포함하여 구성되는 것이 바람직하다.
- [0017] 또한, 상술한 반도체 장치에 있어서, 제 2 트랜지스터는 제 1 트랜지스터의 적어도 일부와 중첩하여 형성되는 것이 바람직하다.
- [0018] 또한, 상술한 반도체 장치에 있어서, 제 1 채널 형성 영역은, 실리콘을 포함하여 구성되어도 좋다.
- [0019] 또한, 상술한 반도체 장치에 있어서, 제 2 트랜지스터로서 n채널형 트랜지스터를 사용하여도 좋다.
- [0020] 또한, 상기에서 산화물 반도체를 사용하여 트랜지스터를 구성하는 경우가 있지만, 개시하는 발명은 이것에 한정되지 않는다. 산화물 반도체와 같은 정도의 오프 전류 특성을 실현할 수 있는 재료, 예를 들어 탄화실리콘을 비롯한 와이드 갭 재료(보다 구체적으로는, 예를 들어 에너지 갭 E_g 가 3eV보다 큰 반도체 재료) 등을 적용하여도 좋다.
- [0021] 또한, 본 명세서 등에 있어서 “위” 나 “아래”의 용어는, 구성 요소의 위치 관계가 “직상(直上)” 또는 “직하”인 것을 한정하는 것이 아니다. 예를 들어, “게이트 절연층 위의 게이트 전극”이라고 하는 표현이라면, 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 갖는 것도 포함한다.
- [0022] 또한, 본 명세서 등에 있어서, “전극”이나 “배선”이라고 하는 용어는, 이들의 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, “전극”은 “배선”의 일부로서 사용되는 경우가 있고, 그 반대의 경우도 동일하다. 또한, “전극”이나 “배선”이라고 하는 용어는, 복수의 “전극”이나 “배선”이 일체가 되어 형성되는 경우 등도 포함한다.
- [0023] 또한, “소스”나 “드레인”의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 교체되는 경우가 있다. 따라서, 본 명세서에 있어서는, “소스”나 “드레인”이라고 하는 용어는 교체시켜 사용할 수 있다.
- [0024] 또한, 본 명세서 등에 있어서, “전기적으로 접속”이라고 하는 표현에는, “어떠한 전기적 작용을 갖

는 것”을 게재하여 접속되는 경우가 포함된다. 여기서, “어떠한 전기적 작용을 갖는 것”은, 접속 대상간에서의 전기 신호의 수수(授受)를 가능하게 하는 것이라면 특별히 제한은 없다.

[0025] 예를 들어, “어떠한 전기적 작용을 갖는 것”에는, 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 그 외의 각종 기능을 갖는 소자 등이 포함된다.

발명의 효과

[0026] 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 매우 작기 때문에, 이것을 사용함으로써, 기억된 내용을 매우 장기간 동안 유지할 수 있다. 즉, 리프레시 동작이 불필요하게 되는, 또는 리프레시 동작의 빈도를 매우 적게 할 수 있기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(다만, 전위는 고정되는 것이 바람직하다)라도, 기억된 내용을 장기간 동안 유지할 수 있다.

[0027] 또한, 개시하는 발명에 따른 반도체 장치에서는, 정보를 기록할 때에 높은 전압을 필요로 하지 않고, 소자의 열화 문제도 없다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 대한 전자 주입이나 플로팅 게이트로부터 전자를 뺏을 필요가 없기 때문에, 게이트 절연층의 열화 문제가 전혀 생기지 않는다. 즉, 개시하는 발명에 따른 반도체 장치에서는, 종래의 비휘발성 메모리에 있어서 문제가 되는 재기록이 가능한 횟수에 제한은 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태를 스위칭함으로써 정보의 기록이 행해지기 때문에, 고속 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다는 이점도 있다.

[0028] 또한, 관독용 트랜지스터로서는, 산화물 반도체 이외의 재료를 적용한, 고속 동작을 충분히 행할 수 있는 트랜지스터를 사용하고, 기록용 트랜지스터인 산화물 반도체를 사용한 트랜지스터와 조합함으로써 반도체 장치의 동작(예를 들어, 정보의 관독 동작)의 고속성(高速性)을 충분히 확보할 수 있다. 또한, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의하여 적합하게 실현할 수 있다.

[0029] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(바꾸어 말하면, 충분한 고속 동작을 행할 수 있는 트랜지스터)와, 산화물 반도체를 사용한 트랜지스터(보다 넓은 뜻으로서는, 충분히 오프 전류가 작은 트랜지스터)를 일체로 구비함으로써, 종래 없었던 특징을 갖는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

- [0030] 도 1a1, 도 1a2, 및 도 1b는 반도체 장치의 회로도.
- 도 2a 및 도 2b는 반도체 장치의 회로도.
- 도 3은 타이밍 차트의 도면.
- 도 4는 반도체 장치의 회로도.
- 도 5a 및 도 5b는 반도체 장치의 단면도 및 평면도.
- 도 6a 내지 도 6d는 반도체 장치의 제작 공정에 따른 단면도.
- 도 7a 내지 도 7c는 반도체 장치의 제작 공정에 따른 단면도.
- 도 8a 내지 도 8d는 반도체 장치의 제작 공정에 따른 단면도.
- 도 9a 내지 도 9c는 반도체 장치의 제작 공정에 따른 단면도.
- 도 10a 내지 도 10f는 반도체 장치를 사용한 전자 기기를 설명하기 위한 도면.
- 도 11은 산화물 반도체를 사용한 트랜지스터의 특성을 도시하는 도면.
- 도 12는 산화물 반도체를 사용한 트랜지스터의 특성 평가용 회로도.
- 도 13은 산화물 반도체를 사용한 트랜지스터의 특성 평가용 타이밍 차트 도면.
- 도 14는 산화물 반도체를 사용한 트랜지스터의 특성을 도시하는 도면.

도 15는 산화물 반도체를 사용한 트랜지스터의 특성을 도시하는 도면.

도 16은 산화물 반도체를 사용한 트랜지스터의 특성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 실시형태의 일례에 대해서 도면을 사용하여 이하에 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0032] 또한, 도면 등에서 나타내는 각 구성의 위치, 크기, 범위 등은 이해를 용이하게 하기 위해서 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 개시하는 발명은 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0033] 또한, 본 명세서 등에 있어서의 “제 1”, “제 2”, “제 3” 등의 서수사(序數詞)는, 구성 요소의 혼동을 회피하기 위해서 붙이는 것이며, 수(數)적으로 한정하는 것은 아닌 것을 부기한다.

[0034] (실시형태 1)

[0035] 본 실시형태에서는, 개시하는 발명의 일 형태에 따른 반도체 장치의 회로 구성 및 그 동작에 대해서 도 1a1, 도 1a2, 및 도 1b를 참조하여 설명한다. 또한, 회로도에 있어서는, 산화물 반도체를 사용한 트랜지스터인 것을 나타내기 위해서 “OS”의 부호를 함께 붙이는 경우가 있다.

[0036] 도 1a1에 도시하는 반도체 장치에 있어서, 제 1 배선(1st Line)과 트랜지스터(160)의 소스 전극은, 전기적으로 접속되고, 제 2 배선(2nd Line)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속된다. 또한, 제 3 배선(3rd Line)과 트랜지스터(162)의 소스 전극은, 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속된다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 드레인 전극은, 용량 소자(164)의 전극의 한쪽과 전기적으로 접속되고, 제 5 배선(5th Line)과 용량 소자(164)의 전극의 다른 쪽은 전기적으로 접속된다.

[0037] 여기서, 트랜지스터(162; 기록용 트랜지스터)에는 산화물 반도체를 사용한 트랜지스터가 적용된다. 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 매우 작다는 특징을 갖는다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 매우 장시간 동안 유지할 수 있다. 그리고, 용량 소자(164)를 가짐으로써, 트랜지스터(160)의 게이트 전극에 주어진 전하를 유지하기 쉽게 되고, 또한 유지된 정보의 관독이 용이하게 된다.

[0038] 또한, 트랜지스터(160; 관독용 트랜지스터)에 대해서는 특별히 한정되지 않는다. 정보의 관독 속도를 향상시키는 관점에서 보면, 예를 들어 단결정 실리콘을 사용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 바람직하다. 또한, 트랜지스터(160)에는 p채널형 트랜지스터를 사용한다.

[0039] 또한, 도 1b에 도시하는 바와 같이, 용량 소자(164)를 형성하지 않는 구성으로 할 수도 있다.

[0040] 도 1a1에 도시하는 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위를 유지할 수 있다는 특징을 발휘시킴으로써, 다음과 같이, 정보의 기록, 유지, 관독이 가능하다.

[0041] 우선, 정보의 기록 및 유지에 대해서 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극, 및 용량 소자(164)에 공급된다. 즉, 트랜지스터(160)의 게이트 전극에는 소정의 전하가 주어진다(기록). 여기서, 상이한 전위를 공급하는 2종류의 전하 중의 어느 하나가 주어지는 것으로 한다(이하, 저전위를 공급하는 전하를 전하 Q_L , 고전위를 공급하는 전하를 전하 Q_H 라고 한다). 또한, 상이한 3개 또는 그 이상의 전위를 공급하는 전하를 각각 적용하여 기억 용량을 향상시켜도 좋다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 주어진 전하가 유지된다(유지).

[0042] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간 동안 유지된다.

[0043] 다음에, 정보의 관독에 대해서 설명한다. 제 1 배선에 소정의 전위(정전위)를 공급한 상태에서 제 5

배선에 적절한 전위(판독 전위)를 주면, 트랜지스터(160)의 게이트 전극에 유지된 전하의 양에 따라, 제 2 배선은 상이한 전위가 된다. 즉, 트랜지스터(160)의 컨덕턴스는, 트랜지스터(160)의 게이트 전극(노드 FG라고도 한다)에 유지되는 전하에 의하여 제어된다.

[0044] 일반적으로, 트랜지스터(160)를 p채널형으로 하면, 트랜지스터(160)의 게이트 전극에 Q_H 가 주어지는 경우의 외관상의 임계값 $V_{th,H}$ 는, 트랜지스터(160)의 게이트 전극에 Q_L 이 주어지는 경우의 외관상의 임계값 $V_{th,L}$ 보다 낮게 된다. 예를 들어, 기록 동작에 있어서 Q_L 이 주어진 경우에는, 제 5 배선의 전위가 $V_0(V_{th,H}$ 와 $V_{th,L}$ 의 중간 전위)이 되면, 트랜지스터(160)는 “온 상태”가 된다. Q_H 가 주어진 경우에는, 제 5 배선의 전위가 V_0 이 되어도, 트랜지스터(160)는 “오프 상태”대로이다. 따라서, 제 2 배선의 전위를 측정함으로써, 유지되는 정보를 판독할 수 있다. 또한, 메모리 셀을 어레이 상태로 배치하여 사용하는 경우에는, 판독의 대상이 아닌 메모리 셀의 제 5 배선에 대해서, 게이트 전극의 상태에 상관없이, 트랜지스터(160)가 “오프 상태”가 되는 고전위를 공급하면 좋다.

[0045] 다음에, 정보를 재기록하는 동작에 대해서 설명한다. 정보의 재기록은 상기 정보의 기록 및 유지와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위(새로운 정보에 따른 전위)가, 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 공급된다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극은 새로운 정보에 따른 전하가 주어진 상태가 된다.

[0046] 이와 같이, 개시하는 발명에 따른 반도체 장치는, 재차(再次) 정보를 기록함으로써 직접적으로 정보를 재기록할 수 있다. 따라서, 플래시 메모리 등에 있어서 필요하게 되는 고전압을 사용하여 플로팅 게이트로부터 전하를 뽑는 일이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0047] 또한, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은, 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 비휘발성 메모리 소자로서 사용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 같은 정도의 작용을 갖는다. 이하에서, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과 트랜지스터(160)의 게이트 전극이 전기적으로 접속되는 부위를 노드 FG라고 부르는 경우가 있다. 트랜지스터(162)가 오프인 경우, 상기 노드 FG는 절연체 중에 매설(埋設)된다고 간주할 수 있고, 노드 FG에는 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류는 실리콘 반도체에 의하여 형성되는 트랜지스터의 $1/100000$ 이하이기 때문에, 트랜지스터(162)의 리크에 의하여 노드 FG에 축적된 전하가 소실(消失)하는 것을 무시할 수 있다. 즉, 산화물 반도체를 사용한 트랜지스터(162)에 의하여, 전력이 공급되지 않아도 정보를 유지할 수 있는 비휘발성 기억 장치를 실현할 수 있다.

[0048] 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 $10zA$ ($1zA$ 는 $1 \times 10^{-21}A$) 이하이고, 용량 소자(164)의 용량값이 $10fF$ 정도인 경우에는, 적어도 10^4 초 이상의 데이터 유지가 가능하다. 또한, 상기 유지 시간이 트랜지스터 특성이나 용량값에 따라 변동하는 것은 물론이다.

[0049] 또한, 개시하는 발명에 따른 반도체 장치에 있어서는, 종래의 플로팅 게이트형 트랜지스터에 있어서 지적되는 게이트 절연막(터널 절연막)의 열화라는 문제가 존재하지 않는다. 즉, 종래 문제가 되어 왔던 전자를 플로팅 게이트에 주입할 때의 게이트 절연막의 열화를 해소할 수 있다. 이것은, 원리적인 기록 횟수의 제한이 존재하지 않는 것을 가리킨다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기록이나 소거를 행할 때에 필요한 고전압도 불필요하다.

[0050] 도 1a1에 도시하는 반도체 장치는, 상기 반도체 장치를 구성하는 트랜지스터 등의 요소가 저항 및 용량을 포함하는 구성으로서 도 1a2에 도시하는 바와 같이 생각할 수 있다. 즉, 도 1a2에서는 트랜지스터(160) 및 용량 소자(164)가 각각 저항 및 용량을 포함하여 구성된다고 생각한다. R1 및 C1은 각각 용량 소자(164)의 저항값 및 용량값이며, 저항값 R1은, 용량 소자(164)를 구성하는 절연층에 의한 저항값에 상당한다. 또한, R2 및 C2는 각각 트랜지스터(160)의 저항값 및 용량값이고, 저항값 R2는 트랜지스터(160)가 온 상태일 때의 게이트 절연층에 의한 저항값에 상당하고, 용량값 C2는 소위 게이트 용량값(게이트 전극과 소스 전극 또는 드레인 전극의 사이에 형성되는 용량값)에 상당한다.

[0051] 트랜지스터(162)가 오프 상태인 경우의 소스 전극과 드레인 전극간의 저항값(실효 저항이라고도

부른다)을 ROS로 하면, 트랜지스터(162)의 게이트 리크 전류가 충분히 작은 조건에 있어서, R1 및 R2가 $R1 \geq ROS$ (R1은 ROS 이상), $R2 \geq ROS$ (R2는 ROS 이상)를 충족시키는 경우에는, 전하의 유지 기간(정보의 유지 기간이라고 말할 수도 있다)은, 주로 트랜지스터(162)의 오프 전류에 따라 결정된다.

[0052] 한편, 상기 조건을 충족시키지 않는 경우는, 트랜지스터(162)의 오프 전류가 충분히 작아도, 유지 기간을 충분히 확보하기 어렵다. 그 이유는, 트랜지스터(162)의 오프 전류 이외의 리크 전류(예를 들어, 소스 전극과 게이트 전극 사이에서 생기는 리크 전류 등)가 크기 때문이다. 따라서, 본 실시형태에 있어서 개시되는 반도체 장치는, $R1 \geq ROS$ (R1은 ROS 이상), 및 $R2 \geq ROS$ (R2는 ROS 이상)의 관계를 충족시키는 반도체 장치인 것이 바람직하다.

[0053] 한편, C1과 C2는 $C1 \geq C2$ (C1은 C2 이상)의 관계를 충족시키는 것이 바람직하다. 그 이유는, 제 5 배선에 의하여 노드 FG의 전위를 제어할 때에, C1을 크게 함으로써 제 5 배선의 전위를 효율 좋게 노드 FG에 공급할 수 있고, 제 5 배선에 공급하는 전위간(예를 들어, 판독 전위와 비판독 전위)의 전위차를 낮게 억제할 수 있기 때문이다.

[0054] 상술한 관계를 충족시킴으로써, 보다 바람직한 반도체 장치를 실현할 수 있다. 또한, R1 및 R2는 트랜지스터(160)의 게이트 절연층이나 용량 소자(164)의 절연층에 의하여 제어된다. C1 및 C2도 마찬가지이다. 따라서, 게이트 절연층의 재료나 두께 등을 적절히 설정하여 상술한 관계를 충족시키도록 하는 것이 바람직하다.

[0055] 본 실시형태에서 나타내는 반도체 장치에서는, 노드 FG가 플래시 메모리 등의 플로팅 게이트형 트랜지스터의 플로팅 게이트와 같은 정도의 작용을 갖지만, 본 실시형태의 노드 FG는, 플래시 메모리 등의 플로팅 게이트와 본질적으로 상이한 특징을 갖는다.

[0056] 플래시 메모리에서는, 컨트롤 게이트(control gate)에 인가되는 전위가 높기 때문에, 그 전위가 인접하는 셀의 플로팅 게이트에 영향을 주지 않도록, 셀끼리의 간격을 어느 정도 유지할 필요가 있다. 이것은, 반도체 장치의 고집적화를 저해(沮害)하는 요인 중의 하나이다. 그리고, 상기 요인은 고전계를 인가하여 터널 전류를 발생시키는 플래시 메모리의 근본적인 원리에 기인하는 것이다.

[0057] 한편, 본 실시형태에 따른 반도체 장치는, 산화물 반도체를 사용한 트랜지스터의 스위칭에 따라 동작하고, 상술한 바와 같은 터널 전류에 의한 전하 주입의 원리를 사용하지 않는다. 즉, 플래시 메모리와 같은 전하를 주입하기 위한 고전계가 불필요하다. 이로써, 컨트롤 게이트에 의한 인접하는 셀에 대한 고전계의 영향을 고려할 필요가 없기 때문에, 고집적화가 용이하게 된다.

[0058] 또한, 고전계가 불필요하고, 대형의 주변 회로(승압 회로 등)가 불필요한 점도, 플래시 메모리에 대한 우위점(優位点)이다. 예를 들어, 본 실시형태에 따른 메모리 셀에 인가되는 전압(메모리 셀의 각 단자에 동시에 인가되는 전위의 최대 전위와 최소 전위의 차이)의 최대값은, 2단계(1비트)의 정보를 기록하는 경우, 하나의 메모리 셀에 있어서, 5V 이하, 바람직하게는 3V 이하로 할 수 있다.

[0059] 또한, 용량 소자(164)를 구성하는 절연층의 비유전율 $\epsilon r1$ 과, 트랜지스터(160)를 구성하는 절연층의 비유전율 $\epsilon r2$ 를 상이하게 하는 경우에는, 용량 소자(164)를 구성하는 절연층의 면적 S1과, 트랜지스터(160)에 있어서 게이트 용량을 구성하는 절연층의 면적 S2가 $2 \cdot S2 \geq S1$ ($2 \cdot S2$ 는 S1 이상), 바람직하게는 $S2 \geq S1$ (S2는 S1 이상)을 충족시키면서, $C1 \geq C2$ (C1은 C2 이상)를 실현하는 것이 용이하다. 즉, 용량 소자(164)를 구성하는 절연층의 면적을 작게 하면서 $C1 \geq C2$ 를 실현하는 것이 용이하다. 구체적으로는, 예를 들어 용량 소자(164)를 구성하는 절연층에 있어서는 산화하프늄 등의 high-k 재료로 이루어지는 막, 또는 산화하프늄 등의 high-k 재료로 이루어지는 막과 산화물 반도체로 이루어지는 막의 적층 구조를 채용하여 $\epsilon r1$ 을 10 이상, 바람직하게는 15 이상으로 하고, 게이트 용량을 구성하는 절연층에 있어서는 산화실리콘을 채용하여 $\epsilon r2$ 를 3 이상 4 이하 정도로 할 수 있다.

[0060] 이와 같은 구성을 함께 사용함으로써 개시하는 발명에 따른 반도체 장치를 더 한층 고집적화시킬 수 있다.

[0061] 또한, 반도체 장치의 기억 용량을 증대시키기 위해서는, 고집적화 이외에 다치화(多値化)의 방법을 채용할 수도 있다. 예를 들어, 하나의 메모리 셀에 3단계 이상의 정보를 기록하는 구성으로 함으로써, 2단계(1비트)의 정보를 기록하는 경우와 비교하여 기억 용량을 증대시킬 수 있다. 예를 들어, 상술한 바와 같은 저전위를 공급하는 전하 Q_L , 고전위를 공급하는 전하 Q_H 에 추가하여 다른 전위를 공급하는 전하 Q를 트랜지스터(160)의 게이트 전극에 줌으로써, 다치화를 실현할 수 있다. 이 경우, 비교적 큰 규모가 큰 회로 구성(예를 들어 $15F^2$)

이상 $50F^2$ 이하 등: F는 최소 가공 치수)을 채용하여도 충분한 기억 용량을 확보할 수 있다.

[0062] <응용예>

[0063] 다음에, 도 1a1, 도 1a2, 및 도 1b에 도시하는 회로를 응용한 보다 구체적인 회로 구성 및 동작에 대해서 도 2a 내지 도 4를 참조하여 설명한다. 또한, 이하의 설명에서는, 기록용 트랜지스터(트랜지스터(162))에 n 채널형 트랜지스터를 사용하고, 판독용 트랜지스터(트랜지스터(160))에 p 채널형 트랜지스터를 사용하는 경우를 예로 하여 설명한다.

[0064] 도 2a와 도 2b는 $(m \times n)$ 개의 메모리 셀(170)을 갖는 반도체 장치의 회로도 일례이다. 도 2a 중의 메모리 셀(170)의 구성은, 도 1a1과 마찬가지로다. 즉, 도 1a1에 있어서의 제 2 배선이 도 2b에 있어서의 판독 비트선 D에 상당하고, 도 1a1에 있어서의 제 3 배선이 도 2b에 있어서의 기록 비트선 OSS에 상당하고, 도 1a1에 있어서의 제 4 배선이 도 2b에 있어서의 기록 워드선 OSG에 상당하고, 도 1a1에 있어서의 제 5 배선이 도 2b에 있어서의 기록 및 판독 워드선 C에 상당한다(도 2b 참조). 다만, 도 2a에서는 도 1a1에 있어서의 제 1 배선인 소스선 SL은 생략한다.

[0065] 도 2a에 도시하는 반도체 장치는, m개(m은 2 이상의 정수(整數))의 기록 워드선 OSG와, m개의 기록 및 판독 워드선 C와, n개(n은 2 이상의 정수)의 기록 비트선 OSS와, n개의 판독 비트선 D와, 메모리 셀(170)이 세로 m개(행) \times 가로 n개(열)의 매트릭스 상태로 배치된 메모리 셀 어레이와, 승압 회로(180)와, n개의 기록 비트선 OSS 및 n개의 판독 비트선 D에 접속하는 제 1 구동 회로(190)와, m개의 기록 워드선 OSG 및 m개의 기록 및 판독 워드선 C에 접속하는 제 2 구동 회로(192)를 갖는다.

[0066] 그 이외에, 제 1 구동 회로(190)에는 데이터 입력 단자 DIN, 데이터 출력 단자 DOUT, 어드레스 선택 신호 단자 A1 등이 접속된다. 데이터 입력 단자 DIN은, 기록하는 데이터를 메모리 셀(170)의 열 방향으로 입력하는 단자이고, 데이터 출력 단자 DOUT는 기록된 데이터를 메모리 셀의 열 방향으로 출력하는 단자이다. 데이터 입력 단자 DIN 및 데이터 출력 단자 DOUT는, 제 1 구동 회로(190)의 회로 구성에 따라 각각 복수 존재하는 경우가 있다. 또한, 데이터 입력 단자 DIN 및 데이터 출력 단자 DOUT를 공통적으로 사용할 수도 있다. 또한, 어드레스 선택 신호 단자 A1은 메모리 셀의 열 방향의 어드레스를 선택하는 신호가 입력되는 단자이다. 어드레스 선택 신호 단자 A1은 메모리 셀의 열의 개수나, 제 1 구동 회로(190)의 회로 구성에 따라서는 복수 존재하는 경우가 있다.

[0067] 또한, 제 2 구동 회로(192)에는, 어드레스 선택 신호 단자 A2가 접속된다. 어드레스 선택 신호 단자 A2는, 메모리 셀의 행 방향의 어드레스를 선택하는 신호가 입력되는 단자이다. 어드레스 선택 신호 단자 A2는 메모리 셀의 행의 개수나 제 2 구동 회로(192)의 회로 구성에 따라 복수 존재하는 경우가 있다.

[0068] 도 2a에 도시하는 반도체 장치는, 기록 인에이블(write enable) 신호 입력 단자 WE로부터 입력되는 기록 인에이블 신호와, 판독 인에이블(read enable) 신호 입력 단자 RE로부터 입력되는 판독 인에이블 신호에 의하여 기록 또는 판독의 동작을 판별하고, 판별한 동작에 따라, 기록 워드선 OSG, 기록 및 판독 워드선 C, 기록 비트선 OSS, 또는 판독 비트선 D에 출력하는 신호를 제어한다. 예를 들어, 기록 인에이블 신호 입력 단자 WE에 High 전위가 입력되면, 기록 동작을 선택하고 판독 인에이블 신호 입력 단자 RE에 High 전위가 입력되면, 판독 동작을 선택한다. 또한, 선택되는 동작과 전위의 관계는 이것에 한정되지 않는다.

[0069] 승압 회로(180)는, 배선 VHL에 의하여 제 2 구동 회로(192)와 접속되고, 승압 회로 입력 단자 UC로부터 입력되는 일정한 전위(예를 들어, 전원 전위 VDD)를 승압시켜 제 2 구동 회로(192)에 상기 일정한 전위보다 높은 전위(VH)를 출력한다. 메모리 셀(170)의 노드 FG에 기록하는 전위를 기록 트랜지스터의 임계값($V_{th_{os}}$)분 강하시키기 않도록 하기 위해서는, 기록 워드선 OSG의 전위를 기록 비트선 OSS의 전위+ $V_{th_{os}}$ 보다 높게 할 필요가 있다. 따라서, 예를 들어 노드 FG에 전원 전위 VDD를 기록하는 경우에는, VH를 $VDD + V_{th_{os}}$ 이상으로 한다. 다만, 노드 FG에 기록되는 전위가 $V_{th_{os}}$ 분 강하되어도 문제가 없는 경우에는, 승압 회로(180)를 설치하지 않아도 좋다. 또한, 본 명세서에 있어서, 트랜지스터의 임계값이란, 트랜지스터가 온 상태에서부터 오프 상태가 되는 게이트 전극과 소스 전극(또는 드레인 전극)의 전위차를 말한다.

[0070] 도 2a 및 도 2b에 도시하는 반도체 장치에 있어서, 데이터의 기록, 유지, 및 판독은 기본적으로 도 1a1, 도 1a2, 및 도 1b의 경우와 마찬가지로다. 도 3에는, 도 2a 및 도 2b의 반도체 장치의 기록 동작 및 판독 동작에 따른 타이밍 차트의 예를 도시한다. 타이밍 차트 중의 “WE”, “OSG” 등의 명칭은, 타이밍 차트에 도시하는 전위가 공급되는 배선 또는 단자를 나타내고, 같은 기능을 갖는 배선이 복수 존재하는 경우에는, 배선의

명칭의 말미(末尾)에 “_1”, “_2” 등을 추가함으로써 구별한다. 또한, 여기서는 설명을 간편하게 하기 위해서, 메모리 셀(170)이 2(행)×2(열)로 배열된 반도체 장치를 예로 하여 설명하지만, 개시하는 발명은 이것에 한정되지 않는다.

[0071] 도 3에 도시되는 타이밍 차트는, 기록 기간에 있어서, 1행 1열째에 데이터 “1” 을 기록하고, 1행 2열째에 데이터 “0” 을 기록하고, 2행 1열째에 데이터 “0” 을 기록하고, 2행 2열째에 데이터 “1” 을 기록하고, 그 후에 판독 기간에 있어서 기록한 데이터를 판독한 경우의 각 배선의 전위의 관계를 나타낸 타이밍 차트이다.

[0072] 또한, 여기서는 일례로서 노드 FG에 전위 VDD 또는 접지(接地) 전위 GND 중 어느 하나를 공급하는 경우에 대해서 설명하지만, 노드 FG에 공급하는 전위의 관계는 이것에 한정되지 않는다. 또한, 노드 FG에 전위 VDD를 공급한 경우에 유지되는 데이터를 데이터 “1”, 노드 FG에 접지 전위 GND를 공급한 경우에 유지되는 데이터를 데이터 “0” 으로 한다. 또한, 도 3에 도시하지 않지만, 소스선 SL의 전위는 VDD 또는 VDD보다 어느 정도 낮은 전위(VDDL)로 한다. 다만, 동작하기에 문제가 없는 경우에는 소스선 SL의 전위를 일시적으로 변화시켜도 좋다.

[0073] 기록 기간에 있어서, WE를 고전위, RE를 저전위로 하여 메모리 셀에 기록할 수 있는 상태로 한다. 또한, 도 3에 있어서 RE는 RE로부터 입력되는 신호를 반전(反轉)시킨 신호이다.

[0074] 1행째 1열째에 데이터 “1”, 1행째 2열째에 데이터 “0” 을 기록하기 위해서 1행째를 선택하는 타이밍, 즉 OSG_1이 고전위가 되고 C_1이 저전위가 되는 타이밍에 맞추어 OSS_1을 VDD로 하고, OSS_2를 GND로 한다. 또한, 2행째 1열째에 데이터 “0”, 2행째 2열째에 데이터 “1” 을 기록하기 위해서 2행째를 선택하는 타이밍, 즉 OSG_2가 고전위가 되고 C_2가 저전위가 되는 타이밍에 맞추어 OSS_1을 GND로 하고, OSS_2를 VDD로 한다. 또한, 승압 회로(180)를 사용하는 경우에는, OSG_1 및 OSG_2의 고전위는 $VDD + V_{th_{os}}$ 이상의 승압 회로 출력 전위 VH가 된다.

[0075] 또한, OSS(OSS_1 및 OSS_2)의 신호 입력 기간은, OSG(OSG_1 및 OSG_2)의 신호 입력 기간과 동기간 이상으로 하는 것이 바람직하다. OSS의 강하가 OSG보다 빠르면, 메모리 셀(170)에 대한 기록이 불충분하게 될 가능성이 있기 때문이다. 또는, 예를 들어 OSS에 지연 회로를 접속하기 등, OSS의 신호 입력을 OSG의 신호 입력보다 늦추어도 좋다. 또한, D_1 및 D_2의 전위는, 기록 기간에는 문제가 되지 않는다(고전위라도 좋고, 저전위라도 좋다).

[0076] 판독 기간에 있어서, WE를 저전위, RE를 고전위로 하여 메모리 셀로부터 판독할 수 있는 상태로 한다. 제 2 구동 회로(192)는, 어드레스 입력 신호에 대응한 행 선택 신호를 OSG(OSG_1 및 OSG_2)와 C(C_1 및 C_2)에 출력한다. C_1 및 C_2는 메모리 셀 행을 선택할 때에 저전위, 선택하지 않을 때에 고전위가 되고, OSG_1 및 OSG_2는, 선택, 비선택에 상관없이 저전위가 된다. 또한, OSS_1 및 OSS_2의 전위는, 판독할 때는 문제가 되지 않는다.

[0077] 상술한 동작에 의하여 D_1 및 D_2에는 선택된 행의 메모리 셀에 유지되는 데이터에 대응한 전위가 공급된다. 선택된 메모리 셀에 데이터 “1” 이 기록되는 경우에는, 트랜지스터(160)가 오프 상태가 되기 때문에, D_1 또는 D_2에는 GND가 공급된다. 선택된 메모리 셀에 데이터 “0” 이 기록되는 경우에는, 트랜지스터(160)가 온 상태가 되기 때문에, D_1 또는 D_2에는 VDD가 공급된다. 또한, 기록할 때에 있어서, D_1 및 D_2는 VDD가 되는, 또는 VDD 및 GND 중 양쪽 모두와 접속되지 않는 하이 임피던스(high impedance)가 된다.

[0078] 다음에, 판독 회로의 예로서, 도 4에 도시하는 회로를 사용하는 경우의 출력 전위에 대해서 설명한다. 판독 기간에 있어서, RE가 고전위가 되고, 클록드 인버터(clocked inverter)가 동작 상태가 되기 때문에, D_1 또는 D_2에 VDD가 공급된 경우, 클록드 인버터에는 고전위가 입력되고, 출력 DOUT는 저전위가 된다. D_1 또는 D_2에는 GND가 공급된 경우, 클록드 인버터에는 저전위가 입력되고, 출력 DOUT는 고전위가 된다.

[0079] 도 2a 및 도 2b에 도시한 반도체 장치에서는, 판독할 때에 선택되지 않는 행의 메모리 셀을 오프 상태로 할 필요가 있다. 여기서, 판독 트랜지스터에 n채널형 트랜지스터를 사용하면, 판독 트랜지스터의 게이트 전극의 전위가 판독 트랜지스터의 임계값보다 높게 된 경우에, 기록 및 판독 워드선 C를 0V로 하여도 반드시 모든 메모리 셀이 오프 상태가 되는 것은 아니기 때문에, 선택되지 않는 행의 기록 및 판독 워드선 C에 음(負) 전위를 공급할 필요가 있다.

[0080] 그러나, 도 2a 및 도 2b에 도시하는 반도체 장치에서는, 판독 트랜지스터에 p채널형 트랜지스터를 사용하기 때문에, 선택되지 않는 행의 기록 및 판독 워드선 C를 고전위로 함으로써 메모리 셀을 오프 상태로 할 수

있다. 따라서, 메모리 셀에 있어서 음 전위를 생성하는 전원을 설치할 필요가 없기 때문에, 소비 전력을 삭감하면서 반도체 장치도 소형화할 수 있다.

[0081] 또한, 개시하는 발명의 반도체 장치에 관한 동작 방법, 동작 전압 등에 대해서는, 상술한 구성에 한정되지 않고, 반도체 장치의 동작이 실현되는 형태에 있어서 적절히 변경할 수 있다.

[0082] 상술한 바와 같이, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0083] (실시형태 2)

[0084] 본 실시형태에서는, 개시하는 발명의 일 형태에 따른 반도체 장치의 구성 및 그 제작 방법에 대해서 도 5a 내지 도 9c를 참조하여 설명한다.

[0085] <반도체 장치의 단면 구성 및 평면 구성>

[0086] 도 5a 및 도 5b는, 반도체 장치의 구성의 일례이다. 도 5a에는, 반도체 장치의 단면을 도시하고, 도 5b에는 반도체 장치의 평면을 도시한다. 여기서, 도 5a는 도 5b의 A1-A2 및 B1-B2에 있어서의 단면에 상당한다. 도 5a 및 도 5b에 도시되는 반도체 장치는, 하부(下部)에 제 1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 상부(上部)에 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는다. 여기서, 트랜지스터(160)에는 p채널형 트랜지스터를 사용한다. 또한, 제 1 반도체 재료와 제 2 반도체 재료는 상이한 재료로 하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료로서는, 예를 들어 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 사용할 수 있고, 단결정 반도체를 사용하는 것이 바람직하다. 이와 같은 반도체 재료를 사용한 트랜지스터는 충분한 고속 동작이 가능하기 때문에, 기억된 정보의 판독 등을 고속으로 행할 수 있다. 한편, 산화물 반도체를 사용한 트랜지스터는, 그 특성에 따라, 전하를 장시간 동안 유지할 수 있다.

[0087] 또한, 개시하는 발명의 기술적인 본질은, 정보를 유지하기 위해서 산화물 반도체와 같은 오프 전류를 충분히 저감시킬 수 있는 반도체 재료를 트랜지스터(162)에 사용하는 점에 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성은 여기서 나타내는 구성에 한정될 필요는 없다.

[0088] 도 5a 및 도 5b에 도시하는 트랜지스터(160)는, 반도체 재료(예를 들어, 실리콘 등)를 포함하는 기판(100)에 형성된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 형성된 불순물 영역(120)과, 불순물 영역(120)에 접하는 금속 화합물 영역(124)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)을 갖는다. 또한, 모든 도면에 있어서, 명시적(明示的)으로는 소스 전극이나 드레인 전극을 갖지 않는 경우가 있지만, 편의상, 이와 같은 상태를 포함하여 트랜지스터라고 부르는 경우가 있다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하기 위해서 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극이라고 표현할 수 있다. 즉, 본 명세서에 있어서, “소스 전극”이라는 기제는 소스 영역을 포함한다.

[0089] 또한, 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성되고, 트랜지스터(160)를 덮도록 절연층(128) 및 절연층(130)이 형성된다. 또한, 고집적화를 실현하기 위해서는, 도 5a 및 도 5b에 도시하는 바와 같이, 트랜지스터(160)가 사이드 월 절연층을 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 중요시하는 경우에는, 게이트 전극(110)의 측면에 사이드 월 절연층을 형성하고, 불순물 농도가 상이한 영역을 포함하는 불순물 영역(120)을 형성하여도 좋다.

[0090] 도 5a 및 도 5b에 있어서의 트랜지스터(162)는, 절연층(130) 위에 형성된 소스 전극(142a), 및 드레인 전극(142b)과, 소스 전극(142a), 및 드레인 전극(142b)과 전기적으로 접속되는 산화물 반도체층(144)과, 소스 전극(142a), 드레인 전극(142b), 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하도록 형성된 게이트 전극(148a)과, 소스 전극(142a)과 산화물 반도체층(144) 사이의 게이트 전극(148a)과 중첩하는 영역의 절연층(143a)과, 드레인 전극(142b)과 산화물 반도체층(144) 사이의 게이트 전극(148a)과 중첩하는 영역의 절연층(143b)을 갖는다. 또한, 소스 전극 또는 드레인 전극과, 게이트 전극 사이의 용량을 저감시키기 위해서는, 절연층(143a) 및 절연층(143b)을 형성하는 것이 바람직하지만, 절연층(143a) 및 절연층(143b)을 형성하지 않는 구성으로 할 수도 있다.

[0091] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거됨으로써, 또는 충분한 산소가 공급됨으로써, 고순도화된 것이 바람직하다. 구체적으로는, 예를 들어, 산화물 반도체층(144)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체층(144) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정된다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 충분한 산소가 공급됨으로써 산소 결핍(缺乏)에 기인하는 에너지 갭 중의 결함 준위가 저감된 산화물 반도체층(144)에서는, 수소 등의 도너에 기인하는 캐리어 농도가 1×10^{12} atoms/cm³ 미만, 바람직하게는 1×10^{11} atoms/cm³ 미만, 더 바람직하게는 1.45×10^{10} atoms/cm³ 미만이 된다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는 단위 채널 폭(1μm)당의 값)은, 100zA(1zA는 1×10^{-21} A) 이하, 바람직하게는 10zA 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써, 매우 뛰어난 오프 전류 특성을 갖는 트랜지스터(162)를 얻을 수 있다.

[0092] 또한, 도 5a 및 도 5b에 도시하는 트랜지스터(162)에서는, 미세화(微細化)에 기인하여 소자간에 생기는 리크를 억제하기 위해서 섬 형상으로 가공된 산화물 반도체층(144)을 사용하지만, 섬 형상으로 가공되지 않는 구성을 채용하여도 좋다. 산화물 반도체층을 섬 형상으로 가공하지 않는 경우에는, 가공할 때의 에칭에 의한 산화물 반도체층(144)의 오염을 방지할 수 있다.

[0093] 도 5a 및 도 5b에 있어서의 용량 소자(164)는, 소스 전극(142a), 산화물 반도체층(144), 게이트 절연층(146), 및 전극(148b)으로 구성된다. 즉, 소스 전극(142a)은 용량 소자(164)의 한쪽의 전극으로서 기능하고, 전극(148b)은 용량 소자(164)의 다른 쪽의 전극으로서 기능한다.

[0094] 또한, 도 5a 및 도 5b에 도시되는 용량 소자(164)에서는, 산화물 반도체층(144)과 게이트 절연층(146)을 적층시킴으로써, 소스 전극(142a)과 전극(148b) 사이의 절연성을 충분히 확보할 수 있다. 물론, 충분한 용량을 확보하기 위해서 산화물 반도체층(144)을 갖지 않는 구성의 용량 소자(164)를 채용하여도 좋다. 또한, 절연층(143a)과 마찬가지로 형성되는 절연층을 갖는 구성의 용량 소자(164)를 채용하여도 좋다. 또한, 용량이 불필요한 경우는, 용량 소자(164)를 형성하지 않는 구성으로 할 수도 있다.

[0095] 또한, 트랜지스터(162) 및 용량 소자(164)에 있어서, 소스 전극(142a), 및 드레인 전극(142b)의 단부는 테이퍼 형상인 것이 바람직하다. 이 이유는, 소스 전극(142a), 드레인 전극(142b)의 단부를 테이퍼 형상으로 함으로써, 산화물 반도체층(144)의 피복성을 향상시켜, 단절(斷切)을 방지할 수 있기 때문이다. 여기서, 테이퍼 각은 예를 들어 30° 이상 60° 이하로 한다. 또한, 테이퍼 각이란, 테이퍼 형상을 갖는 층(예를 들어, 소스 전극(142a))을 그 단면(기판의 표면과 직교하는 면)에 수직인 방향으로부터 관찰하였을 때에, 상기 층의 측면과 저면(底面)이 이루는 경사 각도를 가리킨다.

[0096] 본 실시형태에서는, 트랜지스터(162) 및 용량 소자(164)가 트랜지스터(160)과 중첩하도록 형성된다. 이와 같은 평면 레이아웃을 채용함으로써, 고집적화할 수 있다. 예를 들어, 최소 가공 치수를 F로 하고, 메모리 셀이 차지하는 면적을 $15F^2$ 이상 $25F^2$ 이하 정도로 할 수 있다.

[0097] 트랜지스터(162) 및 용량 소자(164) 위에는, 절연층(150)이 형성되고, 절연층(150) 위에는 절연층(152)이 형성된다. 그리고, 게이트 절연층(146), 절연층(150), 절연층(152) 등에 형성된 개구에는 전극(154)이 형성되고, 절연층(152) 위에는 전극(154)과 접속하는 배선(156)이 형성된다. 또한, 도 5a 및 도 5b에서는, 전극(154)을 사용하여 드레인 전극(142b)과 배선(156)을 접속하지만, 개시하는 발명은 이것에 한정되지 않는다. 예를 들어, 배선(156)을 드레인 전극(142b)에 직접 접속시켜도 좋다.

[0098] <반도체 장치의 제작 방법>

[0099] 다음에, 상기 반도체 장치의 제작 방법의 일례에 대해서 설명한다. 이하에서는, 먼저 하부 트랜지스터(160)의 제작 방법에 대해서 도 6a 내지 도 7c를 참조하여 설명하고, 그 후 상부 트랜지스터(162) 및 용량 소자(164)의 제작 방법에 대해서 도 8a 내지 도 9c를 참조하여 설명한다.

[0100] <하부 트랜지스터의 제작 방법>

[0101] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 6a 참조). 반도체 재료를 포함하는 기판(100)으로서, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정

실리콘 기판을 사용하는 경우의 일례에 대해서 나타낸다. 또한, 일반적으로는 “SOI 기판”은, 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하지만, 본 명세서 등에 있어서의 개념으로서는, 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체층이 형성된 구성의 기판도 포함한다. 즉, “SOI 기판”이 갖는 반도체층은, 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판에는, 유리 기판 등의 절연 기판 위에 절연층을 개재하여 반도체층이 형성된 구성이 포함된다.

[0102] 반도체 재료를 포함하는 기판(100)으로서, 특히 실리콘 등의 단결정 반도체 기판을 사용하는 경우에는, 반도체 장치의 판독 동작을 고속화할 수 있기 때문에 적합하다.

[0103] 우선, 기판(100) 위에 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)을 형성한다(도 6a 참조). 보호층(102)으로서는, 예를 들어, 산화실리콘이나 질화실리콘, 산화질화실리콘 등을 재료로 하는 절연층을 사용할 수 있다. 또한, 이 공정의 전후(前後)에 있어서, 트랜지스터의 임계값 전압을 제어하기 위해서, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가하여도 좋다. 반도체가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는, 예를 들어, 인이나 비소 등을 사용할 수 있다. 또한, p형의 도전성을 부여하는 불순물로서는, 예를 들어 붕소, 알루미늄, 갈륨 등을 사용할 수 있다.

[0104] 다음에, 상기 보호층(102)을 마스크로 하여 에칭을 행하고, 보호층(102)으로 덮이지 않는 영역(노출되는 영역) 중의 기판(100)의 일부를 제거한다. 이로써, 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 6b 참조). 상기 에칭에는, 드라이 에칭을 사용하는 것이 바람직하지만, 웨트 에칭을 사용하여도 좋다. 에칭 가스나 에칭 액에 대해서는 피(被)에칭 재료에 따라 적절히 선택할 수 있다.

[0105] 다음에, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)에 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 6c 참조). 상기 절연층은, 산화실리콘이나 질화실리콘, 산화질화실리콘 등을 사용하여 형성된다. 절연층을 제거하는 방법으로서, CMP(화학적 기계적 연마) 등의 연마 처리나 에칭 처리 등이 있지만, 그 중에서 어느 처리법을 사용하여도 좋다. 또한, 반도체 영역(104)을 형성한 후, 또는 소자 분리 절연층(106)을 형성한 후에는, 상기 보호층(102)을 제거한다.

[0106] 다음에, 반도체 영역(104) 표면에 절연층을 형성하고, 상기 절연층 위에 도전 재료를 포함하는 층을 형성한다.

[0107] 절연층은, 이후 게이트 절연층이 되는 층이며, 예를 들어, 반도체 영역(104) 표면의 열 처리(열 산화 처리나 열 질화 처리 등)에 의하여 형성할 수 있다. 열 처리 대신에 고밀도 플라즈마 처리를 적용하여도 좋다. 고밀도 플라즈마 처리는, 예를 들어, 헬륨(He), 아르곤(Ar), 크립톤(Kr), 크세논(Xe) 등의 희 가스, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 사용하여 절연층을 형성하여도 좋다. 상기 절연층은, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈, 산화이트륨, 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$), 질소가 첨가된 하프늄알루미늄에이트($\text{HfAl}_x\text{O}_y\text{N}_z(x>0, y>0, z>0)$) 등을 포함하는 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 또한, 절연층의 두께는 예를 들어, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0108] 도전 재료를 포함하는 층은, 알루미늄이나 구리, 티타늄, 탄탈, 텅스텐 등의 금속 재료를 사용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 사용하여 도전 재료를 포함하는 층을 형성하여도 좋다. 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스핀코팅법 등의 각종 성막 방법을 사용할 수 있다. 또한, 본 실시형태에서는, 도전 재료를 포함하는 층을 금속 재료를 사용하여 형성하는 경우의 일례에 대해서 나타낸다.

[0109] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여 게이트 절연층(108), 게이트 전극(110)을 형성한다(도 6c 참조).

[0110] 다음에, 반도체 영역(104)에 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하여 채널 형성 영역(116) 및 불순물 영역(120)을 형성한다(도 6d 참조). 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높이는 것이 바람직하다.

[0111] 또한, 게이트 전극(110)의 주위에 사이드 월 절연층을 형성하고, 불순물 원소가 상이한 농도로 첨가된 불순물 영역을 형성하여도 좋다.

[0112] 다음에, 게이트 전극(110), 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 7a 참조). 상기

금속층(122)은, 진공 증착법이나 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용하여 형성할 수 있다. 금속층(122)은 반도체 영역(104)을 구성하는 반도체 재료와 반응함으로써 저저항의 금속 화합물이 되는 금속 재료를 사용하여 형성하는 것이 바람직하다. 이와 같은 금속 재료로서는, 예를 들어 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.

[0113] 다음에, 열 처리를 행하여 상기 금속층(122)과 반도체 재료를 반응시킨다. 이로써, 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 형성된다(도 7a 참조). 또한, 게이트 전극(110)으로서 다결정 실리콘 등을 사용하는 경우에는, 게이트 전극(110)의 금속층(122)과 접촉하는 부분에도 금속 화합물 영역이 형성된다.

[0114] 상기 열 처리로서는, 예를 들어, 플래시 램프 조사에 의한 열 처리를 사용할 수 있다. 물론, 그 이외의 열 처리 방법을 사용하여도 좋지만, 금속 화합물의 형성에 따른 화학 반응의 제어성(制御性)을 향상시키기 위해서는, 극히 단시간의 열 처리를 실현할 수 있는 방법을 사용하는 것이 바람직하다. 또한, 상술한 금속 화합물 영역은, 금속 재료와 반도체 재료의 반응에 의하여 형성되는 것이며, 충분히 도전성이 높아진 영역이다. 상기 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하고 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)을 제거한다.

[0115] 다음에, 상술한 공정에 의하여 형성된 각 구성을 덮도록 절연층(128), 절연층(130)을 형성한다(도 7b 참조). 절연층(128)이나 절연층(130)은, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 특히, 절연층(128)이나 절연층(130)에 유전율이 낮은(low-k) 재료를 사용함으로써, 각종 전극이나 배선이 중첩하는 것에 기인하는 용량을 충분히 저감할 수 있기 때문에, 바람직하다. 또한, 절연층(128)이나 절연층(130)에는 이들의 재료를 사용한 다공성(多孔性) 절연층을 적용하여도 좋다. 다공성의 절연층에서는, 밀도가 높은 절연층과 비교하여 유전율이 저하하기 때문에, 전극이나 배선에 기인하는 용량을 더 저감할 수 있다. 또한, 절연층(128)이나 절연층(130)은, 폴리이미드, 아크릴 등의 유기 절연 재료를 사용하여 형성할 수도 있다. 또한, 여기서는 절연층(128)과 절연층(130)의 적층 구조로 하지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다. 1층으로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다.

[0116] 상술한 공정에 의하여 반도체 재료를 포함하는 기관(100)을 사용한 트랜지스터(160)가 형성된다(도 7b 참조). 이와 같은 트랜지스터(160)는, 고속 동작을 행할 수 있다는 특징을 갖는다. 따라서, 상기 트랜지스터를 판독용의 트랜지스터로서 사용함으로써, 정보의 판독을 고속으로 행할 수 있다.

[0117] 또한, 트랜지스터(160)는, p채널형 트랜지스터이기 때문에, 판독용 트랜지스터로서 사용함으로써 판독 동작을 행하기 위해서 음 전위를 생성하는 전원을 설치할 필요가 없다. 따라서, 소비 전력을 삭감하고, 또 반도체 장치를 소형화할 수 있다. 또한, 판독 동작을 행하기 위해서 음 전위를 사용하는 경우와 비교하여 고속으로 동작시킬 수 있다.

[0118] 그 후, 트랜지스터(162) 및 용량 소자(164)를 형성하기 전의 처리로서, 절연층(128)이나 절연층(130)에 CMP 처리를 행하여 게이트 전극(110)의 상면을 노출시킨다(도 7c 참조). 게이트 전극(110)의 상면을 노출시키는 처리로서는, CMP 처리 이외에 에칭 처리 등을 적용할 수도 있지만, 트랜지스터(162)의 특성을 향상시키기 위해서 절연층(128)이나 절연층(130)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하다.

[0119] 또한, 상기 각 공정의 전후에는, 전극이나 배선, 반도체층, 절연층 등을 더 형성하는 공정을 포함하여도 좋다. 예를 들어, 배선의 구조로서 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용하여 고도로 집적화한 반도체 장치를 실현할 수도 있다.

[0120] <상부 트랜지스터의 제작 방법>

[0121] 다음에, 게이트 전극(110), 절연층(128), 절연층(130) 등의 위에 도전층을 형성하고, 상기 도전층을 선택적으로 에칭하여 소스 전극(142a), 드레인 전극(142b)을 형성한다(도 8a 참조).

[0122] 도전층은, 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나, 또는 이들을 복수 조합한 재료를 사용하여도 좋다.

[0123] 도전층은, 단층 구조라도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 티타늄막이나 질화 티타늄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구

조, 질화티타늄막 위에 티타늄막이 적층된 2층 구조, 티타늄막과 알루미늄막과 티타늄막이 적층된 3층 구조 등을 들 수 있다. 또한, 도전층을 티타늄막이나 질화티타늄막의 단층 구조로 하는 경우에는, 테이퍼 형상을 갖는 소스 전극(142a), 및 드레인 전극(142b)으로 가공하기 쉽다는 장점이 있다.

[0124] 또한, 도전층은 도전성의 금속 산화물을 사용하여 형성하여도 좋다. 도전성의 금속 산화물로서는, 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐산화주석합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기하는 경우가 있다), 산화인듐산화아연합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들의 금속 산화물 재료에 실리콘 또는 산화실리콘을 함유시킨 것을 사용할 수 있다.

[0125] 도전층의 예칭은, 형성되는 소스 전극(142a), 및 드레인 전극(142b)의 단부가, 테이퍼 형상이 되도록 행하는 것이 바람직하다. 여기서, 테이퍼 각은, 예를 들어 30° 이상 60° 이하인 것이 바람직하다. 소스 전극(142a), 드레인 전극(142b)의 단부를 테이퍼 형상이 되도록 예칭함으로써, 이후 형성되는 게이트 절연층(146)의 피복성을 향상시켜 단절을 방지할 수 있다.

[0126] 상부 트랜지스터의 채널 길이(L)는, 소스 전극(142a), 및 드레인 전극(142b) 하단부(下端部)의 간격에 따라 결정된다. 또한, 채널 길이(L)가 25nm 미만의 트랜지스터를 형성하는 경우에 사용하는 마스크를 형성하기 위한 노광을 행할 때에는, 수nm 이상 수십nm 이하의 파장이 짧은 초자외선(Extreme Ultraviolet)을 사용하는 것이 바람직하다. 초자외선에 의한 노광은, 해상도가 높고, 초점(焦點)심도도 크다. 따라서, 이후 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm($1\mu\text{m}$) 이하로 할 수도 있고, 회로의 동작 속도를 높일 수 있다. 또한, 미세화에 의하여 반도체 장치의 소비 전력을 저감할 수도 있다.

[0127] 또한, 절연층(128)이나 절연층(130) 위에는 하지로써 기능하는 절연층을 형성하여도 좋다. 상기 절연층은, PVD법이나 CVD법 등을 사용하여 형성할 수 있다.

[0128] 다음에, 소스 전극(142a) 위에 절연층(143a)을 형성하고, 드레인 전극(142b) 위에 절연층(143b)을 형성한다(도 8b 참조). 절연층(143a) 및 절연층(143b)은, 소스 전극(142a)이나 드레인 전극(142b)을 덮는 절연층을 형성한 후, 상기 절연층을 선택적으로 예칭함으로써 형성할 수 있다. 또한, 절연층(143a) 및 절연층(143b)은 이후 형성되는 게이트 전극의 일부와 중첩하도록 형성한다. 이와 같은 절연층을 형성함으로써, 게이트 전극과, 소스 전극 또는 드레인 전극 사이의 용량을 저감시킬 수 있다.

[0129] 절연층(143a)이나 절연층(143b)은, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 특히, 절연층(143a)이나 절연층(143b)에 유전율이 낮은(low-k) 재료를 사용함으로써, 게이트 전극과, 소스 전극 또는 드레인 전극 사이의 용량을 충분히 저감할 수 있기 때문에 바람직하다. 또한, 절연층(143a)이나 절연층(143b)에는 이들의 재료를 사용한 다공성의 절연층을 적용하여도 좋다. 다공성의 절연층에서는, 밀도가 높은 절연층과 비교하여 유전율이 저하하기 때문에, 게이트 전극과, 소스 전극 또는 드레인 전극 사이의 용량을 더 저감시킬 수 있다.

[0130] 또한, 게이트 전극과, 소스 전극 또는 드레인 전극 사이의 용량을 저감시킨다는 점에서는, 절연층(143a) 및 절연층(143b)을 형성하는 것이 바람직하지만, 상기 절연층(143a) 및 절연층(143b)을 형성하지 않는 구성으로 할 수도 있다.

[0131] 다음에, 소스 전극(142a), 및 드레인 전극(142b)을 덮도록 산화물 반도체층을 형성한 후, 상기 산화물 반도체층을 선택적으로 예칭하여 산화물 반도체층(144)을 형성한다(도 8c 참조).

[0132] 산화물 반도체층은, 적어도 In, Ga, Sn, 및 Zn으로부터 이루어진 1종 이상의 원소를 함유한다. 예를 들어, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계나, 3원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계나, 2원계 금속 산화물인 In-Zn-O계, In-Ga-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계나, In-O계, Sn-O계, Zn-O계 등을 사용하여 형성할 수 있다. 또한, 상기 산화물 반도체에 In, Ga, Sn, 및 Zn 이외의 원소, 예를 들어 SiO_2 를 포함시켜도 좋다.

[0133] 예를 들어, In-Ga-Zn-O계 산화물 반도체는, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체를 의미하고, 그 조성 비율은 불문하다.

[0134] 그 중에서, In-Ga-Zn-O계 산화물 반도체 재료는, 무전계일 때의 저항이 충분히 높고, 오프 전류를 충분히 작게 할 수 있고, 또한, 전계 효과 이동도도 높기 때문에, 반도체 장치에 사용하는 반도체 재료로서는 적합하다.

- [0135] In-Ga-Zn-O계 산화물 반도체 재료의 대표적인 예로서는, $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 으로 표기되는 것이 있다. 또한, Ga 대신에 M을 사용하여 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표기되는 산화물 반도체 재료가 있다. 여기서, M은 아연(Zn), 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M로서는, Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등을 적용할 수 있다. 또한, 상술한 조성은 결정 구조로부터 얻을 수 있는 조성이고, 어디까지나 일례에 불과한 것을 부기한다.
- [0136] 산화물 반도체층을 스퍼터링법에 의하여 제작하기 위한 타깃으로서, $\text{In:Ga:Zn}=1:x:y(x는 0 이상, y는 0.5 이상 5 이하)$ 의 조성 비율을 갖는 것을 사용하는 것이 바람직하다. 예를 들어, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol 수 비율]의 조성 비율을 갖는 금속 산화물 타깃 등을 사용할 수 있다. 또한, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol 수 비율]의 조성 비율을 갖는 타깃이나 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [mol 수 비율]의 조성 비율을 갖는 타깃을 사용할 수도 있다.
- [0137] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타깃의 조성 비율은 원자수 비율로 $\text{In:Zn}=50:1$ 내지 $1:2$ (mol 수 비율로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 내지 $1:4$), 바람직하게는 $\text{In:Zn}=20:1$ 내지 $1:1$ (mol 수 비율로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 내지 $1:2$), 더 바람직하게는, $\text{In:Zn}=15:1$ 내지 $1.5:1$ (mol 수 비율로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 내지 $3:4$)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되는 타깃은 원자수 비율이 $\text{In:Zn:O}=X:Y:Z$ 일 때, $Z>1.5X+Y$ 로 한다.
- [0138] 본 실시형태에서는, 비정질 구조의 산화물 반도체층을 In-Ga-Zn-O계의 금속 산화물 타깃을 사용하는 스퍼터링법에 의하여 형성한다.
- [0139] 금속 산화물 타깃 중의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 치밀한 구조의 산화물 반도체층을 형성할 수 있다.
- [0140] 산화물 반도체층을 형성하는 분위기는, 희 가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희 가스(대표적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 바람직하다. 구체적으로는, 예를 들어, 수소, 물, 수산기, 수소화물 등의 불순물이 농도 1ppm 이하(바람직하게는 농도 10ppb 이하)까지 제거된 고순도 가스 분위기를 사용하는 것이 바람직하다.
- [0141] 산화물 반도체층을 형성할 때에는, 예를 들어 감압 상태로 유지된 처리실 내에 피처리물을 유지하고, 피처리물의 온도가 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하가 되도록 피처리물을 가열한다. 또는, 산화물 반도체층을 형성할 때의 피처리물의 온도는, 실온(25℃±10℃)으로 하여도 좋다. 그리고, 처리실 내의 수분을 제거하면서 수소나 물 등이 제거된 스퍼터링 가스를 도입하고 상기 타깃을 사용하여 산화물 반도체층을 형성한다. 피처리물을 가열하면서 산화물 반도체층을 형성함으로써, 산화물 반도체층에 포함되는 불순물을 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상을 경감시킬 수 있다. 처리실 내의 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 클라이오 펌프(cryopump), 이온 펌프, 티타늄 서블리메이션 펌프(titanium sublimation pump) 등을 사용할 수 있다. 또한, 터보(turbo) 분자 펌프에 콜드 트랩(cold trap)을 설치한 것을 사용하여도 좋다. 클라이오 펌프 등을 사용하여 배기함으로써, 처리실로부터 수소나 물 등을 제거할 수 있기 때문에, 산화물 반도체층 중의 불순물 농도를 저감할 수 있다.
- [0142] 산화물 반도체층의 형성 조건으로서, 예를 들어 피처리물과 타깃의 거리가 170mm, 압력이 0.4Pa, 직류(DC) 전력이 0.5kW, 분위기가 산소(산소 100%) 분위기, 또는 아르곤(아르곤 100%) 분위기, 또는 산소와 아르곤의 혼합 분위기는 조건을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 사용하면, 산화물 반도체층의 형성 시에 발생하는 분말 상태 물질(파티클(particle)이나 먼지라고도 한다)을 저감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 산화물 반도체층의 두께는, 1nm 이상 50nm 이하, 바람직하게는 1nm 이상 30nm 이하, 더 바람직하게는 1nm 이상 10nm 이하로 한다. 이와 같은 두께의 산화물 반도체층을 사용함으로써, 미세화에 따른 단 채널 효과를 억제할 수 있다. 다만, 적용하는 산화물 반도체 재료나 반도체 장치의 용도 등의 조건에 따라 산화물 반도체층의 적절한 두께는 상이하기 때문에, 그 두께는 사용하는 재료나 용도 등에 따라 선택할 수도 있다.
- [0143] 또한, 산화물 반도체층을 스퍼터링법에 의하여 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를

발생시키는 역 스퍼터링을 행하고, 산화물 반도체층이 형성되는 표면(예를 들어, 절연층(130) 표면)의 부착물을 제거하는 것이 바람직하다. 여기서, 역 스퍼터링이란, 일반적으로 스퍼터링에 있어서 스퍼터링 타깃에 이온을 충돌시키는 방법을, 반대로 처리 표면에 이온을 충돌시킴으로써 그 표면을 개질하는 방법을 말한다. 처리 표면에 이온을 충돌시키는 방법으로서, 아르곤 분위기하에서 처리 표면 측에 고주파 전압을 인가하여 피처리물 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등에 의한 분위기를 적용하여도 좋다.

[0144] 그 후, 산화물 반도체층에 대해서 열 처리(제 1 열 처리)를 행하는 것이 바람직하다. 이 제 1 열 처리에 의하여 산화물 반도체층 중의 과잉의 수소(물이나 수산기를 포함한다)를 제거하여 산화물 반도체층의 구조를 조정하고, 에너지 갭 중의 결함 준위를 저감시킬 수 있다. 제 1 열 처리의 온도는 예를 들어 300℃ 이상 550℃ 미만, 또는 400℃ 이상 500℃ 이하로 한다.

[0145] 열 처리는, 예를 들어 저항 발열체 등을 사용한 전기로에 피처리물을 도입하여 질소 분위기하, 450℃, 1시간의 조건으로 행할 수 있다. 열 처리를 행하는 동안, 산화물 반도체층은 대기에 노출시키지 않고, 물이나 수소가 혼입하지 않도록 한다.

[0146] 열 처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열 전도, 또는 열 복사(輻射)에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방출되는 광(전자파)의 복사에 의하여 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 열 처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희 가스, 또는 질소와 같은 열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0147] 예를 들어, 제 1 열 처리로서, 가열된 불활성 가스 분위기 중에 피처리물을 투입하여 수분간 가열한 후, 상기 불활성 가스 분위기 중에서 피처리물을 꺼내는 GRTA 처리를 행하여도 좋다. GRTA 처리를 사용하면, 단시간에서의 고온 열 처리가 가능하게 된다. 또한, 피처리물의 내열 온도를 초과하는 온도라도 적용할 수 있다. 또한, 처리 중에 불활성 가스를 산소를 포함하는 가스로 바꾸어도 좋다. 산소를 포함하는 분위기에 있어서, 제 1 열 처리를 행함으로써, 산소 결손에 기인하는 에너지 갭 중의 결함 준위를 저감할 수 있기 때문이다.

[0148] 또한, 불활성 가스 분위기로서는, 질소 또는 희 가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열 처리 장치에 도입하는 질소나 헬륨, 네온, 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0149] 어쨌든, 제 1 열 처리에 의하여 불순물을 저감시켜, i형(진성 반도체) 또는 i형에 가능한 한 가까운 산화물 반도체층을 형성함으로써, 매우 뛰어난 특성의 트랜지스터를 실현할 수 있다.

[0150] 또한, 상술한 열 처리(제 1 열 처리)에는, 수소나 물 등을 제거하는 효과가 있기 때문에, 상기 열 처리를 탈수화 처리나 탈수소화 처리 등이라고 부를 수 있다. 상기 탈수화 처리나 탈수소화 처리는 산화물 반도체층을 형성한 후나 게이트 절연층을 형성한 후, 게이트 전극을 형성한 후 등의 타이밍에 있어서 행할 수도 있다. 또한, 이와 같은 탈수화 처리, 탈수소화 처리는 1번에 한정되지 않고, 복수 횟수 행하여도 좋다.

[0151] 산화물 반도체층의 에칭은, 상기 열 처리 전, 또는 상기 열 처리 후 중 어느 경우에서도 행하여도 좋다. 또한, 소자의 미세화의 관점에서는, 드라이 에칭을 사용하는 것이 바람직하지만, 웨트 에칭을 사용하여도 좋다. 에칭 가스나 에칭 액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다. 또한, 소자에 있어서의 리크 등이 문제가 되지 않는 경우에는, 산화물 반도체층을 섬 형상으로 가공하지 않고 사용하여도 좋다.

[0152] 다음에, 산화물 반도체층(144)에 접하는 게이트 절연층(146)을 형성하고, 그 후 게이트 절연층(146) 위에서 산화물 반도체층(144)과 중첩하는 영역에 게이트 전극(148a)을 형성하고, 소스 전극(142a)과 중첩하는 영역에 전극(148b)을 형성한다(도 8d 참조).

[0153] 게이트 절연층(146)은, CVD법이나 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, 게이트 절연층(146)은, 산화실리콘, 질화실리콘, 산화질화실리콘, 산화알루미늄, 산화탄탈, 산화하프늄, 산화이트륨, 하프늄 실리케이트($HfSi_xO_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($HfSi_xO_yN_z(x>0, y>0, z>0)$), 질소가 첨가된 하프늄알루미늄네이트($HfAl_xO_yN_z(x>0, y>0, z>0)$) 등을 포함하도록 형성하는 것이 바람직하다. 게이트 절연층(146)

은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다. 또한, 그 막 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화하는 경우에는 트랜지스터의 동작을 확보하기 위해서 얇게 하는 것이 바람직하다. 예를 들어, 산화실리콘을 사용하는 경우에는, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0154] 상술한 바와 같이, 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 리크가 문제가 된다. 게이트 리크 문제를 해소하기 위해서는, 게이트 절연층(146)에 산화하프늄, 산화탄탈, 산화이트륨, 하프늄실리케이트(HfSi_xO_y ($x>0, y>0$)), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)), 질소가 첨가된 하프늄알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)) 등의 고유전율(high-k) 재료를 사용하면 좋다. high-k 재료를 게이트 절연층(146)에 사용함으로써, 전기적 특성을 확보하면서 게이트 리크를 억제하기 위해서 막 두께를 크게 할 수 있다. 또한, high-k 재료를 포함하는 막과, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄 등 중의 어느 것을 포함하는 막과의 적층 구조로 하여도 좋다.

[0155] 게이트 절연층(146)을 형성한 후에는, 불활성 가스 분위기하, 또는 산소 분위기하에서 제 2 열 처리를 행하는 것이 바람직하다. 열 처리의 온도는 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하이다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 열 처리를 행하면 좋다. 제 2 열 처리를 행함으로써, 트랜지스터의 전기적 특성의 편차를 경감시킬 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체(144)에 산소를 공급하여 상기 산화물 반도체층(144)의 산소 결손을 보전(補填)하여 i형(진성 반도체) 또는 가능한 한 i형에 가까운 산화물 반도체층을 형성할 수도 있다.

[0156] 또한, 본 실시형태에서는, 게이트 절연층(146)을 형성한 후에 제 2 열 처리를 행하지만, 제 2 열 처리의 타이밍은 이것에 한정되지 않는다. 예를 들어, 게이트 전극을 형성한 후에 제 2 열 처리를 행하여도 좋다. 또한, 제 1 열 처리에 이어 제 2 열 처리를 행하여도 좋고, 제 1 열 처리에 제 2 열 처리를 겹쳐도 좋고, 제 2 열 처리에 제 1 열 처리를 겹쳐도 좋다.

[0157] 상술한 바와 같이, 제 1 열 처리와 제 2 열 처리 중 적어도 하나를 적용함으로써, 산화물 반도체층(144)을 그 주성분 외의 불순물이 극력(極力) 포함되지 않도록 고순도화할 수 있다.

[0158] 게이트 전극(148a) 및 전극(148b)은, 게이트 절연층(146) 위에 도전층을 형성한 후에, 상기 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148a) 및 전극(148b)이 되는 도전층은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 자세한 내용은, 소스 전극(142a) 등의 경우와 마찬가지로, 이들의 기재를 참조할 수 있다.

[0159] 다음에, 게이트 절연층(146), 게이트 전극(148a), 및 전극(148b) 위에 절연층(150) 및 절연층(152)을 형성한다(도 9a 참조). 절연층(150) 및 절연층(152)은, PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다.

[0160] 또한, 절연층(150)이나 절연층(152)에는, 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성 구조 등)를 사용하는 것이 바람직하다. 절연층(150)이나 절연층(152)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 생기는 용량을 저감하고, 동작의 고속화를 도모할 수 있기 때문이다.

[0161] 또한, 본 실시형태에서는, 절연층(150)과 절연층(152)의 적층 구조로 하지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다. 1층으로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다. 또한, 절연층을 형성하지 않는 구성으로 할 수도 있다.

[0162] 또한, 상기 절연층(152)은, 그 표면이 평탄하게 되도록 형성하는 것이 바람직하다. 표면이 평탄하게 되도록 절연층(152)을 형성함으로써, 반도체 장치를 미세화한 경우 등에 있어서도, 절연층(152) 위에 전극이나 배선 등을 적합하게 형성할 수 있기 때문이다. 또한, 절연층(152)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 사용하여 행할 수 있다.

[0163] 다음에, 게이트 절연층(146), 절연층(150), 절연층(152)에, 드레인 전극(142b)까지 도달하는 개구를 형성한다(도 9b 참조). 상기 개구는 마스크 등을 사용한 선택적인 에칭에 의하여 형성된다.

[0164] 그 후, 상기 개구에 전극(154)을 형성하고, 절연층(152) 위에 전극(154)에 접하는 배선(156)을 형성한다(도 9c 참조).

[0165] 전극(154)은, 예를 들어 개구를 포함하는 영역에 PVD법이나 CVD법 등을 사용하여 도전층을 형성한 후,

에칭 처리나 CMP 처리를 사용하여 상기 도전층의 일부를 제거함으로써 형성할 수 있다.

- [0166] 보다 구체적으로는, 예를 들어, 개구를 포함하는 영역에 PVD법에 의하여 티타늄막을 얇게 형성하고, CVD법에 의하여 질화티타늄막을 얇게 형성한 후에, 개구에 매우도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의하여 형성되는 티타늄막은, 피형성면의 산화막(자연 산화막 등)을 환원(還元)하고, 하부 전극 등(여기서는 드레인 전극(142b))과의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 그 후에 형성되는 질화티타늄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티타늄이나 질화티타늄 등에 의한 배리어막을 형성한 후에, 도금법에 의하여 구리 막을 형성하여도 좋다.
- [0167] 또한, 상기 도전층의 일부를 제거하여 전극(154)을 형성할 때는, 그 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 예를 들어, 개구를 포함하는 영역에 티타늄막이나 질화티타늄막을 얇게 형성한 후에, 개구에 매우도록 텅스텐막을 형성하는 경우에는, 그 후의 CMP 처리에 의하여 불필요한 텅스텐, 티타늄, 질화티타늄 등을 제거하는 것과 함께, 그 표면의 평탄성을 향상시킬 수 있다. 이와 같이, 전극(154)을 포함하는 표면을 평탄화함으로써, 이후의 공정에 있어서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성할 수 있다.
- [0168] 배선(156)은, 스퍼터링법을 비롯한 PVD법이나 플라즈마 CVD법 등의 CVD법을 사용하여 도전층을 형성한 후, 상기 도전층을 패터닝함으로써 형성된다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐 중으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나, 또는 이들을 복수 조합한 재료를 사용하여도 좋다. 자세한 내용은, 소스 전극(142a) 등과 마찬가지로다.
- [0169] 상술한 바와 같이, 고순도화된 산화물 반도체층(144)을 사용한 트랜지스터(162), 및 용량 소자(164)가 완성된다(도 9c 참조).
- [0170] 본 실시형태에서 나타내는 트랜지스터(162)에서는, 산화물 반도체층(144)이 고순도화되기 때문에, 그 수소 농도는, 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는, 5×10^{17} atoms/cm³ 이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는, 일반적인 실리콘 웨이퍼에 있어서의 캐리어 밀도(1×10^{14} /cm³ 정도)와 비교하여 충분히 작은 값(예를 들어, 1×10^{12} /cm³ 미만, 더 바 바람직하게는 1.45×10^{10} /cm³ 미만)이 된다. 그리고, 트랜지스터(162)의 오프 전류도 충분히 작게 된다. 예를 들어, 실온(25℃)에서의 트랜지스터(162)의 오프 전류(여기서는 단위 채널 폭(1μm)당의 값)는, 100zA(1zA는 1×10^{-21} A) 이하, 바람직하게는 10zA 이하가 된다.
- [0171] 이와 같이, 고순도화되고, 또 진성화된 산화물 반도체층(144)을 사용함으로써, 트랜지스터의 오프 전류를 충분히 저감하기 쉽게 된다. 그리고, 이와 같은 트랜지스터를 사용함으로써, 기억된 내용을 매우 장기간 동안 유지할 수 있는 반도체 장치를 얻을 수 있다.
- [0172] 이상, 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0173] (실시형태 3)
- [0174] 본 실시형태에서는, 상술한 실시형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대해서도 10a 내지 도 10f를 사용하여 설명한다. 본 실시형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대 정보 단말(휴대형 게임기, 음향 재생 장치 등도 포함한다), 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다) 등의 전자 기기에 상술한 반도체 장치를 적용하는 경우에 대해서 설명한다.
- [0175] 도 10a는, 노트형의 퍼스널 컴퓨터이고, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등으로 구성된다. 하우징(701)과 하우징(702) 중 적어도 하나에는, 상술한 실시형태에 나타내는 반도체 장치가 설치된다. 따라서, 정보의 기록 및 판독을 고속으로 행할 수 있고, 기억을 장기간 동안 유지할 수 있고, 또 소비 전력이 충분히 저감된 노트형 퍼스널 컴퓨터가 실현된다.
- [0176] 도 10b는, 휴대 정보 단말(PDA)이고, 본체(711)에는 표시부(713)와 외부 인터페이스(715)와 조작 버튼(714) 등이 설치된다. 또한, 휴대 정보 단말을 조작하는스타일러스(stylus; 712) 등을 구비한다. 본체(711) 내에는, 상술한 실시형태에 나타내는 반도체 장치가 설치된다. 따라서, 정보의 기록 및 판독을 고속으로 행할 수 있고, 기억을 장기간 동안 유지할 수 있고, 또 소비 전력이 충분히 저감된 휴대 정보 단말이 실현된다.

- [0177] 도 10c는, 전자 페이퍼를 실장한 전자 서적이요, 케이스(721) 및 케이스(723)의 2개의 케이스로 구성된다. 케이스(721) 및 케이스(723)에는, 각각 표시부(725) 및 표시부(727)가 설치된다. 케이스(721)와 케이스(723)는, 축(軸)부(737)로 접속되고, 상기 축부(737)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 케이스(721)는, 전원(731), 조작 키(733), 스피커(735) 등을 구비한다. 케이스(721), 케이스(723) 중의 적어도 하나에는 상술한 실시형태에 나타내는 반도체 장치가 설치된다. 따라서, 정보의 기록 및 관독을 고속으로 행할 수 있고, 기억을 장기간 동안 유지할 수 있고, 또 소비 전력이 충분히 저감된 전자 서적이 실현된다.
- [0178] 도 10d는, 휴대 전화기이고, 케이스(740)와 케이스(741)의 2개의 케이스로 구성된다. 또한, 케이스(740)와 케이스(741)는 슬라이드하여 도 10d에 도시하는 바와 같이 전개(展開)되는 상태로부터 중첩한 상태로 할 수 있고, 휴대하기에 적합한 소형화가 가능하다. 또한, 케이스(741)는, 표시 패널(742), 스피커(743), 마이크로 폰(744), 조작 키(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비한다. 또한, 케이스(740)는, 휴대 전화기의 충전을 행하는 태양 전지 셀(749), 외부 메모리 슬롯(750) 등을 구비한다. 또한, 안테나는, 케이스(741)에 내장된다. 케이스(740)와 케이스(741) 중 적어도 하나에는, 상술한 실시형태에 나타내는 반도체 장치가 설치된다. 따라서, 정보의 기록 및 관독을 고속으로 행할 수 있고, 기억을 장기간 동안 유지할 수 있고, 또 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.
- [0179] 도 10e는, 디지털 카메라이고, 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등으로 구성된다. 본체(761) 내에는 상술한 실시형태에 나타내는 반도체 장치가 설치된다. 따라서, 정보의 기록 및 관독을 고속으로 행할 수 있고, 기억을 장기간 동안 유지할 수 있고, 또 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0180] 도 10f는, 텔레비전 장치이고, 하우징(771), 표시부(773), 스탠드(775) 등으로 구성된다. 텔레비전 장치의 조작은 하우징(771)이 구비하는 스위치나, 리모트 컨트롤러(780)에 의하여 행할 수 있다. 케이스(771) 및 리모트 컨트롤러(780)에는, 상술한 실시형태에 나타내는 반도체 장치가 탑재된다. 따라서, 정보의 기록 및 관독을 고속으로 행할 수 있고, 기억을 장기간 동안 유지할 수 있고, 또 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0181] 상술한 바와 같이, 본 실시형태에 나타내는 전자 기기에는, 상술한 실시형태에 따른 반도체 장치가 탑재된다. 따라서, 소비 전력을 저감한 전자 기기가 실현된다.
- [0182] (실시예 1)
- [0183] 본 실시예에서는, 고순도화된 산화물 반도체를 사용한 트랜지스터의 오프 전류를 계산한 결과에 대해서 설명한다.
- [0184] 우선, 고순도화된 산화물 반도체를 사용한 트랜지스터의 오프 전류가 충분히 작은 것을 고려하여 채널 폭 W 가 $1\mu\text{m}$ 인, 채널 폭이 충분히 큰 트랜지스터를 준비하여 오프 전류의 측정을 행하였다. 채널 폭 W 가 $1\mu\text{m}$ 인 트랜지스터의 오프 전류를 측정된 결과를 도 11에 도시한다. 도 11에 있어서, 가로 축은 게이트 전압 V_G , 세로 축은 드레인 전류 I_D 이다. 드레인 전압 V_D 가 $+1V$ 또는 $+10V$ 인 경우, 게이트 전압 V_G 가 $-5V$ 로부터 $-20V$ 의 범위에서는, 트랜지스터의 오프 전류는 검출 한계인 $1 \times 10^{-12} \text{A}$ 이하인 것을 알 수 있었다. 또한, 트랜지스터의 오프 전류(여기서는, 단위 채널 폭($1\mu\text{m}$)당의 값)는, $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18} \text{A}/\mu\text{m}$) 이하가 되는 것을 알 수 있었다.
- [0185] 다음에, 고순도화된 산화물 반도체를 사용한 트랜지스터의 오프 전류를 더 정확하게 계산한 결과에 대해서 설명한다. 상술한 바와 같이, 고순도화된 산화물 반도체를 사용한 트랜지스터의 오프 전류는, 측정기(測定器)의 검출 한계인 $1 \times 10^{-12} \text{A}$ 이하인 것을 알 수 있었다. 그래서, 특성 평가용 소자를 제작하고, 더 정확한 오프 전류의 값(상기 측정에 있어서의 측정기의 검출 한계 이하의 값)을 계산한 결과에 대해서 설명한다.
- [0186] 우선, 전류 측정 방법에 사용한 특성 평가용 소자에 대해서 도 12를 참조하여 설명한다.
- [0187] 도 12에 도시하는 특성 평가용 소자는, 측정계(800)가 3개 병렬로 접속된다. 측정계(800)는, 용량 소자(802), 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 갖는다. 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)에는 고순도화된 산화물 반도체를 사용한 트랜지스터를 적용하였다.
- [0188] 측정계(800)에 있어서, 트랜지스터(804)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자(802)의 단자의 한쪽과, 트랜지스터(805)의 소스 단자 및 드레인 단자의 한쪽은, 전원(V_2 를 공급하는 전원)에 접속된다. 또

한, 트랜지스터(804)의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽과, 용량 소자 (802)의 단자의 다른 쪽과, 트랜지스터(805)의 게이트 단자는 접속된다. 또한, 트랜지스터(808)의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 한쪽과, 트랜지스터(806)의 게이트 단자는, 전원(V1을 공급하는 전원)에 접속된다. 또한, 트랜지스터(805)의 소스 단자 및 드레인 단자의 다른 쪽과, 트랜지스터(806)의 소스 단자 및 드레인 단자의 다른 쪽은 접속되고, 출력 단자가 된다.

[0189] 또한, 트랜지스터(804)의 게이트 단자에는, 트랜지스터(804)의 온 상태와, 오프 상태를 제어하는 전위 Vext_b2가 공급되고, 트랜지스터(808)의 게이트 단자에는, 트랜지스터(808)의 온 상태와 오프 상태를 제어하는 전위 Vext_b1이 공급된다. 또한, 출력 단자로부터는 전위 Vout가 출력된다.

[0190] 다음에, 상술한 특성 평가용 소자를 사용한 전류 측정 방법에 대해서 설명한다.

[0191] 우선, 오프 전류를 측정하기 위해서 전위차를 부여하는 초기 기간의 개략에 대해서 설명한다. 초기 기간에 있어서는, 트랜지스터(808)의 게이트 단자에 트랜지스터(808)를 온 상태로 하는 전위 Vext_b1을 입력하여 트랜지스터(804)의 소스 단자 또는 드레인 단자의 다른 쪽과 접속되는 노드(즉, 트랜지스터(808)의 소스 단자 및 드레인 단자의 한쪽, 용량 소자(802)의 단자의 다른 쪽, 및 트랜지스터(805)의 게이트 단자에 접속되는 노드)인, 노드 A에 전위 V1을 공급한다. 여기서, 전위 V1을, 예를 들어 고전위로 한다. 또한, 트랜지스터(804)는 오프 상태로 한다.

[0192] 그 후, 트랜지스터(808)의 게이트 단자에 트랜지스터(808)를 오프 상태로 하는 전위 Vext_b1을 입력하여 트랜지스터(808)를 오프 상태로 한다. 트랜지스터(808)를 오프 상태로 한 후에, 전위 V1을 저전위로 한다. 여기서도, 트랜지스터(804)는 오프 상태로 한다. 또한, 전위 V2는 전위 V1과 같은 전위로 한다. 이로써, 초기 기간이 종료한다. 초기 기간이 종료한 상태로는, 노드 A와 트랜지스터(804)의 소스 전극 및 드레인 전극의 한쪽 사이에 전위차가 생기고, 또한 노드 A와 트랜지스터(808)의 소스 전극 및 드레인 전극의 다른 쪽 사이에 전위차가 생기기 때문에, 트랜지스터(804) 및 트랜지스터(808)에는 전하가 조금만 흐른다. 즉, 오프 전류가 발생한다.

[0193] 다음에, 오프 전류의 측정 기간의 개략에 대해서 설명한다. 측정 기간에 있어서는, 트랜지스터(804)의 소스 단자 또는 드레인 단자의 한쪽의 단자의 전위(즉, V2), 및 트랜지스터(808)의 소스 단자 또는 드레인 단자의 다른 쪽의 단자의 전위(즉, V1)는 저전위로 고정한다. 한편, 측정 기간 중은 상기 노드 A의 전위는 고정하지 않는다(플로팅 상태로 한다). 이로써, 트랜지스터(804)에 전하가 흐르고, 시간 경과에 따라 노드 A에 유지되는 전하량이 변동한다. 그리고, 노드 A에 유지되는 전하량의 변동에 따라, 노드 A의 전위가 변동한다. 즉, 출력 단자의 출력 전위 Vout도 변동한다.

[0194] 상기 전위차를 부여하는 초기 기간 및 그 후의 측정 기간에 있어서의 각 전위의 관계의 자세한 내용(타이밍 차트)을 도 13에 도시한다.

[0195] 초기 기간에 있어서, 우선 전위 Vext_b2를 트랜지스터(804)가 온 상태가 되는 전위(고전위)로 한다. 이로써, 노드 A의 전위는 V2, 즉 저전위(VSS)가 된다. 또한, 노드 A에 저전위(VSS)를 공급하는 것은 필수(必須)가 아니다. 그 후, 전위 Vext_b2를 트랜지스터(804)가 오프 상태가 되는 전위(저전위)로 함으로써 트랜지스터(804)를 오프 상태로 한다. 다음에, 전위 Vext_b1을 트랜지스터(808)가 온 상태가 되는 전위(고전위)로 한다. 이로써, 노드 A의 전위는 V1, 즉 고전위(VDD)가 된다. 그 후, 전위 Vext_b1을 트랜지스터(808)가 오프 상태가 되는 전위로 한다. 이로써, 노드 A가 플로팅 상태가 되고, 초기 기간이 종료한다.

[0196] 그 후의 측정 기간에 있어서는, 전위 V1 및 전위 V2를 노드 A에 전하가 흘러 들어오는 전위, 또는 노드 A로부터 전하가 흘러 나가는 전위로 한다. 여기서는, 전위 V1 및 전위 V2를 저전위(VSS)로 한다. 다만, 출력 전위 Vout를 측정하는 타이밍에 있어서는, 출력 회로를 동작시킬 필요가 있기 때문에, 일시적으로 V1을 고전위(VDD)로 하는 경우가 있다. 또한, V1을 고전위(VDD)로 하는 기간은, 측정에 영향을 주지 않는 정도의 단기간으로 한다.

[0197] 상술한 바와 같이 하여 전위차를 주고, 측정 기간이 시작되면, 시간 경과에 따라, 노드 A에 유지되는 전하량이 변동하고, 이 변동에 따라, 노드 A의 전위가 변동한다. 이 현상은, 트랜지스터(805)의 게이트 단자의 전위가 변동하는 것을 의미하고, 시간 경과에 따라 출력 단자의 출력 전위 Vout의 전위도 변동한다.

[0198] 얻어진 출력 전위 Vout로부터 오프 전류를 산출하는 방법에 대해서 이하에 설명한다.

[0199] 오프 전류를 산출하기 전에, 노드 A의 전위 V_A 와, 출력 전위 V_{out} 의 관계를 계산한다. 이로써, 출력 전위 V_{out} 로부터 노드 A의 전위 V_A 를 계산할 수 있다. 상술한 관계로부터, 노드 A의 전위 V_A 는, 출력 전위 V_{out} 의 함수로서 이하의 수학적식과 같이 나타낼 수 있다.

[0200] [수학적식 1]

$$V_A = F(V_{out})$$

[0201]

[0202] 또한, 노드 A의 전하 Q_A 는, 노드 A의 전위 V_A , 노드 A에 접속되는 용량 C_A , 상수(const)를 사용하여 이하의 수학적식과 같이 나타내어진다. 여기서, 노드 A에 접속되는 용량 C_A 는, 용량 소자(802)의 용량과 다른 용량의 합이다.

[0203] [수학적식 2]

$$Q_A = C_A V_A + const$$

[0204]

[0205] 노드 A의 전류 I_A 는, 노드 A에 흘러 들어오는 전하(또는 노드 A로부터 흘러 나가는 전하)의 시간 미분(時間微分)이기 때문에, 노드 A의 전류 I_A 는 이하의 수학적식과 같다.

[0206] [수학적식 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0207]

[0208] 이와 같이, 노드 A에 접속되는 용량 C_A 와, 출력 단자의 출력 전위 V_{out} 로부터 노드 A의 전류 I_A 를 계산할 수 있다.

[0209] 상술하는 방법에 의하여 오프 상태에 있어서의 트랜지스터의 소스와 드레인 사이를 흐르는 리크 전류(오프 전류)를 측정할 수 있다.

[0210] 본 실시예에서는, 채널 길이 $L=10\mu m$, 채널 폭 $W=50\mu m$ 의 고순도화된 산화물 반도체를 사용하여 트랜지스터(804), 트랜지스터(805), 트랜지스터(806), 트랜지스터(808)를 제작하였다. 또한, 병렬된 각 측정계(800)에 있어서, 용량 소자(802)의 각 용량값을 100fF, 1pF, 3pF로 하였다.

[0211] 또한, 본 실시예에 따른 측정에서는, $V_{DD}=5V$, $V_{SS}=0V$ 로 하였다. 또한, 측정 기간에 있어서는, 원칙적으로 전위 V_1 을 V_{SS} 로 하고, 10sec로부터 300sec 경과할 때마다 100msec 기간만을 전위 V_1 을 V_{DD} 로 하여 V_{out} 를 측정하였다. 또한, 소자에 흐르는 전류 I 를 산출할 때에 사용되는 Δt 는, 약 30000sec로 하였다.

[0212] 도 14에 상기 전류 측정에 따른 경과 시간 Time와, 출력 전위 V_{out} 의 관계를 도시한다. 도 14를 보면, 시간의 경과에 따라, 전위가 변화하는 상태를 확인할 수 있다.

[0213] 도 15에는, 상기 전류 측정에 의하여 산출된 실온(25°C)에 있어서의 오프 전류를 도시한다. 또한, 도 15는, 소스-드레인 전압 V 와, 오프 전류 I 의 관계를 도시하는 도면이다. 도 15를 보면, 소스-드레인 전압이 4V인 조건에 있어서, 오프 전류는 약 $40zA/\mu m$ 인 것을 알 수 있었다. 또한, 소스-드레인 전압이 3.1V인 조건에 있어서, 오프 전류는 $10zA/\mu m$ 이하인 것을 알 수 있었다. 또한, $1zA$ 는 $10^{-21}A$ 를 나타낸다.

[0214] 또한, 상기 전류 측정에 의하여 산출된 85°C의 온도 환경하(環境下)에 있어서의 오프 전류에 대해서 도 16에 도시한다. 도 16은 85°C의 온도 환경하에 있어서의 소스-드레인 전압 V 와, 오프 전류 I 의 관계를 도시하는 도면이다. 도 16을 보면, 소스-드레인 전압이 3.1V인 조건에 있어서, 오프 전류는 $100zA/\mu m$ 이하인 것을 알 수 있었다.

[0215] 상술한 바와 같이, 본 실시예에 의하여 고순도화된 산화물 반도체를 사용한 트랜지스터에서는, 오프 전

류가 충분히 작게 되는 것을 확인되었다.

부호의 설명

[0216]

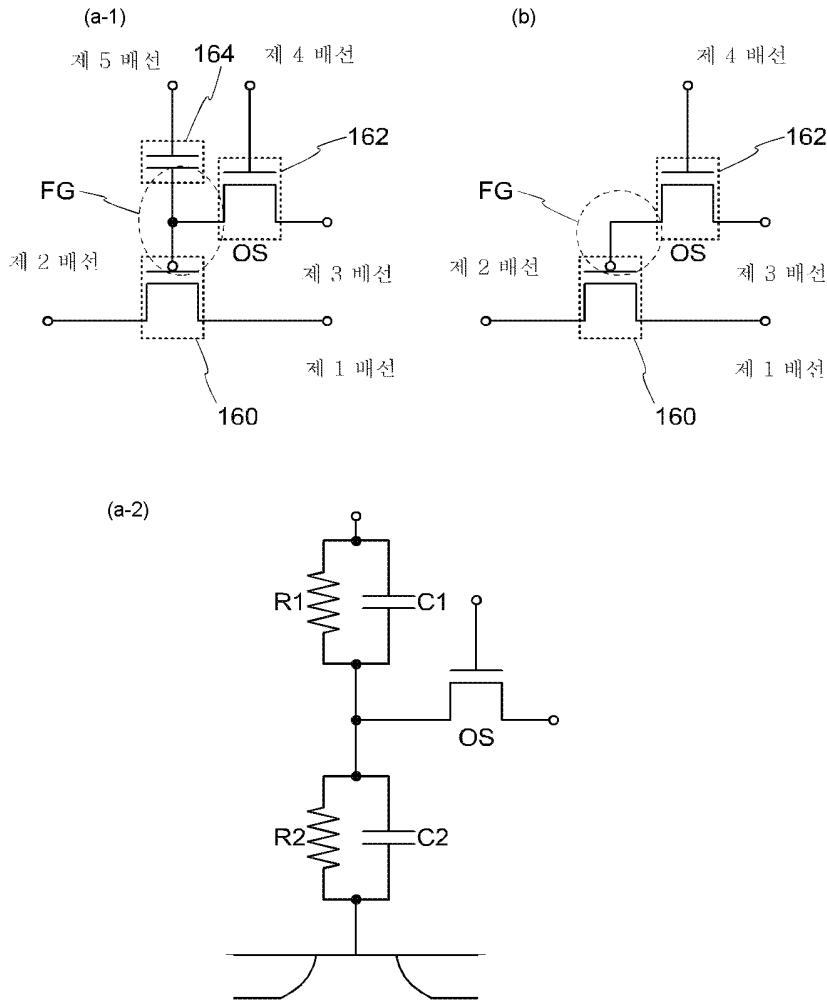
160: 트랜지스터

162: 트랜지스터

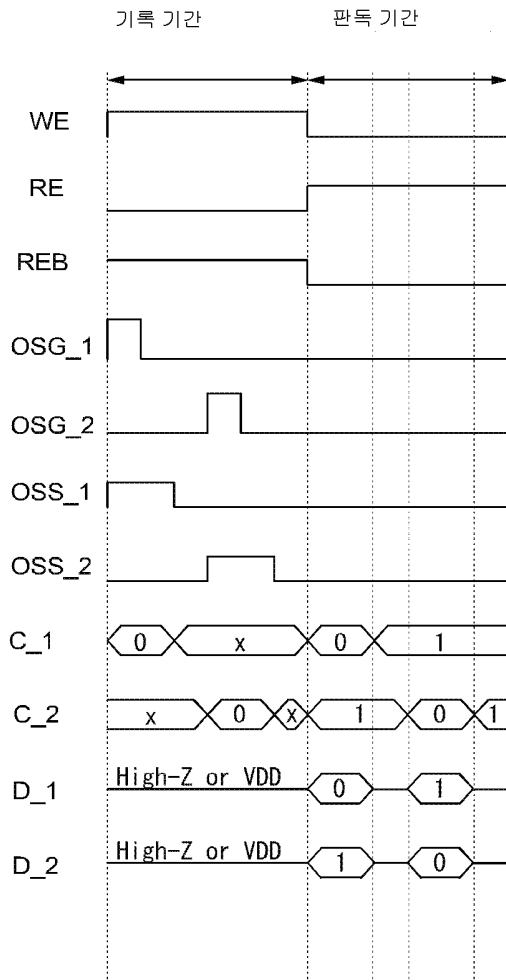
164: 용량 소자

도면

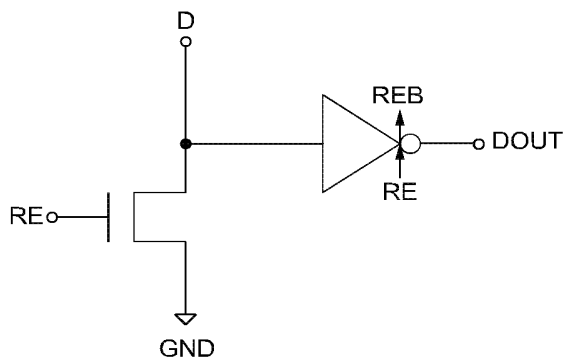
도면1



도면3

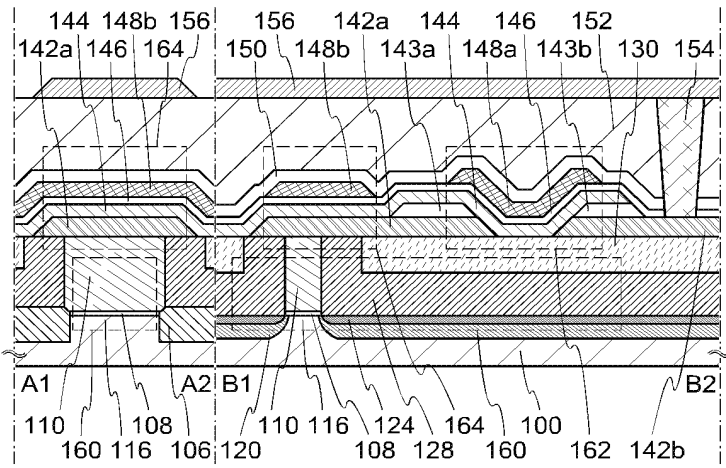


도면4

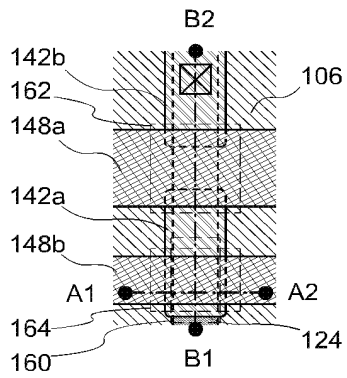


도면5

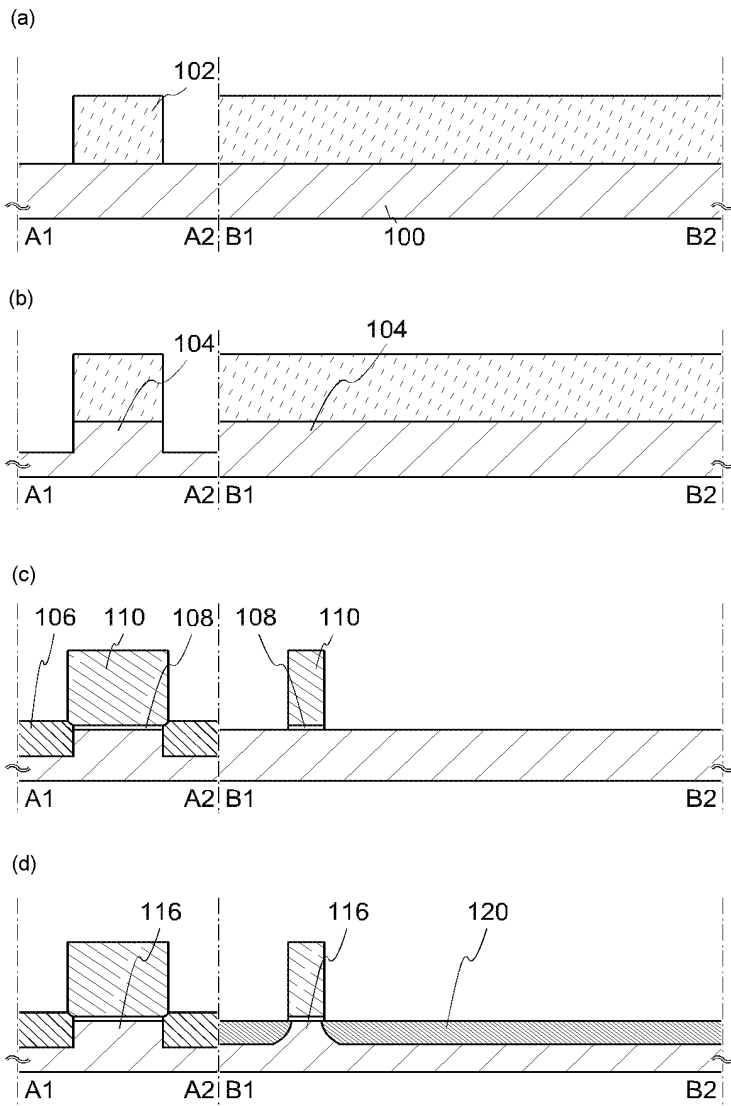
(a)



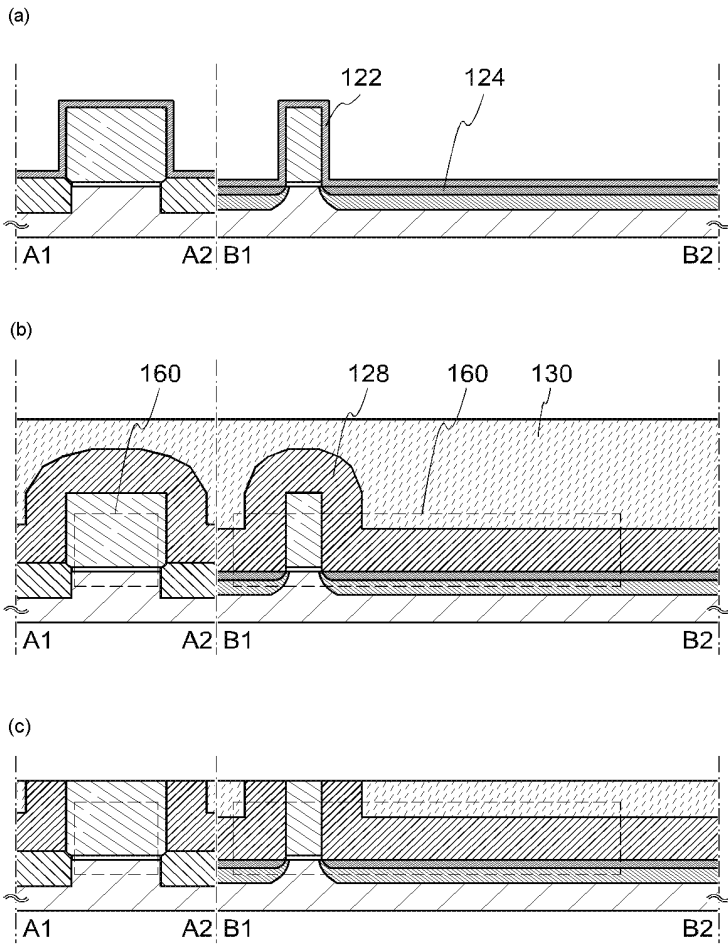
(b)



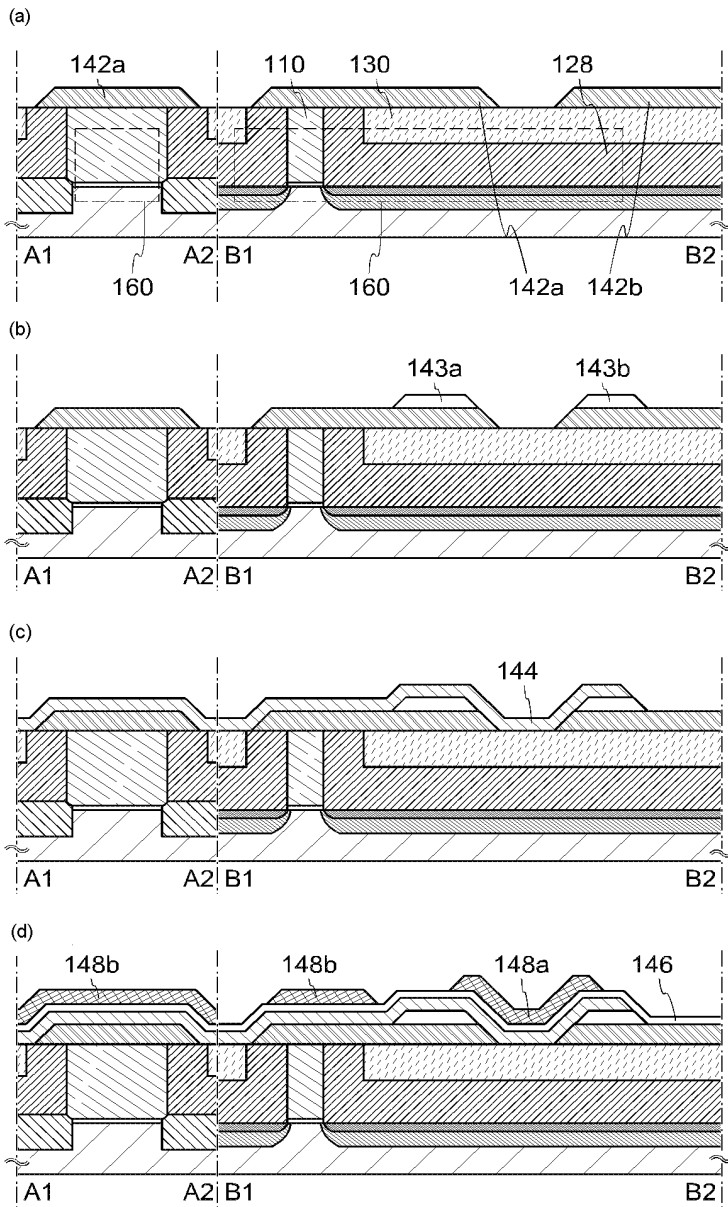
도면6



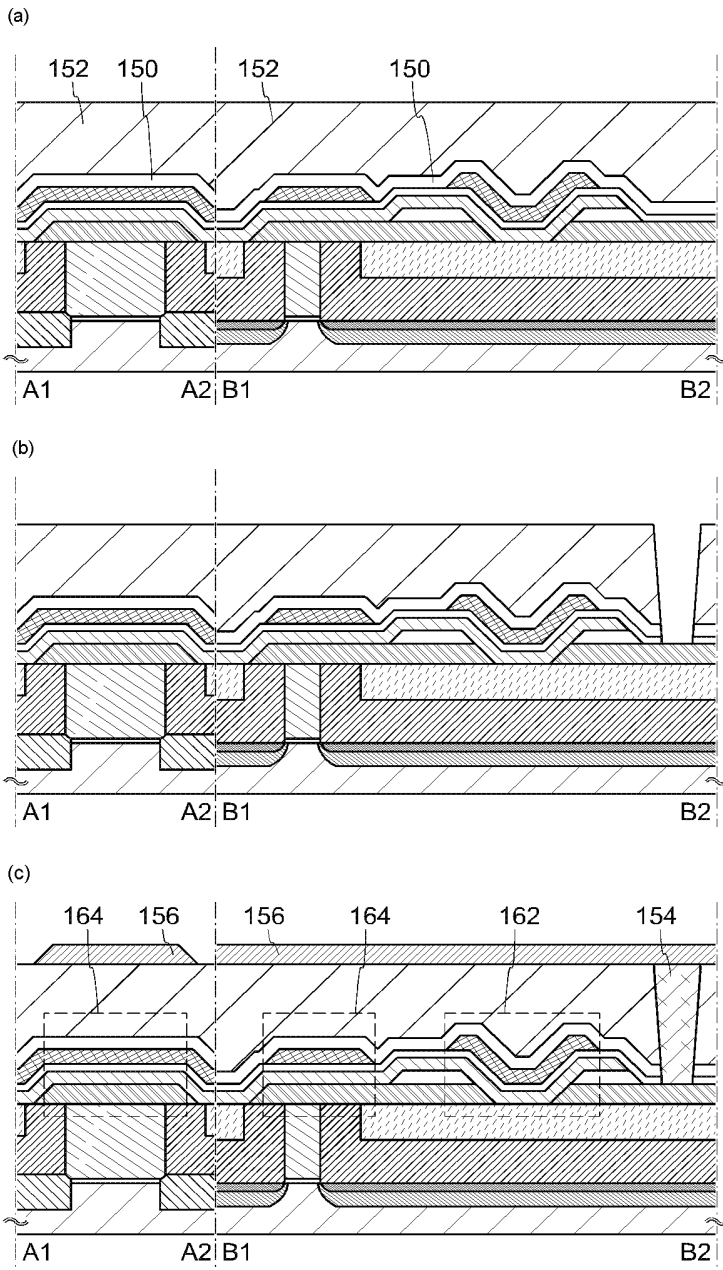
도면7



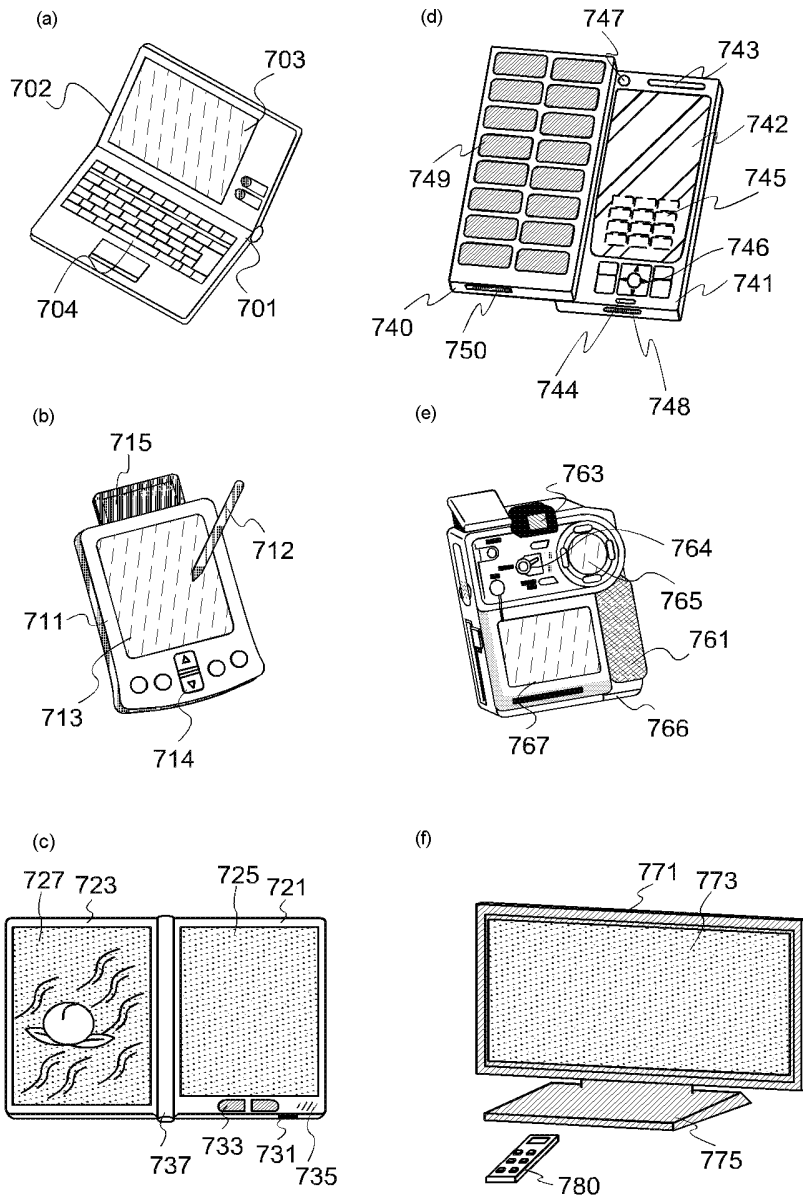
도면8



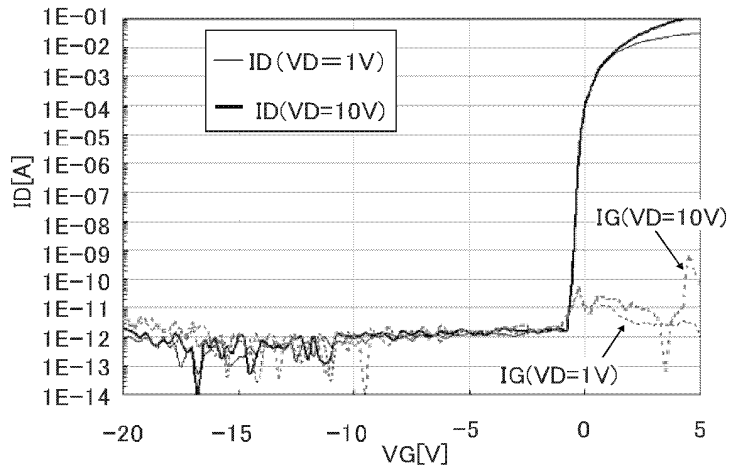
도면9



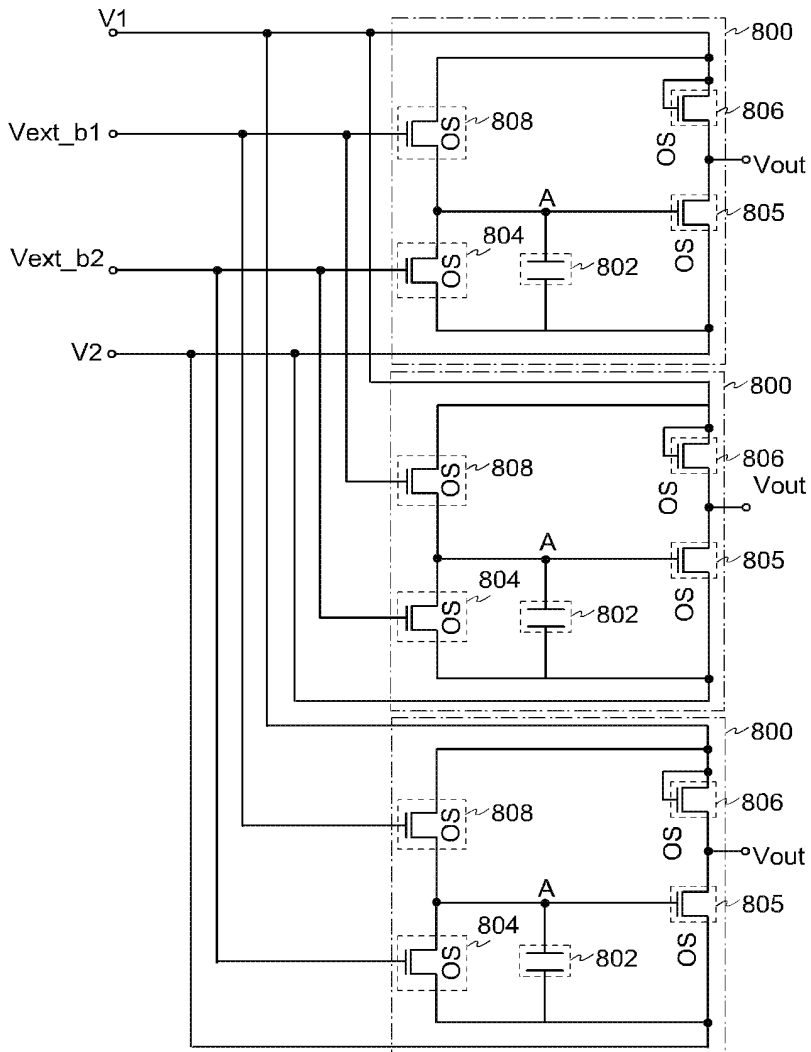
도면10



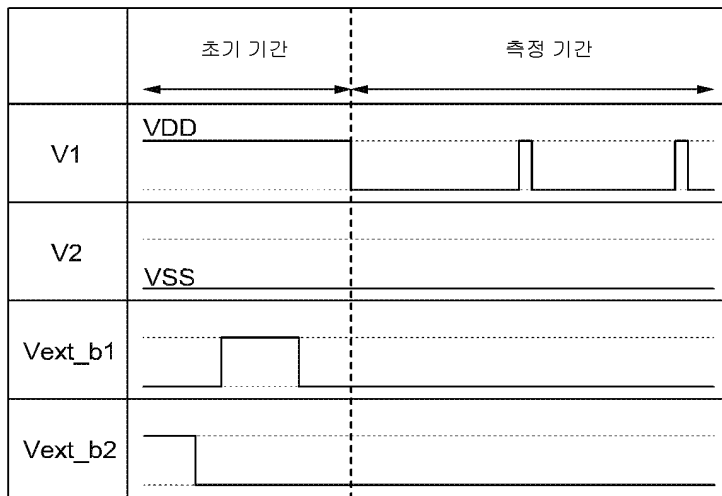
도면11



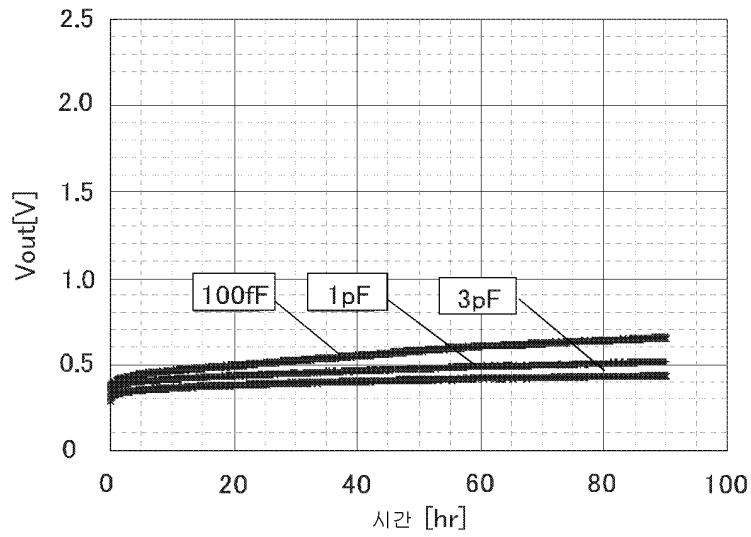
도면12



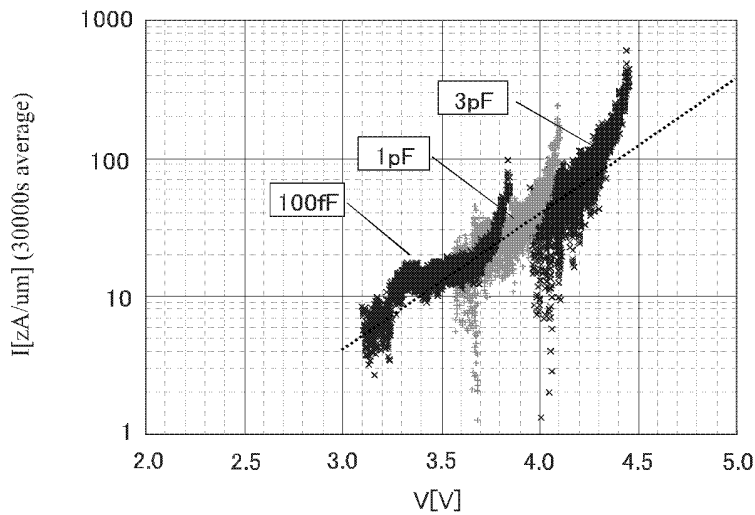
도면13



도면14



도면15



도면16

