

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-202035
(P2015-202035A)

(43) 公開日 平成27年11月12日 (2015. 11. 12)

(51) Int.Cl.			F I			テーマコード (参考)		
HO2M	1/08	(2006.01)	HO2M	1/08	A	5H740		
HO2M	1/00	(2007.01)	HO2M	1/00	H	5J055		
HO3K	17/08	(2006.01)	HO3K	17/08	Z			
HO3K	17/16	(2006.01)	HO3K	17/16	F			
HO3K	17/687	(2006.01)	HO3K	17/687	D			

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願2015-56560 (P2015-56560)
 (22) 出願日 平成27年3月19日 (2015. 3. 19)
 (31) 優先権主張番号 特願2014-76189 (P2014-76189)
 (32) 優先日 平成26年4月2日 (2014. 4. 2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100150441
 弁理士 松本 洋一
 (72) 発明者 滝沢 聡毅
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 Fターム(参考) 5H740 BA13 BB09 BB10 BC01 BC02
 HH07 JA01 JB01 KK08 MM11
 NN17
 5J055 AX25 AX32 BX16 CX20 DX09
 EX06 EY01 EY10 EY12 EY28
 EZ01 EZ10 EZ32 FX04 FX08
 GX01 GX02 GX04

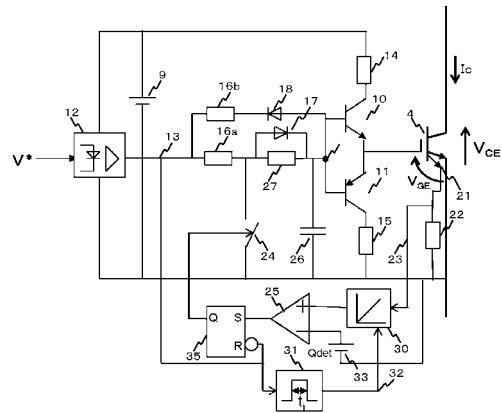
(54) 【発明の名称】 電圧駆動形パワー半導体素子のゲート駆動回路

(57) 【要約】

【課題】アーム短絡発生時、半導体スイッチ素子を保護する方式として、電流の絶対値を検出して、この値が設定値を超えた時に、アーム短絡発生と判断して素子を遮断する方式では、大電流を遮断することになり、素子破壊につながる危険性が大である。

【解決手段】電力変換器に適用する電圧駆動形パワー半導体素子を駆動するゲート駆動回路において、前記パワー半導体素子に流れる短絡電流を検出する短絡電流検出手段と、前記電流検出値を積分する短絡電流積分手段とを設け、前記短絡電流積分手段の積分値が設定値以上となった場合、強制的にゲート遮断する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

電力変換器に適用する電圧駆動形パワー半導体素子を駆動するゲート駆動回路において、前記パワー半導体素子に流れている短絡電流を検出する短絡電流検出手段と、前記電流検出値を積分する短絡電流積分手段とを設け、前記短絡電流積分手段の積分値が設定値以上であった場合、強制的にゲート遮断することを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

【請求項 2】

請求項 1 に記載の電圧駆動形パワー半導体素子のゲート駆動回路において、前記短絡電流積分手段の積分範囲は前記電圧駆動形パワー半導体素子のターンオン開始時点からある設定された積分時間までとすることを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

10

【請求項 3】

請求項 2 に記載の電圧駆動形パワー半導体素子のゲート駆動回路において、前記ターンオン開始時点からある設定された積分時間は前記電圧駆動形パワー半導体素子の短絡許容時間以内とすることを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

【請求項 4】

請求項 1 に記載の電圧駆動形パワー半導体素子のゲート駆動回路において、前記短絡電流積分手段の積分開始時刻をターンオン開始時点からある設定された時間後とすることを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

20

【請求項 5】

請求項 4 において、前記短絡電流積分手段の積分終了時刻は、ターンオン開始時点からの時間が電圧駆動形パワー半導体素子の短絡許容時間以内となる時刻とすることを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

【請求項 6】

請求項 1 ~ 5 の何れか 1 項に記載の電圧駆動形パワー半導体素子のゲート駆動回路において、前記パワー半導体素子にワイドバンドギャップ半導体材料を適用したパワー半導体素子を用いることを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

【請求項 7】

請求項 6 に記載の電圧駆動形パワー半導体素子のゲート駆動回路において、前記ワイドバンドギャップ半導体材料は、炭化珪素、窒化ガリウム、酸化ガリウム又はダイヤモンドの何れか 1 種又は複数種の組合せで構成することを特徴とする電圧駆動形パワー半導体素子のゲート駆動回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、IGBT などの電圧駆動形パワー半導体素子を駆動するゲート駆動回路における過電流保護方式に関する。

【背景技術】

40

【0002】

図 5 に、電圧駆動型パワー半導体スイッチング素子として IGBT を用いたインバータシステムの主回路図例を示す。1 が直流電源回路（交流電源入力の場合は、交流電源 1c を入力とする整流器 1a と大容量コンデンサ 1b とから構成され、その電圧値を E_d とする）。2 が直流電圧を交流に変換する IGBT 及びダイオードより構成するインバータ回路、3 が IGBT のゲート駆動回路（各素子に接続）、4 が IGBT、5 が逆並列に接続されているダイオード、6 が電動機などの負荷である。ここで、インバータ回路は三相インバータの場合、6 個のアームで構成されるが、各アームとも構成は同じであるので、1 アームのみ部品記号を付与している。また、7 が IGBT をオンオフさせるための制御信号（各ゲート駆動回路に入力）で、制御回路 8 より各 IGBT のゲート駆動回路に出力さ

50

れる。

【0003】

図6に、IGBTが過電流となった場合に強制遮断を実施する機能を有したゲート駆動回路3の詳細回路図を示す。9が本回路のゲート駆動電源、10及び11がIGBT4をターンオン及びターンオフさせるためのトランジスタなどのスイッチ素子で、本図の場合ターンオン側10がNPNトランジスタ、ターンオフ側11がPNPトランジスタを用いたコンプリメンタリー接続回路で構成され、フォトプラなどの絶縁器12を介した信号13によって相補的に動作する。本図の場合は、信号13がH(ハイ)になるとトランジスタ10がオンし、その結果IGBT4のゲートに電流が流れ込み、IGBT4がオンする。一方、信号13がLの場合はPNPトランジスタ11がオンすることで、IGBT4に蓄積しているゲート電荷が放電する方向に電流が流れ、IGBT4がオフする。また14がオン側のゲート電流制限用のゲート抵抗、15がオフ側のゲート電流制限用のゲート抵抗で、抵抗値によってスイッチングのスピードを調整する。16(16a、16b)がトランジスタ10、11のベース抵抗で、17、18が通常動作時における電流バイパス用のダイオードである。

10

【0004】

図9に通常動作時におけるIGBTがターンオンする時のコレクタ電流(I_c)とゲート・エミッタ間電圧波形(V_{GE})例を示す。上下アームの場合の例で、オン信号指令によりゲート電圧 V_{GE} が立上ると、コレクタ電流 I_c は負荷電流にダイオードの逆回復電流28重畳された波形となる。

20

【0005】

また、図7には、インバータ回路の上下アームのいずれかのIGBTがアーム短絡故障破壊した場合の動作図を示す。短絡故障したIGBTQdの対向アーム側のIGBTQuにオン指令を入力すると、直流電源短絡状態となり、破線で示す経路で過大な短絡電流(通常IGBTの定格電流の5~10倍程度)が流れる。一方、IGBTは短絡耐量時間(一般的には10 μ s程度)や許容される短絡エネルギーがあり、本時間内に定格電流に収まるように遮断できれば、短絡保護が可能となる。

【0006】

図6において上記説明した以外の回路は短絡保護を実施するための回路で、21はIGBTチップ内に設けられたIGBTに流れている電流を検出するためのセンスIGBTである。一般に本センスIGBTは、主IGBTに対して1/1000程度の比率(正確な比率はIGBTチップ設計の時点で設定する)で電流が流れる。

30

【0007】

本センスIGBT21と直列に抵抗22を接続し、抵抗22に発生する電圧23を検出することで主IGBT4に流れている電流を間接的に検出することが可能となる。従って、電圧23をコンパレータ回路25に入力し、電圧設定器33の設定値と比較してその設定値以上であった場合は過電流状態、あるいは電源短絡(アーム短絡)状態であると判断し、信号ラッチ用SRフリップフロップ回路35を介してスイッチ回路24のオンによって強制遮断を行うことでIGBTの保護が可能となる。但しこの時、大電流遮断を行うので、高ゲート抵抗による遮断や、ゲート・エミッタ間電圧を徐々に低下させる方式(図6の回路方式)などによって、ソフト遮断動作を実施する必要がある。図10に本回路を適用した場合のアーム短絡時の各部波形図例を示す。NPNトランジスタ10がオフ、PNPトランジスタ11がオンすることでIGBT4が強制遮断される。但しこのとき、コンデンサ26が接続されているため、点Pの電位は即刻低下するのではなく、抵抗27とコンデンサ26との放電時定数によって、ある時間を有して低下する。そのためIGBTのゲート部(V_{GE})にもほぼ同様の波形が印加され、その期間コレクタ電流遮断の電流変化率($-di/dt$)が制限され、大きなターンオフサージ電圧(V_{CEpeak})が発生しないソフト遮断化が図れる。図10にこれら一連の概略的な波形図(コレクタ電流 I_c 、コレクタ・エミッタ間電圧 V_{CE} 、ゲート・エミッタ間電圧 V_{GE})を示す。短絡電流 I_c が流れるとIGBTに印加される電圧 V_{CE} は直流電源電圧 E_d から配線のインダクタンスによ

40

50

る電圧低下分を差し引いた電圧となる。また、短絡電流が I_{Cpeak} に到達してゲート信号を遮断するとゲート電圧 V_{GE} はソフト遮断動作により所定の時定数で低下する。この結果、電流低減率 $(-di/dt)$ が緩やかになり、電圧上昇率 (dv/dt) も緩やかになり、 $IGBT$ に印加されるサージ電圧 (V_{CEpeak}) は低い値に抑制される。

【0008】

これらの回路により、 $IGBT$ の上下アーム短絡などの過電流状態からの保護が可能となる。

また図6に示す以外の過電流状態を検出する方法を図8に示す。図8(a)が $IGBTQ1$ と直列にシャント抵抗 SR を接続する方式、図8(b)が $IGBTQ1$ と直列に CT などの電流検出器を接続する方式である。各ゲート駆動回路 $GD1$ 、 $GD2$ では各検出器からの検出量を電流値に応じた電圧に変換して、この電圧が所定値以上になった場合に図6の回路のスイッチ回路24をオンする方式である。基本的には検出値がある閾値以上となった場合は過電流状態であると判断し、強制遮断を実施するという事で、図6の場合と同様の動作となる。

【0009】

また、図6に示す過電流検出とソフト遮断回路を含んだゲート駆動回路例は、特許文献1、特許文献2などに掲載されている。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2002-27657号公報

【特許文献2】特開2007-104805号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述のように、アーム短絡発生時、 $IGBT$ は許容される短絡耐量時間やエネルギー耐量以内に遮断しなければならないため、速やかなアーム短絡状態の検出と、大電流遮断時におけるサージ電圧の低減を図ったソフト遮断化が必要となる。

速やかな短絡電流検出を行うためには、その検出値を低くすればよいが、一方で通常ターンオン時に発生するダイオードの逆回復電流(図9中の28: $IGBT$ やダイオードの特性、およびゲート駆動条件によっても異なるが、瞬間的に負荷電流の2倍程度流れることもありうる)は短絡電流ではないので過電流として検出してはならず、さらに電流検出器の検出ばらつきも考慮しなければならないため、実際の設定値はシステムの最大電流値の数倍程度のところに設定する必要がある。

【0012】

さらに、実際は過電流検出されてから遮断動作が始まるまでは、回路上の遅延時間や、ゲートチャージ電荷の引き抜きなどにある程度時間を要するために、その間も電流が増加して流れ続ける場合もある(図10中の t)。さらに、遮断時の di/dt によって発生するサージ電圧 (V_{CEpeak}) も規定値以下にする必要があるため、短時間で遮断しなければならないこととトレードオフ的に時間を掛けたソフト遮断化が必要となる。

以上のように短絡時における保護遮断をある程度余裕をもって適切に実施しないと、短絡耐量時間や短絡耐量エネルギーのオーバーや、サージ電圧過大になり、素子破壊を招く。また、センス $IGBT$ による電流検出方式は、主 $IGBT$ の電流に対する電流比率が1/100程度であるため、 $IGBT$ のターンオンやターンオフなどの過渡状態時は、センス $IGBT$ および直列接続された電流検出用抵抗部に高い周波数成分を持ったノイズが印加(図11にターンオン時においてノイズが重畳した電流検出信号波形例を示す、またアーム短絡時の電流波形も同様な波形となる)され、瞬時電流値の正確な測定ができない課題を有する。そのため一般的には、ターンオンの過渡現象が終了するまでの時間(数100ns~数 μ s)は、過電流の非検出期間とすることが行われる。

【0013】

10

20

30

40

50

本現象に対しては、電流検出をしない非検出期間を長くしたり、時定数が長いフィルタ回路を接続すれば、正確に過電流状態を検出することが可能となるが、その分 I G B T を遮断するまでの時間が長くなる。一方非検出時間を短くすると、ノイズによる誤動作検知の可能性が高いというトレードオフ特性となる。

従って、本発明の課題は、スイッチング時の過渡状態で大きなノイズ信号が重畳された電流の立上り期間においても、過電流状態を検出可能な方式とし、速やかなアーム短絡検出を可能とした信頼性の高い短絡保護方式を提供することである。

【課題を解決するための手段】

【0014】

上述の課題を解決するために、第1の発明においては、電力変換器に適用する電圧駆動形パワー半導体素子を駆動するゲート駆動回路において、前記パワー半導体素子に流れている短絡電流を検出する短絡電流検出手段と、前記電流検出値を積分する短絡電流積分手段とを設け、前記短絡電流積分手段の積分値が設定値以上であった場合、強制的にゲート遮断する。

10

【0015】

第2の発明においては、第1の発明における電圧駆動形パワー半導体素子のゲート駆動回路において、前記短絡電流積分手段の積分範囲は電圧駆動形パワー半導体素子がターンオン開始時点からある設定された積分時間までとする。

【0016】

第3の発明においては、第2の発明における電圧駆動形パワー半導体素子のゲート駆動回路において、前記ターンオン開始時点からある設定された積分時間は前記電圧駆動形パワー半導体素子の短絡許容時間以内とする。

20

【0017】

第4の発明においては、第1の発明における電圧駆動形パワー半導体素子のゲート駆動回路における、前記短絡電流積分手段の積分開始時刻をターンオン開始時点からある設定された時間後とする。

【0018】

第5の発明においては、第4の発明における前記短絡電流積分手段の積分終了時刻は、ターンオン開始時点からの時間が前記電圧駆動形パワー半導体素子の短絡許容時間以内となる時刻とする。

30

【0019】

第6の発明においては、第1～第5の発明における前記電圧駆動形パワー半導体素子のゲート駆動回路で駆動する前記パワー半導体素子にワイドバンドギャップ半導体材料を適用したパワー半導体素子を用いることを特徴とする。

【0020】

第7の発明においては、第6の発明におけるワイドバンドギャップ半導体材料は、炭化珪素、窒化ガリウム、酸化ガリウム又はダイヤモンドの何れか1種又は複数種の組合せで構成することを特徴とする。

【発明の効果】

【0021】

本発明では、パワー半導体素子に流れる短絡電流を検出する短絡電流検出手段と、前記電流検出値を積分する短絡電流積分手段とを設け、前記短絡電流積分手段の積分値が設定値以上であった場合、強制的にゲート遮断する方式としている。その結果、スイッチング時の過渡状態で大きなノイズ信号が重畳した電流の立上り期間においても、過電流状態が検出可能となり、従来アーム短絡誤検知防止のために設けていた非検出時間を短くする又はなくすることができるので、速やかなアーム短絡検出が可能となる。その結果、信頼性の高い短絡保護が可能となる。

40

さらに、電圧駆動形パワー半導体素子として、炭化珪素などのワイドバンドギャップ半導体材料からなる M O S F E T、I G B T などのスイッチング素子を適用することにより、ゲート駆動電圧を低下させる際に、主回路電流であるドレイン電流又はコレクタ電流を高

50

速に低減でき、短絡電流とサージ電圧をより低減できる効果が得られる。

【図面の簡単な説明】

【0022】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本発明の第1の実施例によるアーム短絡時の動作波形図である。

【図3】本発明の第2の実施例を示す回路図である。

【図4】本発明の第2の実施例によるアーム短絡時の動作波形図である。

【図5】3相インバータシステムの構成図例である。

【図6】従来の過電流保護付ゲート駆動回路図例である。

【図7】短絡電流動作を説明するための図である。

10

【図8】過電流検出回路方式図例である。

【図9】IGBTオン時の電流波形例である。

【図10】従来方式におけるアーム短絡保護時の動作波形図例である。

【図11】ターンオン時においてノイズが重畳した電流波形例である。

【発明を実施するための形態】

【0023】

本発明の要点は、電力変換器に適用する電圧駆動形パワー半導体素子を駆動するゲート駆動回路において、前記パワー半導体素子に流れる短絡電流を検出する短絡電流検出手段と、前記電流検出値を積分する短絡電流積分手段とを設け、前記短絡電流積分手段の積分値が設定値以上となった場合、強制的にゲート遮断する点である。

20

【実施例1】

【0024】

図1に、本発明の第1の実施例を示す。図6の従来回路例に対し、センスIGBT21で検出した電流を抵抗22で電圧に変換した電流検出信号23を積分する積分回路30と、積分回路30の動作期間を決める積分時間設定回路31を追加した構成である。従来回路と同じ部分については説明を省略する。

【0025】

積分時間を設定するためのワンショット回路31はゲート駆動指令信号13の立ち上がりをトリガにして積分時間となる t_i 分のパルスを形成し、積分回路30に入力(信号32)する。積分回路30は信号32の入力を受けて、センスIGBT21で検出した電流相当の電圧23を積分する。この積分値が t_i 期間内に電圧設定器33の設定値(Q_{det})以上となったことがコンパレータ回路25で判定されると、アーム短絡電流が流れていると判断し、信号のラッチを目的としたSRフリップ回路35を介してスイッチ回路24を動作させ、強制遮断を行う。ここで積分時間 t_i は、保護対象となるIGBTの短絡耐量時間より短くする必要がある。

30

【0026】

図2に本回路によるアーム短絡時における動作波形例を示す。IGBTの電流 I_c の積分波形が設定器33の設定値(Q_{det})に到達した時点でゲート信号を遮断し、ゲート電圧 V_{GE} は緩やかに低下していることがわかる。電流検出に積分回路30を用いているため、図11に示すようなノイズが重畳された波形の場合でも安定した検出が可能となる。また、この例ではソフト遮断の例を示しているが、ソフト遮断でなくても、配線インダクタンスの低減、スナバ回路の強化などにより、ハード遮断の場合でも適用可能である。

40

【実施例2】

【0027】

図3に本発明の第2の実施例を示す。第1の実施例に対し、積分動作を開始するまでの時間を決めるためのオンディレイタイマー回路34を追加した構成である。オンディレイタイマー回路34はゲート駆動指令信号13の立ち上がり時刻を遅延(t_d 分)する回路である。回路31は遅延回路34からの出力信号をトリガに積分時間となる t_i 分のパルス形成し、積分回路30に入力(信号32)する。積分回路30は信号32の入力を受けて、センスIGBTの電流相当の電圧23を積分する。この積分された電圧が t_i 期間内

50

に電圧設定器 33 の電圧 (Q_{det}) 以上となった場合はアーム短絡電流が流れていると判断し、SR フリップ回路 35 を介してスイッチ回路 24 を動作させ、強制遮断を行う。ここで、積分を開始するまでの遅延時間 t_d と積分時間 t_i との和 ($t_d + t_i$) は、保護対象となる IGBT の短絡耐量時間より短くする必要がある。

【0028】

図 4 に、本回路によるアーム短絡時における動作波形例を示す。オンディレイタイマー回路 34 の遅れ時間 t_d の期間では積分回路 30 は積分動作をせず、積分開始時点から積分時間 t_i の期間内に積分値が電圧設定器 33 の電圧 (Q_{det}) になった時点でゲート電圧 V_{GE} を緩やかに低下させて遮断する実施例である。ターンオン時、図 11 に示すようにダイオードの逆回復電流が負荷電流に重畳され、この波形にノイズが重畳した波形 (図 11) を積分すると、短絡過電流でない電流波形を積分することになり、積分値が短絡過電流を示す値と異なる結果となる。これを回避するために、オン信号時オンディレイタイマー回路 34 の遅れ時間 t_d の期間は積分動作をしないようにしたものである。また、この例ではソフト遮断の例を示しているが、ソフト遮断でなくとも、配線インダクタンスの低減、スナバ回路の強化などにより、ハード遮断の場合でも適用可能である。

10

【0029】

尚、上記実施例にはスイッチング素子として IGBT を用いた例を示したが、スイッチング素子としては MOSFET などの電圧駆動型の素子でも実現可能である。特に、電圧駆動形パワー半導体素子として、炭化珪素などのワイドバンドギャップ半導体材料からなる MOSFET、IGBT などのスイッチング素子を適用することにより、ゲート駆動電圧を低下させる際に、主回路電流であるドレイン電流又はコレクタ電流を高速に低減できる効果が得られる。

20

【産業上の利用可能性】

【0030】

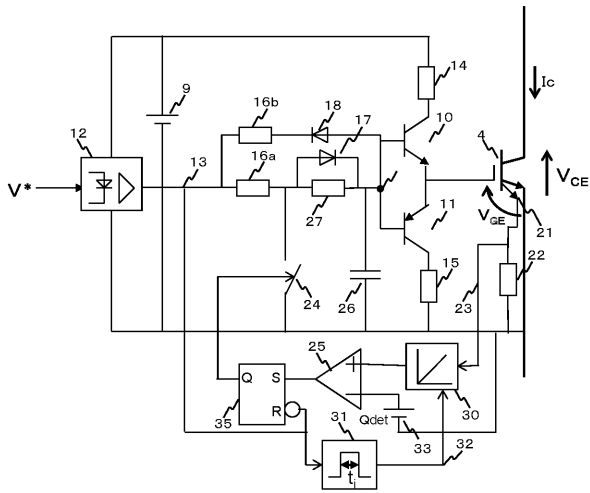
本発明は、半導体スイッチング素子を適用した変換装置における過電流保護機能を備えたゲート駆動回路に関する提案であり、電動機駆動用インバータ、無停電電源装置、直流電源装置などへの適用が可能である。

【符号の説明】

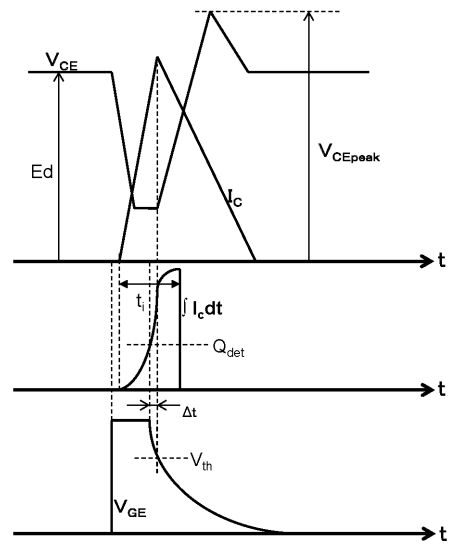
【0031】

1・・・直流電源	1b・・・大容量コンデンサ	2・・・インバータ	30
3、GD1、GD2・・・ゲート駆動回路	6・・・電動機(負荷)		
4、Qu、Qd、Q1・・・IGBT	21・・・センスIGBT		
5、17、18・・・ダイオード	7・・・駆動信号		
8・・・制御回路	34・・・オンディレイタイマー回路		
9・・・ゲート駆動電源	10・・・NPNトランジスタ		
11・・・PNPトランジスタ	12・・・フォトカプラ		
14、15、16a、16b、27、22・・・抵抗	26・・・コンデンサ		
24・・・スイッチ回路	25・・・コンパレータ回路		
33・・・電圧設定器	35・・・SRフリップフロップ		
SR・・・シャント抵抗	CT・・・電流検出器		40
30・・・積分器	31・・・ワンショット回路		

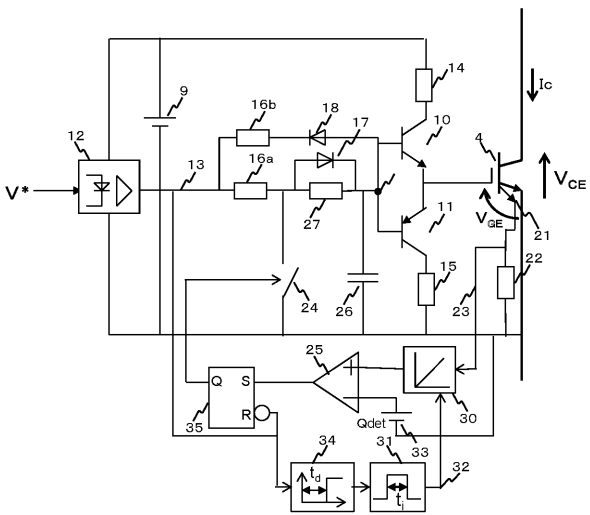
【 図 1 】



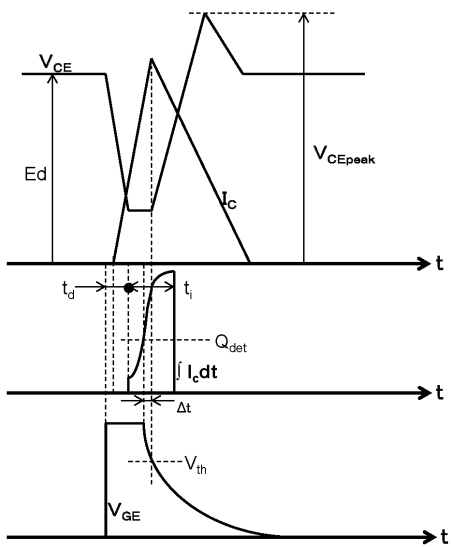
【 図 2 】



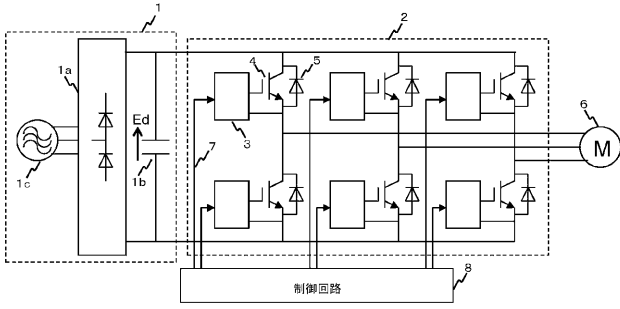
【 図 3 】



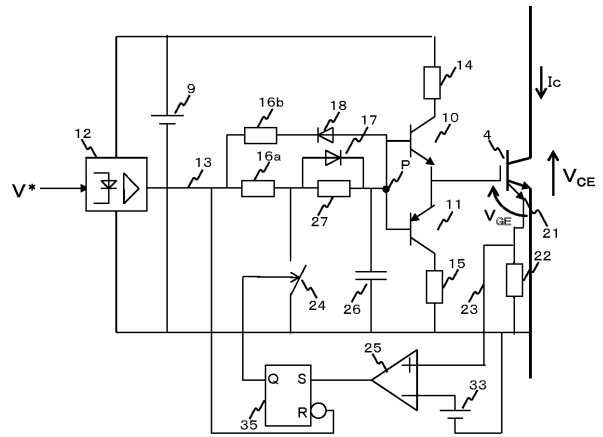
【 図 4 】



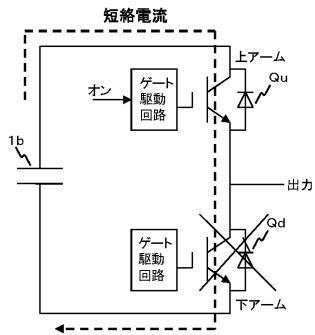
【 図 5 】



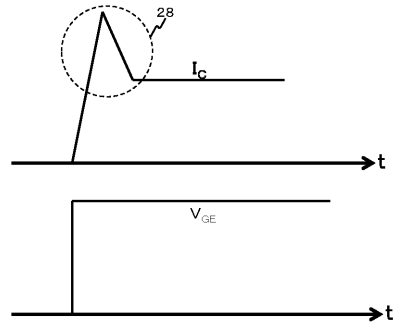
【 図 6 】



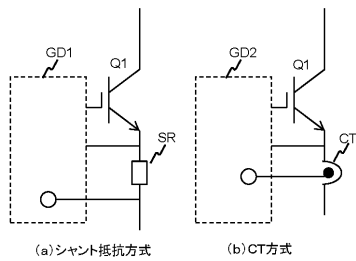
【 図 7 】



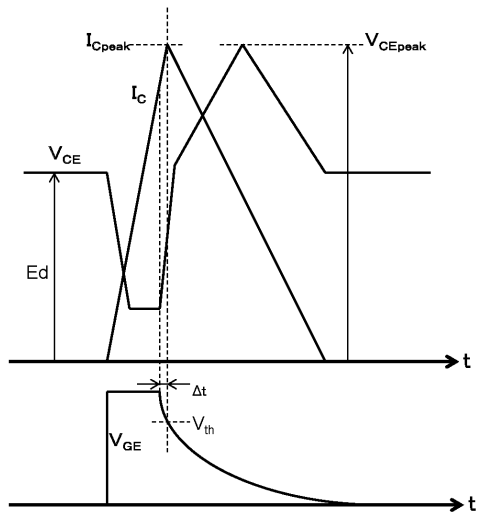
【 図 9 】



【 図 8 】



【 図 1 0 】



【 図 1 1 】

