

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-75836

(P2016-75836A)

(43) 公開日 平成28年5月12日(2016.5.12)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30	J 3K107
G09G 3/20 (2006.01)	G09G 3/20	624B 5C080
H01L 51/50 (2006.01)	G09G 3/20	611D 5C380
	G09G 3/20	611H
	G09G 3/20	623R

審査請求 未請求 請求項の数 19 O L (全 28 頁) 最終頁に続く

(21) 出願番号	特願2014-206933 (P2014-206933)	(71) 出願人	303018827 NLTテクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成26年10月8日 (2014.10.8)	(74) 代理人	100079164 弁理士 高橋 勇
		(72) 発明者	松枝 洋二郎 神奈川県川崎市中原区下沼部1753番地 NLTテクノロジー株式会社内
		(72) 発明者	野中 義弘 神奈川県川崎市中原区下沼部1753番地 NLTテクノロジー株式会社内
		(72) 発明者	高取 憲一 神奈川県川崎市中原区下沼部1753番地 NLTテクノロジー株式会社内

最終頁に続く

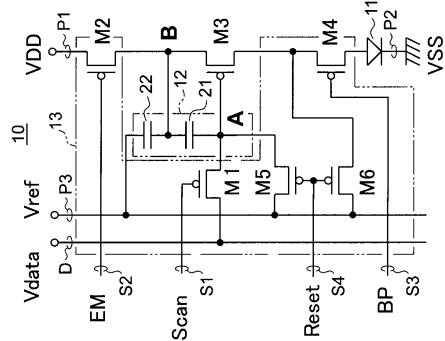
(54) 【発明の名称】画素回路、その駆動方法及び表示装置

(57) 【要約】

【課題】 リセット動作時の漏れ発光によるコントラスト低下を防止し得る画素回路等を提供する。

【解決手段】 画素回路10は、発光素子11と、印加された電圧に応じた電流を発光素子11へ供給する駆動トランジスタ(M3)と、駆動トランジスタ(M3)の閾値電圧Vth及びデータ電圧Vdataを含む電圧を保持し、この電圧を駆動トランジスタ(M3)に印加するコンデンサ部12と、閾値電圧Vth及びデータ電圧Vdataを含む電圧をコンデンサ部12に保持させるスイッチ部13と、を備えている。スイッチ部13は、駆動トランジスタ(M3)から供給される電流を、発光素子11を通さずに基準電圧電源線(P3)へ迂回させる電流迂回用トランジスタ(M6)を有する。

【選択図】 図1A



【特許請求の範囲】**【請求項 1】**

発光素子と、

印加された電圧に応じた電流を前記発光素子へ供給する駆動トランジスタと、

前記駆動トランジスタの閾値電圧及びデータ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタに印加するコンデンサ部と、

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させるスイッチ部と、

を備えた画素回路において、

前記スイッチ部は、前記駆動トランジスタから供給される電流を、前記発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有する、

ことを特徴とする画素回路。

10

【請求項 2】

請求項 1 記載の画素回路において、

前記スイッチ部は、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる前に、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにする、ことを特徴とする画素回路。

【請求項 3】

請求項 1 又は 2 記載の画素回路において、

前記スイッチ部は、前記基準電圧電源線から基準電圧を入力する基準電圧用トランジスタと、データ線から前記データ電圧を入力するデータ電圧用トランジスタとを更に有する、

ことを特徴とする画素回路。

20

【請求項 4】

請求項 3 記載の画素回路において、

前記駆動トランジスタは、ゲート端子、ソース端子及びドレイン端子を有し、これらのゲート端子とソース端子との間に印加された電圧に応じた電流を、前記ドレイン端子に接続された前記発光素子へ供給し、

前記コンデンサ部は、前記閾値電圧及び前記データ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタの前記ゲート端子と前記ソース端子との間に印加し、

前記スイッチ部は、

前記電流迂回用トランジスタ、前記基準電圧用トランジスタ及び前記データ電圧用トランジスタを含む複数のトランジスタを有し、これらのトランジスタのスイッチング動作によって、前記コンデンサ部に、前記閾値電圧を含む電圧を保持させ、その後に前記閾値電圧及び前記データ電圧を含む電圧を保持させ、かつ、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ部へ供給し、

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記データ電圧を前記コンデンサ部へ供給する、

ことを特徴とする画素回路。

40

【請求項 5】

請求項 4 記載の画素回路において、

前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、1 水平走査期間以上の時間にわたって前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ部へ供給する、

ことを特徴とする画素回路。

50

【請求項 6】

請求項 4 又は 5 記載の画素回路において、

前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタをオンにするとともに前記基準電圧を前記コンデンサ部へ供給することにより、前記駆動トランジスタを一時的にオンにする、

ことを特徴とする画素回路。

【請求項 7】

請求項 4 乃至 6 のいずれか一つに記載の画素回路において、

前記データ線、第 1 乃至第 4 制御線及び第 1 乃至第 3 電源線に電気的に接続され、第 1 乃至第 6 トランジスタ、第 1 乃至第 2 コンデンサ及び前記発光素子を備え、

前記第 3 電源線が前記基準電圧電源線に相当し、前記第 1、第 2、第 4、第 5 及び第 6 トランジスタが前記スイッチ部を構成し、前記第 1 トランジスタが前記データ電圧用トランジスタに相当し、前記第 5 トランジスタが前記基準電圧用トランジスタに相当し、前記第 6 トランジスタが前記電流迂回用トランジスタに相当し、前記第 3 トランジスタが前記駆動トランジスタに相当し、前記第 1 及び第 2 コンデンサが前記コンデンサ部を構成し、

前記第 1 トランジスタは、前記データ線に電気的に接続された第 1 端子と、第 2 端子と、前記第 1 制御線に電気的に接続された制御端子とを有し、

前記第 2 トランジスタは、前記第 1 電源線に電気的に接続された第 1 端子と、第 2 端子と、前記第 2 制御線に電気的に接続された制御端子とを有し、

前記第 3 トランジスタは、前記第 2 トランジスタの前記第 2 端子に電気的に接続されるとともに前記ソース端子に相当する第 1 端子と、前記ドレイン端子に相当する第 2 端子と、前記第 1 トランジスタの前記第 2 端子に電気的に接続されるとともに前記ゲート端子に相当する制御端子とを有し、

前記第 4 トランジスタは、前記第 3 トランジスタの前記第 2 端子に電気的に接続された第 1 端子と、第 2 端子と、前記第 3 制御線に電気的に接続された制御端子とを有し、

前記第 5 トランジスタは、前記第 3 電源線に電気的に接続された第 1 端子と、前記第 1 トランジスタの前記第 2 端子に電気的に接続された第 2 端子と、前記第 4 制御線に電気的に接続された制御端子とを有し、

前記第 6 トランジスタは、前記第 3 電源線に電気的に接続された第 1 端子と、前記第 3 トランジスタの前記第 2 端子に電気的に接続された第 2 端子と、前記第 4 制御線に電気的に接続された制御端子とを有し、

前記第 1 コンデンサは、前記第 1 トランジスタの前記第 2 端子に電気的に接続された第 1 端子と、前記第 3 トランジスタの前記第 1 端子に電気的に接続された第 2 端子とを有し、

前記第 2 コンデンサは、前記第 3 電源線に接続された第 1 端子と、前記第 3 トランジスタの前記第 1 端子に電気的に接続された第 2 端子とを有し、

前記発光素子は、前記第 4 トランジスタの前記第 2 端子に電気的に接続された第 1 端子と、前記第 2 電源線に電気的に接続された第 2 端子とを有する、

ことを特徴とする画素回路。

【請求項 8】

請求項 7 記載の画素回路において、

前記第 1 トランジスタは、前記データ線から供給される前記データ電圧を、前記第 1 コンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 2 トランジスタは、前記第 1 電源線から供給される第 1 電源電圧を、前記第 3 トランジスタの前記第 1 端子、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサの前記第 2 端子へ選択的に供給するように構成され、

前記第 3 トランジスタは、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサの前記第 2 端子を前記第 4 トランジスタの前記第 1 端子に選択的に接続するように構成され、

10

20

30

40

50

前記第4トランジスタは、前記第3トランジスタの前記第2端子を前記発光素子の前記第1端子に選択的に接続するように構成され、

前記第5トランジスタは、前記第3電源線から供給されるとともに前記基準電圧に相当する第3電源電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第6トランジスタは、前記第3電源線から供給されるとともに前記基準電圧に相当する第3電源電圧を、前記第3トランジスタの前記第2端子へ選択的に供給するように構成されている、

ことを特徴とする画素回路。

【請求項9】

データ線、第1乃至第4制御線及び第1乃至第3電源線に電気的に接続され、第1乃至第6トランジスタ、第1乃至第2コンデンサ及び発光素子を備えた画素回路であって、

前記第1トランジスタは、前記データ線に電気的に接続された第1端子と、第2端子と、前記第1制御線に電気的に接続された制御端子とを有し、

前記第2トランジスタは、前記第1電源線に電気的に接続された第1端子と、第2端子と、前記第2制御線に電気的に接続された制御端子とを有し、

前記第3トランジスタは、前記第2トランジスタの前記第2端子に電気的に接続された第1端子と、第2端子と、前記第1トランジスタの前記第2端子に電気的に接続された制御端子とを有し、

前記第4トランジスタは、前記第3トランジスタの前記第2端子に電気的に接続された第1端子と、第2端子と、前記第3制御線に電気的に接続された制御端子とを有し、

前記第5トランジスタは、前記第3電源線に電気的に接続された第1端子と、前記第1トランジスタの前記第2端子に電気的に接続された第2端子と、前記第4制御線に電気的に接続された制御端子とを有し、

前記第6トランジスタは、前記第3電源線に電気的に接続された第1端子と、前記第3トランジスタの前記第2端子に電気的に接続された第2端子と、前記第4制御線に電気的に接続された制御端子とを有し、

前記第1コンデンサは、前記第1トランジスタの前記第2端子に電気的に接続された第1端子と、前記第3トランジスタの前記第1端子に電気的に接続された第2端子とを有し、

前記第2コンデンサは、前記第3電源線に接続された第1端子と、前記第3トランジスタの前記第1端子に電気的に接続された第2端子とを有し、

前記発光素子は、前記第4トランジスタの前記第2端子に電気的に接続された第1端子と、前記第2電源線に電気的に接続された第2端子とを有する、

ことを特徴とする画素回路。

【請求項10】

請求項9記載の画素回路において、

前記第1トランジスタは、前記データ線から供給されるデータ電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第2トランジスタは、前記第1電源線から供給される第1電源電圧を、前記第3トランジスタの前記第1端子、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子へ選択的に供給するように構成され、

前記第3トランジスタは、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子を前記第4トランジスタの前記第1端子に選択的に接続するように構成され、

前記第4トランジスタは、前記第3トランジスタの第2端子を前記発光素子の前記第1端子に選択的に接続するように構成され、

前記第5トランジスタは、前記第3電源線から供給される第3電源電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第6トランジスタは、前記第3電源線から供給される第3電源電圧を、前記第3ト

10

20

30

40

50

ランジスタの前記第2端子へ選択的に供給するように構成されている、
ことを特徴とする画素回路。

【請求項11】

請求項7乃至10のいずれか一つに記載の画素回路において、
前記第1乃至第6トランジスタはpチャネル型トランジスタである、
ことを特徴とする画素回路。

【請求項12】

請求項1乃至11のいずれか一つに記載の画素回路において、
前記発光素子は有機発光ダイオードである、
ことを特徴とする画素回路。

10

【請求項13】

マトリクス状に配置された複数の請求項1乃至12のいずれか一つに記載の画素回路を
、備えたことを特徴とする表示装置。

【請求項14】

請求項13記載の表示装置において、
前記画素回路をサブ画素とした場合、2以上の一定数の前記サブ画素から1画素が構成
されるとき、一定数の前記画素回路にそれぞれ接続する一定数の前記データ線の中から一本のデータ線を順次選択し、選択された一本の前記データ線を前記データ電圧の供給源に接続された他の一本のデータ線に接続するデマルチプレクサを、

20

更に備えたことを特徴とする表示装置。

【請求項15】

第1乃至第4期間を含み、請求項3記載の画素回路を駆動する方法であって、
前記スイッチ部は、
前記第1期間に、前記コンデンサ部に保持された電圧を初期化し、
前記第1期間の後の前記第2期間に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンにして前記駆動トランジスタの前記閾値電圧を含む電圧を前記コンデンサ部に保持させ、

前記第2期間の後の前記第3期間に、前記データ電圧用トランジスタをオンにして、前記データ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させ、

前記第3期間の後の前記第4期間に、前記駆動トランジスタに前記コンデンサ部で保持された電圧を印加することにより、前記データ電圧に応じた電流を前記発光素子へ供給する、

30

ことを特徴とする画素回路の駆動方法。

【請求項16】

第1乃至第4期間を含み、請求項3乃至6のいずれか一つに記載の画素回路を駆動する方法であって、

前記スイッチ部は、

前記第1期間に、前記コンデンサ部に保持された電圧を初期化し、
前記第1期間の後の前記第2期間に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記駆動トランジスタの前記閾値電圧を含む電圧を前記コンデンサ部に保持させ、

40

前記第2期間の後の前記第3期間に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記データ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させ、

前記第3期間の後の前記第4期間に、前記駆動トランジスタのゲート端子とソース端子との間に前記コンデンサ部で保持された電圧を印加することにより、前記データ電圧に応じた電流を前記発光素子へ供給する、

50

ことを特徴とする画素回路の駆動方法。

【請求項 17】

請求項 15 又は 16 記載の画素回路の駆動方法において、

前記スイッチ部は、前記第 1 期間に、前記コンデンサ部に保持された電圧を初期化するとともに、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにして、前記駆動トランジスタに電流を流し、その電流を前記電流迂回用トランジスタを介して前記発光素子へ流さずに前記基準電圧電源線へ流す、

ことを特徴とする画素回路の駆動方法。

【請求項 18】

第 1 乃至第 4 期間を含み、請求項 7 乃至 12 のいずれか一つに記載の画素回路を駆動する方法であって、

前記第 1 期間では、前記第 1 トランジスタ及び前記第 4 トランジスタをオフにし、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、

前記第 1 期間の後の前記第 2 期間では、前記第 1 トランジスタ及び前記第 2 トランジスタをオフにし、前記第 3 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、

前記第 2 期間の後の前記第 3 期間では、前記第 2 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオフにし、前記第 1 トランジスタ及び前記第 3 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、かつ、前記データ線からデータ電圧を供給し、

前記第 3 期間の後の前記第 4 期間では、前記第 1 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオフにし、前記第 2 トランジスタ、前記第 3 トランジスタ及び前記第 4 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定する、

ことを特徴とする画素回路の駆動方法。

【請求項 19】

請求項 15 乃至 18 のいずれか一つに記載の画素回路の駆動方法において、

前記第 2 期間は 1 水平走査期間以上の時間である、

ことを特徴とする画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型有機 E L ディスプレイ（以下「A M O L E D : Active Matrix Organic Light Emitting Display」という。）などに用いられる画素回路、その駆動方法、及びその画素回路を備えた表示装置に関する。有機発光ダイオードは、有機 E L 素子とも呼ばれるが、以下「O L E D (Organic Light Emitting Diode)」という。

【背景技術】

【0002】

A M O L E D の標準的な画素回路は無いため、A M O L E D を製造する各社はそれぞれ独自の画素回路を用いている。以下、基本的な画素回路について説明する。図 9 A は基本的な画素回路を示す回路図であり、図 9 B はその駆動方法を示す波形図、図 9 C は画素回路に含まれる駆動 T F T (Thin Film Transistor) の出力特性を示すグラフである。

【0003】

画素回路 900 は、スイッチ T F T 901 と、駆動 T F T 902 と、コンデンサ 903 と、O L E D 904 とを備え、2 トランジスタ方式により駆動制御される。スイッチ T F T 901 及び駆動 T F T 902 は、ともに p チャネル型 F E T (Field Effect Transistor) である。スイッチ T F T 901 のゲート端子は走査線 905 に接続され、スイッチ T F T 901 のドレイン端子はデータ線 906 に接続されている。駆動 T F T 902 のゲート端子はスイッチ T F T 901 のソース端子に接続され、駆動 T F T 902 のソース端子は電力供給線 907 (電源電圧 V D D) に接続され、駆動 T F T 902 のドレイン端子は

10

20

30

40

50

O L E D 9 0 4 のアノード端子に接続されている。また、駆動 T F T 9 0 2 のゲート端子とソース端子との間にはコンデンサ 9 0 3 が接続されている。O L E D 9 0 4 のカソード端子には電力供給線 9 0 8 (電源電圧 V S S) が接続されている。

【 0 0 0 4 】

この構成において、走査線 9 0 5 に選択パルス (走査信号 S c a n) を出力し、スイッチ T F T 9 0 1 をオンにすると、データ線 9 0 6 を介して供給されたデータ信号 V d a t a が電圧値としてコンデンサ 9 0 3 に書き込まれる。コンデンサ 9 0 3 に書き込まれた保持電圧は 1 フレーム期間を通じて保持され、この保持電圧によって駆動 T F T 9 0 2 のコンダクタンスがアナログ的に変化し、発光諧調に対応した順バイアス電流が O L E D 9 0 4 に供給される。

10

【 0 0 0 5 】

このように O L E D 9 0 4 を定電流で駆動することにより、O L E D 9 0 4 の劣化によってその抵抗値が変化しても、O L E D 9 0 4 の発光輝度を一定に保つことができる。

【 0 0 0 6 】

この種の画素回路において、O L E D に電流を供給する駆動トランジスタの閾値電圧のバラツキや変動を補償するため、その閾値電圧を検出する技術が知られている（例えば特許文献 1、2 参照）。その閾値電圧検出技術は、次の二通りが主流となっている。(1) ゲート端子とドレイン端子とを接続し、駆動トランジスタを一時的にオンにしてドレイン端子とソース端子との間に電流を流すことにより、ゲート・ソース間電圧 V g s を閾値電圧 V t h まで自動的に近づける技術（ダイオード接続型）。(2) ゲート端子の電位を固定し、駆動トランジスタを一時的にオンにしてドレイン端子とソース端子間に電流を流すことにより、ゲート・ソース間電圧 V g s を閾値電圧 V t h まで自動的に近づける技術（ソースフォロア型）。このソースフォロア型によれば、V g s = 0 V でも電流が流れるディップレーション型のトランジスタに対しても、閾値電圧 V t h を検出できるという利点がある。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】米国特許出願公開第 2 0 1 3 / 0 1 6 9 6 1 1 号明細書

30

【 特許文献 2 】特開 2 0 1 2 - 1 2 8 3 8 6 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、閾値電圧検出機能を有する既存の画素回路には、次のような問題があった。

【 0 0 0 9 】

(1) リセット動作時の漏れ発光によって、コントラストの低下が起こる。その原因は、次のように非発光期間に O L E D に電流が流れ、無効な漏れ発光が発生するためである。(a) 閾値電圧検出期間中、駆動トランジスタを流れる電流が O L E D を通して流れ。(b) コンデンサのリセット期間中、コンデンサの充電電流が O L E D を通して流れ。

40

【 0 0 1 0 】

(2) 駆動トランジスタのヒステリシス特性により、しばらく黒表示をした後に白表示をしてもすぐに白くならず、数フレームかけてようやく全白になる。これは一般にイメージリテンションと呼ばれる。換言すると、駆動トランジスタに長時間電流を流さないと駆動トランジスタのヒステリシス特性が初期化されてしまい、この初期化されたヒステリシス特性を基にして決められた白表示用の V g s バイアスを印加しても、点灯させる場合にはヒステリシス特性によって瞬時に電流が減ってしまうので、本来の白表示の明るさにならないのである。

【 0 0 1 1 】

(3) 閾値電圧検出期間が 1 水平走査期間に限られてしまうため、高精細化が進むと閾

50

値電圧の補償精度が悪くなる。

【0012】

閾値電圧の検出は、1水平走査期間内にデータ線から基準電圧が供給される時間、又は1水平走査期間内にデータ線からデータ電圧が供給される時間に行われる（例えば特許文献1のFIG.4、特許文献2の図4参照）。そのため、1水平走査期間以上にわたって閾値電圧を検出しようとすると、隣接する画素回路へ供給するデータ電圧の影響を受けてクロストークが発生してしまう。

【0013】

一方、高精細化が進むと、走査線数が増えることにより、1水平走査時間が短くなる。1水平走査時間が短くなると、閾値電圧検出期間も短くなるため、ゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} に達する前に、閾値電圧の検出を終了しなければならなくなる。これにより、閾値電圧の検出精度が低下するので、閾値電圧の補償精度も悪くなるのである。

10

【0014】

そこで、本発明の目的は、第一にリセット動作時の漏れ発光によるコントラスト低下を防止すること、第二にイメージリテンションを防止すること、第三に閾値電圧の検出精度を向上すること、などを実現する画素回路等を提供することにある。

【課題を解決するための手段】

【0015】

本発明に係る画素回路は、

20

発光素子と、

印加された電圧に応じた電流を前記発光素子へ供給する駆動トランジスタと、

前記駆動トランジスタの閾値電圧及びデータ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタに印加するコンデンサ部と、

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させるスイッチ部と、

を備えた画素回路において、

前記スイッチ部は、前記駆動トランジスタから供給される電流を、前記発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有する、

ことを特徴とする。

30

【発明の効果】

【0016】

本発明によれば、駆動トランジスタから供給される電流を発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有するので、リセット動作時に電流迂回用トランジスタをオンにすることにより、リセット動作時の漏れ発光によるコントラスト低下を防止できる。

【図面の簡単な説明】

【0017】

【図1A】実施形態1の画素回路の構成を示す回路図である。

40

【図1B】実施形態1の画素回路の動作を示すタイミング図である。

【図2】実施形態1の画素回路を備えた表示装置を示す平面図である。

【図3】図2の一部を拡大して示す断面図である。

【図4A】実施形態1の画素回路の動作（駆動方法）を示し、第1期間における回路図である。

【図4B】実施形態1の画素回路の動作（駆動方法）を示し、第1期間におけるタイミング図である。

【図5A】実施形態1の画素回路の動作（駆動方法）を示し、第2期間における回路図である。

【図5B】実施形態1の画素回路の動作（駆動方法）を示し、第2期間におけるタイミング図である。

50

【図 6 A】実施形態 1 の画素回路の動作（駆動方法）を示し、第 3 期間における回路図である。

【図 6 B】実施形態 1 の画素回路の動作（駆動方法）を示し、第 3 期間におけるタイミング図である。

【図 7 A】実施形態 1 の画素回路の動作（駆動方法）を示し、第 4 期間における回路図である。

【図 7 B】実施形態 1 の画素回路の動作（駆動方法）を示し、第 4 期間におけるタイミング図である。

【図 8 A】実施形態 3 の表示装置の一部を示す回路図である。

【図 8 B】実施形態 3 の表示装置の動作を示すタイミング図である。 10

【図 9 A】基本的な画素回路を示す回路図である。

【図 9 B】基本的な画素回路の駆動方法を示す波形図である。

【図 9 C】基本的な画素回路に含まれる駆動 TFT (Thin Film Transistor) の出力特性を示すグラフである。

【発明を実施するための形態】

【0018】

以下、添付図面を参照しながら、本発明を実施するための形態（以下「実施形態」という。）について説明する。なお、本明細書及び図面において、実質的に同一の構成要素については同一の符号を用いる。図面に描かれた形状は、当業者が理解しやすいように描かれているため、実際の寸法及び比率とは必ずしも一致していない。本明細書及び特許請求の範囲における「備える」とは、明示した要素以外の要素を備える場合も含まれる。「有する」や「含む」なども同様である。本明細書及び特許請求の範囲における「接続する」とは、二つの要素を直接接続する場合以外にも、他の要素を介在させて二つの要素を接続する場合も含まれる。トランジスタの「オン」と及び「オフ」とは、それぞれ「導通」及び「非導通」と言い換えることができる。 20

【0019】

<実施形態 1>

図 1 A は実施形態 1 の画素回路の構成を示す回路図であり、図 1 B は実施形態 1 の画素回路の動作を示すタイミング図である。以下、この図面に基づき説明する。

【0020】

本実施形態 1 の画素回路 10 は、発光素子 11 と、印加された電圧に応じた電流を発光素子 11 へ供給する駆動トランジスタ (M3) と、駆動トランジスタ (M3) の閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧を保持し、この電圧を駆動トランジスタ (M3) に印加するコンデンサ部 12 と、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部 12 に保持させるスイッチ部 13 と、を備えている。そして、スイッチ部 13 は、駆動トランジスタ (M3) から供給される電流を、発光素子 11 を通さずに基準電圧電源線 (P3) へ迂回させる電流迂回用トランジスタ (M6) を有する。 30

【0021】

また、スイッチ部 13 は、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部 12 に保持させる前に、駆動トランジスタ (M3) 及び電流迂回用トランジスタ (M6) をオンにする。 40

【0022】

更に、スイッチ部 13 は、基準電圧電源線 (P3) から基準電圧 (V_{ref}) を入力する基準電圧用トランジスタ (M5) と、データ線 D からデータ電圧 V_{data} を入力するデータ電圧用トランジスタ (M1) とを有する。

【0023】

より詳しく説明すると、駆動トランジスタ (M3) は、ゲート端子、ソース端子及びドレイン端子を有し、これらのゲート端子とソース端子との間に印加された電圧に応じた電流を、ドレイン端子に接続された発光素子 11 へ供給する。コンデンサ部 12 は、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧を保持し、この電圧を駆動トランジスタ (50

M3) のゲート端子とソース端子との間に印加する。スイッチ部13は、電流迂回用トランジスタ(M6)、基準電圧用トランジスタ(M5)及びデータ電圧用トランジスタ(M1)を含む複数のトランジスタを有し、これらのトランジスタのスイッチング動作によって、コンデンサ部12に、閾値電圧Vthを含む電圧を保持させ、その後に閾値電圧Vth及びデータ電圧Vdataを含む電圧を保持させる。かつ、スイッチ部13は、閾値電圧Vthを含む電圧をコンデンサ部12に保持させる際に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにすることにより、基準電圧Vrefをコンデンサ部12へ供給し、閾値電圧Vth及びデータ電圧Vdataを含む電圧をコンデンサ部12に保持させる際に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオフかつデータ電圧用トランジスタ(M1)をオンにすることにより、データ電圧Vdataをコンデンサ部12へ供給する。

10

【0024】

本実施形態1の画素回路10によれば、駆動トランジスタ(M3)から供給される電流を発光素子11を通さずに基準電圧電源線(P3)へ迂回させる電流迂回用トランジスタ(M6)を有するので、リセット動作時に電流迂回用トランジスタ(M6)をオンにすることにより、リセット動作時の漏れ発光によるコントラスト低下を防止できる。

20

【0025】

また、画素回路10によれば、閾値電圧Vth及びデータ電圧Vdataを含む電圧をコンデンサ部12に保持させる前に、駆動トランジスタ(M3)及び電流迂回用トランジスタ(M6)をオンにすることにより、発光素子11へ電流を供給する前に確実に駆動トランジスタ(M3)に電流を流すことができるので、駆動トランジスタ(M3)のヒステリシス特性の初期化を防ぐことができ、コントラスト低下を招くことなくイメージレーションを防止できる。

30

【0026】

更に、画素回路10によれば、データ線Dからデータ電圧Vdataを入力するデータ電圧用トランジスタ(M1)とは別に、基準電圧電源線(P3)から基準電圧(Vref)を入力する基準電圧用トランジスタ(M5)を設けたことにより、データ線Dから供給される基準電圧(Vref)を用いずに閾値電圧Vthを検出できる。したがって、閾値電圧Vthの検出時に原理的にクロストークが発生しないことにより、高精細化が進んでも閾値電圧検出期間を十分に設定できるので、閾値電圧Vthの検出精度を向上できる。

40

【0027】

また、スイッチ部13は、閾値電圧Vthを含む電圧をコンデンサ部12に保持させる際に、1水平走査期間以上の時間にわたって電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにすることにより、基準電圧(Vref)をコンデンサ部12へ供給するようにもよい。この場合は、閾値電圧検出期間をより十分に設定できるので、閾値電圧Vthの検出精度をより向上できる。なお、1水平走査期間内でできるだけ長く、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにすることにもよい。

【0028】

更に、スイッチ部13は、閾値電圧Vthを含む電圧をコンデンサ部12に保持させる際に、電流迂回用トランジスタ(M6)をオンにするとともに基準電圧(Vref)をコンデンサ部12へ供給することにより、駆動トランジスタ(M3)を一時的にオンにすることにもよい。この場合は、閾値電圧Vthの検出時に駆動トランジスタ(M3)に流れる微小な電流を、電流迂回用トランジスタ(M6)を介して発光素子11には流さずに基準電圧電源線(P3)へ流すことにより、漏れ発光によるコントラスト低下を防止できる。

【0029】

次に、画素回路10について更に詳しく説明する。

50

【0030】

画素回路10は、データ線D、第1乃至第4制御線S1～S4及び第1乃至第3電源線P1～P3に電気的に接続され、第1乃至第6トランジスタM1～M6、第1乃至第2コンデンサ21，22及び発光素子11を備えている。第3電源線P3が前述の基準電圧電源線(P3)に相当し、第1、第2、第4、第5及び第6トランジスタM1，M2，M4，M5，M6が前述のスイッチ部13を構成し、第1トランジスタM1が前述のデータ電圧用トランジスタ(M1)に相当し、第5トランジスタM5が前述の基準電圧用トランジスタ(M5)に相当し、第6トランジスタM6が前述の電流迂回用トランジスタ(M6)に相当し、第3トランジスタM3が前述の駆動トランジスタ(M3)に相当し、第1及び第2コンデンサ21，22が前述のコンデンサ部12を構成している。

10

【0031】

第1トランジスタM1は、データ線Dに電気的に接続された第1端子と、第2端子と、第1制御線S1に電気的に接続された制御端子とを有する。第2トランジスタM2は、第1電源線P1に電気的に接続された第1端子と、第2端子と、第2制御線S2に電気的に接続された制御端子とを有する。

【0032】

第3トランジスタM3は、第2トランジスタM2の第2端子に電気的に接続されるとともに前述の駆動トランジスタ(M3)のソース端子に相当する第1端子と、前述の駆動トランジスタ(M3)のドレイン端子に相当する第2端子と、第1トランジスタM1の第2端子に電気的に接続されるとともに前述の駆動トランジスタ(M3)のゲート端子に相当する制御端子とを有する。

20

【0033】

第4トランジスタM4は、第3トランジスタM3の第2端子に電気的に接続された第1端子と、第2端子と、第3制御線S3に電気的に接続された制御端子とを有する。

【0034】

第5トランジスタM5は、第3電源線P3に電気的に接続された第1端子と、第1トランジスタM1の第2端子に電気的に接続された第2端子と、第4制御線S4に電気的に接続された制御端子とを有する。

30

【0035】

第6トランジスタM6は、第3電源線P3に電気的に接続された第1端子と、第3トランジスタM3の第2端子に電気的に接続された第2端子と、第4制御線S4に電気的に接続された制御端子とを有する。

【0036】

第1コンデンサ21は、第1トランジスタM1の第2端子に電気的に接続された第1端子と、第3トランジスタM3の第1端子に電気的に接続された第2端子とを有する。

【0037】

第2コンデンサ22は、第3電源線P3に接続された第1端子と、第3トランジスタM3の第1端子に電気的に接続された第2端子とを有する。

【0038】

発光素子11は、第4トランジスタM4の第2端子に電気的に接続された第1端子と、第2電源線P2に電気的に接続された第2端子とを有する。

40

【0039】

ここで、第1制御線S1は第1制御信号S_{c a n}を出力し、第2制御線S2は第2制御信号E_Mを出力し、第3制御線S3は第3制御信号B_Pを出力し、第4制御線S4は第4制御信号R_{e s e t}を出力する。各トランジスタにおいて、第1端子は例えばソース端子及びドレイン端子の一方であり、第2端子は例えばソース端子及びドレイン端子の他方であり、制御端子は例えばゲート端子である。発光素子11の第1端子はアノード端子及びカソード端子の一方(例えば本実施形態1ではアノード端子)であり、発光素子11の第2端子はアノード端子及びカソード端子の他方(例えば本実施形態1ではカソード端子)である。

50

【0040】

また、第1トランジスタM1は、データ線Dから供給されるデータ電圧Vdataを、第1コンデンサ21の第1端子へ選択的に供給するように構成されている。第2トランジスタM2は、第1電源線P1から供給される第1電源電圧VDDを、第3トランジスタM3の第1端子、第1コンデンサ21の第2端子及び第2コンデンサ22の第2端子へ選択的に供給するように構成されている。第3トランジスタM3は、第1コンデンサ21の第2端子及び第2コンデンサ22の第2端子を第4トランジスタM4の第1端子に選択的に接続するように構成されている。第4トランジスタM4は、第3トランジスタM3の第2端子を発光素子11の第1端子に選択的に接続するように構成されている。第5トランジスタM5は、第3電源線P3から供給されるとともに前述の基準電圧(Vref)に相当する第3電源電圧Vrefを、第1コンデンサ21の第1端子へ選択的に供給するように構成されている。第6トランジスタM6は、第3電源線P3から供給される第3電源電圧Vrefを、第3トランジスタM3の第2端子へ選択的に供給するように構成されている。なお、第2電源線P2は、例えば接地電位である第2電源電圧VSSを、発光素子11の第2端子へ供給する。

10

【0041】

第1乃至第6トランジスタM1～M6は、pチャネル型トランジスタであり、詳しくはpチャネル型TFTである。発光素子11はOLEDである。OLEDは一般に基板側(VSS側)がカソードになるので、そのアノードを駆動トランジスタのドレインに接続するには、駆動トランジスタをpチャネル型にする必要がある。そうすれば、OLEDの抵抗値が時間経過によって変化しても、OLEDに常に一定電流を供給できる。

20

【0042】

スイッチ部13を構成する第1、第2、第4、第5及び第6トランジスタM1，M2，M4，M5，M6は、線形領域で動作するスイッチ用トランジスタである。第3トランジスタM3は、飽和領域で動作する増幅用トランジスタである。

【0043】

図2は、実施形態1の画素回路を備えた表示装置を示す平面図である。以下、この図面に基づき説明する。

【0044】

本実施形態1における表示装置30はAMOLEDである。表示装置30は、大別して、発光素子を含む複数の画素回路(図1A参照)がマトリクス状に配置されたTFT基板100と、発光素子を封止する封止ガラス基板200と、TFT基板100と封止ガラス基板200とを接合するガラスフリットシール部300などで構成される。また、TFT基板100のアクティブマトリクス部116の外側のカソード電極形成領域114aの周囲には、TFT基板100の走査線(各制御線)を駆動する走査ドライバ131、各画素の発光期間を制御するエミッション制御ドライバ132、静電気放電による破損を防ぐデータ線ESD(Electro-Static-Discharge)保護回路133、高転送レートのストリームを本来の低転送レートの複数のストリームに戻すデマルチプレクサ134、データ線を駆動するデータドライバIC135などが配置されている。データドライバIC135は、異方性導電フィルムを用いてTFT基板100に実装される。TFT基板100は、FPC(Flexible Printed Circuit)136を介して外部の機器と接続される。なお、図2は、本実施形態1における表示装置の一例であり、その形状や構成は適宜変更可能である。

30

【0045】

図1Aと図2との対応関係は次のとおりである。図1Aにおける第1制御線S1及び第4制御線S4は、図2における走査ドライバ131に接続されている。図1Aにおける第2制御線S2及び第3制御線S3は、図2におけるエミッション制御ドライバ132に接続されている。図1Aにおけるデータ線Dは、図2におけるデマルチプレクサ134及びデータドライバIC135に接続されている。図1Aにおける第1乃至第3電源線P1～P3は、図2におけるFPC136を介して外部の電源と接続されている。

40

【0046】

50

図3は、図2の一部を拡大して示す断面図である。以下、この図面に基づき説明する。

【0047】

TFT基板100は、ガラス基板101上に下地絶縁膜102を介して形成された低温ポリシリコン(LTPS:Low Temperature Polycrystalline Silicon)等からなるポリシリコン層103と、ゲート絶縁膜104を介して形成された第1金属層105(ゲート電極及びコンデンサ電極)と、層間絶縁膜106に形成された開口を介してポリシリコン層103に接続される第2金属層107(データ線、電源線、ソース及びドレイン電極、コンタクト部)と、平坦化膜110を介して素子分離膜112の凹部に形成される発光素子11(アノード電極111、有機EL層113、カソード電極114及びキャップ層115)とから構成される。10

【0048】

TFT領域108におけるポリシリコン層103は、LDD(Lightly Doped Drain)構造になっており、左からp+層、p-層、i層、p-層、p+層である。コンデンサ領域109におけるポリシリコン層103はp+層である。

【0049】

発光素子11と封止ガラス基板200との間には乾燥空気301が封入され、これらがガラスフリットシール部300(図2)によって封止されることにより、表示装置30が形成される。この発光素子11はトップエミッション構造であり、発光素子11と封止ガラス基板200とは所定の間隔に設定されるとともに、封止ガラス基板200の光出射面側に/4位相差板201と偏光板202とが形成され、外部から入射した光の反射が抑制されるようになっている。20

【0050】

なお、図3では、発光素子11の各放射光が、封止ガラス基板200を介して外部に放射されるトップエミッション構造を示したが、ガラス基板101を介して外部に放射されるボトムエミッション構造とすることもできる。

【0051】

図4A乃至図7Bは本実施形態1の画素回路の動作(駆動方法)を示し、図4A、図5A、図6A及び図7Aは第1乃至第4期間における回路図であり、図4B、図5B、図6B及び図7Bは第1乃至第4期間におけるタイミング図である。以下、図1A及び図1Bに図4A乃至図7Bを加えて、本実施形態1の画素回路の動作(駆動方法)について説明する。30

【0052】

なお、図4A、図5A、図6A及び図7Aでは、見やすくするために、図1Aで付した符号の一部を省略している。図4A、図5A、図6A及び図7A中の「×」印は、オフ状態のトランジスタを示す。画素回路の駆動方法によって画素回路が動作するので、画素回路の動作(駆動方法)と表記している。

【0053】

まず、図1A及び図1Bに基づき、画素回路10の駆動方法の概要を説明する。画素回路10の駆動方法は、次の第1乃至第4期間T1～T4を含む。このとき、スイッチ部13は、次のように動作する。40

【0054】

第1期間T1に、コンデンサ部12に保持された電圧を初期化する。

第1期間T1の後の第2期間T2に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンにして駆動トランジスタ(M1)の閾値電圧Vthを含む電圧をコンデンサ部12に保持させる。

第2期間T2の後の第3期間T3に、データ電圧用トランジスタ(M1)をオンにして、データ電圧Vdataをコンデンサ部12に供給して、閾値電圧Vth及びデータ電圧Vdataを含む電圧をコンデンサ部12に保持させる。

第3期間T3の後の第4期間T4に、駆動トランジスタ(M3)にコンデンサ部12で保持された電圧を印加することにより、データ電圧Vdataに応じた電流を発光素子1

1へ供給する。

【0055】

より詳しく言えば、第1期間T1に、コンデンサ部12に保持された電圧を初期化する。

第2期間T2に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにより、駆動トランジスタ(M3)の閾値電圧Vthを含む電圧をコンデンサ部12に保持させる。

第3期間T3に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオフかつデータ電圧用トランジスタ(M1)をオンにより、データ電圧Vdataをコンデンサ部12に供給して、閾値電圧Vth及びデータ電圧Vdataを含む電圧をコンデンサ部12に保持させる。 10

第4期間T4に、駆動トランジスタ(M3)のゲート端子とソース端子との間にコンデンサ部12で保持された電圧を印加することにより、データ電圧Vdataに応じた電流を発光素子11へ供給する。

【0056】

また、第1期間T1に、コンデンサ部12に保持された電圧を初期化するとともに、駆動トランジスタ(M3)及び電流迂回用トランジスタ(M6)をオンにして、駆動トランジスタ(M3)に電流を流し、その電流を電流迂回用トランジスタ(M6)を介して発光素子11へ流さずに基準電圧電源線(P3)へ流すようにしてもよい。

【0057】

次に、各期間ごとに詳しく説明する。

【0058】

図4A及び図4Bに示す第1期間T1では、第1トランジスタM1及び第4トランジスタM4をオフにし、第2トランジスタM2、第3トランジスタM3、第5トランジスタM5及び第6トランジスタM6をオンにするように第1乃至第4制御線S1～S4の電圧を設定する。 20

【0059】

このとき、このとき、ノードAの電圧VAは第5トランジスタM5を介して第3電源電圧Vrefとなり、ノードBの電圧VBは第2トランジスタM2を介して第1電源電圧VDDとなる。つまり、ノードAの電圧VA及びノードBの電圧VBは次式のようになり、第1及び第2コンデンサ21, 22に保持された電圧が初期化される。 30

$$VA = V_{ref}$$

$$VB = VDD$$

【0060】

一方、第3トランジスタM3及び第6トランジスタM6がオンになることにより、第3トランジスタM3に電流i1が流れ、その電流i1が第6トランジスタM6を介して発光素子11へ流れずに第3電源線P3へ流れる。

【0061】

このとき、第3トランジスタM3のゲート端子とソース端子との間に印加される電圧はVB - VAであるから、そのドレイン端子に流れる電流i1は次式で与えられる。 40

$$\begin{aligned} i_1 &= 1/2 ((VB - VA) - Vth)^2 \\ &= 1/2 (VDD - Vref - Vth)^2 \end{aligned}$$

【0062】

上式からわかるように、電流i1は白表示レベル程度の十分に大きな値であるので、第3トランジスタM3のヒステリシス特性の初期化が防止される。これが、画素回路10のイメージリテンション防止機能である。なお、上式中の は、第3トランジスタM3の構造及び材質によって決まる定数である。

【0063】

図5A及び図5Bに示す第2期間T2では、第1トランジスタM1及び第2トランジスタM2をオフにし、第3トランジスタM3、第4トランジスタM4、第5トランジスタM

10

20

30

40

50

5 及び第 6 ドラジスタ M 6 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定する。

【 0 0 6 4 】

このとき、ノード A の電圧 V A は第 5 ドラジスタ M 5 を介して第 3 電源電圧 V r e f となる。そのため、第 1 及び第 2 コンデンサ 2 1 , 2 2 に保持された電荷が第 3 ドラジスタ M 3 及び第 6 ドラジスタ M 6 を介して放電されることにより、第 3 ドラジスタ M 3 から電流 i 2 が流れるので、ノード B の電圧 V B は第 1 電源電圧 V D D から低下する。ノード B の電圧 V B が低下して V r e f + V t h になると、第 3 ドラジスタ M 3 がオフとなる。つまり、ノード A の電圧 V A 及びノード B の電圧 V B は次式のようになり、第 3 ドラジスタ M 3 の閾値電圧 V t h を含む電圧が第 1 及び第 2 コンデンサ 2 1 , 2 2 に保持される。このように、本実施形態 1 では、ソースフォロア型の閾値電圧検出を用いている。

$$V A = V r e f$$

$$V B = V r e f + V t h$$

【 0 0 6 5 】

閾値電圧検出に必要な基準電圧である第 3 電源電圧 V r e f は、第 5 ドラジスタ M 5 を介してデータ線 D とは別の第 3 電源線 P 3 から供給される。したがって、閾値電圧検出中は、データ線 D の影響を受けないので、原理的にクロストークを生じない。そのため、N (自然数) × H (水平走査期間) 分の時間で閾値電圧 V t h を検出できる。よって、十分な時間で閾値電圧 V t h を検出できることにより、正確な閾値電圧 V t h が得られるので、閾値電圧 V t h の補償性能が高い。なお、本実施形態 1 は N = 2 の場合である。

10

20

20

【 0 0 6 6 】

また、閾値電圧検出時に駆動ドラジスタである第 3 ドラジスタ M 3 が一時的にオンになることによって流れる電流 i 2 は、第 6 ドラジスタ M 6 を介して発光素子 1 1 へ流れずに第 3 電源線 P 3 へ流れる。そのため、閾値電圧検出時に発光素子 1 1 へ電流が供給されないので、漏れ発光によるコントラスト低下を防止できる。これが、画素回路 1 0 のコントラスト低下防止機能である。

【 0 0 6 7 】

図 6 A 及び図 6 B に示す第 3 期間 T 3 では、第 2 ドラジスタ M 2 、第 4 ドラジスタ M 4 、第 5 ドラジスタ M 5 及び第 6 ドラジスタ M 6 をオフにし、第 1 ドラジスタ M 1 及び第 3 ドラジスタ M 3 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定し、かつ、データ線 D からデータ電圧 V d a t a を供給する。

30

【 0 0 6 8 】

このとき、ノード A の電圧 V A は第 1 ドラジスタ M 1 を介してデータ電圧 V d a t a となる。一方、第 1 及び第 2 コンデンサ 2 1 , 2 2 の容量値をそれぞれ C 1 , C 2 とすると、ノード B の電圧 V B は、直列接続された第 1 及び第 2 コンデンサ 2 1 , 2 2 の分圧である K (V d a t a - V r e f) だけ上昇して次式のようになる。つまり、データ電圧 V d a t a を第 1 及び第 2 コンデンサ 2 1 , 2 2 に供給することにより、閾値電圧 V t h 及びデータ電圧 V d a t a を含む電圧を第 1 及び第 2 コンデンサ 2 1 , 2 2 に保持させる。

$$V A = V d a t a$$

40

$$V B = V r e f + V t h + K (V d a t a - V r e f)$$

$$K = C 1 / (C 1 + C 2)$$

ここで、C 1 < C 2 すなわち K < 1 / 2 とする。その理由は、後述する式からわかるように、第 3 ドラジスタ M 3 に印加される V d a t a の項を大きくするためである。

【 0 0 6 9 】

図 7 A 及び図 7 B に示す第 4 期間 T 4 では、第 1 ドラジスタ M 1 、第 5 ドラジスタ M 5 及び第 6 ドラジスタ M 6 をオフにし、第 2 ドラジスタ M 2 、第 3 ドラジスタ M 3 及び第 4 ドラジスタ M 4 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定する。

【 0 0 7 0 】

50

このとき、ノードBの電圧V_Bは第2トランジスタM₂を介して第1電源電圧V_{DD}となる。一方、ノードAの電圧V_Aは、第1電源電圧V_{DD}から第3期間T₃での電圧V_Bを引いた分が、第3期間T₃での電圧V_Aに加わって次式のようになる。

$$\begin{aligned} V_A &= V_{data} + (V_{DD} - V_{ref} - V_{th} - K(V_{data} - V_{ref})) \\ &= (1 - K)V_{data} + (K - 1)V_{ref} - V_{th} + V_{DD} \\ V_B &= V_{DD} \end{aligned}$$

【0071】

これにより、第3トランジスタM₃のゲート端子とソース端子との間に印加される電圧はV_B-V_Aであるから、そのドレイン端子に流れる電流Iは次式で与えられる。

$$\begin{aligned} I &= 1/2 ((V_B - V_A) - V_{th})^2 \\ &= 1/2 (V_{DD} - ((1 - K)V_{data} + (K - 1)V_{ref} - V_{th} + V_{DD}) - V_{th})^2 \\ &= 1/2 ((1 - K)V_{ref} - (1 - K)V_{data})^2 \end{aligned}$$

【0072】

上式からわかるように、電流Iは、閾値電圧V_{th}の項を含まないので、閾値電圧V_{th}のバラツキ及び変動の影響を受けない。これが、画素回路10の閾値電圧V_{th}バラツキ補償機能である。

【0073】

以上のように、第4期間T₄では、第3トランジスタM₃のゲート端子とソース端子との間に第1及び第2コンデンサ21, 22で保持された電圧を印加することにより、データ電圧V_{data}に応じた電流Iを発光素子11へ供給する。

【0074】

なお、V_{DD} > V_{ref} > V_{SS}が成り立ち、例えばV_{DD} = 10V、V_{SS} = 0V、V_{ref} = 7~8V、V_{data} = 1~6Vである。

【0075】

換言すると、本実施形態1の効果は次のとおりである。1)リセット時に流れる電流をバイパスさせてOLEDへ流さないため、原理的にコントラストが低下しない。2)OLED駆動用のトランジスタに、OLEDを駆動する度に電流を流すことにより、イメージリテンションの問題を生じない。3)閾値電圧検出期間を独立に制御できる回路になっているため、閾値電圧を十分に長い時間をとって精度良く検出できる。したがって、表示ムラの補償能力が高く、より均一な表示特性が得られる。4)閾値電圧検出期間中にデータ信号の変化の影響を受けないため、原理的にクロストークを生じない。5)以上のように、コントラスト低下やイメージリテンションが発生せず、閾値電圧のバラツキや変動に対する補償能力が高く、しかもクロストークも生じないので、高画質化を実現できる。また、後述するようにデマルチプレクサの適用も容易であるため、データドライバICの出力ピン数も減らすことができて実用的である。

【0076】

<実施形態2>

図8Aは実施形態2の表示装置の一部を示す回路図であり、図8Bは実施形態3の表示装置の動作を示すタイミング図である。以下、これらの図面に基づき説明する。

【0077】

本実施形態2の表示装置は、デマルチプレクサ134に特徴を有する。図8Aに示すデマルチプレクサ134は1画素分である。実施形態1の画素回路をサブ画素とした場合、RGBの三つのサブ画素から1画素が構成される。各画素回路は、例えばRGB縦ストライプ方式の配列構造になっている。

【0078】

デマルチプレクサ134は、三つの画素回路にそれぞれ接続する三本のデータ線D_{n r}, D_{n g}, D_{n b}の中から一本のデータ線を順次選択し、選択された一本のデータ線をデータ電圧V_{data}の供給源(図2に示すデータドライバIC135)に接続された他の一本のデータ線D_nに接続する。データ線D_{n r}, D_{n g}, D_{n b}は、それぞれ図1Aに

10

20

30

40

50

おけるデータ線 D に相当する。

【0079】

デマルチプレクサ 134 は、1 画素につき三つのスイッチ用のトランジスタ MnR, MnG, MnB を有する。トランジスタ MnR, MnG, MnB はそれぞれ、第 5 制御信号 R_set, G_set, G_set によって、三本のデータ線 DnR, DnG, DnB を選択的に一本のデータ線 Dn に接続する。データ線 Dn からは、トランジスタ MnR を介してデータ線 DnR へデータ電圧 Rn が出力され、トランジスタ MnG を介してデータ線 DnG へデータ電圧 Rg が出力され、トランジスタ MnB を介してデータ線 DnB へデータ電圧 Rb が出力される。

【0080】

第 5 制御信号 R_set, G_set, G_set は、互いに重ならないように時間をずらして 1 水平走査期間 1H 内に出力される。全てのデータ線 DnR, DnG, DnB のデータ電圧 Rr, Rg, Rb が確定してから、トランジスタ M1 (図 1A) をオンにする。デマルチプレクサ 134 を用いることにより、データドライバ I C 135 (図 2) のデータ線 D の総数を削減できる。

10

【0081】

一本のデータ線から出力されたデータ電圧を三本のデータ線へ分けるデマルチプレクサを用いた既存の画素回路では、閾値電圧検出及びデータ書き込みの両方を 1 水平走査期間内にする必要があった。ところが、高精細化に伴う走査線数の増加により、1 水平走査期間が短くなると、データ線一本当たりの書き込み時間が短くなってしまってデータ書き込みが不十分となる。

20

【0082】

これに対し、本実施形態 2 の表示装置では、実施形態 1 の画素回路を用いたことにより、1 水平走査期間 1H のほぼ全体 (第 3 期間 T3) をデマルチプレクサ 134 によるデータ書き込みに利用できるので、第 5 制御信号 R_set, G_set, G_set のパルス幅を十分にとることができ、これにより表示性能を向上できる。

【0083】

本実施形態 2 のその他の構成、作用及び効果は、実施形態 1 のそれらと同様である。

【0084】

<総括>

30

以上、本発明を上記各実施形態に即して説明したが、本発明は、上記各実施形態の構成や動作にのみ限定されるものではなく、本発明の範囲内で当業者であればなし得ることが可能な各種変形及び修正を含むことはもちろんである。また、本発明には、上記各実施形態の構成の一部又は全部を相互に適宜組み合わせたものも含まれる。

【0085】

例えば、各実施形態では全てのトランジスタを p チャネル型としたが、これに限らず、一部又は全部のトランジスタを n チャネル型としもよい。このとき、OLED の駆動トランジスタを n チャネル型とした場合は、そのドレイン端子に OLED のカソード端子が接続されるように OLED の導通方向を逆向きにする。トランジスタを構成する半導体材料は、LTPS などのシリコンに限らず、IGZO (Indium Gallium Zinc Oxide) などの酸化物半導体を用いてもよい。また、スイッチ部は、ソースフォロワ型の閾値電圧検出構造としたが、ダイオード接続型の閾値電圧検出構造としてもよい。

40

【0086】

上記の実施形態の一部又は全部は以下の付記のようにも記載され得るが、本発明は以下の構成に限定されるものではない。

【0087】

[付記 1] 発光素子と、

印加された電圧に応じた電流を前記発光素子へ供給する駆動トランジスタと、

前記駆動トランジスタの閾値電圧及びデータ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタに印加するコンデンサ部と、

50

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させるスイッチ部と、

を備えた画素回路において、

前記スイッチ部は、前記駆動トランジスタから供給される電流を、前記発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有する、

ことを特徴とする画素回路。

【0088】

[付記2]付記1記載の画素回路において、

前記スイッチ部は、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる前に、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにする、
10
ことを特徴とする画素回路。

【0089】

[付記3]付記1又は2記載の画素回路において、

前記スイッチ部は、前記基準電圧電源線から基準電圧を入力する基準電圧用トランジスタと、データ線から前記データ電圧を入力するデータ電圧用トランジスタとを更に有する、
10
ことを特徴とする画素回路。

【0090】

[付記4]付記3記載の画素回路において、

前記駆動トランジスタは、ゲート端子、ソース端子及びドレイン端子を有し、これらのゲート端子とソース端子との間に印加された電圧に応じた電流を、前記ドレイン端子に接続された前記発光素子へ供給し、
20

前記コンデンサ部は、前記閾値電圧及び前記データ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタの前記ゲート端子と前記ソース端子との間に印加し、

前記スイッチ部は、

前記電流迂回用トランジスタ、前記基準電圧用トランジスタ及び前記データ電圧用トランジスタを含む複数のトランジスタを有し、これらのトランジスタのスイッチング動作によって、前記コンデンサ部に、前記閾値電圧を含む電圧を保持させ、その後に前記閾値電圧及び前記データ電圧を含む電圧を保持させ、かつ、
30

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ部へ供給し、

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記データ電圧を前記コンデンサ部へ供給する、
40
ことを特徴とする画素回路。

【0091】

[付記5]付記4記載の画素回路において、

前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、1水平走査期間以上の時間にわたって前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ部へ供給する、
40

ことを特徴とする画素回路。

【0092】

[付記6]付記4又は5記載の画素回路において、

前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタをオンにするとともに前記基準電圧を前記コンデンサ部へ供給することにより、前記駆動トランジスタを一時的にオンにする、
50

ことを特徴とする画素回路。

【0093】

[付記7] 付記4乃至6のいずれか一つに記載の画素回路において、
前記データ線、第1乃至第4制御線及び第1乃至第3電源線に電気的に接続され、第1乃至第6トランジスタ、第1乃至第2コンデンサ及び前記発光素子を備え、
前記第3電源線が前記基準電圧電源線に相当し、前記第1、第2、第4、第5及び第6トランジスタが前記スイッチ部を構成し、前記第1トランジスタが前記データ電圧用トランジスタに相当し、前記第5トランジスタが前記基準電圧用トランジスタに相当し、前記第6トランジスタが前記電流迂回用トランジスタに相当し、前記第3トランジスタが前記駆動トランジスタに相当し、前記第1及び第2コンデンサが前記コンデンサ部を構成し、
前記第1トランジスタは、前記データ線に電気的に接続された第1端子と、第2端子と、前記第1制御線に電気的に接続された制御端子とを有し、
前記第2トランジスタは、前記第1電源線に電気的に接続された第1端子と、第2端子と、前記第2制御線に電気的に接続された制御端子とを有し、
前記第3トランジスタは、前記第2トランジスタの前記第2端子に電気的に接続されるとともに前記ソース端子に相当する第1端子と、前記ドレイン端子に相当する第2端子と、前記第1トランジスタの前記第2端子に電気的に接続されるとともに前記ゲート端子に相当する制御端子とを有し、
前記第4トランジスタは、前記第3トランジスタの前記第2端子に電気的に接続された第1端子と、第2端子と、前記第3制御線に電気的に接続された制御端子とを有し、
前記第5トランジスタは、前記第3電源線に電気的に接続された第1端子と、前記第1トランジスタの前記第2端子に電気的に接続された第2端子と、前記第4制御線に電気的に接続された制御端子とを有し、
前記第6トランジスタは、前記第3電源線に電気的に接続された第1端子と、前記第3トランジスタの前記第2端子に電気的に接続された第2端子と、前記第4制御線に電気的に接続された制御端子とを有し、
前記第1コンデンサは、前記第1トランジスタの前記第2端子に電気的に接続された第1端子と、前記第3トランジスタの前記第1端子に電気的に接続された第2端子とを有し、
前記第2コンデンサは、前記第3電源線に接続された第1端子と、前記第3トランジスタの前記第1端子に電気的に接続された第2端子とを有し、
前記発光素子は、前記第4トランジスタの前記第2端子に電気的に接続された第1端子と、前記第2電源線に電気的に接続された第2端子とを有する、
ことを特徴とする画素回路。

【0094】

[付記8] 付記7記載の画素回路において、
前記第1トランジスタは、前記データ線から供給される前記データ電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、
前記第2トランジスタは、前記第1電源線から供給される第1電源電圧を、前記第3トランジスタの前記第1端子、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子へ選択的に供給するように構成され、
前記第3トランジスタは、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子を前記第4トランジスタの前記第1端子に選択的に接続するように構成され、
前記第4トランジスタは、前記第3トランジスタの前記第2端子を前記発光素子の前記第1端子に選択的に接続するように構成され、
前記第5トランジスタは、前記第3電源線から供給されるとともに前記基準電圧に相当する第3電源電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、
前記第6トランジスタは、前記第3電源線から供給されるとともに前記基準電圧に相当

する第3電源電圧を、前記第3トランジスタの前記第2端子へ選択的に供給するように構成されている、

ことを特徴とする画素回路。

【0095】

[付記9] データ線、第1乃至第4制御線及び第1乃至第3電源線に電気的に接続され、第1乃至第6トランジスタ、第1乃至第2コンデンサ及び発光素子を備えた画素回路であって、

前記第1トランジスタは、前記データ線に電気的に接続された第1端子と、第2端子と、前記第1制御線に電気的に接続された制御端子とを有し、

前記第2トランジスタは、前記第1電源線に電気的に接続された第1端子と、第2端子と、前記第2制御線に電気的に接続された制御端子とを有し、10

前記第3トランジスタは、前記第2トランジスタの前記第2端子に電気的に接続された第1端子と、第2端子と、前記第1トランジスタの前記第2端子に電気的に接続された制御端子とを有し、

前記第4トランジスタは、前記第3トランジスタの前記第2端子に電気的に接続された第1端子と、第2端子と、前記第3制御線に電気的に接続された制御端子とを有し、

前記第5トランジスタは、前記第3電源線に電気的に接続された第1端子と、前記第1トランジスタの前記第2端子に電気的に接続された第2端子と、前記第4制御線に電気的に接続された制御端子とを有し、

前記第6トランジスタは、前記第3電源線に電気的に接続された第1端子と、前記第3トランジスタの前記第2端子に電気的に接続された第2端子と、前記第4制御線に電気的に接続された制御端子とを有し、20

前記第1コンデンサは、前記第1トランジスタの前記第2端子に電気的に接続された第1端子と、前記第3トランジスタの前記第1端子に電気的に接続された第2端子とを有し、

前記第2コンデンサは、前記第3電源線に接続された第1端子と、前記第3トランジスタの前記第1端子に電気的に接続された第2端子とを有し、

前記発光素子は、前記第4トランジスタの前記第2端子に電気的に接続された第1端子と、前記第2電源線に電気的に接続された第2端子とを有する、

ことを特徴とする画素回路。30

【0096】

[付記10] 付記9記載の画素回路において、

前記第1トランジスタは、前記データ線から供給されるデータ電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第2トランジスタは、前記第1電源線から供給される第1電源電圧を、前記第3トランジスタの前記第1端子、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子へ選択的に供給するように構成され、

前記第3トランジスタは、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子を前記第4トランジスタの前記第1端子に選択的に接続するように構成され、40

前記第4トランジスタは、前記第3トランジスタの第2端子を前記発光素子の前記第1端子に選択的に接続するように構成され、

前記第5トランジスタは、前記第3電源線から供給される第3電源電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第6トランジスタは、前記第3電源線から供給される第3電源電圧を、前記第3トランジスタの前記第2端子へ選択的に供給するように構成されている、

ことを特徴とする画素回路。

【0097】

[付記11] 付記7乃至10のいずれか一つに記載の画素回路において、

前記第1乃至第6トランジスタはpチャネル型トランジスタである、50

ことを特徴とする画素回路。

【0098】

[付記12] 付記1乃至11のいずれか一つに記載の画素回路において、前記発光素子は有機発光ダイオードである、ことを特徴とする画素回路。

【0099】

[付記13] マトリクス状に配置された複数の付記1乃至12のいずれか一つに記載の画素回路を、

備えたことを特徴とする表示装置。

【0100】

[付記14] 付記13記載の表示装置において、前記画素回路をサブ画素とした場合、2以上の一定数の前記サブ画素から1画素が構成されるとき、一定数の前記画素回路にそれぞれ接続する一定数の前記データ線の中から一本のデータ線を順次選択し、選択された一本の前記データ線を前記データ電圧の供給源に接続された他の一本のデータ線に接続するデマルチプレクサを、

更に備えたことを特徴とする表示装置。

【0101】

[付記15] 第1乃至第4期間を含み、付記3記載の画素回路を駆動する方法であって、

前記スイッチ部は、

前記第1期間に、前記コンデンサ部に保持された電圧を初期化し、前記第1期間の後の前記第2期間に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンにして前記駆動トランジスタの前記閾値電圧を含む電圧を前記コンデンサ部に保持させ、

前記第2期間の後の前記第3期間に、前記データ電圧用トランジスタをオンにして、前記データ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させ、

前記第3期間の後の前記第4期間に、前記駆動トランジスタに前記コンデンサ部で保持された電圧を印加することにより、前記データ電圧に応じた電流を前記発光素子へ供給する、

ことを特徴とする画素回路の駆動方法。

【0102】

[付記16] 第1乃至第4期間を含み、付記3乃至6のいずれか一つに記載の画素回路を駆動する方法であって、

前記スイッチ部は、

前記第1期間に、前記コンデンサ部に保持された電圧を初期化し、前記第1期間の後の前記第2期間に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記駆動トランジスタの前記閾値電圧を含む電圧を前記コンデンサ部に保持させ、

前記第2期間の後の前記第3期間に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記データ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させ、

前記第3期間の後の前記第4期間に、前記駆動トランジスタのゲート端子とソース端子との間に前記コンデンサ部で保持された電圧を印加することにより、前記データ電圧に応じた電流を前記発光素子へ供給する、

ことを特徴とする画素回路の駆動方法。

【0103】

[付記17] 付記15又は16記載の画素回路の駆動方法において、

前記スイッチ部は、前記第1期間に、前記コンデンサ部に保持された電圧を初期化する

10

20

30

40

50

とともに、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにして、前記駆動トランジスタに電流を流し、その電流を前記電流迂回用トランジスタを介して前記発光素子へ流さずに前記基準電圧電源線へ流す、

ことを特徴とする画素回路の駆動方法。

【0104】

[付記18] 第1乃至第4期間を含み、付記7乃至12のいずれか一つに記載の画素回路を駆動する方法であって、

前記第1期間では、前記第1トランジスタ及び前記第4トランジスタをオフにし、前記第2トランジスタ、前記第3トランジスタ、前記第5トランジスタ及び前記第6トランジスタをオンにするように前記第1乃至第4制御線の電圧を設定し、

前記第1期間の後の前記第2期間では、前記第1トランジスタ及び前記第2トランジスタをオフにし、前記第3トランジスタ、前記第4トランジスタ、前記第5トランジスタ及び前記第6トランジスタをオンにするように前記第1乃至第4制御線の電圧を設定し、

前記第2期間の後の前記第3期間では、前記第2トランジスタ、前記第4トランジスタ、前記第5トランジスタ及び前記第6トランジスタをオフにし、前記第1トランジスタ及び前記第3トランジスタをオンにするように前記第1乃至第4制御線の電圧を設定し、かつ、前記データ線からデータ電圧を供給し、

前記第3期間の後の前記第4期間では、前記第1トランジスタ、前記第5トランジスタ及び前記第6トランジスタをオフにし、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタをオンにするように前記第1乃至第4制御線の電圧を設定する、

ことを特徴とする画素回路の駆動方法。

【0105】

[付記19] 付記15乃至18のいずれか一つに記載の画素回路の駆動方法において、前記第2期間は1水平走査期間以上の時間である、

ことを特徴とする画素回路の駆動方法。

【符号の説明】

【0106】

<実施形態1>

10 画素回路

11 発光素子

12 コンデンサ部

13 スイッチ部

21 第1コンデンサ

22 第2コンデンサ

M1 第1トランジスタ(データ電圧用トランジスタ)

M2 第2トランジスタ

M3 第3トランジスタ

M4 第4トランジスタ

M5 第5トランジスタ(基準電圧用トランジスタ)

M6 第6トランジスタ(電流迂回用トランジスタ)

D データ線

P1 第1電源線

P2 第2電源線

P3 第3電源線

S1 第1制御線

S2 第2制御線

S3 第3制御線

S4 第4制御線

A, B ノード

Vdata データ電圧

10

20

30

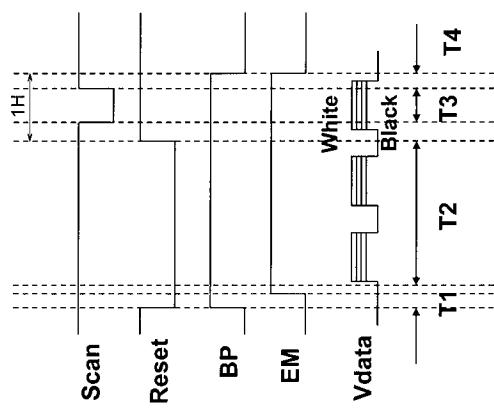
40

50

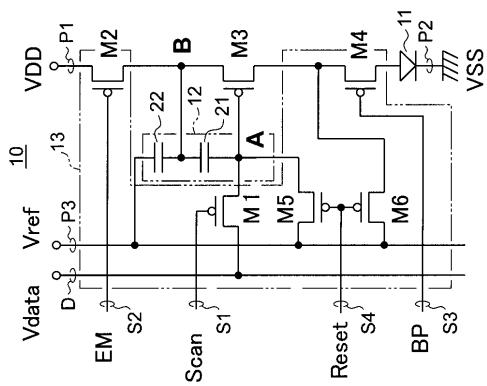
V D D	第 1 電源電圧	
V S S	第 2 電源電圧	
V r e f	第 3 電源電圧 (基準電圧)	
S c a n	第 1 制御信号	
E M	第 2 制御信号	
B P	第 3 制御信号	
R e s e t	第 4 制御信号	
3 0	表示装置	
1 0 0	T F T 基板	
1 0 1	ガラス基板	10
1 0 2	下地絶縁膜	
1 0 3	ポリシリコン層	
1 0 4	ゲート絶縁膜	
1 0 5	第 1 金属層	
1 0 6	層間絶縁膜	
1 0 7	第 2 金属層	
1 0 8	T F T 領域	
1 0 9	コンデンサ領域	
1 1 0	平坦化膜	
1 1 1	アノード電極	20
1 1 2	素子分離膜	
1 1 3	有機 E L 層	
1 1 4	カソード電極	
1 1 4 a	カソード電極形成領域	
1 1 5	キャップ層	
1 1 6	アクティブマトリクス部	
1 3 1	走査ドライバ	
1 3 2	エミッション制御ドライバ	
1 3 3	データ線 E S D 保護回路	
1 3 4	デマルチプレクサ	30
1 3 5	データドライバ I C	
1 3 6	F P C	
2 0 0	封止ガラス基板	
2 0 1	/ 4 位相差板	
2 0 2	偏光板	
3 0 0	ガラスフリットシール部	
3 0 1	乾燥空気	
< 実施形態 2 >		
D n , D n r , D n g , D n b	データ線	
M n r , M n g , M n b	トランジスタ	40
R r , R g , R b	データ電圧	
R _ s e t , G _ s e t , G _ s e t	第 5 制御信号	
< 関連技術 >		
9 0 0	画素回路	
9 0 1	スイッチ T F T	
9 0 2	駆動 T F T	
9 0 3	コンデンサ	
9 0 4	O L E D	
9 0 5	走査線	
9 0 6	データ線	50

9 0 7 , 9 0 8 電力供給線

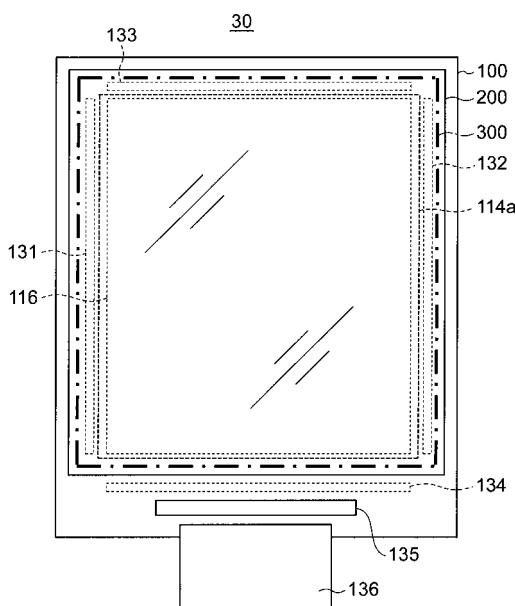
【図 1 B】



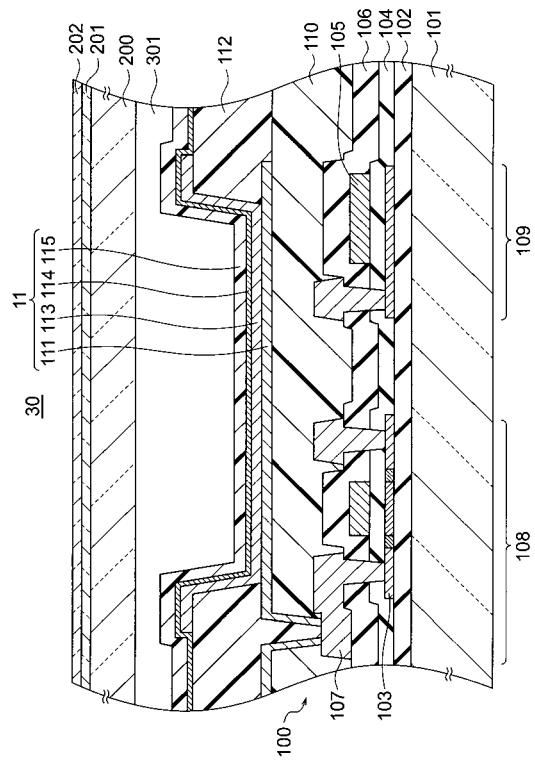
【図 1 A】



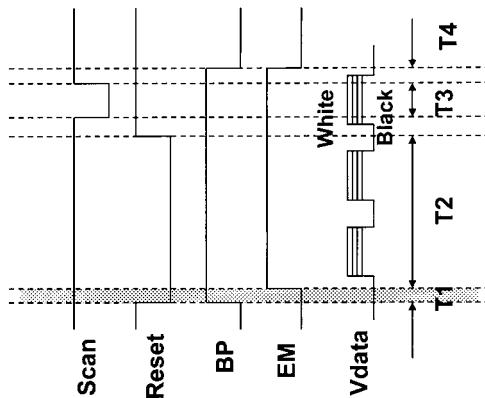
【図 2】



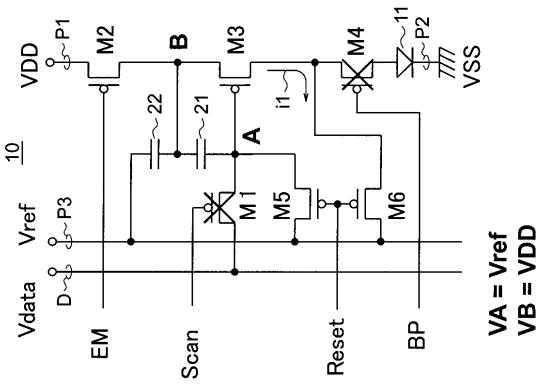
【図3】



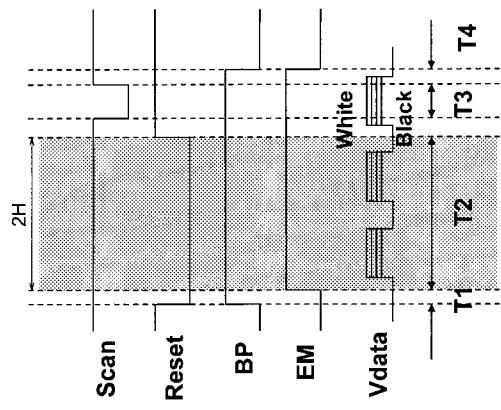
【図4 B】



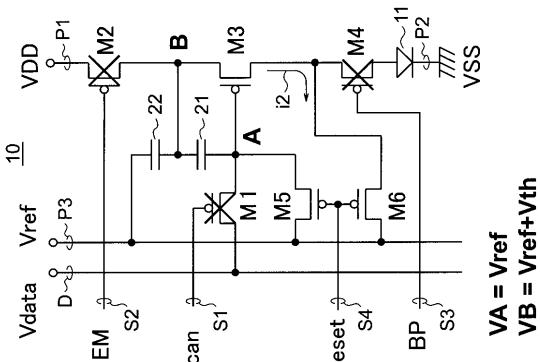
【図4 A】



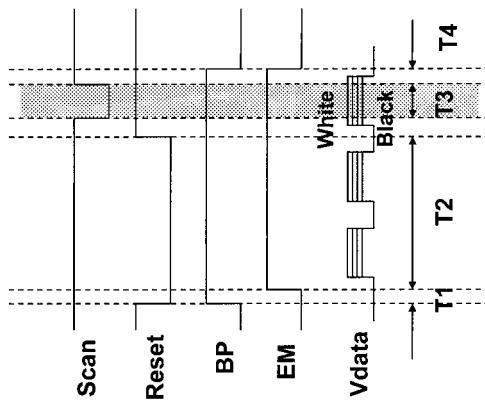
【図5 B】



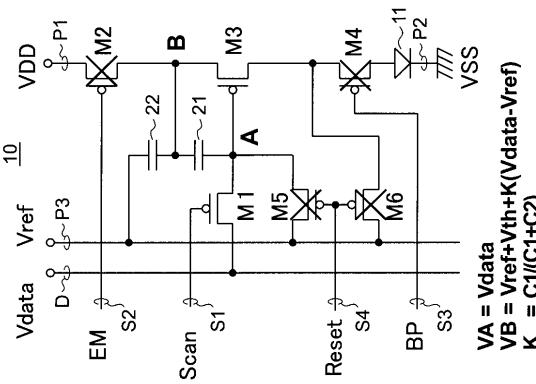
【図5 A】



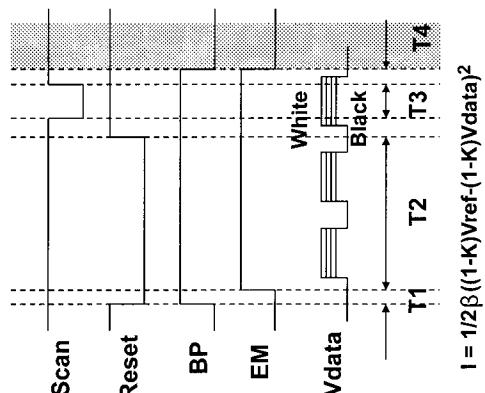
【図6 B】



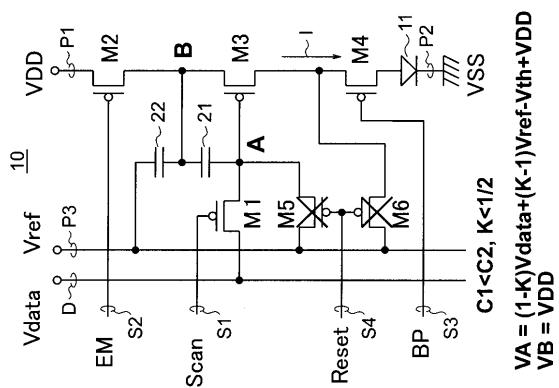
【図6 A】



【図 7 B】



【図 7 A】

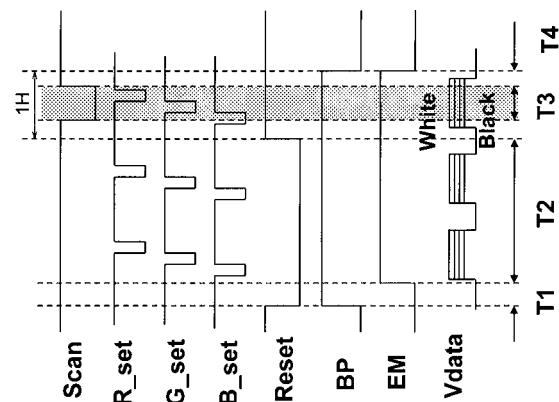


$$I = 1/2\beta((1-K)V_{ref} - (1-K)V_{data})^2$$

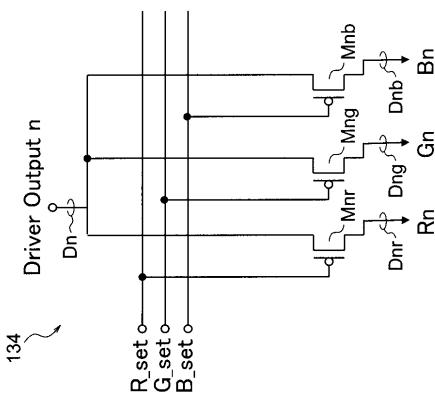
$$V_A = (1-K)V_{data} + (K-1)V_{ref} - V_{th} + V_{DD}$$

$$V_B = V_{DD}$$

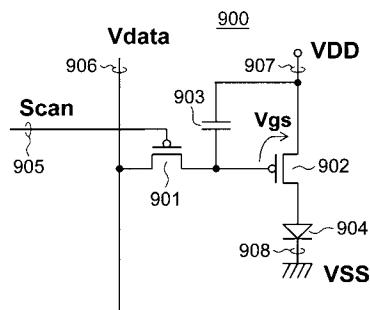
【図 8 B】



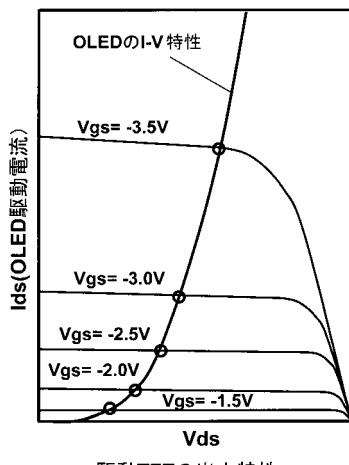
【図 8 A】



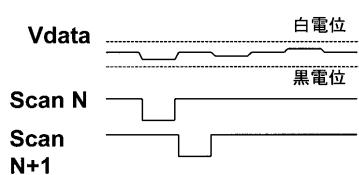
【図 9 A】



【図 9 C】



【図 9 B】



【手続補正書】

【提出日】平成27年8月31日(2015.8.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】 0 0 6 3

【補正方法】変更

【補正の内容】

【 0 0 6 3 】

図 5 A 及び図 5 B に示す第 2 期間 T 2 では、第 1 パワートランジスタ M 1、第 2 パワートランジスタ M 2 及び第 4 パワートランジスタ M 4 をオフにし、第 3 パワートランジスタ M 3、第 5 パワートランジスタ M 5 及び第 6 パワートランジスタ M 6 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定する。

【手続補正2】

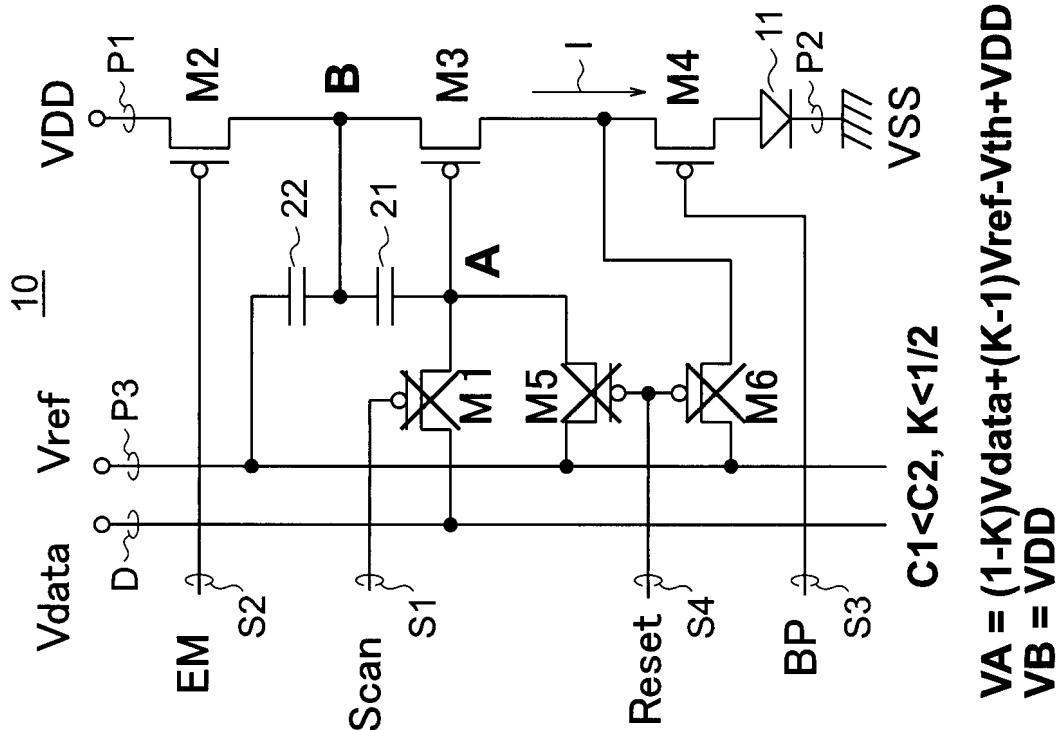
【補正対象書類名】図面

【補正対象項目名】図 7 A

【補正方法】変更

【補正の内容】

【図 7 A】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 Y	
	H 0 5 B 33/14 A	

F ターム(参考) 3K107 AA01 BB01 CC31 CC32 CC33 EE03 EE04 HH05
5C080 AA06 BB05 DD01 DD09 DD10 DD29 EE29 FF11 JJ01 JJ03
JJ04 JJ05 JJ06
5C380 AA01 AB06 AB24 BA39 BB02 BB08 BB23 CA10 CA52 CC02
CC03 CC07 CC30 CC38 CC39 CC64 CD012 CD026 CF43 CF53
DA06