

【特許請求の範囲】

【請求項 1】

発光素子と、
印加された電圧に応じた電流を前記発光素子へ供給する駆動トランジスタと、
前記駆動トランジスタの閾値電圧及びデータ電圧を含む電圧を保持し、この電圧を前記
駆動トランジスタに印加するコンデンサ部と、
前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させるスイッチ
部と、
を備えた画素回路において、
前記スイッチ部は、前記駆動トランジスタから供給される電流を、前記発光素子を通さ
ずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有する、
ことを特徴とする画素回路。

10

【請求項 2】

請求項 1 記載の画素回路において、
前記スイッチ部は、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に
保持させる前に、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにする、
ことを特徴とする画素回路。

【請求項 3】

請求項 1 又は 2 記載の画素回路において、
前記スイッチ部は、前記基準電圧電源線から基準電圧を入力する基準電圧用トランジス
タと、データ線から前記データ電圧を入力するデータ電圧用トランジスタとを更に有する
、
ことを特徴とする画素回路。

20

【請求項 4】

請求項 3 記載の画素回路において、
前記駆動トランジスタは、ゲート端子、ソース端子及びドレイン端子を有し、これらの
ゲート端子とソース端子との間に印加された電圧に応じた電流を、前記ドレイン端子に接
続された前記発光素子へ供給し、

前記コンデンサ部は、前記閾値電圧及び前記データ電圧を含む電圧を保持し、この電圧
を前記駆動トランジスタの前記ゲート端子と前記ソース端子との間に印加し、

30

前記スイッチ部は、
前記電流迂回用トランジスタ、前記基準電圧用トランジスタ及び前記データ電圧用トラ
ンジスタを含む複数のトランジスタを有し、これらのトランジスタのスイッチング動作に
よって、前記コンデンサ部に、前記閾値電圧を含む電圧を保持させ、その後に前記閾値電
圧及び前記データ電圧を含む電圧を保持させ、かつ、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トラ
ンジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフ
にすることにより、前記基準電圧を前記コンデンサ部へ供給し、

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる際に、前
記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオフかつ前記データ電圧用
トランジスタをオンにすることにより、前記データ電圧を前記コンデンサ部へ供給する、
ことを特徴とする画素回路。

40

【請求項 5】

請求項 4 記載の画素回路において、
前記スイッチ部は、
前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、1 水平走査期間以上の
時間にわたって前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ
前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ
部へ供給する、
ことを特徴とする画素回路。

50

【請求項 6】

請求項 4 又は 5 記載の画素回路において、
前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタをオンにするとともに前記基準電圧を前記コンデンサ部へ供給することにより、前記駆動トランジスタを一時的にオンにする、
ことを特徴とする画素回路。

【請求項 7】

請求項 4 乃至 6 のいずれか一つに記載の画素回路において、

前記データ線、第 1 乃至第 4 制御線及び第 1 乃至第 3 電源線に電氣的に接続され、第 1 10
乃至第 6 トランジスタ、第 1 乃至第 2 コンデンサ及び前記発光素子を備え、

前記第 3 電源線が前記基準電圧電源線に相当し、前記第 1、第 2、第 4、第 5 及び第 6
トランジスタが前記スイッチ部を構成し、前記第 1 トランジスタが前記データ電圧用トラ
ンジスタに相当し、前記第 5 トランジスタが前記基準電圧用トランジスタに相当し、前記
第 6 トランジスタが前記電流迂回用トランジスタに相当し、前記第 3 トランジスタが前記
駆動トランジスタに相当し、前記第 1 及び第 2 コンデンサが前記コンデンサ部を構成し、

前記第 1 トランジスタは、前記データ線に電氣的に接続された第 1 端子と、第 2 端子と
、前記第 1 制御線に電氣的に接続された制御端子とを有し、

前記第 2 トランジスタは、前記第 1 電源線に電氣的に接続された第 1 端子と、第 2 端子
と、前記第 2 制御線に電氣的に接続された制御端子とを有し、 20

前記第 3 トランジスタは、前記第 2 トランジスタの前記第 2 端子に電氣的に接続される
とともに前記ソース端子に相当する第 1 端子と、前記ドレイン端子に相当する第 2 端子と
、前記第 1 トランジスタの前記第 2 端子に電氣的に接続されるとともに前記ゲート端子に
相当する制御端子とを有し、

前記第 4 トランジスタは、前記第 3 トランジスタの前記第 2 端子に電氣的に接続された
第 1 端子と、第 2 端子と、前記第 3 制御線に電氣的に接続された制御端子とを有し、

前記第 5 トランジスタは、前記第 3 電源線に電氣的に接続された第 1 端子と、前記第 1
トランジスタの前記第 2 端子に電氣的に接続された第 2 端子と、前記第 4 制御線に電氣的
に接続された制御端子とを有し、

前記第 6 トランジスタは、前記第 3 電源線に電氣的に接続された第 1 端子と、前記第 3 30
トランジスタの前記第 2 端子に電氣的に接続された第 2 端子と、前記第 4 制御線に電氣的
に接続された制御端子とを有し、

前記第 1 コンデンサは、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された第
1 端子と、前記第 3 トランジスタの前記第 1 端子に電氣的に接続された第 2 端子とを有し
、

前記第 2 コンデンサは、前記第 3 電源線に接続された第 1 端子と、前記第 3 トランジス
タの前記第 1 端子に電氣的に接続された第 2 端子とを有し、

前記発光素子は、前記第 4 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子
と、前記第 2 電源線に電氣的に接続された第 2 端子とを有する、

ことを特徴とする画素回路。 40

【請求項 8】

請求項 7 記載の画素回路において、

前記第 1 トランジスタは、前記データ線から供給される前記データ電圧を、前記第 1 コ
ンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 2 トランジスタは、前記第 1 電源線から供給される第 1 電源電圧を、前記第 3 ト
ランジスタの前記第 1 端子、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサ
の前記第 2 端子へ選択的に供給するように構成され、

前記第 3 トランジスタは、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサ
の前記第 2 端子を前記第 4 トランジスタの前記第 1 端子に選択的に接続するように構成さ
れ、 50

前記第 4 トランジスタは、前記第 3 トランジスタの前記第 2 端子を前記発光素子の前記第 1 端子に選択的に接続するように構成され、

前記第 5 トランジスタは、前記第 3 電源線から供給されるとともに前記基準電圧に相当する第 3 電源電圧を、前記第 1 コンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 6 トランジスタは、前記第 3 電源線から供給されるとともに前記基準電圧に相当する第 3 電源電圧を、前記第 3 トランジスタの前記第 2 端子へ選択的に供給するように構成されている、

ことを特徴とする画素回路。

【請求項 9】

データ線、第 1 乃至第 4 制御線及び第 1 乃至第 3 電源線に電氣的に接続され、第 1 乃至第 6 トランジスタ、第 1 乃至第 2 コンデンサ及び発光素子を備えた画素回路であって、

前記第 1 トランジスタは、前記データ線に電氣的に接続された第 1 端子と、第 2 端子と、前記第 1 制御線に電氣的に接続された制御端子とを有し、

前記第 2 トランジスタは、前記第 1 電源線に電氣的に接続された第 1 端子と、第 2 端子と、前記第 2 制御線に電氣的に接続された制御端子とを有し、

前記第 3 トランジスタは、前記第 2 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、第 2 端子と、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された制御端子とを有し、

前記第 4 トランジスタは、前記第 3 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、第 2 端子と、前記第 3 制御線に電氣的に接続された制御端子とを有し、

前記第 5 トランジスタは、前記第 3 電源線に電氣的に接続された第 1 端子と、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された第 2 端子と、前記第 4 制御線に電氣的に接続された制御端子とを有し、

前記第 6 トランジスタは、前記第 3 電源線に電氣的に接続された第 1 端子と、前記第 3 トランジスタの前記第 2 端子に電氣的に接続された第 2 端子と、前記第 4 制御線に電氣的に接続された制御端子とを有し、

前記第 1 コンデンサは、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、前記第 3 トランジスタの前記第 1 端子に電氣的に接続された第 2 端子とを有し、

前記第 2 コンデンサは、前記第 3 電源線に接続された第 1 端子と、前記第 3 トランジスタの前記第 1 端子に電氣的に接続された第 2 端子とを有し、

前記発光素子は、前記第 4 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、前記第 2 電源線に電氣的に接続された第 2 端子とを有する、

ことを特徴とする画素回路。

【請求項 10】

請求項 9 記載の画素回路において、

前記第 1 トランジスタは、前記データ線から供給されるデータ電圧を、前記第 1 コンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 2 トランジスタは、前記第 1 電源線から供給される第 1 電源電圧を、前記第 3 トランジスタの前記第 1 端子、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサの前記第 2 端子へ選択的に供給するように構成され、

前記第 3 トランジスタは、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサの前記第 2 端子を前記第 4 トランジスタの前記第 1 端子に選択的に接続するように構成され、

前記第 4 トランジスタは、前記第 3 トランジスタの第 2 端子を前記発光素子の前記第 1 端子に選択的に接続するように構成され、

前記第 5 トランジスタは、前記第 3 電源線から供給される第 3 電源電圧を、前記第 1 コンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 6 トランジスタは、前記第 3 電源線から供給される第 3 電源電圧を、前記第 3 ト

10

20

30

40

50

ランジスタの前記第 2 端子へ選択的に供給するように構成されている、
ことを特徴とする画素回路。

【請求項 1 1】

請求項 7 乃至 1 0 のいずれか一つに記載の画素回路において、
前記第 1 乃至第 6 トランジスタは p チャネル型トランジスタである、
ことを特徴とする画素回路。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一つに記載の画素回路において、
前記発光素子は有機発光ダイオードである、
ことを特徴とする画素回路。

10

【請求項 1 3】

マトリクス状に配置された複数の請求項 1 乃至 1 2 のいずれか一つに記載の画素回路を
、
備えたことを特徴とする表示装置。

【請求項 1 4】

請求項 1 3 記載の表示装置において、
前記画素回路をサブ画素とした場合、2 以上の一定数の前記サブ画素から 1 画素が構成
されるとき、一定数の前記画素回路にそれぞれ接続する一定数の前記データ線の中から一
本のデータ線を順次選択し、選択された一本の前記データ線を前記データ電圧の供給源に
接続された他の一本のデータ線に接続するデマルチプレクサを、
更に備えたことを特徴とする表示装置。

20

【請求項 1 5】

第 1 乃至第 4 期間を含み、請求項 3 記載の画素回路を駆動する方法であって、
前記スイッチ部は、
前記第 1 期間に、前記コンデンサ部に保持された電圧を初期化し、
前記第 1 期間の後の前記第 2 期間に、前記電流迂回用トランジスタ及び前記基準電圧用
トランジスタをオンにして前記駆動トランジスタの前記閾値電圧を含む電圧を前記コンデ
ンサ部に保持させ、
前記第 2 期間の後の前記第 3 期間に、前記データ電圧用トランジスタをオンにして、前
記データ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電
圧を前記コンデンサ部に保持させ、
前記第 3 期間の後の前記第 4 期間に、前記駆動トランジスタに前記コンデンサ部で保持
された電圧を印加することにより、前記データ電圧に応じた電流を前記発光素子へ供給す
る、
ことを特徴とする画素回路の駆動方法。

30

【請求項 1 6】

第 1 乃至第 4 期間を含み、請求項 3 乃至 6 のいずれか一つに記載の画素回路を駆動する
方法であって、
前記スイッチ部は、
前記第 1 期間に、前記コンデンサ部に保持された電圧を初期化し、
前記第 1 期間の後の前記第 2 期間に、前記電流迂回用トランジスタ及び前記基準電圧用
トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記駆
動トランジスタの前記閾値電圧を含む電圧を前記コンデンサ部に保持させ、
前記第 2 期間の後の前記第 3 期間に、前記電流迂回用トランジスタ及び前記基準電圧用
トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記デ
ータ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電圧を
前記コンデンサ部に保持させ、
前記第 3 期間の後の前記第 4 期間に、前記駆動トランジスタのゲート端子とソース端子
との間に前記コンデンサ部で保持された電圧を印加することにより、前記データ電圧に応
じた電流を前記発光素子へ供給する、

40

50

ことを特徴とする画素回路の駆動方法。

【請求項 17】

請求項 15 又は 16 記載の画素回路の駆動方法において、

前記スイッチ部は、前記第 1 期間に、前記コンデンサ部に保持された電圧を初期化するとともに、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにして、前記駆動トランジスタに電流を流し、その電流を前記電流迂回用トランジスタを介して前記発光素子へ流さずに前記基準電圧電源線へ流す、

ことを特徴とする画素回路の駆動方法。

【請求項 18】

第 1 乃至第 4 期間を含み、請求項 7 乃至 12 のいずれか一つに記載の画素回路を駆動する方法であって、

前記第 1 期間では、前記第 1 トランジスタ及び前記第 4 トランジスタをオフにし、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、

前記第 1 期間の後の前記第 2 期間では、前記第 1 トランジスタ及び前記第 2 トランジスタをオフにし、前記第 3 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、

前記第 2 期間の後の前記第 3 期間では、前記第 2 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオフにし、前記第 1 トランジスタ及び前記第 3 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、かつ、前記データ線からデータ電圧を供給し、

前記第 3 期間の後の前記第 4 期間では、前記第 1 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオフにし、前記第 2 トランジスタ、前記第 3 トランジスタ及び前記第 4 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定する、

ことを特徴とする画素回路の駆動方法。

【請求項 19】

請求項 15 乃至 18 のいずれか一つに記載の画素回路の駆動方法において、

前記第 2 期間は 1 水平走査期間以上の時間である、

ことを特徴とする画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型有機 EL ディスプレイ（以下「AMOLED: Active Matrix Organic Light Emitting Display」という。）などに用いられる画素回路、その駆動方法、及びその画素回路を備えた表示装置に関する。有機発光ダイオードは、有機 EL 素子とも呼ばれるが、以下「OLED (Organic Light Emitting Diode)」という。

【背景技術】

【0002】

AMOLED の標準的な画素回路は無いため、AMOLED を製造する各社はそれぞれ独自の画素回路を用いている。以下、基本的な画素回路について説明する。図 9 A は基本的な画素回路を示す回路図であり、図 9 B はその駆動方法を示す波形図、図 9 C は画素回路に含まれる駆動 TFT (Thin Film Transistor) の出力特性を示すグラフである。

【0003】

画素回路 900 は、スイッチ TFT 901 と、駆動 TFT 902 と、コンデンサ 903 と、OLED 904 とを備え、2 トランジスタ方式により駆動制御される。スイッチ TFT 901 及び駆動 TFT 902 は、ともに p チャネル型 FET (Field Effect Transistor) である。スイッチ TFT 901 のゲート端子は走査線 905 に接続され、スイッチ TFT 901 のドレイン端子はデータ線 906 に接続されている。駆動 TFT 902 のゲート端子はスイッチ TFT 901 のソース端子に接続され、駆動 TFT 902 のソース端子は電力供給線 907 (電源電圧 VDD) に接続され、駆動 TFT 902 のドレイン端子は

ＯＬＥＤ９０４のアノード端子に接続されている。また、駆動ＴＦＴ９０２のゲート端子とソース端子との間にはコンデンサ９０３が接続されている。ＯＬＥＤ９０４のカソード端子には電力供給線９０８（電源電圧ＶＳＳ）が接続されている。

【０００４】

この構成において、走査線９０５に選択パルス（走査信号Ｓｃａｎ）を出力し、スイッチＴＦＴ９０１をオンにすると、データ線９０６を介して供給されたデータ信号Ｖｄａｔａが電圧値としてコンデンサ９０３に書き込まれる。コンデンサ９０３に書き込まれた保持電圧は１フレーム期間を通じて保持され、この保持電圧によって駆動ＴＦＴ９０２のコンダクタンスがアナログ的に変化し、発光諧調に対応した順バイアス電流がＯＬＥＤ９０４に供給される。

10

【０００５】

このようにＯＬＥＤ９０４を定電流で駆動することにより、ＯＬＥＤ９０４の劣化によってその抵抗値が変化しても、ＯＬＥＤ９０４の発光輝度を一定に保つことができる。

【０００６】

この種の画素回路において、ＯＬＥＤに電流を供給する駆動トランジスタの閾値電圧のバラツキや変動を補償するため、その閾値電圧を検出する技術が知られている（例えば特許文献１、２参照）。その閾値電圧検出技術は、次の二通りが主流となっている。(1)ゲート端子とドレイン端子とを接続し、駆動トランジスタを一時的にオンにしてドレイン端子とソース端子との間に電流を流すことにより、ゲート・ソース間電圧Ｖｇｓを閾値電圧Ｖｔｈまで自動的に近づける技術（ダイオード接続型）。(2)ゲート端子の電位を固定し、駆動トランジスタを一時的にオンにしてドレイン端子とソース端子間に電流を流すことにより、ゲート・ソース間電圧Ｖｇｓを閾値電圧Ｖｔｈまで自動的に近づける技術（ソースフォロア型）。このソースフォロア型によれば、Ｖｇｓ＝０Ｖでも電流が流れるディプレッション型のトランジスタに対しても、閾値電圧Ｖｔｈを検出できるという利点がある。

20

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】米国特許出願公開第２０１３／０１６９６１１号明細書

【特許文献２】特開２０１２－１２８３８６号公報

30

【発明の概要】

【発明が解決しようとする課題】

【０００８】

しかしながら、閾値電圧検出機能を有する既存の画素回路には、次のような問題があった。

【０００９】

(１)リセット動作時の漏れ発光によって、コントラストの低下が起こる。その原因は、次のように非発光期間にＯＬＥＤに電流が流れて、無効な漏れ発光が発生するためである。(a)閾値電圧検出期間中、駆動トランジスタを流れる電流がＯＬＥＤを通して流れる。(b)コンデンサのリセット期間中、コンデンサの充電電流がＯＬＥＤを通して流れる。

40

【００１０】

(２)駆動トランジスタのヒステリシス特性により、しばらく黒表示をした後に白表示をしてもすぐに白くならず、数フレームかけてようやく全白になる。これは一般にイメージリテンションと呼ばれる。換言すると、駆動トランジスタに長時間電流を流さないと駆動トランジスタのヒステリシス特性が初期化されてしまい、この初期化されたヒステリシス特性を基にして決められた白表示用のＶｇｓバイアスを印加しても、点灯させる場合にはヒステリシス特性によって瞬時に電流が減ってしまうので、本来の白表示の明るさにならないのである。

【００１１】

(３)閾値電圧検出期間が１水平走査期間に限られてしまうため、高精細化が進むと閾

50

値電圧の補償精度が悪くなる。

【 0 0 1 2 】

閾値電圧の検出は、1 水平走査期間内にデータ線から基準電圧が供給される時間、又は 1 水平走査期間内にデータ線からデータ電圧が供給される時間に行われる（例えば特許文献 1 の F I G . 4、特許文献 2 の図 4 参照）。そのため、1 水平走査期間以上にわたって閾値電圧を検出しようとする、隣接する画素回路へ供給するデータ電圧の影響を受けてクロストークが発生してしまう。

【 0 0 1 3 】

一方、高精細化が進むと、走査線数が増えることにより、1 水平走査期間が短くなる。1 水平走査期間が短くなると、閾値電圧検出期間も短くなるため、ゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} に達する前に、閾値電圧の検出を終了しなければならなくなる。これにより、閾値電圧の検出精度が低下するので、閾値電圧の補償精度も悪くなるのである。

10

【 0 0 1 4 】

そこで、本発明の目的は、第一にリセット動作時の漏れ発光によるコントラスト低下を防止すること、第二にイメージリテンションを防止すること、第三に閾値電圧の検出精度を向上すること、などを実現する画素回路等を提供することにある。

【課題を解決するための手段】

【 0 0 1 5 】

本発明に係る画素回路は、
発光素子と、
印加された電圧に応じた電流を前記発光素子へ供給する駆動トランジスタと、
前記駆動トランジスタの閾値電圧及びデータ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタに印加するコンデンサ部と、
前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させるスイッチ部と、
を備えた画素回路において、
前記スイッチ部は、前記駆動トランジスタから供給される電流を、前記発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有する、
ことを特徴とする。

20

30

【発明の効果】

【 0 0 1 6 】

本発明によれば、駆動トランジスタから供給される電流を発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有するので、リセット動作時に電流迂回用トランジスタをオンにすることにより、リセット動作時の漏れ発光によるコントラスト低下を防止できる。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1 A】実施形態 1 の画素回路の構成を示す回路図である。

【図 1 B】実施形態 1 の画素回路の動作を示すタイミング図である。

40

【図 2】実施形態 1 の画素回路を備えた表示装置を示す平面図である。

【図 3】図 2 の一部を拡大して示す断面図である。

【図 4 A】実施形態 1 の画素回路の動作（駆動方法）を示し、第 1 期間における回路図である。

【図 4 B】実施形態 1 の画素回路の動作（駆動方法）を示し、第 1 期間におけるタイミング図である。

【図 5 A】実施形態 1 の画素回路の動作（駆動方法）を示し、第 2 期間における回路図である。

【図 5 B】実施形態 1 の画素回路の動作（駆動方法）を示し、第 2 期間におけるタイミング図である。

50

【図 6 A】実施形態 1 の画素回路の動作（駆動方法）を示し、第 3 期間における回路図である。

【図 6 B】実施形態 1 の画素回路の動作（駆動方法）を示し、第 3 期間におけるタイミング図である。

【図 7 A】実施形態 1 の画素回路の動作（駆動方法）を示し、第 4 期間における回路図である。

【図 7 B】実施形態 1 の画素回路の動作（駆動方法）を示し、第 4 期間におけるタイミング図である。

【図 8 A】実施形態 3 の表示装置の一部を示す回路図である。

【図 8 B】実施形態 3 の表示装置の動作を示すタイミング図である。

10

【図 9 A】基本的な画素回路を示す回路図である。

【図 9 B】基本的な画素回路の駆動方法を示す波形図である。

【図 9 C】基本的な画素回路に含まれる駆動 T F T（Thin Film Transistor）の出力特性を示すグラフである。

【発明を実施するための形態】

【0018】

以下、添付図面を参照しながら、本発明を実施するための形態（以下「実施形態」という。）について説明する。なお、本明細書及び図面において、実質的に同一の構成要素については同一の符号を用いる。図面に描かれた形状は、当業者が理解しやすいように描かれているため、実際の寸法及び比率とは必ずしも一致していない。本明細書及び特許請求の範囲における「備える」とは、明示した要素以外の要素を備える場合も含まれる。「有する」や「含む」なども同様である。本明細書及び特許請求の範囲における「接続する」とは、二つの要素を直接接続する場合以外にも、他の要素を介在させて二つの要素を接続する場合も含まれる。トランジスタの「オン」及び「オフ」とは、それぞれ「導通」及び「非導通」と言い換えることができる。

20

【0019】

<実施形態 1>

図 1 A は実施形態 1 の画素回路の構成を示す回路図であり、図 1 B は実施形態 1 の画素回路の動作を示すタイミング図である。以下、この図面に基づき説明する。

【0020】

30

本実施形態 1 の画素回路 10 は、発光素子 11 と、印加された電圧に応じた電流を発光素子 11 へ供給する駆動トランジスタ（M3）と、駆動トランジスタ（M3）の閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧を保持し、この電圧を駆動トランジスタ（M3）に印加するコンデンサ部 12 と、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部 12 に保持させるスイッチ部 13 と、を備えている。そして、スイッチ部 13 は、駆動トランジスタ（M3）から供給される電流を、発光素子 11 を通さずに基準電圧電源線（P3）へ迂回させる電流迂回用トランジスタ（M6）を有する。

【0021】

また、スイッチ部 13 は、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部 12 に保持させる前に、駆動トランジスタ（M3）及び電流迂回用トランジスタ（M6）をオンにする。

40

【0022】

更に、スイッチ部 13 は、基準電圧電源線（P3）から基準電圧（ V_{ref} ）を入力する基準電圧用トランジスタ（M5）と、データ線 D からデータ電圧 V_{data} を入力するデータ電圧用トランジスタ（M1）とを有する。

【0023】

より詳しく説明すると、駆動トランジスタ（M3）は、ゲート端子、ソース端子及びドレイン端子を有し、これらのゲート端子とソース端子との間に印加された電圧に応じた電流を、ドレイン端子に接続された発光素子 11 へ供給する。コンデンサ部 12 は、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧を保持し、この電圧を駆動トランジスタ（

50

M3)のゲート端子とソース端子との間に印加する。スイッチ部13は、電流迂回用トランジスタ(M6)、基準電圧用トランジスタ(M5)及びデータ電圧用トランジスタ(M1)を含む複数のトランジスタを有し、これらのトランジスタのスイッチング動作によって、コンデンサ部12に、閾値電圧 V_{th} を含む電圧を保持させ、その後に閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧を保持させる。かつ、スイッチ部13は、閾値電圧 V_{th} を含む電圧をコンデンサ部12に保持させる際に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにすることにより、基準電圧 V_{ref} をコンデンサ部12へ供給し、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部12に保持させる際に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオフかつデータ電圧用トランジスタ(M1)をオンにすることにより、データ電圧 V_{data} をコンデンサ部12へ供給する。

10

【0024】

本実施形態1の画素回路10によれば、駆動トランジスタ(M3)から供給される電流を発光素子11を通さずに基準電圧電源線(P3)へ迂回させる電流迂回用トランジスタ(M6)を有するので、リセット動作時に電流迂回用トランジスタ(M6)をオンにすることにより、リセット動作時の漏れ発光によるコントラスト低下を防止できる。

【0025】

また、画素回路10によれば、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部12に保持させる前に、駆動トランジスタ(M3)及び電流迂回用トランジスタ(M6)をオンにすることにより、発光素子11へ電流を供給する前に確実に駆動トランジスタ(M3)に電流を流すことができるので、駆動トランジスタ(M3)のヒステリシス特性の初期化を防ぐことができ、コントラスト低下を招くことなくイメージリテンションを防止できる。

20

【0026】

更に、画素回路10によれば、データ線Dからデータ電圧 V_{data} を入力するデータ電圧用トランジスタ(M1)とは別に、基準電圧電源線(P3)から基準電圧(V_{ref})を入力する基準電圧用トランジスタ(M5)を設けたことにより、データ線Dから供給される基準電圧(V_{ref})を用いずに閾値電圧 V_{th} を検出できる。したがって、閾値電圧 V_{th} の検出時に原理的にクロストークが発生しないことにより、高精細化が進んでも閾値電圧検出期間を十分に設定できるので、閾値電圧 V_{th} の検出精度を向上できる。

30

【0027】

また、スイッチ部13は、閾値電圧 V_{th} を含む電圧をコンデンサ部12に保持させる際に、1水平走査期間以上の時間にわたって電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにすることにより、基準電圧(V_{ref})をコンデンサ部12へ供給するようにしてもよい。この場合は、閾値電圧検出期間をより十分に設定できるので、閾値電圧 V_{th} の検出精度をより向上できる。なお、1水平走査期間内でできるだけ長く、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにするようにしてもよい。

40

【0028】

更に、スイッチ部13は、閾値電圧 V_{th} を含む電圧をコンデンサ部12に保持させる際に、電流迂回用トランジスタ(M6)をオンにするとともに基準電圧(V_{ref})をコンデンサ部12へ供給することにより、駆動トランジスタ(M3)を一時的にオンにするようにしてもよい。この場合は、閾値電圧 V_{th} の検出時に駆動トランジスタ(M3)に流れる微小な電流を、電流迂回用トランジスタ(M6)を介して発光素子11には流さずに基準電圧電源線(P3)へ流すことにより、漏れ発光によるコントラスト低下を防止できる。

【0029】

次に、画素回路10について更に詳しく説明する。

50

【 0 0 3 0 】

画素回路 10 は、データ線 D、第 1 乃至第 4 制御線 S 1 ~ S 4 及び第 1 乃至第 3 電源線 P 1 ~ P 3 に電氣的に接続され、第 1 乃至第 6 トランジスタ M 1 ~ M 6、第 1 乃至第 2 コンデンサ 2 1, 2 2 及び発光素子 1 1 を備えている。第 3 電源線 P 3 が前述の基準電圧電源線 (P 3) に相当し、第 1、第 2、第 4、第 5 及び第 6 トランジスタ M 1, M 2, M 4, M 5, M 6 が前述のスイッチ部 1 3 を構成し、第 1 トランジスタ M 1 が前述のデータ電圧用トランジスタ (M 1) に相当し、第 5 トランジスタ M 5 が前述の基準電圧用トランジスタ (M 5) に相当し、第 6 トランジスタ M 6 が前述の電流迂回用トランジスタ (M 6) に相当し、第 3 トランジスタ M 3 が前述の駆動トランジスタ (M 3) に相当し、第 1 及び第 2 コンデンサ 2 1, 2 2 が前述のコンデンサ部 1 2 を構成している。

10

【 0 0 3 1 】

第 1 トランジスタ M 1 は、データ線 D に電氣的に接続された第 1 端子と、第 2 端子と、第 1 制御線 S 1 に電氣的に接続された制御端子とを有する。第 2 トランジスタ M 2 は、第 1 電源線 P 1 に電氣的に接続された第 1 端子と、第 2 端子と、第 2 制御線 S 2 に電氣的に接続された制御端子とを有する。

【 0 0 3 2 】

第 3 トランジスタ M 3 は、第 2 トランジスタ M 2 の第 2 端子に電氣的に接続されるとともに前述の駆動トランジスタ (M 3) のソース端子に相当する第 1 端子と、前述の駆動トランジスタ (M 3) のドレイン端子に相当する第 2 端子と、第 1 トランジスタ M 1 の第 2 端子に電氣的に接続されるとともに前述の駆動トランジスタ (M 3) のゲート端子に相当する制御端子とを有する。

20

【 0 0 3 3 】

第 4 トランジスタ M 4 は、第 3 トランジスタ M 3 の第 2 端子に電氣的に接続された第 1 端子と、第 2 端子と、第 3 制御線 S 3 に電氣的に接続された制御端子とを有する。

【 0 0 3 4 】

第 5 トランジスタ M 5 は、第 3 電源線 P 3 に電氣的に接続された第 1 端子と、第 1 トランジスタ M 1 の第 2 端子に電氣的に接続された第 2 端子と、第 4 制御線 S 4 に電氣的に接続された制御端子とを有する。

【 0 0 3 5 】

第 6 トランジスタ M 6 は、第 3 電源線 P 3 に電氣的に接続された第 1 端子と、第 3 トランジスタ M 3 の第 2 端子に電氣的に接続された第 2 端子と、第 4 制御線 S 4 に電氣的に接続された制御端子とを有する。

30

【 0 0 3 6 】

第 1 コンデンサ 2 1 は、第 1 トランジスタ M 1 の第 2 端子に電氣的に接続された第 1 端子と、第 3 トランジスタ M 3 の第 1 端子に電氣的に接続された第 2 端子とを有する。

【 0 0 3 7 】

第 2 コンデンサ 2 2 は、第 3 電源線 P 3 に接続された第 1 端子と、第 3 トランジスタ M 3 の第 1 端子に電氣的に接続された第 2 端子とを有する。

【 0 0 3 8 】

発光素子 1 1 は、第 4 トランジスタ M 4 の第 2 端子に電氣的に接続された第 1 端子と、第 2 電源線 P 2 に電氣的に接続された第 2 端子とを有する。

40

【 0 0 3 9 】

ここで、第 1 制御線 S 1 は第 1 制御信号 S c a n を出力し、第 2 制御線 S 2 は第 2 制御信号 E M を出力し、第 3 制御線 S 3 は第 3 制御信号 B P を出力し、第 4 制御線 S 4 は第 4 制御信号 R e s e t を出力する。各トランジスタにおいて、第 1 端子は例えばソース端子及びドレイン端子の一方であり、第 2 端子は例えばソース端子及びドレイン端子の他方であり、制御端子は例えばゲート端子である。発光素子 1 1 の第 1 端子はアノード端子及びカソード端子の一方 (例えば本実施形態 1 ではアノード端子) であり、発光素子 1 1 の第 2 端子はアノード端子及びカソード端子の他方 (例えば本実施形態 1 ではカソード端子) である。

50

【 0 0 4 0 】

また、第 1 トランジスタ M 1 は、データ線 D から供給されるデータ電圧 V d a t a を、第 1 コンデンサ 2 1 の第 1 端子へ選択的に供給するように構成されている。第 2 トランジスタ M 2 は、第 1 電源線 P 1 から供給される第 1 電源電圧 V D D を、第 3 トランジスタ M 3 の第 1 端子、第 1 コンデンサ 2 1 の第 2 端子及び第 2 コンデンサ 2 2 の第 2 端子へ選択的に供給するように構成されている。第 3 トランジスタ M 3 は、第 1 コンデンサ 2 1 の第 2 端子及び第 2 コンデンサ 2 2 の第 2 端子を第 4 トランジスタ M 4 の第 1 端子に選択的に接続するように構成されている。第 4 トランジスタ M 4 は、第 3 トランジスタ M 3 の第 2 端子を発光素子 1 1 の第 1 端子に選択的に接続するように構成されている。第 5 トランジスタ M 5 は、第 3 電源線 P 3 から供給されるとともに前述の基準電圧 (V r e f) に相当する第 3 電源電圧 V r e f を、第 1 コンデンサ 2 1 の第 1 端子へ選択的に供給するように構成されている。第 6 トランジスタ M 6 は、第 3 電源線 P 3 から供給される第 3 電源電圧 V r e f を、第 3 トランジスタ M 3 の第 2 端子へ選択的に供給するように構成されている。なお、第 2 電源線 P 2 は、例えば接地電位である第 2 電源電圧 V S S を、発光素子 1 1 の第 2 端子へ供給する。

10

【 0 0 4 1 】

第 1 乃至第 6 トランジスタ M 1 ~ M 6 は、p チャネル型トランジスタであり、詳しくは p チャネル型 T F T である。発光素子 1 1 は O L E D である。O L E D は一般に基板側 (V S S 側) がカソードになるので、そのアノードを駆動トランジスタのドレインに接続するには、駆動トランジスタを p チャネル型にする必要がある。そうすれば、O L E D の抵抗値が時間経過によって変化しても、O L E D に常に一定電流を供給できる。

20

【 0 0 4 2 】

スイッチ部 1 3 を構成する第 1、第 2、第 4、第 5 及び第 6 トランジスタ M 1 , M 2 , M 4 , M 5 , M 6 は、線形領域で動作するスイッチ用トランジスタである。第 3 トランジスタ M 3 は、飽和領域で動作する増幅用トランジスタである。

【 0 0 4 3 】

図 2 は、実施形態 1 の画素回路を備えた表示装置を示す平面図である。以下、この図面に基づき説明する。

【 0 0 4 4 】

本実施形態 1 における表示装置 3 0 は A M O L E D である。表示装置 3 0 は、大別して、発光素子を含む複数の画素回路 (図 1 A 参照) がマトリクス状に配置された T F T 基板 1 0 0 と、発光素子を封止する封止ガラス基板 2 0 0 と、T F T 基板 1 0 0 と封止ガラス基板 2 0 0 とを接合するガラスフリットシール部 3 0 0 などで構成される。また、T F T 基板 1 0 0 のアクティブマトリクス部 1 1 6 の外側のカソード電極形成領域 1 1 4 a の周囲には、T F T 基板 1 0 0 の走査線 (各制御線) を駆動する走査ドライバ 1 3 1、各画素の発光期間を制御するエミッション制御ドライバ 1 3 2、静電気放電による破損を防ぐデータ線 E S D (Electro-Static-Discharge) 保護回路 1 3 3、高転送レートのストリームを本来の低転送レートの複数のストリームに戻すデマルチプレクサ 1 3 4、データ線を駆動するデータドライバ I C 1 3 5 などが配置されている。データドライバ I C 1 3 5 は、異方性導電フィルムを用いて T F T 基板 1 0 0 に実装される。T F T 基板 1 0 0 は、F P C (Flexible Printed Circuit) 1 3 6 を介して外部の機器と接続される。なお、図 2 は、本実施形態 1 における表示装置の一例であり、その形状や構成は適宜変更可能である。

30

40

【 0 0 4 5 】

図 1 A と図 2 との対応関係は次のとおりである。図 1 A における第 1 制御線 S 1 及び第 4 制御線 S 4 は、図 2 における走査ドライバ 1 3 1 に接続されている。図 1 A における第 2 制御線 S 2 及び第 3 制御線 S 3 は、図 2 におけるエミッション制御ドライバ 1 3 2 に接続されている。図 1 A におけるデータ線 D は、図 2 におけるデマルチプレクサ 1 3 4 及びデータドライバ I C 1 3 5 に接続されている。図 1 A における第 1 乃至第 3 電源線 P 1 ~ P 3 は、図 2 における F P C 1 3 6 を介して外部の電源と接続されている。

【 0 0 4 6 】

50

図 3 は、図 2 の一部を拡大して示す断面図である。以下、この図面に基づき説明する。

【0047】

TFT 基板 100 は、ガラス基板 101 上に下地絶縁膜 102 を介して形成された低温ポリシリコン (LTPS: Low Temperature Polycrystalline Silicon) 等からなるポリシリコン層 103 と、ゲート絶縁膜 104 を介して形成された第 1 金属層 105 (ゲート電極及びコンデンサ電極) と、層間絶縁膜 106 に形成された開口を介してポリシリコン層 103 に接続される第 2 金属層 107 (データ線、電源線、ソース及びドレイン電極、コンタクト部) と、平坦化膜 110 を介して素子分離膜 112 の凹部に形成される発光素子 11 (アノード電極 111、有機 EL 層 113、カソード電極 114 及びキャップ層 115) とから構成される。

10

【0048】

TFT 領域 108 におけるポリシリコン層 103 は、LDD (Lightly Doped Drain) 構造になっており、左から p+ 層、p- 層、i 層、p- 層、p+ 層である。コンデンサ領域 109 におけるポリシリコン層 103 は p+ 層である。

【0049】

発光素子 11 と封止ガラス基板 200 との間には乾燥空気 301 が封入され、これらがガラスフリットシール部 300 (図 2) によって封止されることにより、表示装置 30 が形成される。この発光素子 11 はトップエミッション構造であり、発光素子 11 と封止ガラス基板 200 とは所定の間隔に設定されるとともに、封止ガラス基板 200 の光出射面側に / 4 位相差板 201 と偏光板 202 とが形成され、外部から入射した光の反射が抑制されるようになっている。

20

【0050】

なお、図 3 では、発光素子 11 の各放射光が、封止ガラス基板 200 を介して外部に放射されるトップエミッション構造を示したが、ガラス基板 101 を介して外部に放射されるボトムエミッション構造とすることもできる。

【0051】

図 4 A 乃至図 7 B は本実施形態 1 の画素回路の動作 (駆動方法) を示し、図 4 A、図 5 A、図 6 A 及び図 7 A は第 1 乃至第 4 期間における回路図であり、図 4 B、図 5 B、図 6 B 及び図 7 B は第 1 乃至第 4 期間におけるタイミング図である。以下、図 1 A 及び図 1 B に図 4 A 乃至図 7 B を加えて、本実施形態 1 の画素回路の動作 (駆動方法) について説明する。

30

【0052】

なお、図 4 A、図 5 A、図 6 A 及び図 7 A では、見やすくするために、図 1 A で付した符号の一部を省略している。図 4 A、図 5 A、図 6 A 及び図 7 A 中の「x」印は、オフ状態のトランジスタを示す。画素回路の駆動方法によって画素回路が動作するので、画素回路の動作 (駆動方法) と表記している。

【0053】

まず、図 1 A 及び図 1 B に基づき、画素回路 10 の駆動方法の概要を説明する。画素回路 10 の駆動方法は、次の第 1 乃至第 4 期間 T1 ~ T4 を含む。このとき、スイッチ部 13 は、次のように動作する。

40

【0054】

第 1 期間 T1 に、コンデンサ部 12 に保持された電圧を初期化する。

第 1 期間 T1 の後の第 2 期間 T2 に、電流迂回用トランジスタ (M6) 及び基準電圧用トランジスタ (M5) をオンにして駆動トランジスタ (M1) の閾値電圧 Vth を含む電圧をコンデンサ部 12 に保持させる。

第 2 期間 T2 の後の第 3 期間 T3 に、データ電圧用トランジスタ (M1) をオンにして、データ電圧 Vdata をコンデンサ部 12 に供給して、閾値電圧 Vth 及びデータ電圧 Vdata を含む電圧をコンデンサ部 12 に保持させる。

第 3 期間 T3 の後の第 4 期間 T4 に、駆動トランジスタ (M3) にコンデンサ部 12 で保持された電圧を印加することにより、データ電圧 Vdata に応じた電流を発光素子 1

50

1へ供給する。

【0055】

より詳しく言えば、第1期間T1に、コンデンサ部12に保持された電圧を初期化する。

第2期間T2に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオンかつデータ電圧用トランジスタ(M1)をオフにすることにより、駆動トランジスタ(M3)の閾値電圧 V_{th} を含む電圧をコンデンサ部12に保持させる。

第3期間T3に、電流迂回用トランジスタ(M6)及び基準電圧用トランジスタ(M5)をオフかつデータ電圧用トランジスタ(M1)をオンにすることにより、データ電圧 V_{data} をコンデンサ部12に供給して、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧をコンデンサ部12に保持させる。

10

第4期間T4に、駆動トランジスタ(M3)のゲート端子とソース端子との間にコンデンサ部12で保持された電圧を印加することにより、データ電圧 V_{data} に応じた電流を発光素子11へ供給する。

【0056】

また、第1期間T1に、コンデンサ部12に保持された電圧を初期化するとともに、駆動トランジスタ(M3)及び電流迂回用トランジスタ(M6)をオンにして、駆動トランジスタ(M3)に電流を流し、その電流を電流迂回用トランジスタ(M6)を介して発光素子11へ流さずに基準電圧電源線(P3)へ流すようにしてもよい。

【0057】

20

次に、各期間ごとに詳しく説明する。

【0058】

図4A及び図4Bに示す第1期間T1では、第1トランジスタM1及び第4トランジスタM4をオフにし、第2トランジスタM2、第3トランジスタM3、第5トランジスタM5及び第6トランジスタM6をオンにするように第1乃至第4制御線S1～S4の電圧を設定する。

【0059】

このとき、このとき、ノードAの電圧 V_A は第5トランジスタM5を介して第3電源電圧 V_{ref} となり、ノードBの電圧 V_B は第2トランジスタM2を介して第1電源電圧 V_{DD} となる。つまり、ノードAの電圧 V_A 及びノードBの電圧 V_B は次式のようになり、第1及び第2コンデンサ21, 22に保持された電圧が初期化される。

30

$$V_A = V_{ref}$$

$$V_B = V_{DD}$$

【0060】

一方、第3トランジスタM3及び第6トランジスタM6がオンになることにより、第3トランジスタM3に電流 i_1 が流れ、その電流 i_1 が第6トランジスタM6を介して発光素子11へ流れずに第3電源線P3へ流れる。

【0061】

このとき、第3トランジスタM3のゲート端子とソース端子との間に印加される電圧は $V_B - V_A$ であるから、そのドレイン端子に流れる電流 i_1 は次式で与えられる。

40

$$\begin{aligned} i_1 &= 1/2 \cdot ((V_B - V_A) - V_{th})^2 \\ &= 1/2 \cdot (V_{DD} - V_{ref} - V_{th})^2 \end{aligned}$$

【0062】

上式からわかるように、電流 i_1 は白表示レベル程度の十分に大きな値であるので、第3トランジスタM3のヒステリシス特性の初期化が防止される。これが、画素回路10のイメージリテンション防止機能である。なお、上式中の は、第3トランジスタM3の構造及び材質によって決まる定数である。

【0063】

図5A及び図5Bに示す第2期間T2では、第1トランジスタM1及び第2トランジスタM2をオフにし、第3トランジスタM3、第4トランジスタM4、第5トランジスタM

50

5 及び第 6 トランジスタ M 6 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定する。

【 0 0 6 4 】

このとき、ノード A の電圧 V_A は第 5 トランジスタ M 5 を介して第 3 電源電圧 V_{ref} となる。そのため、第 1 及び第 2 コンデンサ 2 1 , 2 2 に保持された電荷が第 3 トランジスタ M 3 及び第 6 トランジスタ M 6 を介して放電されることにより、第 3 トランジスタ M 3 から電流 i_2 が流れるので、ノード B の電圧 V_B は第 1 電源電圧 V_{DD} から低下する。ノード B の電圧 V_B が低下して $V_{ref} + V_{th}$ になると、第 3 トランジスタ M 3 がオフとなる。つまり、ノード A の電圧 V_A 及びノード B の電圧 V_B は次式のようになり、第 3 トランジスタ M 3 の閾値電圧 V_{th} を含む電圧が第 1 及び第 2 コンデンサ 2 1 , 2 2 に保持される。このように、本実施形態 1 では、ソースフォロア型の閾値電圧検出を用いている。

$$V_A = V_{ref}$$

$$V_B = V_{ref} + V_{th}$$

【 0 0 6 5 】

閾値電圧検出に必要な基準電圧である第 3 電源電圧 V_{ref} は、第 5 トランジスタ M 5 を介してデータ線 D とは別の第 3 電源線 P 3 から供給される。したがって、閾値電圧検出中は、データ線 D の影響を受けないので、原理的にクロストークを生じない。そのため、 N (自然数) $\times H$ (水平走査期間) 分の時間で閾値電圧 V_{th} を検出できる。よって、十分な時間で閾値電圧 V_{th} を検出できることにより、正確な閾値電圧 V_{th} が得られるので、閾値電圧 V_{th} の補償性能が高い。なお、本実施形態 1 は $N = 2$ の場合である。

【 0 0 6 6 】

また、閾値電圧検出時に駆動トランジスタである第 3 トランジスタ M 3 が一時的にオンになることによって流れる電流 i_2 は、第 6 トランジスタ M 6 を介して発光素子 1 1 へ流れずに第 3 電源線 P 3 へ流れる。そのため、閾値電圧検出時に発光素子 1 1 へ電流が供給されないで、漏れ発光によるコントラスト低下を防止できる。これが、画素回路 1 0 のコントラスト低下防止機能である。

【 0 0 6 7 】

図 6 A 及び図 6 B に示す第 3 期間 T 3 では、第 2 トランジスタ M 2 、第 4 トランジスタ M 4 、第 5 トランジスタ M 5 及び第 6 トランジスタ M 6 をオフにし、第 1 トランジスタ M 1 及び第 3 トランジスタ M 3 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定し、かつ、データ線 D からデータ電圧 V_{data} を供給する。

【 0 0 6 8 】

このとき、ノード A の電圧 V_A は第 1 トランジスタ M 1 を介してデータ電圧 V_{data} となる。一方、第 1 及び第 2 コンデンサ 2 1 , 2 2 の容量値をそれぞれ C_1 , C_2 とすると、ノード B の電圧 V_B は、直列接続された第 1 及び第 2 コンデンサ 2 1 , 2 2 の分圧である $K (V_{data} - V_{ref})$ だけ上昇して次式のようになる。つまり、データ電圧 V_{data} を第 1 及び第 2 コンデンサ 2 1 , 2 2 に供給することにより、閾値電圧 V_{th} 及びデータ電圧 V_{data} を含む電圧を第 1 及び第 2 コンデンサ 2 1 , 2 2 に保持させる。

$$V_A = V_{data}$$

$$V_B = V_{ref} + V_{th} + K (V_{data} - V_{ref})$$

$$K = C_1 / (C_1 + C_2)$$

ここで、 $C_1 < C_2$ すなわち $K < 1 / 2$ とする。その理由は、後述する式からわかるように、第 3 トランジスタ M 3 に印加される V_{data} の項を大きくするためである。

【 0 0 6 9 】

図 7 A 及び図 7 B に示す第 4 期間 T 4 では、第 1 トランジスタ M 1 、第 5 トランジスタ M 5 及び第 6 トランジスタ M 6 をオフにし、第 2 トランジスタ M 2 、第 3 トランジスタ M 3 及び第 4 トランジスタ M 4 をオンにするように第 1 乃至第 4 制御線 S 1 ~ S 4 の電圧を設定する。

【 0 0 7 0 】

10

20

30

40

50

このとき、ノード B の電圧 V_B は第 2 トランジスタ M_2 を介して第 1 電源電圧 V_{DD} となる。一方、ノード A の電圧 V_A は、第 1 電源電圧 V_{DD} から第 3 期間 T_3 での電圧 V_B を引いた分が、第 3 期間 T_3 での電圧 V_A に加わって次式のようになる。

$$\begin{aligned} V_A &= V_{data} + (V_{DD} - V_{ref} - V_{th} - K(V_{data} - V_{ref})) \\ &= (1 - K)V_{data} + (K - 1)V_{ref} - V_{th} + V_{DD} \end{aligned}$$

$$V_B = V_{DD}$$

【0071】

これにより、第 3 トランジスタ M_3 のゲート端子とソース端子との間に印加される電圧は $V_B - V_A$ であるから、そのドレイン端子に流れる電流 I は次式で与えられる。

$$\begin{aligned} I &= 1/2 \left((V_B - V_A) - V_{th} \right)^2 \\ &= 1/2 \left(V_{DD} - ((1 - K)V_{data} + (K - 1)V_{ref} - V_{th} + V_{DD}) - V_{th} \right)^2 \\ &= 1/2 \left((1 - K)V_{ref} - (1 - K)V_{data} \right)^2 \end{aligned} \quad 10$$

【0072】

上式からわかるように、電流 I は、閾値電圧 V_{th} の項を含まないので、閾値電圧 V_{th} のバラツキ及び変動の影響を受けない。これが、画素回路 10 の閾値電圧 V_{th} バラツキ補償機能である。

【0073】

以上のように、第 4 期間 T_4 では、第 3 トランジスタ M_3 のゲート端子とソース端子との間に第 1 及び第 2 コンデンサ 21, 22 で保持された電圧を印加することにより、データ電圧 V_{data} に応じた電流 I を発光素子 11 へ供給する。

【0074】

なお、 $V_{DD} > V_{ref} > V_{SS}$ が成り立ち、例えば $V_{DD} = 10V$ 、 $V_{SS} = 0V$ 、 $V_{ref} = 7 \sim 8V$ 、 $V_{data} = 1 \sim 6V$ である。

【0075】

換言すると、本実施形態 1 の効果は次のとおりである。1) リセット時に流れる電流をバイパスさせて $OLED$ へ流さないため、原理的にコントラストが低下しない。2) $OLED$ 駆動用のトランジスタに、 $OLED$ を駆動する度に電流を流すことにより、イメージリテンションの問題を生じない。3) 閾値電圧検出期間を独立に制御できる回路になっているため、閾値電圧を十分に長い時間をとって精度良く検出できる。したがって、表示ムラの補償能力が高く、より均一な表示特性が得られる。4) 閾値電圧検出期間中にデータ信号の変化の影響を受けないため、原理的にクロストークを生じない。5) 以上のように、コントラスト低下やイメージリテンションが発生せず、閾値電圧のバラツキや変動に対する補償能力が高く、しかもクロストークも生じないので、高画質化を実現できる。また、後述するようにデマルチプレクサの適用も容易であるため、データドライバ IC の出力ピン数も減らすことができ実用的である。

【0076】

< 実施形態 2 >

図 8 A は実施形態 2 の表示装置の一部を示す回路図であり、図 8 B は実施形態 3 の表示装置の動作を示すタイミング図である。以下、これらの図面に基づき説明する。

【0077】

本実施形態 2 の表示装置は、デマルチプレクサ 134 に特徴を有する。図 8 A に示すデマルチプレクサ 134 は 1 画素分である。実施形態 1 の画素回路をサブ画素とした場合、RGB の三つのサブ画素から 1 画素が構成される。各画素回路は、例えば RGB 縦ストライプ方式の配列構造になっている。

【0078】

デマルチプレクサ 134 は、三つの画素回路にそれぞれ接続する三本のデータ線 D_{nr} , D_{ng} , D_{nb} の中から一本のデータ線を順次選択し、選択された一本のデータ線をデータ電圧 V_{data} の供給源 (図 2 に示すデータドライバ IC 135) に接続された他の一本のデータ線 D_n に接続する。データ線 D_{nr} , D_{ng} , D_{nb} は、それぞれ図 1 A に

10

20

30

40

50

おけるデータ線 D に相当する。

【 0 0 7 9 】

デマルチプレクサ 1 3 4 は、1 画素につき三つのスイッチ用のトランジスタ M n r、M n g、M n b を有する。トランジスタ M n r、M n g、M n b はそれぞれ、第 5 制御信号 R _ s e t、G _ s e t、G _ s e t によって、三本のデータ線 D n r、D n g、D n b を選択的に一本のデータ線 D n に接続する。データ線 D n からは、トランジスタ M n r を介してデータ線 D n r ヘデータ電圧 R n が出力され、トランジスタ M n g を介してデータ線 D n g ヘデータ電圧 R g が出力され、トランジスタ M n b を介してデータ線 D n b ヘデータ電圧 R b が出力される。

【 0 0 8 0 】

第 5 制御信号 R _ s e t、G _ s e t、G _ s e t は、互いに重ならないように時間をずらして 1 水平走査期間 1 H 内に出力される。全てのデータ線 D n r、D n g、D n b のデータ電圧 R r、R g、R b が確定してから、トランジスタ M 1 (図 1 A) をオンにする。デマルチプレクサ 1 3 4 を用いることにより、データドライバ I C 1 3 5 (図 2) のデータ線 D の総数を削減できる。

【 0 0 8 1 】

一本のデータ線から出力されたデータ電圧を三本のデータ線へ分けるデマルチプレクサを用いた既存の画素回路では、閾値電圧検出及びデータ書き込みの両方を 1 水平走査期間内にする必要があった。ところが、高精細化に伴う走査線数の増加により、1 水平走査期間が短くなると、データ線一本当たりの書き込み時間が短くなってデータ書き込みが不十分となる。

【 0 0 8 2 】

これに対し、本実施形態 2 の表示装置では、実施形態 1 の画素回路を用いたことにより、1 水平走査期間 1 H のほぼ全体 (第 3 期間 T 3) をデマルチプレクサ 1 3 4 によるデータ書き込みに利用できるので、第 5 制御信号 R _ s e t、G _ s e t、G _ s e t のパルス幅を十分にとることができ、これにより表示性能を向上できる。

【 0 0 8 3 】

本実施形態 2 のその他の構成、作用及び効果は、実施形態 1 のそれらと同様である。

【 0 0 8 4 】

< 総括 >

以上、本発明を上記各実施形態に即して説明したが、本発明は、上記各実施形態の構成や動作にのみ限定されるものではなく、本発明の範囲内で当業者であればなし得ることが可能な各種変形及び修正を含むことはもちろんである。また、本発明には、上記各実施形態の構成の一部又は全部を相互に適宜組み合わせたものも含まれる。

【 0 0 8 5 】

例えば、各実施形態では全てのトランジスタを p チャネル型としたが、これに限らず、一部又は全部のトランジスタを n チャネル型としもよい。このとき、O L E D の駆動トランジスタを n チャネル型とした場合は、そのドレイン端子に O L E D のカソード端子が接続されるように O L E D の導通方向を逆向きにする。トランジスタを構成する半導体材料は、L T P S などのシリコンに限らず、I G Z O (Indium Gallium Zinc Oxide) などの酸化物半導体を用いてもよい。また、スイッチ部は、ソースフォロワ型の閾値電圧検出構造としたが、ダイオード接続型の閾値電圧検出構造としてもよい。

【 0 0 8 6 】

上記の実施形態の一部又は全部は以下の付記のようにも記載され得るが、本発明は以下の構成に限定されるものではない。

【 0 0 8 7 】

[付記 1] 発光素子と、

印加された電圧に応じた電流を前記発光素子へ供給する駆動トランジスタと、

前記駆動トランジスタの閾値電圧及びデータ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタに印加するコンデンサ部と、

10

20

30

40

50

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させるスイッチ部と、

を備えた画素回路において、

前記スイッチ部は、前記駆動トランジスタから供給される電流を、前記発光素子を通さずに基準電圧電源線へ迂回させる電流迂回用トランジスタを有する、

ことを特徴とする画素回路。

【0088】

[付記2] 付記1記載の画素回路において、

前記スイッチ部は、前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる前に、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにする、

ことを特徴とする画素回路。

【0089】

[付記3] 付記1又は2記載の画素回路において、

前記スイッチ部は、前記基準電圧電源線から基準電圧を入力する基準電圧用トランジスタと、データ線から前記データ電圧を入力するデータ電圧用トランジスタとを更に有する、

ことを特徴とする画素回路。

【0090】

[付記4] 付記3記載の画素回路において、

前記駆動トランジスタは、ゲート端子、ソース端子及びドレイン端子を有し、これらのゲート端子とソース端子との間に印加された電圧に応じた電流を、前記ドレイン端子に接続された前記発光素子へ供給し、

前記コンデンサ部は、前記閾値電圧及び前記データ電圧を含む電圧を保持し、この電圧を前記駆動トランジスタの前記ゲート端子と前記ソース端子との間に印加し、

前記スイッチ部は、

前記電流迂回用トランジスタ、前記基準電圧用トランジスタ及び前記データ電圧用トランジスタを含む複数のトランジスタを有し、これらのトランジスタのスイッチング動作によって、前記コンデンサ部に、前記閾値電圧を含む電圧を保持させ、その後前記閾値電圧及び前記データ電圧を含む電圧を保持させ、かつ、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ部へ供給し、

前記閾値電圧及び前記データ電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記データ電圧を前記コンデンサ部へ供給する、

ことを特徴とする画素回路。

【0091】

[付記5] 付記4記載の画素回路において、

前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、1水平走査期間以上の時間にわたって前記電流迂回用トランジスタ及び前記基準電圧用トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記基準電圧を前記コンデンサ部へ供給する、

ことを特徴とする画素回路。

【0092】

[付記6] 付記4又は5記載の画素回路において、

前記スイッチ部は、

前記閾値電圧を含む電圧を前記コンデンサ部に保持させる際に、前記電流迂回用トランジスタをオンにするとともに前記基準電圧を前記コンデンサ部へ供給することにより、前記駆動トランジスタを一時的にオンにする、

ことを特徴とする画素回路。

【0093】

[付記7] 付記4乃至6のいずれか一つに記載の画素回路において、

前記データ線、第1乃至第4制御線及び第1乃至第3電源線に電氣的に接続され、第1乃至第6トランジスタ、第1乃至第2コンデンサ及び前記発光素子を備え、

前記第3電源線が前記基準電圧電源線に相当し、前記第1、第2、第4、第5及び第6トランジスタが前記スイッチ部を構成し、前記第1トランジスタが前記データ電圧用トランジスタに相当し、前記第5トランジスタが前記基準電圧用トランジスタに相当し、前記第6トランジスタが前記電流迂回用トランジスタに相当し、前記第3トランジスタが前記駆動トランジスタに相当し、前記第1及び第2コンデンサが前記コンデンサ部を構成し、

前記第1トランジスタは、前記データ線に電氣的に接続された第1端子と、第2端子と、前記第1制御線に電氣的に接続された制御端子とを有し、

前記第2トランジスタは、前記第1電源線に電氣的に接続された第1端子と、第2端子と、前記第2制御線に電氣的に接続された制御端子とを有し、

前記第3トランジスタは、前記第2トランジスタの前記第2端子に電氣的に接続されるとともに前記ソース端子に相当する第1端子と、前記ドレイン端子に相当する第2端子と、前記第1トランジスタの前記第2端子に電氣的に接続されるとともに前記ゲート端子に相当する制御端子とを有し、

前記第4トランジスタは、前記第3トランジスタの前記第2端子に電氣的に接続された第1端子と、第2端子と、前記第3制御線に電氣的に接続された制御端子とを有し、

前記第5トランジスタは、前記第3電源線に電氣的に接続された第1端子と、前記第1トランジスタの前記第2端子に電氣的に接続された第2端子と、前記第4制御線に電氣的に接続された制御端子とを有し、

前記第6トランジスタは、前記第3電源線に電氣的に接続された第1端子と、前記第3トランジスタの前記第2端子に電氣的に接続された第2端子と、前記第4制御線に電氣的に接続された制御端子とを有し、

前記第1コンデンサは、前記第1トランジスタの前記第2端子に電氣的に接続された第1端子と、前記第3トランジスタの前記第1端子に電氣的に接続された第2端子とを有し、

前記第2コンデンサは、前記第3電源線に接続された第1端子と、前記第3トランジスタの前記第1端子に電氣的に接続された第2端子とを有し、

前記発光素子は、前記第4トランジスタの前記第2端子に電氣的に接続された第1端子と、前記第2電源線に電氣的に接続された第2端子とを有する、

ことを特徴とする画素回路。

【0094】

[付記8] 付記7記載の画素回路において、

前記第1トランジスタは、前記データ線から供給される前記データ電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第2トランジスタは、前記第1電源線から供給される第1電源電圧を、前記第3トランジスタの前記第1端子、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子へ選択的に供給するように構成され、

前記第3トランジスタは、前記第1コンデンサの前記第2端子及び前記第2コンデンサの前記第2端子を前記第4トランジスタの前記第1端子に選択的に接続するように構成され、

前記第4トランジスタは、前記第3トランジスタの前記第2端子を前記発光素子の前記第1端子に選択的に接続するように構成され、

前記第5トランジスタは、前記第3電源線から供給されるとともに前記基準電圧に相当する第3電源電圧を、前記第1コンデンサの前記第1端子へ選択的に供給するように構成され、

前記第6トランジスタは、前記第3電源線から供給されるとともに前記基準電圧に相当

10

20

30

40

50

する第 3 電源電圧を、前記第 3 トランジスタの前記第 2 端子へ選択的に供給するように構成されている、

ことを特徴とする画素回路。

【0095】

[付記 9] データ線、第 1 乃至第 4 制御線及び第 1 乃至第 3 電源線に電氣的に接続され、第 1 乃至第 6 トランジスタ、第 1 乃至第 2 コンデンサ及び発光素子を備えた画素回路であって、

前記第 1 トランジスタは、前記データ線に電氣的に接続された第 1 端子と、第 2 端子と、前記第 1 制御線に電氣的に接続された制御端子とを有し、

前記第 2 トランジスタは、前記第 1 電源線に電氣的に接続された第 1 端子と、第 2 端子と、前記第 2 制御線に電氣的に接続された制御端子とを有し、

前記第 3 トランジスタは、前記第 2 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、第 2 端子と、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された制御端子とを有し、

前記第 4 トランジスタは、前記第 3 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、第 2 端子と、前記第 3 制御線に電氣的に接続された制御端子とを有し、

前記第 5 トランジスタは、前記第 3 電源線に電氣的に接続された第 1 端子と、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された第 2 端子と、前記第 4 制御線に電氣的に接続された制御端子とを有し、

前記第 6 トランジスタは、前記第 3 電源線に電氣的に接続された第 1 端子と、前記第 3 トランジスタの前記第 2 端子に電氣的に接続された第 2 端子と、前記第 4 制御線に電氣的に接続された制御端子とを有し、

前記第 1 コンデンサは、前記第 1 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、前記第 3 トランジスタの前記第 1 端子に電氣的に接続された第 2 端子とを有し、

前記第 2 コンデンサは、前記第 3 電源線に接続された第 1 端子と、前記第 3 トランジスタの前記第 1 端子に電氣的に接続された第 2 端子とを有し、

前記発光素子は、前記第 4 トランジスタの前記第 2 端子に電氣的に接続された第 1 端子と、前記第 2 電源線に電氣的に接続された第 2 端子とを有する、

ことを特徴とする画素回路。

【0096】

[付記 10] 付記 9 記載の画素回路において、

前記第 1 トランジスタは、前記データ線から供給されるデータ電圧を、前記第 1 コンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 2 トランジスタは、前記第 1 電源線から供給される第 1 電源電圧を、前記第 3 トランジスタの前記第 1 端子、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサの前記第 2 端子へ選択的に供給するように構成され、

前記第 3 トランジスタは、前記第 1 コンデンサの前記第 2 端子及び前記第 2 コンデンサの前記第 2 端子を前記第 4 トランジスタの前記第 1 端子に選択的に接続するように構成され、

前記第 4 トランジスタは、前記第 3 トランジスタの第 2 端子を前記発光素子の前記第 1 端子に選択的に接続するように構成され、

前記第 5 トランジスタは、前記第 3 電源線から供給される第 3 電源電圧を、前記第 1 コンデンサの前記第 1 端子へ選択的に供給するように構成され、

前記第 6 トランジスタは、前記第 3 電源線から供給される第 3 電源電圧を、前記第 3 トランジスタの前記第 2 端子へ選択的に供給するように構成されている、

ことを特徴とする画素回路。

【0097】

[付記 11] 付記 7 乃至 10 のいずれか一つに記載の画素回路において、

前記第 1 乃至第 6 トランジスタは p チャネル型トランジスタである、

ことを特徴とする画素回路。

【0098】

[付記12] 付記1乃至11のいずれか一つに記載の画素回路において、
前記発光素子は有機発光ダイオードである、
ことを特徴とする画素回路。

【0099】

[付記13] マトリクス状に配置された複数の付記1乃至12のいずれか一つに記載の
画素回路を、
備えたことを特徴とする表示装置。

【0100】

[付記14] 付記13記載の表示装置において、
前記画素回路をサブ画素とした場合、2以上の一定数の前記サブ画素から1画素が構成
されるとき、一定数の前記画素回路にそれぞれ接続する一定数の前記データ線の中から一
本のデータ線を順次選択し、選択された一本の前記データ線を前記データ電圧の供給源に
接続された他の一本のデータ線に接続するデマルチプレクサを、
更に備えたことを特徴とする表示装置。

【0101】

[付記15] 第1乃至第4期間を含み、付記3記載の画素回路を駆動する方法であって、
、
前記スイッチ部は、
前記第1期間に、前記コンデンサ部に保持された電圧を初期化し、
前記第1期間の後の前記第2期間に、前記電流迂回用トランジスタ及び前記基準電圧用
トランジスタをオンにして前記駆動トランジスタの前記閾値電圧を含む電圧を前記コンデ
ンサ部に保持させ、
前記第2期間の後の前記第3期間に、前記データ電圧用トランジスタをオンにして、前
記データ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電
圧を前記コンデンサ部に保持させ、
前記第3期間の後の前記第4期間に、前記駆動トランジスタに前記コンデンサ部で保持
された電圧を印加することにより、前記データ電圧に応じた電流を前記発光素子へ供給す
る、
ことを特徴とする画素回路の駆動方法。

【0102】

[付記16] 第1乃至第4期間を含み、付記3乃至6のいずれか一つに記載の画素回路
を駆動する方法であって、
前記スイッチ部は、
前記第1期間に、前記コンデンサ部に保持された電圧を初期化し、
前記第1期間の後の前記第2期間に、前記電流迂回用トランジスタ及び前記基準電圧用
トランジスタをオンかつ前記データ電圧用トランジスタをオフにすることにより、前記駆
動トランジスタの前記閾値電圧を含む電圧を前記コンデンサ部に保持させ、
前記第2期間の後の前記第3期間に、前記電流迂回用トランジスタ及び前記基準電圧用
トランジスタをオフかつ前記データ電圧用トランジスタをオンにすることにより、前記デ
ータ電圧を前記コンデンサ部に供給して、前記閾値電圧及び前記データ電圧を含む電圧を
前記コンデンサ部に保持させ、
前記第3期間の後の前記第4期間に、前記駆動トランジスタのゲート端子とソース端子
との間に前記コンデンサ部で保持された電圧を印加することにより、前記データ電圧に応
じた電流を前記発光素子へ供給する、
ことを特徴とする画素回路の駆動方法。

【0103】

[付記17] 付記15又は16記載の画素回路の駆動方法において、
前記スイッチ部は、前記第1期間に、前記コンデンサ部に保持された電圧を初期化する

10

20

30

40

50

とともに、前記駆動トランジスタ及び前記電流迂回用トランジスタをオンにして、前記駆動トランジスタに電流を流し、その電流を前記電流迂回用トランジスタを介して前記発光素子へ流さずに前記基準電圧電源線へ流す、

ことを特徴とする画素回路の駆動方法。

【 0 1 0 4 】

[付記 1 8] 第 1 乃至第 4 期間を含み、付記 7 乃至 1 2 のいずれか一つに記載の画素回路を駆動する方法であって、

前記第 1 期間では、前記第 1 トランジスタ及び前記第 4 トランジスタをオフにし、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、

前記第 1 期間の後の前記第 2 期間では、前記第 1 トランジスタ及び前記第 2 トランジスタをオフにし、前記第 3 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、

前記第 2 期間の後の前記第 3 期間では、前記第 2 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオフにし、前記第 1 トランジスタ及び前記第 3 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定し、かつ、前記データ線からデータ電圧を供給し、

前記第 3 期間の後の前記第 4 期間では、前記第 1 トランジスタ、前記第 5 トランジスタ及び前記第 6 トランジスタをオフにし、前記第 2 トランジスタ、前記第 3 トランジスタ及び前記第 4 トランジスタをオンにするように前記第 1 乃至第 4 制御線の電圧を設定する、

ことを特徴とする画素回路の駆動方法。

【 0 1 0 5 】

[付記 1 9] 付記 1 5 乃至 1 8 のいずれか一つに記載の画素回路の駆動方法において、前記第 2 期間は 1 水平走査期間以上の時間である、

ことを特徴とする画素回路の駆動方法。

【 符号の説明 】

【 0 1 0 6 】

< 実施形態 1 >

1 0 画素回路

1 1 発光素子

1 2 コンデンサ部

1 3 スイッチ部

2 1 第 1 コンデンサ

2 2 第 2 コンデンサ

M 1 第 1 トランジスタ (データ電圧用トランジスタ)

M 2 第 2 トランジスタ

M 3 第 3 トランジスタ

M 4 第 4 トランジスタ

M 5 第 5 トランジスタ (基準電圧用トランジスタ)

M 6 第 6 トランジスタ (電流迂回用トランジスタ)

D データ線

P 1 第 1 電源線

P 2 第 2 電源線

P 3 第 3 電源線

S 1 第 1 制御線

S 2 第 2 制御線

S 3 第 3 制御線

S 4 第 4 制御線

A , B ノード

V d a t a データ電圧

10

20

30

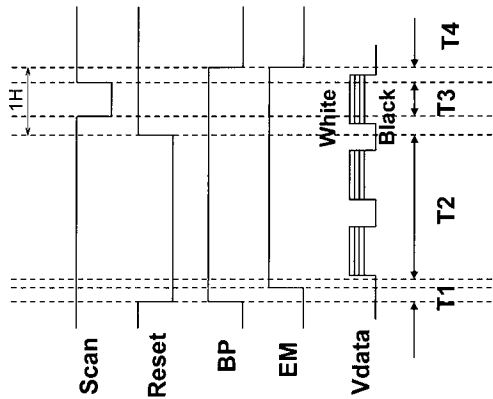
40

50

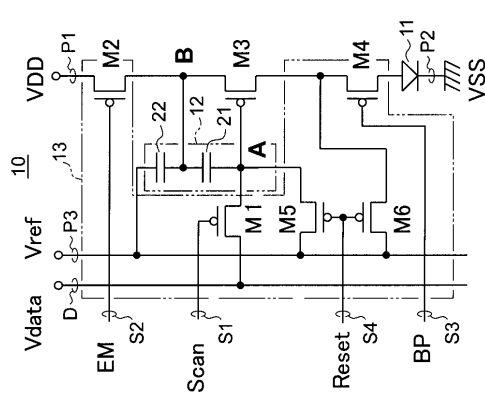
V D D	第 1 電源電圧	
V S S	第 2 電源電圧	
V r e f	第 3 電源電圧 (基準電圧)	
S c a n	第 1 制御信号	
E M	第 2 制御信号	
B P	第 3 制御信号	
R e s e t	第 4 制御信号	
3 0	表示装置	
1 0 0	T F T 基板	
1 0 1	ガラス基板	10
1 0 2	下地絶縁膜	
1 0 3	ポリシリコン層	
1 0 4	ゲート絶縁膜	
1 0 5	第 1 金属層	
1 0 6	層間絶縁膜	
1 0 7	第 2 金属層	
1 0 8	T F T 領域	
1 0 9	コンデンサ領域	
1 1 0	平坦化膜	
1 1 1	アノード電極	20
1 1 2	素子分離膜	
1 1 3	有機 E L 層	
1 1 4	カソード電極	
1 1 4 a	カソード電極形成領域	
1 1 5	キャップ層	
1 1 6	アクティブマトリクス部	
1 3 1	走査ドライバ	
1 3 2	エミッション制御ドライバ	
1 3 3	データ線 E S D 保護回路	
1 3 4	デマルチプレクサ	30
1 3 5	データドライバ I C	
1 3 6	F P C	
2 0 0	封止ガラス基板	
2 0 1	/ 4 位相差板	
2 0 2	偏光板	
3 0 0	ガラスフリットシール部	
3 0 1	乾燥空気	
< 実施形態 2 >		
D n , D n r , D n g , D n b	データ線	
M n r , M n g , M n b	トランジスタ	40
R r , R g , R b	データ電圧	
R _ _ s e t , G _ _ s e t , G _ _ s e t	第 5 制御信号	
< 関連技術 >		
9 0 0	画素回路	
9 0 1	スイッチ T F T	
9 0 2	駆動 T F T	
9 0 3	コンデンサ	
9 0 4	O L E D	
9 0 5	走査線	
9 0 6	データ線	50

9 0 7 , 9 0 8 電力供給線

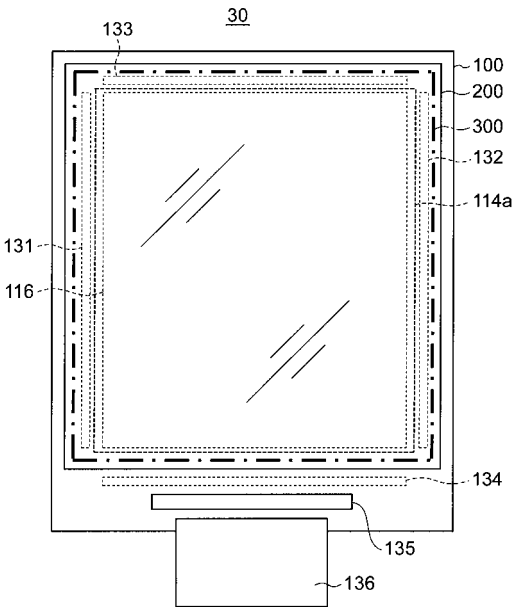
【図 1 B】



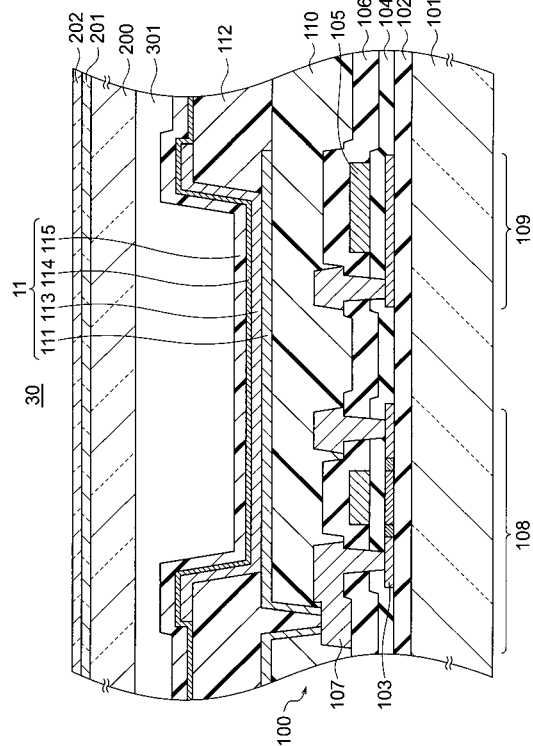
【図 1 A】



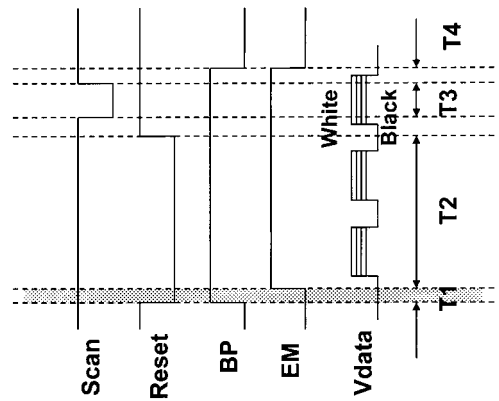
【図 2】



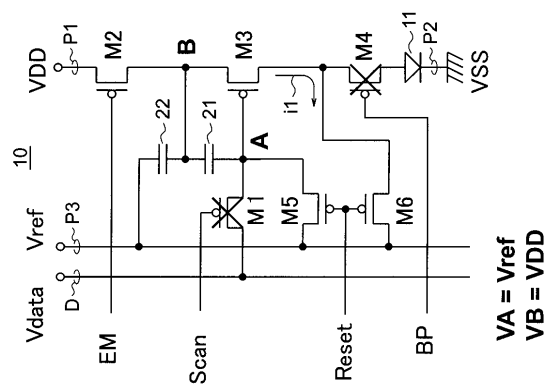
【図 3】



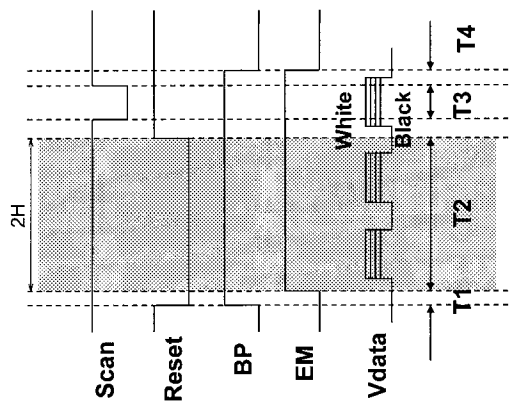
【図 4 B】



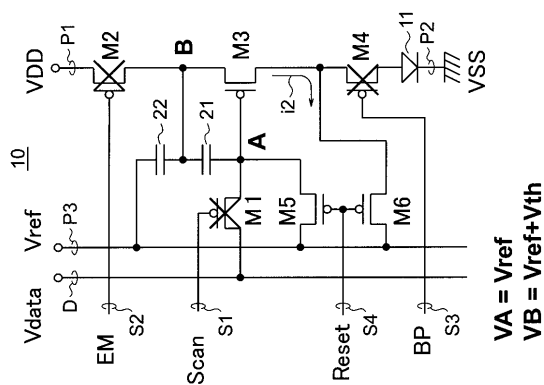
【図 4 A】



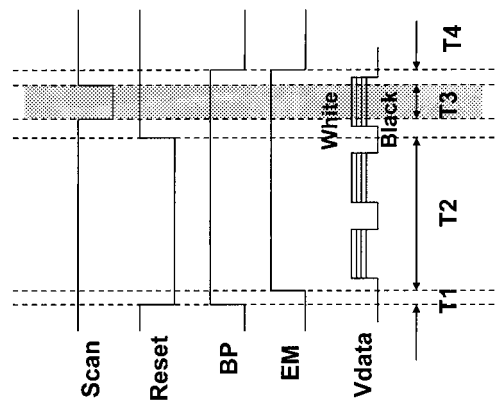
【図 5 B】



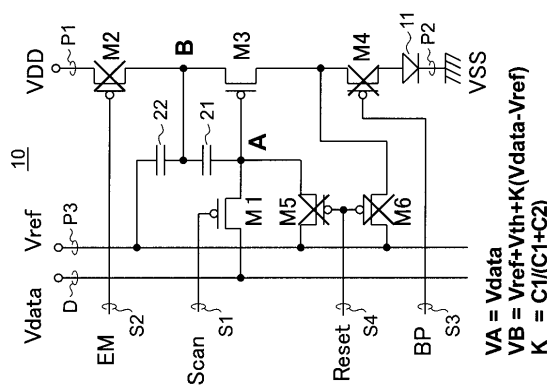
【図 5 A】



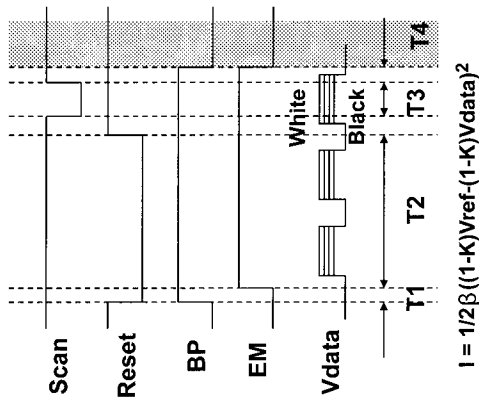
【図 6 B】



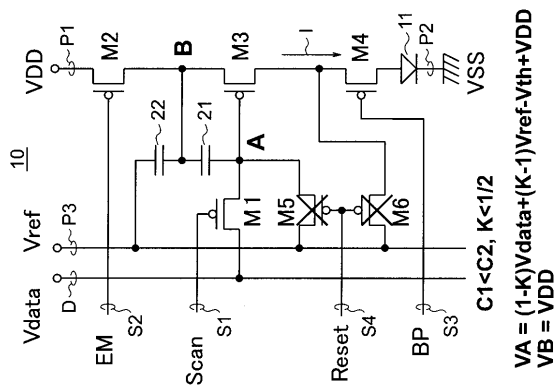
【図 6 A】



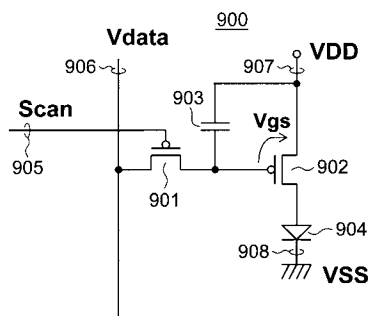
【図 7 B】



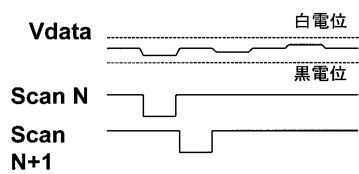
【図 7 A】



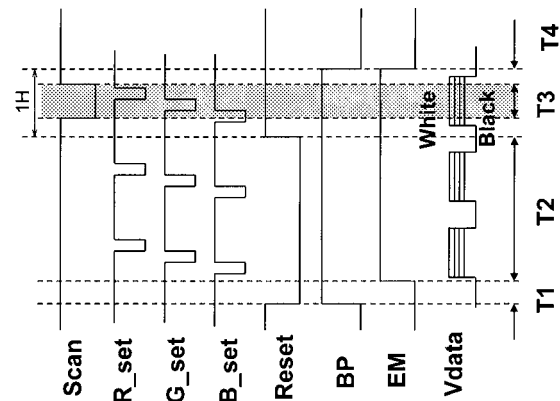
【図 9 A】



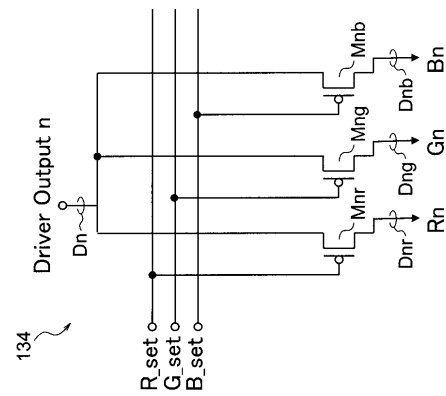
【図 9 B】



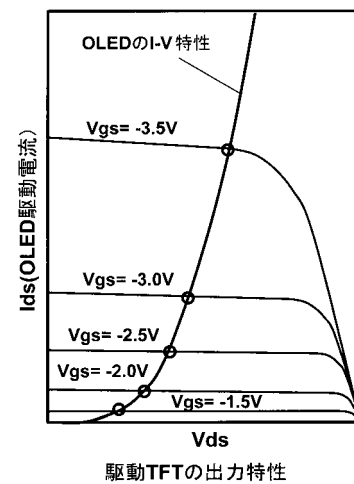
【図 8 B】



【図 8 A】



【図 9 C】



$$\begin{aligned} V_A &= (1-K)V_{data} + (K-1)V_{ref} - V_{th} + V_{DD} \\ V_B &= V_{DD} \end{aligned}$$

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 Y
H 0 5 B	33/14	A

F ターム(参考) 3K107 AA01 BB01 CC31 CC32 CC33 EE03 EE04 HH05
5C080 AA06 BB05 DD01 DD09 DD10 DD29 EE29 FF11 JJ01 JJ03
JJ04 JJ05 JJ06
5C380 AA01 AB06 AB24 BA39 BB02 BB08 BB23 CA10 CA52 CC02
CC03 CC07 CC30 CC38 CC39 CC64 CD012 CD026 CF43 CF53
DA06