



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0090963
 (43) 공개일자 2016년08월02일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *G02F 1/1362* (2006.01)
H01L 29/786 (2006.01)
 (52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/136227 (2013.01)
 (21) 출원번호 10-2015-0010711
 (22) 출원일자 2015년01월22일
 심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
문영민
 경기도 성남시 분당구 안골로 17-8, 헤뜨는집2
 102호 (서현동)
정종현
 경기도 화성시 영통로61번길 10, 102동 1301호 (반월동, 신영통현대1차아파트)
김봉균
 경기도 화성시 영통로27번길 35, 304동 1504호 (반월동, 신영통현대3차아파트)
 (74) 대리인
팬코리아특허법인

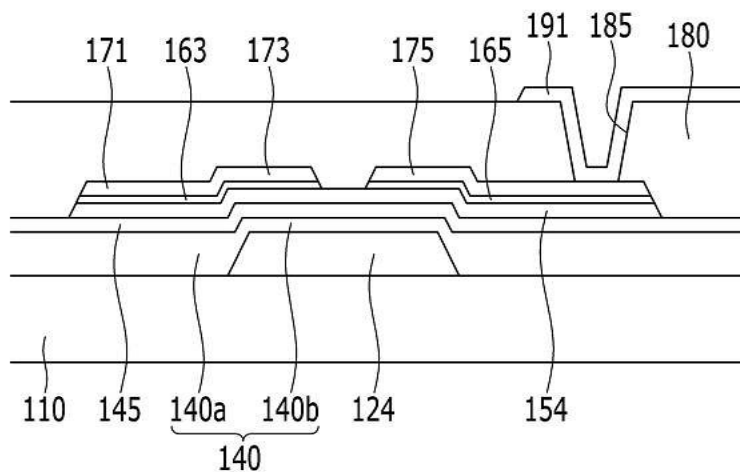
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **박막 트랜지스터 표시판 및 그 제조 방법**

(57) 요약

본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판 위에 배치되어 있으며, 게이트 전극을 포함하는 게이트선, 상기 기판 및 상기 게이트선 위에 배치되어 있으며, 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 배치되어 있는 제2 게이트 절연막, 상기 제2 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 서로 이격되어 배치되어 있는 소스 전극 및 드레인 전극, 상기 제2 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 위에 배치되어 있는 보호막, 그리고 상기 보호막 위에 배치되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 상기 제1 부분은 상기 기판 위에 배치되어 있고, 상기 제2 부분은 상기 게이트선 위에 배치되어 있고, 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 서로 반대 방향의 응력을 가진다.

대표도 - 도2



(52) CPC특허분류

H01L 29/78606 (2013.01)

명세서

청구범위

청구항 1

기관 위에 배치되어 있으며, 게이트 전극을 포함하는 게이트선,
 상기 기관 및 상기 게이트선 위에 배치되어 있으며, 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 게이트 절연막,
 상기 제1 게이트 절연막 위에 배치되어 있는 제2 게이트 절연막,
 상기 제2 게이트 절연막 위에 형성되어 있는 반도체층,
 상기 반도체층 위에 서로 이격되어 배치되어 있는 소스 전극 및 드레인 전극,
 상기 제2 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 위에 배치되어 있는 보호막, 그리고
 상기 보호막 위에 배치되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고,
 상기 제1 부분은 상기 기관 위에 배치되어 있고, 상기 제2 부분은 상기 게이트선 위에 배치되어 있고,
 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 서로 반대 방향의 응력을 가지는 박막 트랜지스터 표시판.

청구항 2

제1항에서,
 상기 게이트 전극은 구리 또는 구리 합금으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 3

제2항에서,
 상기 제1 게이트 절연막은 인장 응력을 가지고,
 상기 제2 게이트 절연막은 압축 응력을 가지는 박막 트랜지스터 표시판.

청구항 4

제3항에서,
 상기 제1 게이트 절연막의 인장 응력은 270MPa 내지 404MPa 이고,
 상기 제2 게이트 절연막의 압축 응력은 343MPa 내지 515MPa 인 박막 트랜지스터 표시판.

청구항 5

제4항에서,
 상기 제1 부분의 두께는 상기 게이트선의 두께와 동일한 박막 트랜지스터 표시판.

청구항 6

제1항에서,
 상기 제1 게이트 절연막과 상기 제2 게이트 절연막은 동일한 재질로 이루어져 있는 박막 트랜지스터 표시판.

청구항 7

기관 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 기판 및 상기 게이트선 위에 절연층을 형성하는 단계,

상기 게이트선 위에 형성된 상기 절연층의 일부를 제거하여 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 게이트 절연막을 형성하는 단계,

상기 제1 게이트 절연막 위에 상기 제1 게이트 절연막에 비해 반대 방향의 응력을 가지는 제2 게이트 절연막을 형성하는 단계,

상기 제2 게이트 절연막 위에 반도체층을 형성하는 단계,

상기 반도체층 위에 서로 이격되는 소스 전극 및 드레인 전극을 형성하는 단계,

상기 제2 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 위에 보호막을 형성하는 단계, 그리고

상기 보호막 위에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 8

제7항에서,

상기 게이트선은 구리 또는 구리 합금으로 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 9

제8항에서,

상기 제1 게이트 절연막은 인장 응력을 가지고,

상기 제2 게이트 절연막은 압축 응력을 가지는 박막 트랜지스터 표시판의 제조 방법.

청구항 10

제9항에서,

상기 제1 게이트 절연막의 인장 응력은 270MPa 내지 404MPa 이고,

상기 제2 게이트 절연막의 압축 응력은 343MPa 내지 515MPa인 박막 트랜지스터 표시판의 제조 방법.

청구항 11

제10항에서,

상기 제1 부분은 상기 기판 위에 형성되고, 상기 제2 부분은 상기 게이트선 위에 형성되는 박막 트랜지스터 표시판의 제조 방법.

청구항 12

제11항에서,

상기 제1 부분의 두께는 상기 게이트선의 두께와 동일한 박막 트랜지스터 표시판의 제조 방법.

발명의 설명

기술 분야

본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

배경 기술

일반적으로 박막 트랜지스터(thin film transistor, TFT)는 액정 표시 장치나 유기 발광 표시 장치(organic light emitting display) 등의 평판 표시 장치에서 각 화소를 독립적으로 구동하기 위한 스위칭 소자로 사용된다. 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판은 박막 트랜지스터와 이에 연결되어 있는 화소 전극, 박막 트랜지스터에 게이트 신호를 전달하는 게이트선과 데이터 신호를 전달하는 데이터선 등을 포함한다.

[0001]

[0002]

[0003] 박막 트랜지스터는 게이트선과 연결되어 게이트 신호를 전달받는 게이트 전극, 게이트 전극 위에 형성되는 반도체층, 반도체층 위에 형성되고 데이터선과 연결되어 데이터 신호를 전달 받는 소스 전극, 소스 전극과 이격되어 형성되고 화소 전극과 연결되는 드레인 전극을 포함한다. 이때, 게이트선, 게이트 전극, 데이터선, 소스 전극, 드레인 전극 등은 금속 배선으로 이루어진다.

[0004] 고속으로 영상 신호를 처리하기 위해 저저항의 구리 배선을 이용할 수 있는데, 높은 해상도의 표시 장치를 구현하기 위해서는 배선의 두께를 두껍게 형성할 수 있다.

[0005] 이 때, 구리 배선의 두께를 두껍게 형성하면, 구리 배선 위에 형성되는 절연막에 구리 배선의 두께에 따른 단차에 의해 크랙(crack) 등의 불량 발생할 수도 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 저저항 배선 위에 형성되는 절연막의 단선되는 것을 방지할 수 있는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판 위에 배치되어 있으며, 게이트 전극을 포함하는 게이트선, 상기 기판 및 상기 게이트선 위에 배치되어 있으며, 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 배치되어 있는 제2 게이트 절연막, 상기 제2 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 서로 이격되어 배치되어 있는 소스 전극 및 드레인 전극, 상기 제2 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 위에 배치되어 있는 보호막, 그리고 상기 보호막 위에 배치되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 상기 제1 부분은 상기 기판 위에 배치되어 있고, 상기 제2 부분은 상기 게이트선 위에 배치되어 있고, 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 서로 반대 방향의 응력을 가진다.

[0008] 상기 게이트 전극은 구리 또는 구리 합금으로 이루어져 있을 수 있다.

[0009] 상기 제1 게이트 절연막은 인장 응력을 가지고, 상기 제2 게이트 절연막은 압축 응력을 가질 수 있다.

[0010] 상기 제1 게이트 절연막의 인장 응력은 270MPa 내지 404MPa 이고, 상기 제2 게이트 절연막의 압축 응력은 343MPa 내지 515MPa 일 수 있다.

[0011] 상기 제1 부분의 두께는 상기 게이트선의 두께와 동일할 수 있다.

[0012] 상기 제1 게이트 절연막과 상기 제2 게이트 절연막은 동일한 재질로 이루어져 있을 수 있다.

[0013] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 기판 및 상기 게이트선 위에 절연층을 형성하는 단계, 상기 게이트선 위에 형성된 상기 절연층의 일부를 제거하여 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 게이트 절연막을 형성하는 단계, 상기 제1 게이트 절연막 위에 상기 제1 게이트 절연막에 비해 반대 방향의 응력을 가지는 제2 게이트 절연막을 형성하는 단계, 상기 제2 게이트 절연막 위에 반도체층을 형성하는 단계, 상기 반도체층 위에 서로 이격되는 소스 전극 및 드레인 전극을 형성하는 단계, 상기 제2 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 위에 보호막을 형성하는 단계, 그리고 상기 보호막 위에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.

발명의 효과

[0014] 본 발명의 일 실시예에 따르면, 제1 부분 및 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 게이트 절연막을 기판 및 게이트선 위에 배치함에 따라, 게이트선의 두께에 따른 단차를 최소화할 수 있다. 이에 따라, 게이트선의 두께에 따른 단차에 의해 발생하는 제1 게이트 절연막의 크랙 등의 불량을 방지할 수 있다. 또한, 게이트선의 배치되는 데이터선 및 드레인 전극의 게이트선의 두께에 따른 단차에 의한 불량도 방지할 수 있다.

[0015] 또한, 제1 게이트 절연막 위에 제1 게이트 절연막에 대해 반대 방향의 응력인 압축 응력을 가지는 제2 게이트 절연막을 배치함에 따라, 제1 게이트 절연막의 표면에 발생하는 힐락(hillock) 등의 불량을 방지할 수 있다.

[0016] 또한, 제2 게이트 절연막에 식각액에 대해 내화학성을 가짐으로써, 식각액에 의해 제2 게이트 절연막의 표면이 침식되는 불량을 감소시킬 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.
 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 자른 단면도이다.
 도 3은 본 발명의 일 실시예에 따른 게이트 절연막의 식각액에 따른 식각 속도를 나타낸 그래프이다.
 도 4 내지 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 간략하게 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0019] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0020] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0021] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0022] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0023] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[0024] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이다. 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 자른 단면도이다.

[0025] 도 1 및 도 2를 참고하면, 본 실시예에 따른 박막 트랜지스터 표시판은 기판(110) 및 기판(110) 위에 배치되어 있는 복수의 게이트선(121), 복수의 반도체층(154), 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 화소 전극(191) 등과 같은 복수의 박막 구조물을 포함한다.

[0026] 복수의 구조물에 대해 좀 더 상세하게 살펴 보면, 유리 또는 플라스틱 따위의 절연 물질로 만들어진 기판(110) 위에 복수의 게이트선(121)이 배치되어 있다.

[0027] 게이트선(121)은 게이트 신호를 전달하며, 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 평면상 위쪽 방향으로 돌출되어 있는 복수의 게이트 전극(124)을 포함한다. 이러한 게이트선(121)은 구리(Cu) 또는 구리 합금 등과 같은 저저항 금속 물질로 이루어질 수 있으며, 1 μ m 이상으로 두껍게 형성되어 배선의 저항을 낮출 수 있다.

[0028] 기판(110) 및 게이트선(121) 위에 제1 게이트 절연막(140)이 배치되어 있다. 제1 게이트 절연막(140)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질로 이루어질 수 있다. 여기서, 제1 게이트 절연막(140)은 270MPa 내지 404MPa의 인장 응력(tensile stress)을 가진다. 이는 두꺼운 게이트선(121)이 기판(110) 위에 배치됨에 따라 기판(110)이 압축 응력(compressive stress)에 의해 휘어지는 것을 방지하기 위한 것이다.

- [0029] 제1 게이트 절연막(140)은 제1 부분(140a) 및 제1 부분(140a)보다 두께가 얇은 제2 부분(140b)을 포함한다. 제1 부분(140a)의 게이트선(121)의 두께와 동일할 수 있고, 기판(110) 위에 배치되어 있다. 제2 부분(140b)은 게이트선(121) 위에 배치되어 있다. 즉, 게이트선(121)의 두께와 동일한 제1 부분(140a)이 기판(110) 위에 배치되고, 두께가 얇은 제2 부분(140b)이 게이트선(121) 위에 배치되어 있으므로, 게이트선(121)의 두께에 따른 단차를 최소화할 수 있다. 이에 따라, 게이트선(121)의 두께에 따른 단차에 의해 발생하는 제1 게이트 절연막(140)의 크랙(crack) 등의 불량을 방지할 수 있다.
- [0030] 제1 게이트 절연막(140) 위에 제2 게이트 절연막(145)이 배치되어 있다. 제2 게이트 절연막(145)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질로 이루어질 수 있다. 또한, 제1 게이트 절연막(140)과 제2 게이트 절연막(145)은 동일한 물질로 이루어질 수 있다.
- [0031] 여기서, 제2 게이트 절연막(145)은 343MPa 내지 515MPa의 압축 응력(compressive stress)을 가진다. 즉, 제1 게이트 절연막(140)과 제2 게이트 절연막(145)은 서로 반대 방향의 응력(stress)을 가진다.
- [0032] 제1 게이트 절연막(140)은 인장 응력에 의해 제1 게이트 절연막(140)의 표면이 힐락(hillock) 등의 불량으로 인하여 크랙이 발생할 수 있는데, 제1 게이트 절연막(140) 위에 압축 응력을 가진 제2 게이트 절연막(145)을 배치함에 따라, 제1 게이트 절연막(140)의 표면에 발생하는 불량을 방지할 수 있다.
- [0033] 이러한 제2 게이트 절연막(145)은 이 후 설명하는 데이터선(171) 및 드레인 전극(175)을 형성하기 위한 식각 공정에 사용되는 식각액에 대해 내화확성을 가진다. 식각 공정에 사용되는 식각액은 일반적으로 게이트 절연막의 표면을 침식시키는 등의 불량을 발생시키는데, 본 실시예에 따른 제2 게이트 절연막(145)은 식각액에 대한 내화확성을 가지므로, 식각액에 의해 제2 게이트 절연막(145)의 표면이 침식되는 불량을 감소시킬 수 있다.
- [0034] 제2 게이트 절연막(145) 위에 복수의 반도체층(154)이 배치되어 있다. 반도체층(154)은 비정질 규소 반도체, 다결정 규소 반도체 또는 산화물 반도체 등으로 이루어질 수 있다. 반도체층(154)이 산화물 반도체로 이루어진 경우, 인듐-갈륨-아연 산화물(IGZO, Indium Gallium Zinc Oxide), 아연-주석 산화물(ZTO, Zinc Tin Oxide), 인듐-주석 산화물(IZO, Indium Tin Oxide) 등의 재료가 이용될 수 있다. 여기서, 반도체층(154)은 게이트 전극(124)과 중첩되어 있다.
- [0035] 반도체층(154) 위에 복수의 저항성 접촉 부재(ohmic contact)(163, 165)가 배치되어 있다. 저항성 접촉 부재(163, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 한편, 반도체층(154)이 산화물 반도체로 이루어질 경우 저항성 접촉 부재(163, 165)는 생략 가능하다.
- [0036] 저항성 접촉 부재(163, 165) 위에 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 배치되어 있다. 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(173)을 포함한다. 드레인 전극(175)은 데이터선(171)과 분리되어 있으며 게이트 전극(124)을 중심으로 소스 전극(173)과 마주한다. 소스 전극(173) 및 드레인 전극(175)은 게이트 전극(124)과 중첩하고, 데이터선(171) 및 드레인 전극(175)은 저저항 금속 물질로 이루어질 수 있다.
- [0037] 두께가 서로 다른 제1 부분(140a) 및 제2 부분(140b)을 포함하는 제1 게이트 절연막(140)을 기판(110) 및 게이트선(121) 위에 배치함에 따라, 게이트선(121)의 두께에 따른 단차를 최소화할 수 있으므로, 게이트선(121) 위에 배치되는 데이터선(171) 및 드레인 전극(175) 또한, 게이트선(121)의 두께에 따른 단차에 의해 발생하는 불량을 방지할 수 있다.
- [0038] 저항성 접촉층(163, 165)은 반도체층(154)과 데이터선(171) 및 드레인 전극(175) 사이의 접촉 저항을 낮추어 준다.
- [0039] 한편, 본 실시예에서는 반도체층(154) 위에 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 배치된 구조를 설명하였지만, 이에 한정되지 않고, 소스 전극(173) 및 드레인 전극(175)의 일부만 반도체층(154) 위에 배치되어 있고, 소스 전극(173) 및 드레인 전극(175)의 다른 일부와 데이터선(171)은 제2 게이트 절연막(145) 위에 배치되어 있을 수도 있다. 이 때, 저항성 접촉층(163, 165)은 반도체층(154)과 반도체층(154) 위에 배치된 소스 전극(173) 및 드레인 전극(175)의 일부 사이에만 배치되어 있을 수 있다.
- [0040] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체층(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과

드레인 전극(175) 사이의 반도체층(154)에 형성된다.

- [0041] 제2 게이트 절연막(145), 데이터선(171) 및 드레인 전극(175) 위에 보호막(180)이 배치되어 있다. 보호막(180)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질로 이루어질 수 있다. 또한, 이에 한정되지 않고, 보호막(180)은 무기 절연 물질로 이루어진 무기막과 유기 절연 물질로 이루어진 유기막을 포함하는 이중막 구조일 수도 있다. 이러한 보호막(180)에는 드레인 전극(175)을 노출하는 접촉구(185)가 형성되어 있다.
- [0042] 보호막(180) 위에 접촉구(185)를 통하여 드레인 전극(175)과 연결되어 있는 화소 전극(191)이 배치되어 있다. 화소 전극(191)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등과 같은 투명 금속 물질로 이루어질 수 있다.
- [0043] 그러면, 도 3을 참고하여 본 발명의 일 실시예에 따른 게이트 절연막의 특성을 설명한다.
- [0044] 도 3은 본 발명의 일 실시예에 따른 게이트 절연막의 식각액에 따른 식각 속도를 나타낸 그래프이다.
- [0045] 도 3에서, A는 337MPa의 인장 응력을 가지는 게이트 절연막이고, B는 429MPa의 압축 응력을 가지는 게이트 절연막이다.
- [0046] 도 3을 참고하면, A의 식각 속도는 약 5Å/S 내지 약 7Å/S 및 약 5Å/S 내지 약 11.5Å/S 로 나타났고, B의 식각 속도는 약 1.5Å/S 내지 약 2.1Å/S 로 나타남을 알 수 있다. 즉, B가 A에 비해 식각 속도가 느리므로, 429MPa의 압축 응력을 가지는 게이트 절연막이 337MPa의 인장 응력을 가지는 게이트 절연막에 비해 식각액에 대한 내화학성이 더 큼을 알 수 있다.
- [0047] 이하에서는 도 4 내지 도 7 및 도 2를 참고하여, 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대해서 설명한다.
- [0048] 도 4 내지 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 간략하게 도시한 도면이다.
- [0049] 도 4를 참고하면, 기판(110) 위에 구리 또는 구리 합금을 사용하여 게이트 전극(124)을 형성한 후, 기판(110) 및 게이트 전극(124) 위에 270MPa 내지 404MPa의 인장 응력을 가지는 절연층(142)을 형성한다.
- [0050] 절연층(142)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질을 사용하여 형성한다. 이 때, 절연층(142)의 두께는 게이트 전극(124)을 두께와 동일할 수 있다. 여기서, 게이트 전극(124)의 형성 시, 게이트선(121)이 같이 형성된다.
- [0051] 도 5를 참고하면, 게이트 전극(124) 위에 형성된 절연층(142)의 일부를 제거하여 제1 게이트 절연막(140)을 형성한다. 이 때, 게이트선(121) 위에 형성된 절연층(142)의 일부도 같이 제거한다.
- [0052] 절연층(142)의 일부의 제거는 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 공정을 실시하여 제거한다. 이에, 제1 게이트 절연막(140)은 제1 부분(140a) 및 제1 부분(140a)보다 두께가 얇은 제2 부분(140b)을 포함한다. 제1 부분(140a)의 두께는 게이트 전극(124)의 두께와 동일할 수 있고, 기판(110) 위에 형성된다. 제2 부분(140b)은 게이트 전극(124) 위에 형성된다. 여기서, 제2 부분(140b)은 게이트선(121) 위에도 형성된다.
- [0053] 도 6을 참고하면, 제1 게이트 절연막(140) 위에 343MPa 내지 515MPa의 압축 응력을 가지는 제2 게이트 절연막(145)을 형성한다. 이에, 제2 게이트 절연막(145)과 제1 게이트 절연막(140)은 서로 반대 방향을 응력을 가지게 된다. 제2 게이트 절연막(145)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등과 같은 무기 절연 물질을 사용하여 형성한다. 여기서, 제2 게이트 절연막(145)은 제1 게이트 절연막(140)과 동일한 물질로 형성할 수 있다.
- [0054] 도 7을 참고하면, 제2 게이트 절연막(145) 위에 반도체층(154), 저항성 접촉층(163, 165), 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)을 형성한다.
- [0055] 여기서, 반도체층(154), 저항성 접촉층(163, 165), 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)은 하나의 마스크를 사용하여 형성할 수 있다. 또한, 이에 한정하지 않고, 별도의 마스크를 사용하여 반도체층(154)을 먼저 형성한 후, 다른 마스크를 사용하여 저항성 접촉층(163, 165), 소스 전극(173)을 포함하는 데이터선(171) 및 드레인 전극(175)을 형성할 수도 있다.

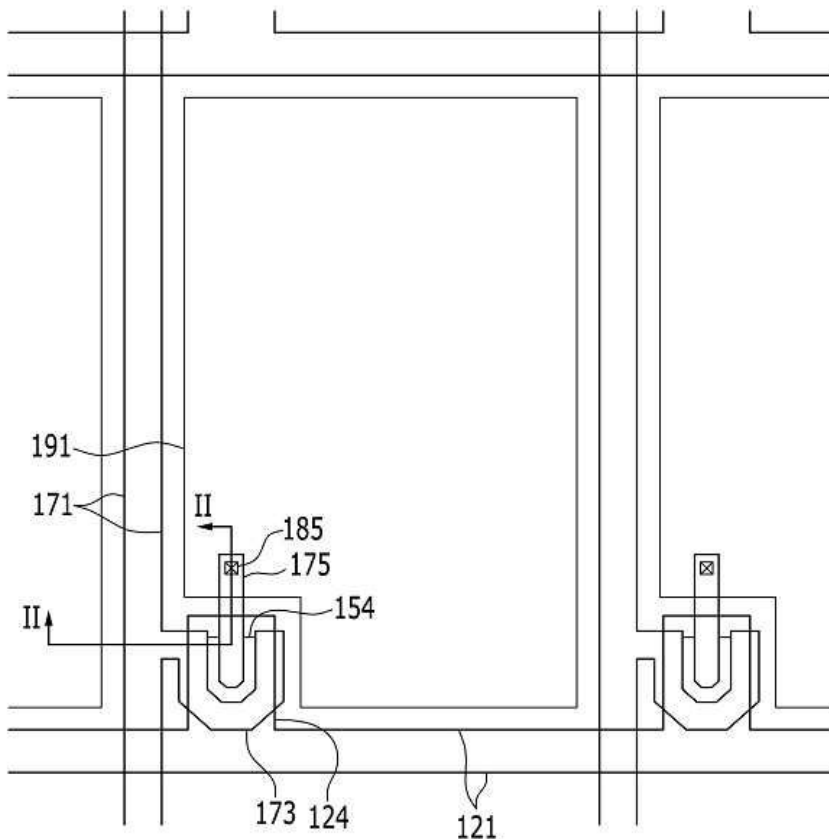
- [0056] 한편, 데이터선(171) 및 드레인 전극(175)의 형성 시, 식각액을 사용하는데, 제2 게이트 절연막(145)은 식각액에 대한 내화학성을 가지므로 식각액에 의해 제2 게이트 절연막(145)의 표면이 침식되는 불량을 감소시킬 수 있다.
- [0057] 도 2를 참고하면, 제2 게이트 절연막(145), 데이터선(171) 및 드레인 전극(175) 위에 드레인 전극(175)을 노출하는 접촉구(185)를 포함하는 보호막(180)을 형성한 후, 보호막(180) 위에 접촉구(185)를 통하여 드레인 전극(175)과 연결되는 화소 전극(191)을 형성한다.
- [0058] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

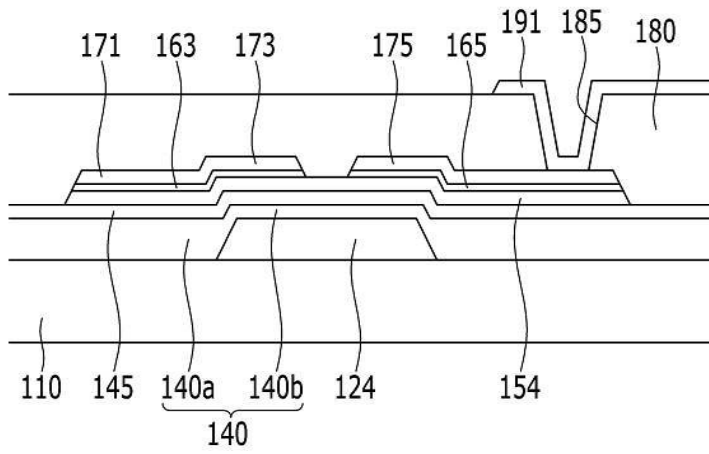
- [0059] 110: 기관 121: 게이트선
- 124: 게이트 전극 140: 제1 게이트 절연막
- 140a, 140b: 제1 및 제2 부분
- 145: 제2 게이트 절연막 154: 반도체층
- 171: 데이터선 173: 소스 전극
- 175: 드레인 전극 180: 보호막
- 185: 접촉구 191: 화소 전극

도면

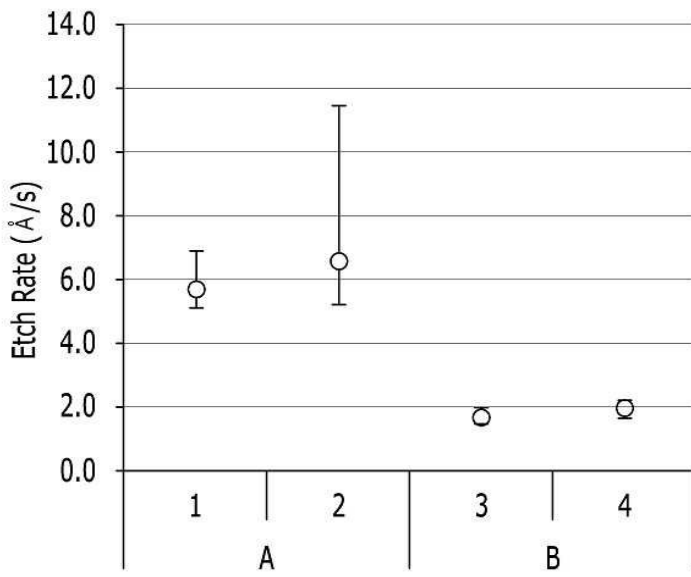
도면1



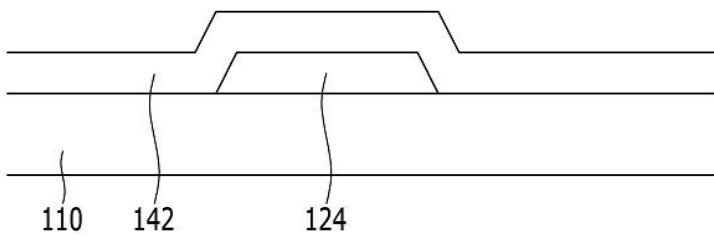
도면2



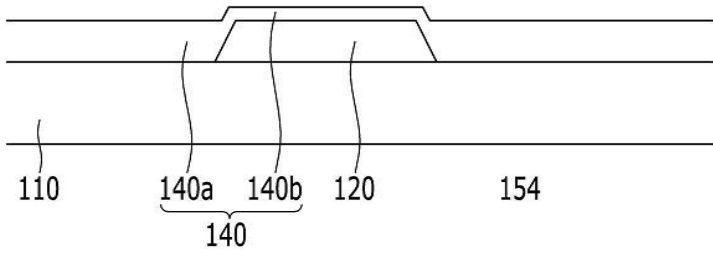
도면3



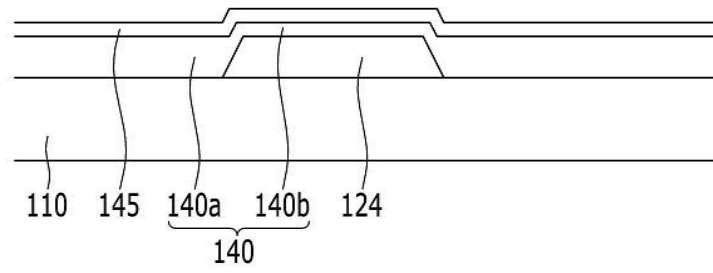
도면4



도면5



도면6



도면7

