

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4562997号
(P4562997)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int. Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	611H
H01L 29/786 (2006.01)	G09G 3/20	624B
H01L 51/50 (2006.01)	G09G 3/20	641A
	G09G 3/20	642A
請求項の数 12 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2003-139554 (P2003-139554)	(73) 特許権者	000153878
(22) 出願日	平成15年5月16日(2003.5.16)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2004-347625 (P2004-347625A)		神奈川県厚木市長谷398番地
(43) 公開日	平成16年12月9日(2004.12.9)	(72) 発明者	納 光明
審査請求日	平成18年5月15日(2006.5.15)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-86496 (P2003-86496)		半導体エネルギー研究所内
(32) 優先日	平成15年3月26日(2003.3.26)	(72) 発明者	安西 彩
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	山崎 優
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	櫻本 剛
			最終頁に続く

(54) 【発明の名称】 素子基板及び発光装置

(57) 【特許請求の範囲】

【請求項1】

発光素子と、
前記発光素子に流れる電流値を決定する第1のトランジスタと、
ビデオ信号によって、前記発光素子の発光、非発光を決定する第2のトランジスタとを
画素に有する発光装置であって、
電源線と前記発光素子との間に、前記第1のトランジスタ及び前記第2のトランジスタ
が直列に接続され、
前記第1のトランジスタのゲートは前記第1のトランジスタのソース、ドレインのどち
らか一方に接続され、
前記第1のトランジスタが飽和領域で動作し、
前記第2のトランジスタが線形領域で動作することを特徴とする発光装置。

【請求項2】

発光素子と、
前記発光素子に流れる電流値を決定する第1のトランジスタと、
ビデオ信号によって、前記発光素子の発光、非発光を決定する第2のトランジスタと、
前記ビデオ信号に関わらず、前記発光素子を非発光状態にする第3のトランジスタとを
画素に有する発光装置であって、
電源線と前記発光素子との間に、前記第1のトランジスタ及び前記第2のトランジスタ
が直列に接続され、

前記第 1 のトランジスタのゲートは前記第 1 のトランジスタのソース、ドレインのどちらか一方に接続され、

前記第 1 のトランジスタが飽和領域で動作し、

前記第 2 のトランジスタが線形領域で動作することを特徴とする発光装置。

【請求項 3】

発光素子と、

前記発光素子に流れる電流値を決定する第 1 のトランジスタと、

ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタと、

前記ビデオ信号の入力を制御する第 3 のトランジスタと、

前記ビデオ信号に関わらず、前記発光素子を非発光状態にする第 4 のトランジスタとを画素に有する発光装置であって、

10

電源線と前記発光素子との間に、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、

前記第 1 のトランジスタのゲートは前記第 1 のトランジスタのソース、ドレインのどちらか一方に接続され、

前記第 1 のトランジスタが飽和領域で動作し、

前記第 2 のトランジスタが線形領域で動作することを特徴とする発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のトランジスタはディプリーション型であることを特徴とする発光装置。

20

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に P 型であり、

前記第 1 のトランジスタの閾値電位が前記第 2 のトランジスタの閾値電位よりも高いことを特徴とする発光装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に N 型であり、

前記第 1 のトランジスタの閾値電位が前記第 2 のトランジスタの閾値電位よりも低いことを特徴とする発光装置。

30

【請求項 7】

画素電極と、

前記画素電極に流れる電流値を決定する第 1 のトランジスタと、

ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第 2 のトランジスタとを画素に有する素子基板であって、

電源線と前記画素電極との間に、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、

前記第 1 のトランジスタのゲートは前記第 1 のトランジスタのソース、ドレインのどちらか一方に接続され、

前記第 1 のトランジスタが飽和領域で動作し、

前記第 2 のトランジスタが線形領域で動作することを特徴とする素子基板。

40

【請求項 8】

画素電極と、

前記画素電極に流れる電流値を決定する第 1 のトランジスタと、

ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第 2 のトランジスタと、

前記ビデオ信号に関わらず、前記画素電極への電流の供給を無にする第 3 のトランジスタとを画素に有する素子基板であって、

電源線と前記画素電極との間に、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、

50

前記第 1 のトランジスタのゲートは前記第 1 のトランジスタのソース、ドレインのどちらか一方に接続され、

前記第 1 のトランジスタが飽和領域で動作し、

前記第 2 のトランジスタが線形領域で動作することを特徴とする素子基板。

【請求項 9】

画素電極と、

前記画素電極に流れる電流値を決定する第 1 のトランジスタと、

ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第 2 のトランジスタと、

前記ビデオ信号の入力を制御する第 3 のトランジスタと、

前記ビデオ信号に関わらず、前記画素電極への電流の供給を無にする第 4 のトランジスタとを画素に有する素子基板であって、

電源線と前記画素電極との間に、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、

前記第 1 のトランジスタのゲートは前記第 1 のトランジスタのソース、ドレインのどちらか一方に接続され、

前記第 1 のトランジスタが飽和領域で動作し、

前記第 2 のトランジスタが線形領域で動作することを特徴とする素子基板。

【請求項 10】

請求項 7 乃至請求項 9 のいずれか一項において、

前記第 1 のトランジスタはディプリーション型であることを特徴とする発光装置。

【請求項 11】

請求項 7 乃至請求項 10 のいずれか一項において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に P 型であり、

前記第 1 のトランジスタの閾値電位が前記第 2 のトランジスタの閾値電位よりも高いことを特徴とする素子基板。

【請求項 12】

請求項 7 乃至請求項 10 のいずれか一項において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に N 型であり、

前記第 1 のトランジスタの閾値電位が前記第 2 のトランジスタの閾値電位よりも低いことを特徴とする素子基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えられた発光装置に関する。

【0002】

【従来の技術】

発光素子は自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、OLED（Organic Light Emitting Diode）や、FED（Field Emission Display）に用いられているMIM型の電子源素子（電子放出素子）等を含んでいる。

【0003】

なお発光装置とは、パネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、パネルが完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

【0004】

10

20

30

40

50

発光素子の1つであるOLED (Organic Light Emitting Diode) は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる電界発光材料を含む層 (以下、電界発光層と記す) と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とが含まれる。

【0005】

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図9に示した画素は、スイッチング用トランジスタ900、駆動用トランジスタ901と、容量素子902と、発光素子903とを有している。スイッチング用トランジスタ900は、ゲートが走査線905に接続されており、ソースとドレインが一方は信号線904に、もう一方は駆動用トランジスタ901のゲートに接続されている。駆動用トランジスタ901は、ソースが電源線906に接続されており、ドレインが発光素子903の陽極に接続されている。発光素子903の陰極は対向電極907に接続されている。容量素子902は駆動用トランジスタ901のゲートとソース間の電位差を保持するように設けられている。また、電源線906、対向電極907には、電源からそれぞれ所定の電圧が印加されており、互いに電位差を有している。

【0006】

走査線905の信号によりスイッチング用トランジスタ900がオンになると、信号線904に入力されたビデオ信号が駆動用トランジスタ901のゲートに入力される。この入力されたビデオ信号の電位と電源線906の電位差が駆動用トランジスタ901のゲート・ソース間電圧 V_{gs} となり、発光素子903に電流が供給され、発光素子903が発光する。

【0007】

【発明が解決しようとする課題】

ところで、例えば、ポリシリコンを用いたトランジスタは、電界効果移動度が高く、オン電流が大きいので、発光装置のトランジスタとして適している。しかし、ポリシリコンを用いたトランジスタは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0008】

図9に示した画素において、駆動用トランジスタ901のドレイン電流が画素毎にばらつくと、ビデオ信号の電位が同じであっても駆動用トランジスタ901のドレイン電流が画素間で異なり、結果的に発光素子903の輝度ムラが生じてしまうという問題があった。

【0009】

ドレイン電流のばらつきを抑制する手段として、特願2003-008719号で提案した、駆動用トランジスタ901の L/W (L :チャネル長、 W :チャネル幅) を大きくする方法がある。ここで、駆動用トランジスタ901の飽和領域におけるドレイン電流 I_{ds} は式1で与えられる。

【0010】

【式1】

$$I_{ds} = (V_{gs} - V_{th})^2 / 2$$

【0011】

式1から、駆動用トランジスタ901の飽和領域におけるドレイン電流 I_{ds} は V_{gs} の僅かな変化に対しても流れる電流に大きく影響するため、発光素子903が発光している期間に駆動用トランジスタ901のゲート・ソース間に保持した電圧 V_{gs} が変化しないように注意する必要がある。そのためには駆動用トランジスタ901のゲート・ソース間に設けられた容量素子902の容量を大きくすることや、スイッチング用トランジスタ900のオフ電流を低く抑える必要がある。

【0012】

スイッチング用トランジスタ900のオフ電流を低く抑えること、且つ、大きな容量を充電するためにオン電流を高くすること、両方を満たすことはトランジスタ作製プロセスにおいては難しい課題である。

【0013】

また、スイッチング用トランジスタ900のスイッチングや信号線、走査線の電位の変化等に伴い、駆動用トランジスタ901の V_{gs} が変化してしまうという問題もある。これは、駆動用トランジスタ901のゲートにつく寄生容量によるものである。

【0014】

本発明は上述した問題に鑑み、スイッチング用トランジスタ900のオフ電流を低く抑える必要はなく、容量素子902の容量も大きくする必要はなく、寄生容量による影響も受けにくい、且つ、駆動用トランジスタ901の特性のばらつきに起因する、画素間における発光素子903の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

10

【0015】

【課題を解決するための手段】

本発明では、ディプリーション型のトランジスタを駆動用トランジスタとして用い、前記駆動用トランジスタのゲートは電位を固定するか、前記駆動用トランジスタのソースまたはドレインと接続し、前記駆動用トランジスタは飽和領域で動作させ、常に電流が流れる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号は前記電流制御用トランジスタのゲートに入力する。

20

【0016】

ここで、前記駆動用トランジスタ以外は、通常のエンハンスメント型トランジスタとする。

【0017】

前記電流制御用トランジスタは線形領域で動作するため前記電流制御用トランジスタのソース・ドレイン間電圧 V_{ds} は小さく、前記電流制御用トランジスタのゲート・ソース間電圧 V_{gs} の僅かな変動は、発光素子に流れる電流に影響しない。発光素子に流れる電流は飽和領域で動作する前記駆動用トランジスタにより決定される。よって、前記電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、前記スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流には殆ど影響しない。また、前記電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

30

【0018】

また、前記スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

【発明の実施の形態】

(実施の形態1)

図1に、本発明の発光装置が有する画素の一実施形態を示す。図1に示す画素は、発光素子104と、ビデオ信号の画素への入力を制御するためのスイッチング素子として用いるトランジスタ(スイッチング用トランジスタ)101と、発光素子104に流れる電流値を制御する駆動用トランジスタ102、発光素子104への電流の供給を制御する電流制御用トランジスタ103とを有している。さらに本実施の形態のように、ビデオ信号の電位を保持するための容量素子105を画素に設けても良い。

40

【0019】

駆動用トランジスタ102及び電流制御用トランジスタ103は同じ極性を有する。駆動用トランジスタ102にはディプリーション型トランジスタを用い、駆動用トランジスタ102以外のトランジスタは、通常のエンハンスメント型トランジスタとする。さらに本発明では、駆動用トランジスタ102を飽和領域で、電流制御用トランジスタ103を線

50

形領域で動作させる。

【0020】

また、駆動用トランジスタ102のLをWより長く、電流制御用トランジスタ103のLをWと同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ102のWに対するLの比が5以上にするとよい。

【0021】

そしてスイッチング用トランジスタ101のゲートは、走査線 G_j ($j = 1 \sim y$)に接続されている。スイッチング用トランジスタ101のソースとドレインは、一方が信号線 S_i ($i = 1 \sim x$)に、もう一方が電流制御用トランジスタ103のゲートに接続されている。駆動用トランジスタ102のゲートは電源線 V_i ($i = 1 \sim x$)に接続されている。そして駆動用トランジスタ102及び電流制御用トランジスタ103は、電源線 V_i ($i = 1 \sim x$)から供給される電流が、駆動用トランジスタ102及び電流制御用トランジスタ103のドレイン電流として発光素子104に供給されるように、電源線 V_i ($i = 1 \sim x$)、発光素子104と接続されている。本実施の形態では、電流制御用トランジスタ103のソースが電源線 V_i ($i = 1 \sim x$)に接続され、駆動用トランジスタ102のドレインが発光素子104の画素電極に接続される。

10

【0022】

なお駆動用トランジスタ102のソースを電源線 V_i ($i = 1 \sim x$)に接続し、電流制御用トランジスタ103のドレインを発光素子104の画素電極に接続してもよい。

【0023】

発光素子104は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図1のように、陽極が駆動用トランジスタ102と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子104の対向電極と、電源線 V_i ($i = 1 \sim x$)のそれぞれには、発光素子104に順バイアス方向の電流が供給されるように、電位差が設けられている。

20

【0024】

容量素子105が有する2つの電極は、一方は電源線 V_i ($i = 1 \sim x$)に接続されており、もう一方は電流制御用トランジスタ103のゲートに接続されている。容量素子105はスイッチング用トランジスタ101が非選択状態(オフ状態)にある時、容量素子105の電極間の電位差を保持するために設けられている。なお図1では容量素子105を設ける構成を示したが、本発明はこの構成に限定されず、容量素子105を設けない構成にしても良い。

30

【0025】

図1では駆動用トランジスタ102および電流制御用トランジスタ103をP型トランジスタとし、駆動用トランジスタ102のドレインと発光素子104の陽極とを接続した。逆に駆動用トランジスタ102および電流制御用トランジスタ103をN型トランジスタとするならば、駆動用トランジスタ102のソースと発光素子104の陰極とを接続する。この場合、発光素子104の陰極が画素電極、陽極が対向電極となる。

【0026】

次に、図1に示した画素の駆動方法について説明する。図1に示す画素は、その動作を書き込み期間、データ保持期間とに分けて説明することができる。まず書き込み期間において走査線 G_j ($j = 1 \sim y$)が選択されると、走査線 G_j ($j = 1 \sim y$)にゲートが接続されているスイッチング用トランジスタ101がオンになる。そして、信号線 S_i ($i = 1 \sim x$)に入力されたビデオ信号が、スイッチング用トランジスタ101を介して電流制御用トランジスタ103のゲートに入力される。なお、駆動用トランジスタ102はゲートが電源線 V_i ($i = 1 \sim x$)に接続されているため、常にオン状態である。

40

【0027】

ビデオ信号によって電流制御用トランジスタ103がオンになる場合は、電源線 V_i ($i = 1 \sim x$)を介して電流が発光素子104に供給される。このとき電流制御用トランジスタ103は線形領域で動作しているため、発光素子104に流れる電流は、飽和領域で動

50

作する駆動用トランジスタ102と発光素子104の電圧電流特性によって決まる。そして発光素子104は、供給される電流に見合った高さの輝度で発光する。

【0028】

またビデオ信号によって電流制御用トランジスタ103がオフになる場合は、発光素子104への電流の供給は行なわれず、発光素子104は発光しない。なお本発明では、駆動用トランジスタ102がディプリーション型であっても、電流制御用トランジスタ103がエンハンスメント型なので、発光素子104に電流が供給されないように制御することができる。

【0029】

データ保持期間では、走査線 G_j ($j = 1 \sim y$)の電位を制御することでスイッチング用トランジスタ101をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。書き込み期間において電流制御用トランジスタ103をオンにした場合、ビデオ信号の電位は容量素子105によって保持されているので、発光素子104への電流の供給は維持されている。逆に、書き込み期間において電流制御用トランジスタ103をオフにした場合、ビデオ信号の電位は容量素子105によって保持されているので、発光素子104への電流の供給は行なわれていない。

【0030】

なお素子基板は、本発明の発光装置を作製する過程における、発光素子が形成される前の形態に相当する。

【0031】

本発明の発光装置において用いられるトランジスタは、単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0032】

上記構成により、電流制御用トランジスタ103は線形領域で動作するため電流制御用トランジスタ103のソース・ドレイン間電圧 V_{ds} は小さく、電流制御用トランジスタ103のゲート・ソース間電圧 V_{gs} の僅かな変動は、発光素子104に流れる電流に影響しない。発光素子104に流れる電流は飽和領域で動作する駆動用トランジスタ102により決定される。よって、電流制御用トランジスタ103のゲート・ソース間に設けられた容量素子105の容量を大きくしたり、スイッチング用トランジスタ101のオフ電流を低く抑えたりしなくても、発光素子104に流れる電流には影響しない。また、電流制御用トランジスタ103のゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

【0033】

(実施の形態2)

本実施の形態では、本発明の発光装置が有する画素の、図1とは異なる形態について説明する。

【0034】

図2に示す画素は、発光素子204と、スイッチング用トランジスタ201と、駆動用トランジスタ202と、電流制御用トランジスタ203と、電流制御用トランジスタ203を強制的にオフさせるためのトランジスタ(消去用トランジスタ)206とを有している。上記素子に加えて容量素子205を画素に設けても良い。

【0035】

駆動用トランジスタ202及び電流制御用トランジスタ203は同じ極性を有する。トランジスタのサイズ、特性および動作領域については、実施の形態1と同様の設定にすればよい。

10

20

30

40

50

【0036】

スイッチング用トランジスタ201のゲートは、第1の走査線 G_{aj} ($j = 1 \sim y$)に接続されている。スイッチング用トランジスタ201のソースとドレインは、一方が信号線 S_i ($i = 1 \sim x$)に、もう一方が電流制御用トランジスタ203のゲートに接続されている。また消去用トランジスタ206のゲートは、第2の走査線 G_{ej} ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が電源線 V_i ($i = 1 \sim x$)に、他方が電流制御用トランジスタ203のゲートに接続されている。駆動用トランジスタ202のゲートは電源線 V_i ($i = 1 \sim x$)に接続されている。そして駆動用トランジスタ202及び電流制御用トランジスタ203は、電源線 V_i ($i = 1 \sim x$)から供給される電流が、駆動用トランジスタ202及び電流制御用トランジスタ203のドレイン電流として発光素子204に供給されるように、電源線 V_i ($i = 1 \sim x$)、発光素子204と接続されている。本実施の形態では、電流制御用トランジスタ203のソースが電源線 V_i ($i = 1 \sim x$)に接続され、駆動用トランジスタ202のドレインが発光素子204の画素電極に接続される。

10

【0037】

なお駆動用トランジスタ202のソースを電源線 V_i ($i = 1 \sim x$)に接続し、電流制御用トランジスタ203のドレインを発光素子204の画素電極に接続してもよい。

【0038】

発光素子204は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図2のように陽極が駆動用トランジスタ202と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子204の対向電極と、電源線 V_i ($i = 1 \sim x$)のそれぞれには、発光素子204に順バイアス方向の電流が供給されるように、電位差が設けられている。

20

【0039】

容量素子205が有する2つの電極は、一方は電源線 V_i ($i = 1 \sim x$)に接続されており、もう一方は電流制御用トランジスタ203のゲートに接続されている。

【0040】

図2では駆動用トランジスタ202および電流制御用トランジスタ203をP型トランジスタとし、駆動用トランジスタ202のドレインと発光素子204の陽極とを接続した。逆に駆動用トランジスタ202および電流制御用トランジスタ203をN型トランジスタとするならば、駆動用トランジスタ202のソースと発光素子204の陰極とを接続する。この場合、発光素子204の陰極が画素電極、陽極が対向電極となる。

30

【0041】

図2に示す画素は、その動作を書き込み期間、データ保持期間、消去期間とに分けて説明することができる。書き込み期間とデータ保持期間におけるスイッチング用トランジスタ201、駆動用トランジスタ202及び電流制御用トランジスタ203の動作については、図1の場合と同様である。

【0042】

消去期間では、第2の走査線 G_{ej} ($j = 1 \sim y$)が選択されて消去用トランジスタ206がオンになり、電源線 V_i ($i = 1 \sim x$)の電位が消去用トランジスタ206を介して電流制御用トランジスタ203のゲートに与えられる。よって、電流制御用トランジスタ203がオフになるため、発光素子204に強制的に電流が供給されない状態を作り出すことができる。

40

【0043】

(実施の形態3)

本実施の形態では、本発明の発光装置が有する画素の、図1及び図2とは異なる形態について説明する。

【0044】

図3に示す画素は、発光素子304と、ビデオ信号の画素への入力を制御するためのスイッチング素子として用いるトランジスタ(スイッチング用トランジスタ)301と、発光

50

素子 304 に流れる電流値を制御する駆動用トランジスタ 302、発光素子 304 への電流の供給を制御する電流制御用トランジスタ 303 とを有している。さらに本実施の形態のように、ビデオ信号の電位を保持するための容量素子 305 を画素に設けても良い。

【0045】

駆動用トランジスタ 302 及び電流制御用トランジスタ 303 は同じ極性を有する。トランジスタのサイズ、特性および動作領域については、実施の形態 1 と同様の設定にすればよい。

【0046】

スイッチング用トランジスタ 301 のゲートは、走査線 G_j ($j = 1 \sim y$) に接続されている。スイッチング用トランジスタ 301 のソースとドレインは、一方が信号線 S_i ($i = 1 \sim x$) に、もう一方が電流制御用トランジスタ 303 のゲートに接続されている。駆動用トランジスタ 302 のゲートは駆動用トランジスタ 302 のソースに接続されている。そして駆動用トランジスタ 302 及び電流制御用トランジスタ 303 は、電源線 V_i ($i = 1 \sim x$) から供給される電流が、駆動用トランジスタ 302 及び電流制御用トランジスタ 303 のドレイン電流として発光素子 304 に供給されるように、電源線 V_i ($i = 1 \sim x$)、発光素子 304 と接続されている。本実施の形態では、電流制御用トランジスタ 303 のソースが電源線 V_i ($i = 1 \sim x$) に接続され、駆動用トランジスタ 302 のドレインが発光素子 304 の画素電極に接続される。

10

【0047】

なお駆動用トランジスタ 302 のソースおよびゲートを電源線 V_i ($i = 1 \sim x$) に接続し、電流制御用トランジスタ 303 のドレインを発光素子 304 の画素電極に接続してもよい。

20

【0048】

発光素子 304 は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図 3 のように陽極が駆動用トランジスタ 302 と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子 304 の対向電極と、電源線 V_i ($i = 1 \sim x$) のそれぞれには、発光素子 304 に順バイアス方向の電流が供給されるように、電位差が設けられている。

【0049】

容量素子 305 が有する 2 つの電極は、一方は電源線 V_i ($i = 1 \sim x$) に接続されており、もう一方は電流制御用トランジスタ 303 のゲートに接続されている。容量素子 305 はスイッチング用トランジスタ 301 が非選択状態 (オフ状態) にある時、容量素子 305 の電極間の電位差を保持するために設けられている。なお図 3 では容量素子 305 を設ける構成を示したが、本発明はこの構成に限定されず、容量素子 305 を設けない構成にしても良い。

30

【0050】

図 3 では駆動用トランジスタ 302 および電流制御用トランジスタ 303 を P 型トランジスタとし、駆動用トランジスタ 302 のドレインと発光素子 304 の陽極とを接続した。逆に駆動用トランジスタ 302 および電流制御用トランジスタ 303 を N 型トランジスタとするならば、駆動用トランジスタ 102 のソースと発光素子 304 の陰極とを接続する。この場合、発光素子 304 の陰極が画素電極、陽極が対向電極となる。

40

【0051】

図 3 に示す画素の動作については、図 1 の場合と同様である。

【0052】

(実施の形態 4)

本実施の形態では、本発明の発光装置が有する画素の、図 1 から図 3 とは異なる形態について説明する。

【0053】

図 4 に示す画素は、発光素子 404 と、スイッチング用トランジスタ 401 と、駆動用トランジスタ 402 と、電流制御用トランジスタ 403 と、書き込まれたビデオ信号の電位

50

を消去するためのトランジスタ（消去用トランジスタ）406とを有している。上記素子に加えて容量素子405を画素に設けても良い。

【0054】

駆動用トランジスタ402及び電流制御用トランジスタ403は同じ極性を有する。トランジスタのサイズ、特性および動作領域については、実施の形態1と同様の設定にすればよい。

【0055】

スイッチング用トランジスタ401のゲートは、第1の走査線 G_{aj} ($j = 1 \sim y$)に接続されている。スイッチング用トランジスタ401のソースとドレインは、一方が信号線 S_i ($i = 1 \sim x$)に、もう一方が電流制御用トランジスタ403のゲートに接続されている。また消去用トランジスタ406のゲートは、第2の走査線 G_{ej} ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が電源線 V_i ($i = 1 \sim x$)に、他方が電流制御用トランジスタ403のゲートに接続されている。駆動用トランジスタ402のゲートは駆動用トランジスタ402のソースに接続されている。そして駆動用トランジスタ402及び電流制御用トランジスタ403は、電源線 V_i ($i = 1 \sim x$)から供給される電流が、駆動用トランジスタ402及び電流制御用トランジスタ403のドレイン電流として発光素子404に供給されるように、電源線 V_i ($i = 1 \sim x$)、発光素子404と接続されている。本実施の形態では、電流制御用トランジスタ403のソースが電源線 V_i ($i = 1 \sim x$)に接続され、駆動用トランジスタ402のドレインが発光素子404の画素電極に接続される。

【0056】

なお駆動用トランジスタ402のソースを電源線 V_i ($i = 1 \sim x$)に接続し、電流制御用トランジスタ403のドレインを発光素子404の画素電極に接続してもよい。

【0057】

発光素子404は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図4のように陽極が駆動用トランジスタ402と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子404の対向電極と、電源線 V_i ($i = 1 \sim x$)のそれぞれには、発光素子404に順バイアス方向の電流が供給されるように、電位差が設けられている。

【0058】

容量素子405が有する2つの電極は、一方は電源線 V_i ($i = 1 \sim x$)に接続されており、もう一方は電流制御用トランジスタ403のゲートに接続されている。

【0059】

図4では駆動用トランジスタ402および電流制御用トランジスタ403をP型トランジスタとし、駆動用トランジスタ402のドレインと発光素子404の陽極とを接続した。逆に駆動用トランジスタ402および電流制御用トランジスタ403をN型トランジスタとするならば、駆動用トランジスタ402のソースと発光素子404の陰極とを接続する。この場合、発光素子404の陰極が画素電極、陽極が対向電極となる。

【0060】

図4に示す画素の動作については、図2の場合と同様である。

【0061】

また、本発明におけるスイッチング用トランジスタ及び消去用トランジスタはN型トランジスタを用いてもよいし、P型トランジスタを用いてもよい。

【0062】

【実施例】

以下に、本発明の実施例について記載する。

【0063】

[実施例1]

アクティブマトリクス型表示装置に本発明の画素構成が使用される場合、その構成と駆動について説明する。

10

20

30

40

50

【0064】

図5に外部回路のブロック図とパネルの概略図を示す。

【0065】

図5に示すように、アクティブマトリクス型表示装置は外部回路5004及びパネル5010を有する。外部回路5004はA/D変換部5001、電源部5002及び信号生成部5003を有する。A/D変換部5001はアナログ信号で入力された映像データ信号をデジタル信号(ビデオ信号)に変換し、信号線駆動回路5006へ供給する。電源部5002はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、信号線駆動回路5006、走査線駆動回路5007、OLED素子5011、信号生成部5003等に供給する。信号生成部5003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、信号線駆動回路5006及び走査線駆動回路5007を駆動するためのクロック信号等を生成する。

10

【0066】

外部回路5004からの信号及び電源はFPCを通し、パネル5010内のFPC接続部5005から内部回路等に入力される。

【0067】

また、パネル5010は基板5008上に、FPC接続部5005、内部回路が配置され、また、OLED素子5011を有する。内部回路は信号線駆動回路5006、走査線駆動回路5007及び画素部5009を有する。図5には例として実施形態1に記載の画素を採用しているが、前記画素部5009に本発明の実施形態に挙げたいずれかの画素構成を採用することができる。

20

【0068】

基板中央には画素部5009が配置され、その周辺には、信号線駆動回路5006及び走査線駆動回路5007が配置されている。OLED素子5011及び、前記OLED素子の対向電極は画素部5009全体面に形成されている。

【0069】

より詳しく、図6に信号線駆動回路5006のブロック図を示す。

【0070】

信号線駆動回路5006はD-フリップフロップ6001を複数段用いてなるシフトレジスタ6002、データラッチ回路6003、ラッチ回路6004、レベルシフタ6005及びバッファ6006等を有する。

30

【0071】

入力される信号はクロック信号線(S-CK)、反転クロック信号線(S-CKB)、スタートパルス(S-SP)、ビデオ信号(DATA)及びラッチパルス(Latch Pulse)とする。

【0072】

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ6002より、順次サンプリングパルスが出力される。サンプリングパルスはデータラッチ回路6003へ入力され、そのタイミングで、ビデオ信号を取り込み、保持する。この動作が一行目から順に行われる。

40

【0073】

最終段のデータラッチ回路6003においてビデオ信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路6003において保持されているビデオ信号は一齐にラッチ回路6004へと転送される。その後、レベルシフタ6005においてレベルシフトされ、バッファ6006において整形された後、信号線S1からSnへ一齐に出力される。その際、走査線駆動回路5007によって選択された行の画素へ、Hレベル、Lレベルが入力され、OLED素子5011の発光、非発光を制御する。

【0074】

本実施例にて示したアクティブマトリクス型表示装置はパネル5010と外部回路5004が独立されているが、これらを同一基板上に一体形成して作製してもよい。また、表示

50

装置は例として、O L E Dを使用したものとしたが、O L E D以外の発光素子を利用した発光装置でもよい。また、信号線駆動回路5006内にレベルシフト6005及びバッファ6006が無くてもよい。

【0075】

[実施例2]

本実施例では、図2に示した画素の、上面図の一実施例について説明する。図7に本実施例の画素の上面図を示す。

【0076】

7001は信号線、7002は電源線に相当し、7004は第1の走査線、7003は第2の走査線に相当する。本実施例では、信号線7001と電源線7002は同じ導電膜で形成し、第1の走査線7004と第2の走査線7003は同じ導電膜で形成する。また7005はスイッチング用トランジスタであり、第1の走査線7004の一部がそのゲート電極として機能する。また7006は消去用トランジスタであり、第2の走査線7003の一部がそのゲート電極として機能する。7007は駆動用トランジスタ、7008は電流制御用トランジスタに相当する。駆動用トランジスタ7007は、そのL/Wが電流制御用トランジスタ7008よりも大きくなるように、活性層が曲がりくねっている。7009は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）7010において発光する。

10

【0077】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

20

【0078】

[実施例3]

本実施例では、図2に示した画素の、図7とは異なる上面図の一実施例について説明する。図10に本実施例の画素の上面図を示す。

【0079】

10001は信号線、10002は電源線に相当し、10004は第1の走査線、10003は第2の走査線に相当する。本実施例では、信号線10001と電源線10002は同じ導電膜で形成し、第1の走査線10004と第2の走査線10003は同じ導電膜で形成する。また10005はスイッチング用トランジスタであり、第1の走査線10004の一部がそのゲート電極として機能する。また10006は消去用トランジスタであり、第2の走査線10003の一部がそのゲート電極として機能する。10007は駆動用トランジスタ、10008は電流制御用トランジスタに相当する。駆動用トランジスタ10007は、そのL/Wが電流制御用トランジスタ10008よりも大きくなるように、活性層が曲がりくねっている。10009は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）10010において発光する。

30

【0080】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

【0081】

[実施例4]

本実施例では、画素の断面構造について説明する。

【0082】

図11(A)に、駆動用トランジスタ11021がP型で、発光素子11022から発せられる光が陽極11023側に抜ける場合の、画素の断面図を示す。図11(A)では、発光素子11022の陽極11023と駆動用トランジスタ11021が電氣的に接続されており、陽極11023上に電界発光層11024、陰極11025が順に積層されている。陰極11025は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層11024は、単数の層で構成されていても、複数の層が積層さ

40

50

れるように構成されていてもどちらでも良い。複数の層で構成されている場合、陽極 1 1 0 2 3 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 1 1 0 2 3 は光を透過する透明導電膜を用いて形成し、例えば I T O の他、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。

【 0 0 8 3 】

陽極 1 1 0 2 3 と、電界発光層 1 1 0 2 4 と、陰極 1 1 0 2 5 とが重なっている部分が発光素子 1 1 0 2 2 に相当する。図 1 1 (A) に示した画素の場合、発光素子 1 1 0 2 2 から発せられる光は、白抜きの矢印で示すように陽極 1 1 0 2 3 側に抜ける。

【 0 0 8 4 】

図 1 1 (B) に、駆動用トランジスタ 1 1 0 0 1 が N 型で、発光素子 1 1 0 0 2 から発せられる光が陽極 1 1 0 0 5 側に抜ける場合の、画素の断面図を示す。

図 1 1 (B) では、発光素子 1 1 0 0 2 の陰極 1 1 0 0 3 と駆動用トランジスタ 1 1 0 0 1 が電氣的に接続されており、陰極 1 1 0 0 3 上に電界発光層 1 1 0 0 4、陽極 1 1 0 0 5 が順に積層されている。陰極 1 1 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、C a、A l、C a F、M g A g、A l L i 等が望ましい。そして電界発光層 1 1 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 1 1 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 1 1 0 0 5 は光を透過する透明導電膜を用いて形成し、例えば I T O の他、酸化インジウムに 2 ~ 2 0 % の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。

【 0 0 8 5 】

陰極 1 1 0 0 3 と、電界発光層 1 1 0 0 4 と、陽極 1 1 0 0 5 とが重なっている部分が発光素子 1 1 0 0 2 に相当する。図 1 1 (B) に示した画素の場合、発光素子 1 1 0 0 2 から発せられる光は、白抜きの矢印で示すように陽極 1 1 0 0 5 側に抜ける。

【 0 0 8 6 】

なお本実施例では、駆動用トランジスタと発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

【 0 0 8 7 】

[実施例 5]

実施形態 2 の画素構成を用いた駆動タイミングの一例を、図 1 2 を用いて説明する。

【 0 0 8 8 】

図 1 2 (A) はデジタル時間階調方式を用い、4 ビット階調を表現する場合の例である。データ保持期間 $T_{s1} \sim T_{s4}$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ としている。

【 0 0 8 9 】

動作について説明する。まず、書き込み期間 T_{b1} において、1 行目から順に第 1 の走査線が選択され、スイッチング用トランジスタがオンする。次に、信号線よりビデオ信号が各画素に入力され、その電位によって各画素の発光、非発光が制御される。ビデオ信号の書き込みが完了した行においては、直ちにデータ保持期間 T_{s1} へと移る。同じ動作が、最終行まで行われ、期間 T_{a1} が終了する。このときデータ保持期間 T_{s1} が終了した行から順に書き込み期間 T_{b2} へ移る。

【 0 0 9 0 】

ここで、書き込み期間よりも短いデータ保持期間を有するサブフレーム期間(ここでは期間 T_{a4} が該当する)においては、データ保持期間の終了後、直ちに次の書き込み期間が始まらないよう、消去期間 2 1 0 2 を設ける。消去期間においては発光素子は、強制的に非発光状態とされる。

【 0 0 9 1 】

10

20

30

40

50

ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、発光の順番はTs1～Ts4である必要はなく、ランダムでもよいし、複数に分割して発光してもよい。

【0092】

[実施例6]

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

【0093】

具体的に前記電子機器として、携帯情報端末(携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等)、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図8に示す。

10

【0094】

図8(A)表示ディスプレイであり、筐体8001、音声出力部8002、表示部8003等を含む。本発明の表示装置は表示部8003に用いることができる。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

【0095】

図8(B)はモバイルコンピュータであり、本体8101、スタイラス8102、表示部8103、操作ボタン8104、外部インターフェイス8105等を含む。本発明の表示装置は表示部8103に用いることができる。

20

【0096】

図8(C)はゲーム機であり、本体8201、表示部8202、操作ボタン8203等を含む。本発明の表示装置は表示部8202に用いることができる。

【0097】

図8(D)は携帯電話であり、本体8301、音声出力部8302、音声入力部8303、表示部8304、操作スイッチ8305、アンテナ8306等を含む。本発明の表示装置は表示部8304に用いることができる。

【0098】

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

30

【0099】

【発明の効果】

電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流に影響しない。また、電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

【0100】

また、スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

40

【図面の簡単な説明】

【図1】 本発明の一実施形態を示す図。

【図2】 本発明の一実施形態を示す図。

【図3】 本発明の一実施形態を示す図。

【図4】 本発明の一実施形態を示す図。

【図5】 外部回路とパネルの概要を示す図。

【図6】 信号線駆動回路の一構成例を示す図。

【図7】 本発明の上面図の一例を示す図。

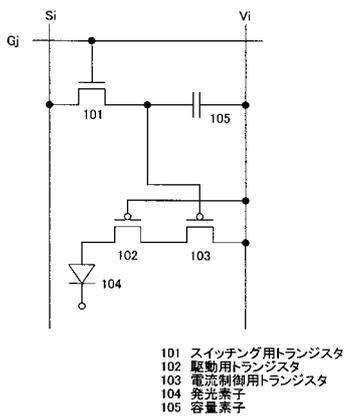
【図8】 本発明が適用可能な電子機器の例を示す図。

【図9】 実施例を示す図。

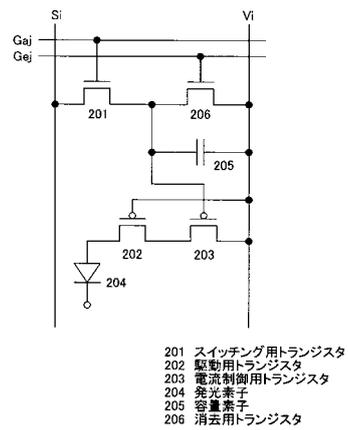
50

- 【図10】 本発明の上面図の一例を示す図。
- 【図11】 本発明の断面構造の一例を示す図。
- 【図12】 本発明の動作タイミングの一例を示す図。

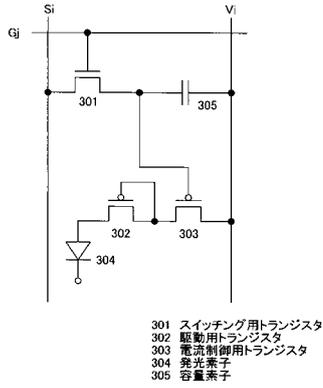
【図1】



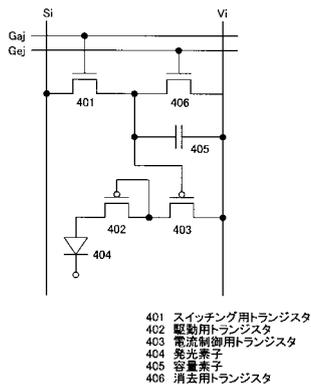
【図2】



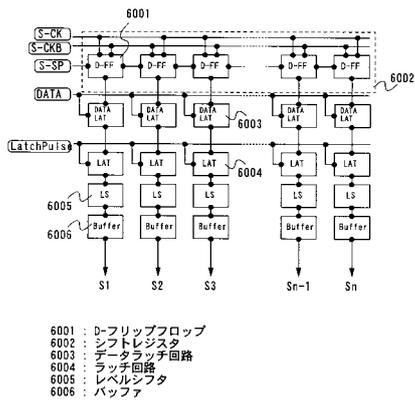
【図3】



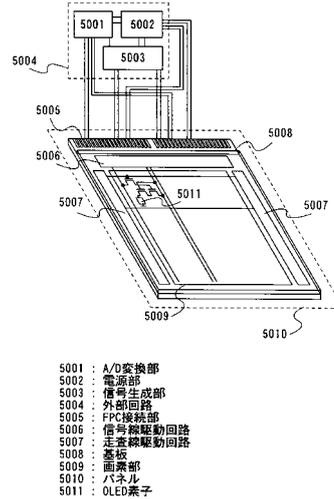
【図4】



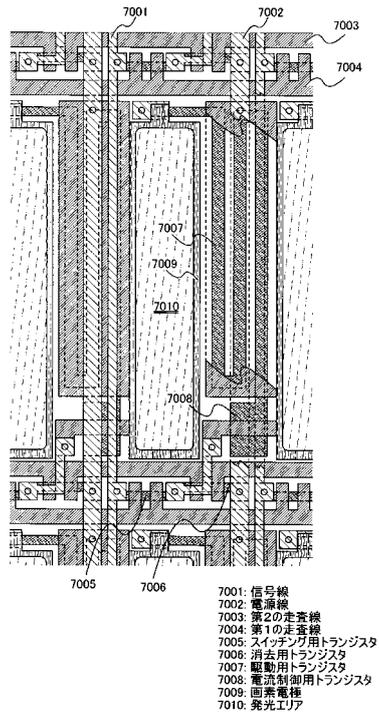
【図6】



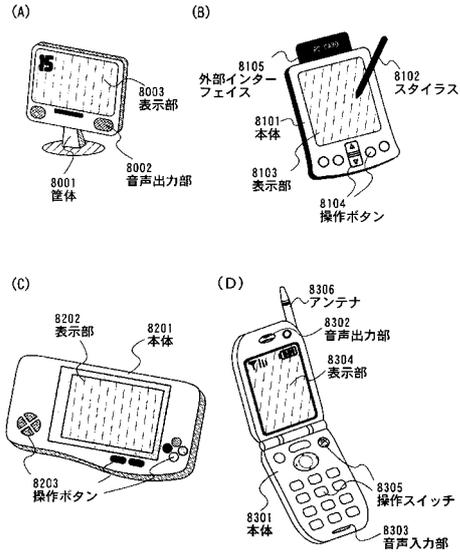
【図5】



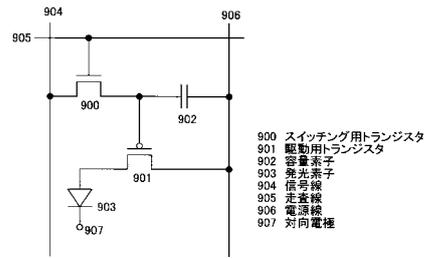
【図7】



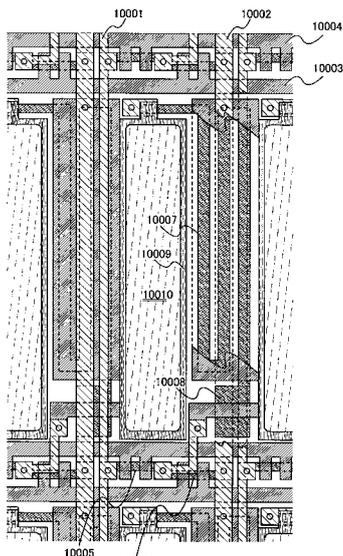
【図8】



【図9】

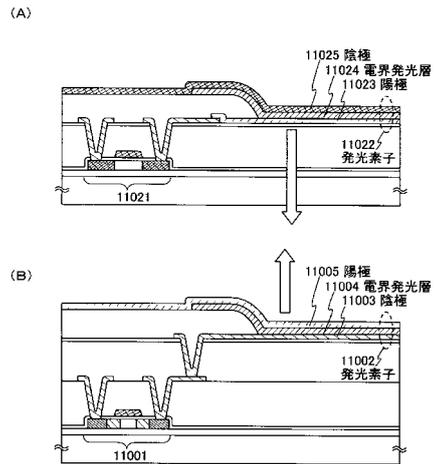


【図10】

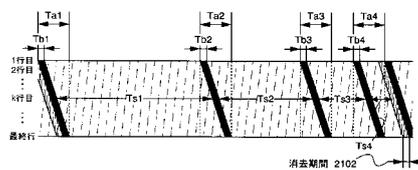


- 10001: 信号線
- 10002: 電源線
- 10003: 第2の走査線
- 10004: 第1の走査線
- 10005: スイッチング用トランジスタ
- 10006: 消去用トランジスタ
- 10007: 駆動用トランジスタ
- 10008: 電流制御用トランジスタ
- 10009: 面発光層
- 10010: 発光エッジ

【図11】



【図12】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 1 4

H 0 5 B 33/14 A

- (56)参考文献 特開2003-059650(JP,A)
特開2002-108285(JP,A)
特開2001-005426(JP,A)
特開平11-282419(JP,A)
特開平10-214487(JP,A)
特公平02-041113(JP,B2)
特開平08-115136(JP,A)
特開平09-321596(JP,A)
特開2002-333862(JP,A)
特開2000-221942(JP,A)
特開平09-168119(JP,A)
特開平06-216727(JP,A)
特開平06-013820(JP,A)
特開2000-252426(JP,A)
特開2002-124377(JP,A)
特開2003-323154(JP,A)
特開2004-333594(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20 - 3/30

H01L 29/786

H01L 51/50