СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1266009 A1

(51) 4 H 03 M 7/18

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ 13 13

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3790474/24-24
(22) 14.09.84
(46) 23.10.86. Бюл. № 39
(71) Научно-исследовательский институт прикладных физических проблем им. А. Н. Севченко
(72) А. А. Коляда
(53) 681.325.53(088.8)
(56) Авторское свидетельство СССР № 637809, кл. G 06 F 5/02, 1977.

Авторское свидетельство СССР № 1007098, кл. G 06 F 5/02, 17.07.81.

(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ ИНТЕГРАЛЬНЫХ ХАРАКТЕРИСТИК МОДУЛЯРНОГО КОДА

(57) Изобретение относится к вычислительной технике и может быть использовано в быстродействующих цифровых устройствах для выполнения немодульных операций над числами, представленными в непозиционных системах счисления. Целью изобретения является расширение функциональных возможностей устройства за счет получения ранга, ядра и полиадического кода числа. Для этого устройство содержит информационные входы, входные регистры, блоки суммирования вычетов, сумматоры, корректор ядра числа, анализаторы индексов знаковых чисел, корректор ранга числа, регистры первой, второй и третьей цифр полиадического кода числа, счетчики, регистр поправки, выходы полиадического кода, выход поправки, выход ранга числа, выход ядра числа, два элемента задержки. Блок суммирования вычетов содержит функциональные преобразователи, регистры, сумматоры, элементы задержки, блок формирования числа переполнений. 2 ил.

(19) SU (11) 1266009 A1

Изобретение относится к вычислительной технике и предназначено для использования в быстродействующих цифровых устройствах для выполнения немодульных операций над числами, представленными в непозиционных системах счисления.

Цель изобретения — расширение функциональных возможностей устройства за счет получения ранга, ядра и полиадического кода числа.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 — структурная схема блока суммирования вычетов по модулю системы счисления.

Устройство содержит информационные входы 1.1, 1.2,...,1.κ (κ — число оснований модулярной системы счисления), входные регистры 2.1, 2.2,..., 2.κ, блоки 3.1, 3.2,..., 3.κ—1 суммирования вычетов соответственно по модулям m_2, m_3,...m_k, сумматоры 4.1, 4.2,...,4.κ—2 по модулям m_3, m_4,...,m_k соответственно, корректор 5 ядра числа, анализаторы 6.1, 6.2,...,6.κ—2 индексов знаковых чисел, корректор 7 ранга числа, регистры 8.1, 8.2, 8.3 соответственно первой, второй и третьей цифр полиадического кода числа, счетчики 9.1,...,9 (κ—1) соответственно по модулям m_4, m_5,...,m_k, регистр 10 поправки, выходы 11.1, 11.2,...,11.к полиадического кода, выход 12 поправки, выход 13 ранга числа выход 14 ядра числа, первый 15.1 и второй 15.2 элементы задержки.

Блок 3.i суммирования вычетов по модулю m_i содержит функциональные преобразователи 16.1,16.2,...,16.r (r=$]\frac{i}{2}[$), регистры 17, сумматоры 18 по модулю m_i, элементы 19 задержки и блок 20 формирования числа переполнений.

Устройство работает следующим образом.

Модулярный код ($\alpha_1, \alpha_2,..., \alpha_k$) исходного числа $A \in \{0,1,...,M-1\}$, где $\alpha_i = /A/_{m_i}$ (i= 1,2,...,к); m_i— основания системы; $M = \prod_{S=1}^{\kappa} m_s$, через входы устройства 1.1, 1.2,..., 1.κ принимается во входные регистры 2.1, 2.2,...,2.κ, после чего начинается операция формирования интегральных характеристик модулярного кода числа A. Остаток α_1, совпадающий с первой цифрой полиадического кода числа, подается с выхода регистра 2.1 в элемент 15.1 задержки, представляющий собой цепочку из $T =]\log_2 \kappa[$ последовательно соединенных регистров, и через T тактов появляется на выходе элемента 15.1 задержки. На $(T+1)$ такте он заносится в регистр 8.1. Остатки $\alpha_1, \alpha_2..., \alpha_k$ с выходов регистров 2.1, 2.2,...,2.κ подаются на соответствующие входы блоков 3.2,,,. 3.κ—1 суммирования вычетов по модулям m_2, m_3,..., m_k соответственно, выполненных по конвейерной схеме.

С помощью функциональных преобразователей 16.1, 16.2,...,16.r (r= $]\frac{i}{2}[$, i= 2, 3,..., κ), представляющих собой ПЗУ емкостью $2^{b_{2j-1}+b_{2j}}$ слов (j= 1,2,...,r) разрядностью $1+b_i$ бит, формируются пары вычетов

$$W_i(\alpha_{2j-1}, \alpha_{2j}) = \langle |q_i(\alpha_{2j-1}) + q_i(\alpha_{2j})|m_i, \frac{1}{m_i}[q_i(\alpha_{2j-1}) + q_i(\alpha_{2j})] \rangle,$$

где

$$q_i(\alpha_l) = [\frac{m_i}{m_l} | \alpha_l M_l^{-1} | m_l];$$

$$l = 1, 2,..., i;$$

$$M_l = \frac{M}{m_l}$$

Суммирование вычетов $q_i(\alpha_1)$, $q_i(\alpha_2)$,..., $q_i(\alpha_i)$ продолжается в сумматорах 18 с переполнением. Промежуточные результаты на каждом такте заносятся в регистры 17. Полученная по истечении $]\log_2 i[$-го такта величина

$$\hat{\eta}_i = |\sum_{l=1}^{i} q_i(\alpha_l)|m_i$$

поступает на вход элемента 19 задержки, состоящего из цепочки из T-$[\log_2 i)$ регистров, и на Т-м такте появляется на первом выходе блока 3.i. Одновременно на выходе блока 20 формирования числа переполнений, являющемся вторым выходом блока 3.i, формируется число $\hat{\rho}_i$ переполнений, прошедших в ходе проведенного суммирования.

Величина $\hat{\eta}_2$, представляющая собой вторую цифру полиадического кода числа A, с первого выхода блока 3.1 передается в регистр 8.2, а величина $\hat{\rho}_{i-1}$ и $\hat{\eta}_i$ с второго выхода блока 3.i—1 и первого блока 3.i поступают соответственно на первый и второй входы сумматора 4.i—2 (i= 3, 4,...,κ), на первом выходе которого формируется оценка $\hat{a}_i = |\hat{\rho}_{i-1} + \hat{\eta}_i|m_i$, на втором выходе — признак $S = \omega_i \delta_i$, где $\omega_i = 1$ при наличии переполнения при суммировании; $\omega_i = 0$ при отсутствии переполнения; δ_i — признак, формируемый на третьем выходе суматоров 4.2,...,4.κ—3; $\delta_i = 1$ в случае, если сумма равна вычету $m_i - 1$, $\delta_i = 0$ в остальных случаях. Величина $\hat{a}_3$ совпадает с третьей цифрой полиадического кода числа А и поэтому подается в регистр 8.3 непосредственно. Оценки $\hat{a}_i$ (i= =4, 5,..., к) подаются на информационные входы счетчиков 9.i соответственно. Признаки S_i и δ_i с выходов сумматора 4.i—2 подаются на соответствующие входы анализаторов 6.i—3,...,6.κ—2 (i= 4,5,...,к). Признак S_3 подается также через элемент 15.2 задержки на счетный вход счетчика 9.1. На выхо-

де анаизатора 6.i—2 формируется поправка i-го порядка

$$\Theta_i = S_i \vee \delta_i S_{i-1} \vee \ldots \vee \delta_i \delta_{i-1},\ldots,\delta_4 S_3,$$

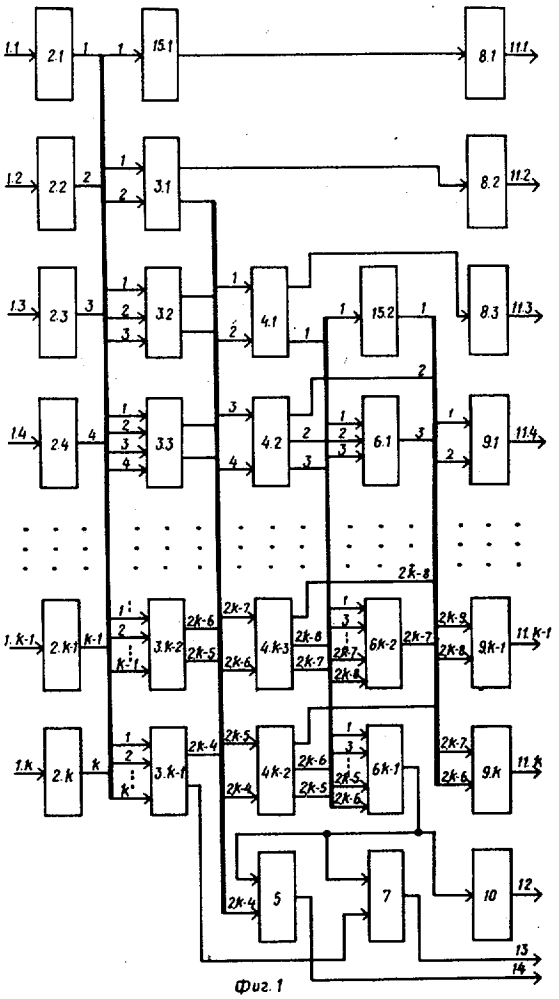
которая поступает на счетный вход счетчика 9.i+1 (i= 4,5,6,...,к—1).

Поправка Θ_k с выхода анализатора 6.к—1 передается в регистр 10 поправки, а также подается на первые входы корректоров 5 и 7 ядра и ранга числа, на вторые входы которых поступают соответственно величины $\hat{\eta}_k$ и $\hat{\rho}_k$. В результате коррекции в счетчиках 9_i получают i-ые цифры полиадического кода $a_i = |\hat{a}_i + \Theta_{i-1}|m_i$. В корректоре 5 определяется ядро числа $\eta = \eta_k - m_k \cdot \Theta_k$, в корректоре 7 — ранг $\rho = \hat{\rho}_k + \Theta_k$ числа A. Полученные интегральные характеристики исходного модулярного кода $a_1, a_2,\ldots, a_k, \Theta_k$, ρ и η снимаются с выходов 11.1, 11.2,...,11_k, 12, 13 и 14 соответственно.

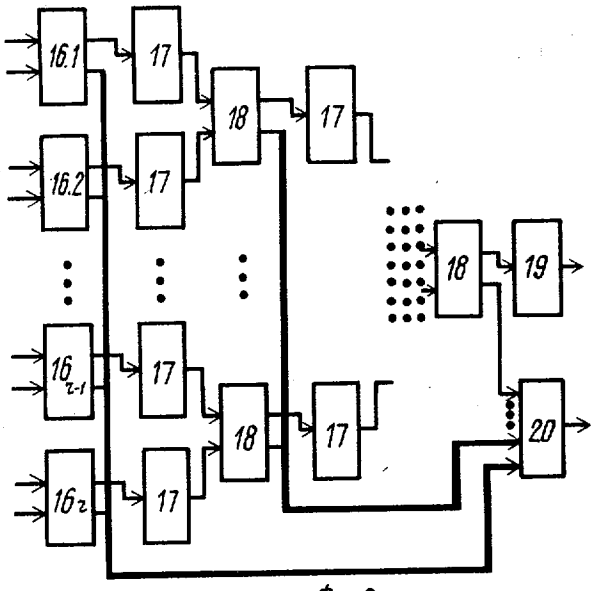
Благодаря конвейерной структуре предлагаемого устройства формирование интегральных характеристик каждого последующего числа может быть начато после одного такта выполнения операций по формированию интегральных характеристик предыдущего числа.

Формула изобретения

Устройство для формирования интегральных характеристик модулярного кода, содержащее $к$ входных регистров ($к$ — число модулей системы), входы которых являются входами устройства, ($к$—2) блоков суммирования вычетов по модулям m_2, $m_3,\ldots,m_{k-1}$, соответственно, анализатор индексов знаковых чисел и регистр поправки, выход которого является выходом поправки устройства, *отличающееся* тем, что, с целью расширения функциональных возможностей за счет получения ранга, ядра и полиадического кода числа, в него введены первый и второй элементы задержки, дополнительный блок суммирования вычетов по модулю m_k, ($к$—2) сумматоров по модулям $m_3,\ldots, m_k$ соответственно, корректор ядра, ($к$—4) дополнительных анализаторов индексов знаковых чисел, корректор ранга, регистры трех младших цифр полиадического кода и ($к$—3) счетчиков по модулям $m_4, m_5,\ldots, m_k$, выходы которых являются выходами полиадического кода устройства, выход корректора ядра является выходом ядра устройства, а выход корректора ранга числа — выходом ранга устройства, выход первого входного регистра через первый элемент задержки соединен с входом регистра первой младшей цифры полиадического кода, j-й вход блока суммирования вычетов по модулю m_i подключен к выходу j-го входного регистра (где i= 2,3,..., К; j= 1, 2,..., i), первый выход блока суммирования вычетов по модулю m_2 подключен к входу регистра второй младшей цифры полиадического кода, первый и второй входы i-го сумматора по модулю m_{i+2} (i= 1,2,..., $К$—2) подключены к второму и первому выходам блоков суммирования вычетов по модулям m_{i+1} и m_{i+2} соответственно, первый и второй выходы блока суммирования вычетов по модулю m_k подключены к вторым входам корректоров ядра и ранга числа соответственно, первые входы которых и вход регистра поправки объединены и подключены к выходу (К—3)-го анализатора индексов знаковых чисел, первый выход первого сумматора по модулю m_3 подключен к входу регистра третьей младшей цифры полиадического кода, а его второй выход через второй элемент задержки подключен к счетному входу первого счетчика по модулю m_4, первый вход i-го сумматора по модулю m_{i+2} (i= 2, 3,...,К—2) подключен к информационному входу счетчика по модулю m_{i+2}, счетный вход счетчика по модулю m_{i+2} (i= 3, 4,..., К—2) подключен к выходу (i—2)-го анализатора индексов знаковых чисел соответственно, (2j—1)-й и 2ℓ-й входы i-го анализатора индексов знаковых чисел подключены соответственно к второму выходу j-го и третьему выходу (ℓ+1)-го сумматоров для всех j= 1, 2,..., i+1, ℓ= 1,2,..., i, i= 1, 2,..., $к$—3.



Фиг. 1



Фиг. 2

Составитель О. Неплохов
Редактор О. Головач Техред И. Верес Корректор И. Муска
Заказ 5682/58 Тираж 816 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4