

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

second wiring (R2) is connected to the second output terminal (162b). The serial circuit (165) is connected between the first wiring (R1) and the second wiring (R2). The serial circuit (165) includes a first inductor (e.g., inductor Lc1), a second inductor (e.g., inductor Lc2), and a capacitor (C1).

(57) 要約: 差動増幅での高調波成分を減衰することができる高周波回路及び通信装置を提供する。高周波回路は、差動増幅回路(16)を含む。差動増幅回路(16)は、第1増幅素子(161)と、第2増幅素子(162)と、第1配線(R1)と、第2配線(R2)と、直列回路(165)と、を含む。第1増幅素子(161)は、第1入力端子(161a)及び第1出力端子(161b)を有する。第2増幅素子(162)は、第2入力端子(162a)及び第2出力端子(162b)を有する。第1配線(R1)は、第1出力端子(161b)と接続されている。第2配線(R2)は、第2出力端子(162b)と接続されている。直列回路(165)は、第1配線(R1)と第2配線(R2)との間に接続されている。直列回路(165)は、第1インダクタ(例えば、インダクタLc1)と、第2インダクタ(例えば、インダクタLc2)と、キャパシタ(C1)と、を含む。

明 細 書

発明の名称：高周波回路及び通信装置

技術分野

[0001] 本発明は、一般に高周波回路及び通信装置に関し、より詳細には差動増幅回路を備える高周波回路及び通信装置に関する。

背景技術

[0002] 従来、シングルエンドの信号を一对の差動信号に変換して、増幅する電力増幅モジュールが知られている（特許文献1参照）。

[0003] 特許文献1の電力増幅モジュールは、第1トランスと、第1増幅回路と、第2増幅回路と、第2トランスと、を備える。第1トランスは、シングルエンドの信号を第1トランスで一对の差動信号に変換する。第1増幅回路は、一对の差動信号のうち一方の信号を電力増幅する。第2増幅回路は、一对の差動信号のうち他方の信号を電力増幅する。第2トランスは、第1増幅回路で増幅された信号と第2増幅回路で増幅された信号とを用いて、シングルエンドの信号を生成して、出力する。

先行技術文献

特許文献

[0004] 特許文献1：特開2020-28108号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1のように差動増幅を行う電力増幅モジュール（高周波回路）では、高調波成分について何ら考慮されていない。

[0006] 本発明は上記課題に鑑みてなされ、差動増幅での高調波成分を減衰することができる高周波回路及び通信装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様に係る高周波回路は、差動増幅回路を備える。前記差動増幅回路は、第1増幅素子と、第2増幅素子と、第1配線と、第2配線と、直

列回路と、を含む。前記第 1 増幅素子は、第 1 入力端子及び第 1 出力端子を有する。前記第 2 増幅素子は、第 2 入力端子及び第 2 出力端子を有する。前記第 1 配線は、前記第 1 出力端子と接続されている。前記第 2 配線は、前記第 2 出力端子と接続されている。前記直列回路は、前記第 1 配線と前記第 2 配線との間に接続されている。前記直列回路は、第 1 インダクタと、第 2 インダクタと、キャパシタと、を含む。

[0008] 本発明の一態様に係る通信装置は、前記高周波回路と、前記高周波回路が接続されている信号処理回路と、を備える。

発明の効果

[0009] この発明によると、差動増幅での高調波成分を減衰することができる。

図面の簡単な説明

[0010] [図1]図 1 は、一実施形態に係る高周波回路を備える通信装置の構成を説明する回路図である。

[図2]図 2 は、同上の高周波回路が備える差動増幅回路の構成を説明する回路図である。

[図3]図 3 は、同上の高周波回路における周波数特性を説明する図である。

[図4]図 4 A は、同上の高周波回路が直列回路を備えることで得られる周波数特性を説明する図である。図 4 B は、同上の高周波回路における高調波成分の位相を説明するスミスチャートである。

[図5]図 5 は、同上の高周波回路が直列回路及び直列共振回路を備えることで得られる周波数特性を説明する図である。

[図6]図 6 は、同上の直列回路が備える複数のインダクタの構成例を説明する平面図である。

[図7]図 7 A 及び図 7 B は、同上の直列回路が備える複数のインダクタが配置されている各層における構成例を説明する平面図である。

[図8]図 8 は、実施形態に係る変形例 1 の直列回路が備える複数のインダクタの構成例を説明する平面図である。

[図9]図 9 A ～図 9 C は、実施形態に係る変形例 5 の高周波回路における配置

関係を表す図である。

発明を実施するための形態

[0011] 以下の実施形態等において参照する図6～図9Cは、いずれも模式的な図であり、図中の各構成要素の大きさや厚さそれぞれの比が、必ずしも実際の寸法比を反映しているとは限らない。

[0012] (実施形態)

以下、実施形態に係る高周波モジュール1及び高周波モジュール1を備える通信装置500について、図1～図7Bを用いて説明する。

[0013] (1) 高周波モジュール

実施形態に係る高周波モジュール1は、図1に示すように、高周波回路10と、アンテナ端子20と、を備える。

[0014] 本実施形態に係る高周波モジュール1は、例えば、マルチモード／マルチバンド対応の通信装置500に用いられる。通信装置500は、図1に示すように、高周波モジュール1と、信号処理回路2と、アンテナ3と、を備える。通信装置500は、例えば、携帯電話（例えば、スマートフォン）であるが、これに限らず、例えば、ウェアラブル端末（例えば、スマートウォッチ）等であってもよい。高周波モジュール1は、例えば、4G（第4世代移動通信）規格、5G（第5世代移動通信）規格等に対応可能なモジュールである。4G規格は、例えば、3GPP（Third Generation Partnership Project）LTE（Long Term Evolution）規格である。5G規格は、例えば、5G NR（New Radio）である。

[0015] 本実施形態に係る高周波モジュール1は、ミッドバンドの周波数帯域の通信を行う。本実施形態では、4Gで通信を行う場合には、4Gで規定されているミッドバンドの周波数帯域として、例えばBand 4（送信帯域1710MHz～1755MHz、受信帯域2110MHz～2155MHz）が用いられる。5Gで通信が行われる場合には、5Gで規定されているミッドバンドの周波数帯域として、例えばn1（周波数帯域1920～1980）が用いられる。

[0016] (2) 高周波モジュールの各構成要素

以下、実施形態に係る高周波モジュール1の各構成要素について、図面を参照して説明する。

[0017] 高周波モジュール1は、上述したように、高周波回路10と、アンテナ端子20と、を備える。高周波モジュール1は、実装基板300（図6参照）を、更に備える。

[0018] 実装基板300は主面301を有する（図6参照）。実装基板300の主面301には、高周波回路10が備える回路部品が実装される。ここにおいて、「回路部品が実装基板300の主面301に実装されている」とは、回路部品が実装基板300に配置されていること（機械的に接続されていること）と、回路部品が実装基板300（の適宜の導体部）と電氣的に接続されていることと、を含む。したがって、高周波モジュール1では、複数の回路部品の各々は、実装基板300の主面301に配置されている。複数の回路部品は、実装基板300に実装される電子部品だけに限らず、実装基板300内に設けられる回路素子を含んでもよい。

[0019] 実装基板300は、例えば、プリント配線板、LTCC（Low Temperature Co-fired Ceramics）基板、HTCC（High Temperature Co-fired Ceramics）基板、樹脂多層基板である。ここにおいて、実装基板300は、例えば、複数の誘電体層及び複数の導電層を含む多層基板である。複数の誘電体層及び複数の導電層は、実装基板300の厚さ方向において積層されている。複数の導電層は、層ごとに定められた所定パターンに形成されている。複数の導電層の各々は、実装基板300の厚さ方向に直交する一平面内において1つ又は複数の導体部を含む。各導電層の材料は、例えば、銅である。複数の導電層は、グランド層を含む。高周波モジュール1では、複数の外部接続端子に含まれる1つ以上のグランド端子とグランド層とが、実装基板300の有するビア導体等を介して電氣的に接続されている。

[0020] 実装基板300は、プリント配線板、LTCC基板に限らず、配線構造体であってもよい。配線構造体は、例えば、多層構造体である。多層構造体は

、少なくとも1つの絶縁層と、少なくとも1つの導電層とを含む。絶縁層は、所定パターンに形成されている。絶縁層が複数の場合は、複数の絶縁層は、層ごとに定められた所定パターンに形成されている。導電層は、絶縁層の所定パターンとは異なる所定パターンに形成されている。導電層が複数の場合は、複数の導電層は、層ごとに定められた所定パターンに形成されている。導電層は、1つ又は複数の再配線部を含んでもよい。配線構造体は、例えば、インタポーザであってもよい。インタポーザは、シリコン基板を用いたインタポーザであってもよいし、多層で構成された基板であってもよい。

[0021] また、実装基板300の主面301は、微細な凹凸又は凹部又は凸部が形成されていてもよい。実装基板300の厚さ方向からの平面視で、実装基板300は、長方形状であるが、これに限らず、例えば、正方形状であってもよい。

[0022] アンテナ端子20は、図1に示すように、アンテナ3に電氣的に接続される。

[0023] 高周波回路10は、図1に示すように、スイッチ11と、第1整合回路12と、第2整合回路13と、送信フィルタ14と、受信フィルタ15と、差動増幅回路16と、第3整合回路17と、ローノイズアンプ18と、を備える。

[0024] スイッチ11は、アンテナ端子20との接続先を切り替えるスイッチである。スイッチ11は、図1に示すように、共通端子111と、複数（図示例では2つ）の選択端子112、113とを有する。スイッチ11は、信号処理回路2の制御により、選択端子112、113のうち少なくとも1つを共通端子111の接続先として選択する。共通端子111は、アンテナ端子20に電氣的に接続されている。つまり、共通端子111は、アンテナ端子20を介してアンテナ3に電氣的に接続されている。なお、共通端子111は、アンテナ3に直接接続されていることに限定されない。共通端子111とアンテナ端子20との間には、フィルタ又はカプラ等が設けられていてもよい。選択端子112は、第1整合回路12に電氣的に接続されている。選択

端子 1 1 3 は、第 2 整合回路 1 3 に電氣的に接続されている。スイッチ 1 1 は、信号処理回路 2 の制御により、アンテナ端子 2 0 と、第 1 整合回路 1 2 及び第 2 整合回路 1 3 のうち少なくとも 1 つの整合回路と、の接続を行うように構成されている。

[0025] 第 1 整合回路 1 2 は、送信フィルタ 1 4 とアンテナ端子 2 0 との間のインピーダンス整合をとる。第 1 整合回路 1 2 は、例えば、1 つのインダクタで構成されるが、これに限らず、例えば、複数のインダクタ及び複数のキャパシタを含む場合もある。

[0026] 第 2 整合回路 1 3 は、受信フィルタ 1 5 とアンテナ端子 2 0 との間のインピーダンス整合をとる。第 2 整合回路 1 3 は、例えば、1 つのインダクタで構成されるが、これに限らず、例えば、複数のインダクタ及び複数のキャパシタを含む場合もある。

[0027] 送信フィルタ 1 4 は、例えば、弾性波フィルタであり、複数の直列腕共振子及び複数の並列腕共振子の各々が弾性波共振子により構成されている。弾性波フィルタは、例えば、弾性表面波を利用する S A W (Surface Acoustic Wave) フィルタである。なお、送信フィルタ 1 4 は、S A W フィルタに限定されない。送信フィルタ 1 4 は S A W フィルタ以外、例えば B A W (Bulk Acoustic Wave) フィルタであってもよい。または、送信フィルタ 1 4 は、F B A R (Film Bulk Acoustic Resonator) 等により構成されてもよい。また、送信フィルタ 1 4 は、L C 共振回路等により構成されてもよい。

[0028] 送信フィルタ 1 4 は、アンテナ 3 から送信する高周波信号（送信信号）を通過させる。送信フィルタ 1 4 は、例えば、ミッドハイバンドに含まれる周波数帯域の送信信号を通過させる。本実施形態では、送信フィルタ 1 4 は、周波数帯域の送信信号として、4 G で規定されている通信バンドの送信信号を通過させる。例えば 4 G で規定された B a n d 4 である。すなわち、送信信号は、送信帯域を 1 7 1 0 M H z - 1 7 5 5 M H z とする周波数帯域の信号である。

[0029] 受信フィルタ 1 5 は、例えば、弾性波フィルタであり、複数の直列腕共振

子及び複数の並列腕共振子の各々が弾性波共振子により構成されている。弾性波フィルタは、例えば、弾性表面波を利用するSAWフィルタである。なお、受信フィルタ15は、SAWフィルタに限定されない。受信フィルタ15はSAWフィルタ以外、例えばBAWフィルタであってもよい。または、受信フィルタ15は、FBAR等により構成されてもよい。また、受信フィルタ15は、LC共振回路等により構成されてもよい。

[0030] 受信フィルタ15は、アンテナ3が受信した高周波信号（受信信号）を通過させる。受信フィルタ15は、例えば、ミッドハイバンドに含まれる周波数帯域の受信信号を通過させる。本実施形態では、受信フィルタ15は、周波数帯域の送信信号として、4Gで規定されている通信バンドの送信信号を通過させる。ここで、通信バンドは、例えば4Gで規定されたBand4である。すなわち、受信信号は、受信帯域を2110MHz－2155MHzとする周波数帯域の信号である。

[0031] 差動増幅回路16は、信号処理回路2から受け取った信号（送信信号）を差動増幅し、高調波成分（2次の高調波成分、3次の高調波成分等）を減衰する。差動増幅回路16の詳細な構成については、後述する。

[0032] 第3整合回路17は、受信フィルタ15とローノイズアンプ18との間のインピーダンス整合をとる。第3整合回路17は、例えば、1つのインダクタで構成されるが、これに限らず、例えば、複数のインダクタ及び複数のキャパシタを含む場合もある。

[0033] ローノイズアンプ18は、受信信号を増幅する。ローノイズアンプ18の入力端子は、受信フィルタ15に電氣的に接続されている。ローノイズアンプ18の出力端子は信号処理回路2に電氣的に接続されている。すなわち、アンテナ3が受信した受信信号は、受信フィルタ15を介してローノイズアンプ18に入力される。ローノイズアンプ18で増幅された受信信号はローノイズアンプ18から信号処理回路2に出力される。

[0034] （3）通信装置

本実施形態に係る通信装置500は、図1に示すように、高周波モジュール

ル 1 と、信号処理回路 2 と、アンテナ 3 と、を備える。信号処理回路 2 は、高周波モジュール 1 を通る信号の信号処理を行う。信号処理回路 2 は、ベースバンド信号処理回路 201 と、RF 信号処理回路 202 とを備える。

[0035] ベースバンド信号処理回路 201 は、図 1 に示すように、例えば BBIC (Baseband Integrated Circuit) であり、RF 信号処理回路 202 に電氣的に接続されている。ベースバンド信号処理回路 201 は、ベースバンド信号から I 相信号及び Q 相信号を生成する。ベースバンド信号処理回路 201 は、I 相信号と Q 相信号とを合成することで IQ 変調処理を行って、送信信号を出力する。この際、送信信号は、所定周波数の搬送波信号を、当該搬送波信号の周期よりも長い周期で振幅変調した変調信号として生成される。

[0036] RF 信号処理回路 202 は、図 1 に示すように、例えば RFC (Radio Frequency Integrated Circuit) であり、高周波モジュール 1 とベースバンド信号処理回路 201 との間に設けられている。RF 信号処理回路 202 は、ベースバンド信号処理回路 201 からの送信信号に対して信号処理を行う機能と、アンテナ 3 で受信された受信信号に対して信号処理を行う機能とを有する。RF 信号処理回路 202 は、マルチバンド対応の処理回路であり、複数の通信バンドの送信信号を生成して増幅することが可能である。

[0037] なお、通信装置 500 では、ベースバンド信号処理回路 201 は必須の構成要素ではない。

[0038] (4) 差動増幅回路

差動増幅回路 16 は、高周波回路 10 に含まれる。差動増幅回路 16 は、図 2 に示すように、差動増幅器 16A と、直列回路 165 と、出力整合回路 166 と、直列共振回路 167 と、を備える。差動増幅器 16A は、図 2 に示すように、第 1 増幅素子 161 と、第 2 増幅素子 162 と、第 3 増幅素子 163 と、段間バラン回路 164 と、第 1 配線 R1 と、第 2 配線 R2 と、を備える。差動増幅器 16A は、1 チップで構成されている。すなわち、第 1 増幅素子 161 と、第 2 増幅素子 162 と、第 3 増幅素子 163 と、段間バラン回路 164 とは、1 チップ化されている。

- [0039] 第3増幅素子163は、入力端子及び出力端子を有する。第3増幅素子163の入力端子は、信号処理回路2のRF信号処理回路202（図1参照）に電氣的に接続されている。第3増幅素子163の出力端子は、段間バラン回路164に電氣的に接続されている。第3増幅素子163は、信号処理回路2のRF信号処理回路202から出力された高周波信号（送信信号）を増幅し、段間バラン回路164に出力する。第3増幅素子163の出力端子には、電圧 V_{cc1} が印加される。すなわち、信号処理回路2から出力された送信信号は、第3増幅素子163に電圧 V_{cc1} が印加された状態で第3増幅素子163にて増幅される。
- [0040] 段間バラン回路164は、非平衡端子164aと、一对の平衡端子164b、164cと、を含む。非平衡端子164aは、第3増幅素子163の出力端子に電氣的に接続されている。すなわち、非平衡端子164aは、第3増幅素子163を介して、信号処理回路2に電氣的に接続されている。平衡端子164bは第1増幅素子161に、平衡端子164cは第2増幅素子162に、それぞれ電氣的に接続されている。
- [0041] 段間バラン回路164は、一次側コイルL10と、二次側コイルL11と、を更に含む。一次側コイルL10の一端は、非平衡端子164aに電氣的に接続されている。一次側コイルL10の他端は、グランドに電氣的に接続されている。二次側コイルL11の一端は平衡端子164bに、二次側コイルL11の他端は平衡端子164cに、それぞれ電氣的に接続されている。なお、一次側コイルL10及び二次側コイルL11は、導体パターン部で形成されてもよい。
- [0042] 非平衡端子164aでは、RF信号処理回路202から出力された信号であって第3増幅素子163で増幅された高周波信号（送信信号）が入力される。段間バラン回路164は、非平衡端子164aで入力された信号に対して非平衡－平衡変換を行い、互いに位相が反転した2つの信号（位相が180度ずれた2つの信号）のうち一方の信号を第1増幅素子161に出力し、他方の信号を第2増幅素子162に出力する。

- [0043] 第1増幅素子161及び第2増幅素子162は、例えば、バイポーラトランジスタとしてHBT (Heterojunction Bipolar Transistor) を含む。
- [0044] 第1増幅素子161は、第1入力端子161aと、第1出力端子161bと、を有する。第1増幅素子161の第1入力端子161aは、段間平衡回路164の平衡端子164bに電氣的に接続されている。第1増幅素子161の第1出力端子161bは、第1配線R1を介して出力整合回路166に電氣的に接続されている。第1増幅素子161は、平衡端子164bから出力された信号を増幅し、出力整合回路166に出力する。
- [0045] 第2増幅素子162は、第2入力端子162aと、第2出力端子162bと、を有する。第2増幅素子162の第2入力端子162aは、段間平衡回路164の平衡端子164cに電氣的に接続されている。第2増幅素子162の第2出力端子162bは、第2配線R2を介して出力整合回路166に電氣的に接続されている。第2増幅素子162は、平衡端子164cから出力された信号を増幅し、出力整合回路166に出力する。
- [0046] 第1配線R1は、導体パターン部で形成されている。第1配線R1の一端は、第1増幅素子161の第1出力端子161bに電氣的に接続されている。第1配線R1の他端は、出力整合回路166に電氣的に接続されている。
- [0047] 第2配線R2は、導体パターン部で形成されている。第2配線R2の一端は、第2増幅素子162の第2出力端子162bに電氣的に接続されている。第2配線R2の他端は、出力整合回路166に電氣的に接続されている。
- [0048] 直列回路165は、第1配線R1と第2配線R2との間に電氣的に接続されている。直列回路165は、インダクタLc1 (第1インダクタ) と、インダクタLc2 (第2インダクタ) と、キャパシタC1 (第1キャパシタ) と、を含む。キャパシタC1は、例えばチップコンデンサである。インダクタLc1及びインダクタLc2は、導体パターン部で形成されている。インダクタLc1とインダクタLc2とのインダクタンス値は同じである。例えば、インダクタLc1とインダクタLc2とは、所定の軸に対して線対称となるように実装 (配置) されている。これにより、インダクタLc1とイン

ダクタL c 2とのインダクタンス値を同じにすることができる。ここで、「インダクタL c 1とインダクタL c 2とのインダクタンス値は同じである」とは、インダクタL c 1のインダクタンス値とインダクタL c 2のインダクタンス値とが完全に一致する場合の他、インダクタL c 1のインダクタンス値を基準とした場合にインダクタL c 2のインダクタンス値が±20%の範囲内であることも含む。

[0049] インダクタL c 1の一端は第1配線R 1に電氣的に接続されている。インダクタL c 1の他端は、キャパシタC 1の一端に接続されている。キャパシタC 1の他端は、インダクタL c 2の一端に電氣的に接続されている。インダクタL c 2の他端は、第2配線R 2に電氣的に接続されている。直列回路165は、グランドに接続されていない。

[0050] 直列回路165は、上記構成を有する直列共振回路であり、送信信号の周波数の奇数次の高調波成分、例えば3次の高調波成分を減衰する。直列回路165は、送信信号が属する通信バンドの下限值の3倍の第1値と、当該通信バンドの上限値の3倍の第2値との間の高調波成分を減衰する。例えば、直列回路165は、通信バンドの中心周波数を基準として、中心周波数の3倍の高調波成分を減衰する。すなわち、直列回路165は、第1増幅素子161から出力された信号のうち送信信号の周波数の3倍の高調波成分を減衰する。さらに、直列回路165は、第2増幅素子162から出力された信号のうち送信信号の周波数の3倍の高調波成分を減衰する。すなわち、直列回路165は、第1配線R 1及び第2配線R 2を通る高調波成分を直列回路165にバイパスさせるバイパス回路ともいえる。さらに、言い換えると、直列回路165は、第1配線R 1及び第2配線R 2を通る高調波成分を減衰させるので、減衰回路ともいえる。

[0051] 出力整合回路166は、いわゆるバラン回路である。出力整合回路166は、差動増幅器16Aと、送信フィルタ14との間のインピーダンス整合をとる。出力整合回路166は、複数（図示例では、4つ）のインダクタL 1、L 2、L 3、L 4と、キャパシタC 2と、を含み、バラン回路を構成して

いる。出力整合回路 166 は、一对の平衡端子 166 a, 166 b と、非平衡端子 166 c と、を更に含む。インダクタ L 1, L 2, L 3, L 4 は、導体パターン部で形成されている。なお、インダクタ L 1, L 2, L 3, L 4 は、チップインダクタ等であってもよい。

[0052] 平衡端子 166 a は、第 1 配線 R 1 を介して第 1 増幅素子 161 の第 1 出力端子 161 b に電氣的に接続されている。平衡端子 166 b は、第 2 配線 R 2 を介して第 2 増幅素子 162 の第 2 出力端子 162 b に電氣的に接続されている。非平衡端子 166 c は、直列共振回路 167 及び送信フィルタ 14 に電氣的に接続されている。

[0053] インダクタ L 1 とインダクタ L 2 とは、直列に接続されている。インダクタ L 1 の一端はグラウンドに電氣的に接続されている。インダクタ L 1 の他端は、インダクタ L 2 の一端に電氣的に接続されている。インダクタ L 2 の他端は、非平衡端子 166 c に電氣的に接続されている。インダクタ L 3 とインダクタ L 4 とは、直列に接続されている。インダクタ L 3 の一端は、平衡端子 166 a に電氣的に接続されている。インダクタ L 3 の他端は、インダクタ L 4 の一端に電氣的に接続されている。インダクタ L 4 の他端は平衡端子 166 b に電氣的に接続されている。キャパシタ C 2 の一端は、インダクタ L 3 とインダクタ L 4 との間の点（例えば、中点）に電氣的に接続されている。キャパシタ C 2 の他端はグラウンドに電氣的に接続されている。

[0054] 出力整合回路 166 では、第 1 増幅素子 161 から出力された信号及び第 2 増幅素子から出力された信号は、位相が反転された状態を維持したままでインピーダンス変換される。これにより、差動増幅器 16A の出力インピーダンスは、送信フィルタ 14 の入力インピーダンスとインピーダンス整合される。送信フィルタ 14 では、インピーダンス整合された送信信号が入力される。

[0055] 直列共振回路 167 は、一端が非平衡端子 166 c に電氣的に接続され、他端がグラウンドに電氣的に接続されている。直列共振回路 167 は、キャパシタ C 3（第 2 キャパシタ）と、インダクタ L c 3 と、を含む。インダクタ

L c 3 は、導体パターン部で形成されている。キャパシタ C 3 の一端は、非平衡端子 1 6 6 c に電氣的に接続されている。キャパシタ C 3 の他端は、インダクタ L c 3 の一端に電氣的に接続されている。インダクタ L c 3 の他端は、グランドに電氣的に接続されている。なお、インダクタ L c 3 は、チップインダクタ等であってもよい。

[0056] 直列共振回路 1 6 7 は、送信信号の周波数の偶数次の高調波成分、例えば 2 次の高調波成分を減衰する。直列共振回路 1 6 7 は、送信信号が属する通信バンドの下限値の 2 倍の第 3 値と、当該通信バンドの上限値の 2 倍の第 4 値との間の高調波成分を減衰する。例えば、直列共振回路 1 6 7 は、通信バンドの中心周波数を基準として、中心周波数の 2 倍の高調波成分を減衰する。すなわち、直列共振回路 1 6 7 は、出力整合回路 1 6 6 から出力された信号のうち、送信信号の周波数の 2 倍の高調波成分を減衰する。

[0057] 差動増幅回路 1 6 は、図 2 に示すように、複数（図示例では、2 つ）のインダクタ L a 1（第 3 インダクタ）とインダクタ L a 2（第 4 インダクタ）と、を更に備える。インダクタ L a 1 及びインダクタ L a 2 は、導体パターン部で形成されている。インダクタ L a 1 とインダクタ L a 2 とは、インダクタンス値は同じである。例えば、インダクタ L a 1 とインダクタ L a 2 とは、所定の軸に対して線対称となるように実装（配置）されている。これにより、インダクタ L a 1 とインダクタ L a 2 とのインダクタンス値を同じにすることができる。ここで、「インダクタ L a 1 とインダクタ L a 2 とのインダクタンス値は同じである」とは、インダクタ L a 1 のインダクタンス値とインダクタ L a 2 のインダクタンス値とが完全に一致する場合の他、インダクタ L a 1、L a 2 のうち一方（例えば、インダクタ L a 1）のインダクタンス値を基準とした場合に他方（例えば、インダクタ L a 2）のインダクタンス値が ± 2 0 % の範囲内であることも含む。

[0058] インダクタ L a 1 は、第 1 出力端子 1 6 1 b と第 1 配線 R 1 との間に接続されている。インダクタ L a 2 は、第 2 出力端子 1 6 2 b と第 2 配線 R 2 との間に接続されている。インダクタ L a 1、L a 2 は、高調波成分（送信信

号の周波数の3倍（3次）の高調波成分）の位相を調整する。具体的には、インダクタ L_{a1} 、 L_{a2} は、高調波成分の位相をオープン方向に調整する。

[0059] （5）効果

以上説明したように、実施形態に係る高周波回路10は、差動増幅回路16を備える。差動増幅回路16は、第1増幅素子161と第2増幅素子162と、第1配線R1と、第2配線R2と、直列回路165と、を含む。第1増幅素子161は、第1入力端子161a及び第1出力端子161bを有する。第2増幅素子162は、第2入力端子162a及び第2出力端子162bを有する。第1配線R1は、第1出力端子161bと接続されている。第2配線R2は、第2出力端子162bと接続されている。直列回路165は、第1配線R1と第2配線R2との間に接続されている。直列回路165は、第1インダクタ（インダクタ L_{c1} ）と、第2インダクタ（インダクタ L_{c2} ）と、キャパシタC1と、を含む。

[0060] この構成によると、直列回路165を直列共振回路とした場合、差動増幅での送信信号に対する高調波成分、例えば送信信号の周波数の3次の高調波成分を減衰することができる。

[0061] ここで、直列回路165を備える高周波回路10と、直列共振回路を備えていない高周波回路との周波数特性を、図3に示す。図3で示す周波数帯域 f_0 は、送信信号の周波数が属する帯域である。図3で示す周波数帯域 f_1 は、周波数帯域 f_0 の3倍の周波数帯域である。すなわち、周波数帯域 f_1 は、送信信号の周波数の3次の周波数を含む。実線は、直列回路165を備える高周波回路10での周波数特性 G_1 を表す。破線は、直列共振回路を備えていない高周波回路の周波数特性 G_2 を表す。なお、図3では、送信信号の周波数の2次の高調波成分については言及していない。

[0062] 周波数特性 G_1 から分かるように、実施形態の高周波回路10では、周波数帯域 f_0 では信号は減衰されないが、周波数帯域 f_1 では信号は減衰されている。一方、周波数特性 G_2 から分かるように、直列共振回路を備えてい

ない高周波回路では、周波数帯域 f_0 及び周波数帯域 f_1 の双方とも信号は減衰されない。

[0063] したがって、実施形態の高周波回路 10 は、直列共振回路を備えていない高周波回路と比較して、良好な通信を行うことができる。

[0064] また、直列回路 165 は、第 1 配線 R1 と第 2 配線 R2 との間に接続されている。高調波成分を減衰する回路（共振回路）を配線に設ける場合と比較して、実施形態の高周波回路 10 は、共振回路による送信信号の損失を低減することができる。

[0065] さらに、実施形態の高周波回路 10 は、第 3 インダクタ（インダクタ L_{a1} ）と、第 4 インダクタ（インダクタ L_{a2} ）と、を更に備える。第 3 インダクタは、第 1 出力端子 161b と第 1 配線 R1 との間に接続されている。第 4 インダクタは、第 2 出力端子 162b と第 2 配線 R2 との間に接続されている。

[0066] この構成によると、送信信号の周波数の 3 次の高調波成分の位相を、オープン方向に調整することができる。

[0067] ここで、直列回路 165、第 3 インダクタ及び第 4 インダクタを備える高周波回路 10（実施形態の高周波回路 10）と、第 3 インダクタ及び第 4 インダクタを備えていない高周波回路との周波数特性を、図 4A に示す。実施形態の高周波回路 10 と、第 3 インダクタ及び第 4 インダクタを備えていない高周波回路（比較例の高周波回路）との周波数特性を、図 4A に示す。ここでは、比較例の高周波回路は、送信信号の周波数の 3 次の高調波成分を減衰する共振回路を備えている。図 4A は、周波数帯域 f_1 の周波数特性を表す図である。なお、図 4A では、送信信号の周波数の 2 次の高調波成分については言及していない。

[0068] また、実施形態の高周波回路 10 及び比較例の高周波回路の各々について、送信信号の周波数の 3 次の高調波成分の位相を表すスミスチャートを、図 4B に示す。

[0069] 図 4B に示す Z_{A1} は、実施形態の高周波回路 10 における送信信号の周

波数の3次の周波数の位相を表す。図4Bに示すZ A 2は、比較例の高周波回路における送信信号の周波数の3次の周波数の位相を表す。

[0070] 図4Aから分かるように、実施形態の高周波回路10と比較例の高周波回路とでは、周波数特性はほぼ同一である。すなわち、実施形態の高周波回路10と比較例の高周波回路との双方とも、送信信号の周波数の3次の高調波成分を減衰させている。

[0071] 一方、図4Bから分かるように、実施形態の高周波回路10における送信信号の周波数の3次の高調波成分の位相は、比較例の高周波回路における送信信号の周波数の3次の高調波成分の位相と比較して、オープン側に位置している。つまり、高周波回路は、第3インダクタ及び第4インダクタを備えることで、送信信号の周波数の3次の高調波成分の位相を、オープン方向に調整することができる。

[0072] さらに、実施形態の高周波回路10の差動増幅回路16は、直列共振回路167を備える。直列共振回路167は、一端が非平衡端子166cに接続されている。直列共振回路167は、直列回路165のキャパシタC1とは異なるキャパシタC2と、インダクタLc3とを含む。

[0073] この構成によると、差動増幅での送信信号に対する高調波成分、例えば送信信号の周波数の2次の高調波成分を減衰することができる。

[0074] ここで、直列回路165及び直列共振回路167を備える高周波回路10（以下、単に高周波回路10という）と、直列共振回路を備えていない高周波回路（別比較例の高周波回路）との周波数特性を、図5に示す。図5で示す周波数帯域f0は、送信信号の周波数が属する帯域である。図5で示す周波数帯域f1は、周波数帯域f0の3倍の周波数帯域である。すなわち、周波数帯域f1は、送信信号の周波数の3倍の周波数を含む。図5で示す周波数帯域f2は、周波数帯域f0の2倍の周波数帯域である。すなわち、周波数帯域f2は、送信信号の周波数の2倍の周波数を含む。実線は、高周波回路10での周波数特性G11を表す。破線は、別比較例の高周波回路の周波数特性G12を表す。

[0075] 周波数特性 G_{11} から分かるように、高周波回路 10 では、周波数帯域 f_0 では信号は減衰されないが、周波数帯域 f_1 及び周波数帯域 f_2 では信号は減衰されている。一方、周波数特性 G_{12} から分かるように、別比較例の高周波回路では、周波数帯域 f_0 、周波数帯域 f_1 及び周波数帯域 f_2 のいずれの周波数帯域においても信号は減衰されない。

[0076] したがって、高周波回路 10 は、別比較例の高周波回路と比較して、良好な送信を行うことができる。

[0077] (6) 具体例

ここでは、インダクタ L_{c1} 、 L_{c2} 、 L_{a1} 、 L_{a2} の構造の具体例について、図 6～図 7 B を用いて説明する。

[0078] 差動増幅器 16 A の第 1 出力端子 161 b、第 2 出力端子 162 b、インダクタ L_{c1} 、 L_{c2} 、及びキャパシタ C_1 は、図 6 及び図 7 A に示すように、実装基板 300 の主面 301 に実装されている。インダクタ L_{c1} 、 L_{c2} は、導体パターン部として実装基板 300 の主面 301 に配置されている。インダクタ L_{a1} 、 L_{a2} は、図 7 B に示すように、実装基板 300 の内部の誘電体層 302 に導体パターン部として配置されている。

[0079] 第 1 出力端子 161 b とインダクタ L_{a1} とは、ビア B1 を介して電氣的に接続されている。第 2 出力端子 162 b とインダクタ L_{a2} とは、ビア B2 を介して電氣的に接続されている。インダクタ L_{a1} とインダクタ L_{c1} とはビア B11 を介して電氣的に接続されている。インダクタ L_{a2} とインダクタ L_{c2} とはビア B12 を介して電氣的に接続されている。

[0080] インダクタ L_{c1} とインダクタ L_{c2} とは、実装基板 300 の厚さ方向からの平面視で、キャパシタ C_1 の中心を通り、方向 D1 に沿った軸に対して線対称に配置されている。インダクタ L_{c1} とインダクタ L_{c2} とを、キャパシタ C_1 の中心を通り、方向 D1 に沿った軸に対して線対称に配置することで、第 1 出力端子 161 b と第 2 出力端子 162 b とにおけるインピーダンスの差を小さくすることができる。すなわち、インダクタ L_{c1} とインダクタ L_{c2} とのインダクタンス値を同じにすることができる。

[0081] インダクタL a 1とインダクタL a 2とは、実装基板300の厚さ方向からの平面視で、キャパシタC 1の中心を通り、方向D 1に沿った軸に対して線対称に配置されている。インダクタL a 1とインダクタL a 2とを、キャパシタC 1の中心を通り、方向D 1に沿った軸に対して線対称に配置することで、第1出力端子161bと第2出力端子162bとにおけるインピーダンスの差を小さくすることができる。インダクタL a 1とインダクタL a 2とのインダクタンス値を同じにすることができる。

[0082] なお、本実施形態では、インダクタL c 1とインダクタL c 2とは、実装基板300の主面301に配置されている構成としたが、この構成に限定されない。インダクタL c 1とインダクタL c 2とは、実装基板300内部の誘電体層に導体パターン部として配置されてもよい。または、インダクタL c 1としてチップインダクタを実装基板300に実装してもよい。同様に、インダクタL c 2としてチップインダクタを実装基板300に実装してもよい。

[0083] インダクタL a 1とインダクタL a 2とは、実装基板300の内部の誘電体層302に導体パターン部として配置されている構成としたが、この構成に限定されない。インダクタL a 1とインダクタL a 2とは、主面301に導体パターン部として配置されてもよい。または、インダクタL a 1としてチップインダクタを実装基板300に実装してもよい。同様に、インダクタL a 2としてチップインダクタを実装基板300に実装してもよい。

[0084] 実施形態では、実装基板300の厚さ方向において互いに対向する差動増幅器16Aの2つの面のうち実装基板300に近い面に第1出力端子161b、第2出力端子162bが配置されている構成としたが、この構成に限定されない。実装基板300の厚さ方向において互いに対向する差動増幅器16Aの2つの面のうち実装基板300に遠い面に第1出力端子161b、第2出力端子162bが配置される構成であってもよい。この場合、インダクタL a 1、L a 2は、ワイヤボンディングで構成されてもよい。

[0085] (7) 変形例

以下、実施形態の変形例について説明する。

[0086] (7. 1) 変形例 1

インダクタ L_{a1} , L_{a2} は、高周波回路 10 の必須の構成要素ではない。上述したように、高周波回路 10 がインダクタ L_{a1} , L_{a2} を備えていない場合であっても、図 4 A で示すように、高周波回路 10 が直列回路 165 を備えていれば、送信信号に対する高調波成分を減衰することができる。

[0087] 変形例 1 におけるインダクタ L_{c1} , L_{c2} の構造について、図 8 を用いて説明する。

[0088] 差動増幅器 16 A の第 1 出力端子 161 b、第 2 出力端子 162 b、インダクタ L_{c1} , L_{c2} 、及びキャパシタ $C1$ は、図 8 に示すように、実装基板 300 の主面 301 に実装されている。インダクタ L_{c1} , L_{c2} は、導体パターン部として実装基板 300 の主面 301 に配置されている。

[0089] 第 1 出力端子 161 b とインダクタ L_{c1} とは、電氣的に接続されている。第 2 出力端子 162 b とインダクタ L_{c2} とは、電氣的に接続されている。

[0090] インダクタ L_{c1} とインダクタ L_{c2} とは、実装基板 300 の厚さ方向からの平面視で、キャパシタ $C1$ の中心を通り、方向 $D1$ に沿った軸に対して線対称に配置されている。インダクタ L_{c1} とインダクタ L_{c2} とを、キャパシタ $C1$ の中心を通り、方向 $D1$ に沿った軸に対して線対称に配置することで、第 1 出力端子 161 b と第 2 出力端子 162 b とにおけるインピーダンスの差を小さくすることができる。すなわち、インダクタ L_{c1} とインダクタ L_{c2} とのインダクタンス値を同じにすることができる。

[0091] なお、変形例 1 では、インダクタ L_{c1} とインダクタ L_{c2} とは、実装基板 300 の主面 301 に配置されている構成としたが、この構成に限定されない。インダクタ L_{c1} とインダクタ L_{c2} とは、実装基板 300 内部の誘電体層に導体パターン部として配置されてもよい。または、インダクタ L_{c1} としてチップインダクタを実装基板 300 に実装してもよい。同様に、インダクタ L_{c2} としてチップインダクタを実装基板 300 に実装してもよい。

。

[0092] 変形例 1 では、実装基板 300 の厚さ方向において互いに対向する差動増幅器 16A の 2 つの面のうち実装基板 300 に近い面に第 1 出力端子 161b、第 2 出力端子 162b が配置されている構成としたが、この構成に限定されない。実装基板 300 の厚さ方向において互いに対向する差動増幅器 16A の 2 つの面のうち実装基板 300 に遠い面に第 1 出力端子 161b、第 2 出力端子 162b が配置される構成であってもよい。この場合、インダクタ L_{a1} 、 L_{a2} は、ワイヤボンディングで構成されてもよい。

[0093] (7. 2) 変形例 2

第 3 増幅素子 163 と第 1 増幅素子 161 及び第 2 増幅素子 162 との間に実装される回路は、段間バラン回路 164 に限定されない。第 3 増幅素子 163 と第 1 増幅素子 161 及び第 2 増幅素子 162 との間には、1 つの信号から、互いに位相が反転している 2 つの信号を生成する回路であればよい。

。

[0094] (7. 3) 変形例 3

高周波回路 10 は、ミッドバンドの周波数帯域の通信に用いられるとしたが、これに限定されない。高周波回路 10 は、ローバンドの周波数帯域の通信に用いられてもよいし、ハイバンドの周波数帯域の通信に用いられてもよい。または、高周波回路 10 は、ウルトラハイバンドの通信に用いられてもよい。

[0095] (7. 4) 変形例 4

送信フィルタ 14 は、1 つの通信バンドを通過する構成としているが、この構成に限定されない。送信フィルタ 14 は、複数の通信バンドを通過するように構成されてもよい。

[0096] 変形例 4 における直列回路 165 は、複数の通信バンドの各々の下限値のうち最も小さい下限値の 3 倍の値である第 1 値と、複数の通信バンドの各々の上限値のうち最も大きい上限値の 3 倍の値である第 2 値との間の高周波信号を減衰する。

[0097] (7. 5) 変形例 5

(7. 5. 1) 第 1 の観点

実装基板 300 を並び方向 D1 (方向 D1) から見た場合の観点での変形例について、図 9A～図 9C を用いて説明する。ここで、並び方向 D1 は、実装基板 300 の厚さ方向からの平面視で、出力整合回路 166 と差動増幅器 16A とが並ぶ方向である。

[0098] 並び方向 D1 から実装基板 300、すなわち差動増幅器 16A、出力整合回路 166 及び直列回路 165 に含まれるキャパシタ C1 を見て、キャパシタ C1 の少なくとも一部である第 1 部分が出力整合回路 166 と重なっており、かつキャパシタ C1 の少なくとも一部である第 2 部分が差動増幅器 16A と重なるように、キャパシタ C1 は実装基板 300 に配置されてもよい。

[0099] 例えば、図 9A～図 9C に示すように、実装基板 300 は、多層基板であり、第 1 レイア 300a、第 2 レイア 300b 及び第 3 レイア 300c を含む。

[0100] 第 1 レイア 300a は、主面 301 を有し、第 1 レイア 300a では、差動増幅器 16A と、直列回路 165 のキャパシタ C1、インダクタ Lc1, Lc2 と、出力整合回路 166 のインダクタ L2 とが、配置される (図 9A 参照)。インダクタ Lc1, Lc2 とインダクタ L2 とは、それぞれ導体パターン部として配置される。第 2 レイア 300b は、第 1 レイア 300a の下位層であり、上述した誘電体層 302 に相当する。第 2 レイア 300b では、直列回路 165 のインダクタ La1, La2 と、出力整合回路 166 のインダクタ L3, L4 とが配置される (図 9B 参照)。インダクタ La1, La2 とインダクタ L3, L4 とは、それぞれ導体パターン部として配置される。第 3 レイア 300c は、第 2 レイア 300b の下位層であり、第 3 レイア 300c では、出力整合回路 166 のインダクタ L1 が配置される (図 9C 参照)。インダクタ L1 は、導体パターン部として配置される。第 1 レイア 300a、第 2 レイア 300b 及び第 3 レイア 300c の積層方向が、実装基板 300 の厚さ方向となる。

[0101] 第1レイア300a、第2レイア300b及び第3レイア300cが積層されることで、ビアB20を介してインダクタL2とインダクタL1とが電氣的に接続される。さらに、第1レイア300a、第2レイア300b及び第3レイア300cが積層されることで、ビアB21を介してインダクタLc2とインダクタL4及びインダクタLa2とが、電氣的に接続される。また、第1レイア300a、第2レイア300b及び第3レイア300cが積層されることで、ビアB22を介してインダクタLc1とインダクタL3及びインダクタLa1とが、電氣的に接続される。第1出力端子161bとインダクタLa1とは、ビアB1を介して電氣的に接続されている。第2出力端子162bとインダクタLa2とは、ビアB2を介して電氣的に接続されている。

[0102] このとき、並び方向D1から見て、キャパシタC1の少なくとも一部（第2部分）は、差動増幅器16Aと重なっている（図9A参照）。

[0103] さらに、並び方向D1から見て、キャパシタC1の少なくとも一部（第1部分）は、出力整合回路166と重なっている。具体的には、並び方向D1から見て、キャパシタC1の少なくとも一部（第1部分）は、出力整合回路166のインダクタL2と重なっている。すなわち、並び方向D1から見て、キャパシタC1の少なくとも一部（第1部分）は、インダクタL2の外縁であって並び方向D1に延びる2つの外縁L2a、L2bの間に設けられている。

[0104] また、並び方向D1から見て、キャパシタC1の第1部分は、出力整合回路166のインダクタL3、L4の間にあってもよい。すなわち、並び方向D1から見て、キャパシタC1の第1部分は、インダクタL3の外縁L3aとインダクタL4の外縁L4aとの間に設けられてもよい。または、並び方向D1から見て、キャパシタC1の第1部分は、出力整合回路166のインダクタL1と重なっていてもよい。すなわち、並び方向D1から見て、キャパシタC1の第1部分は、インダクタL1の外縁であって並び方向D1に延びる2つの外縁L1a、L1bの間に設けられてもよい。

[0105] なお、並び方向D1から見て、キャパシタC1が出力整合回路166及び差動増幅器16Aのうち少なくとも一方と重なっていてもよい。変形例5の第1の観点では、図9Aに示すように、実装基板300を並び方向D1から見て、キャパシタC1が出力整合回路166及び差動増幅器16Aの双方と重なっている。

[0106] さらに、実装基板300の厚さ方向からの平面視で、キャパシタC1の中心P2が、並び方向D1に沿って出力整合回路166の中心P1及び差動増幅器16Aの中心P3のうち少なくとも一方の中心と並ぶように、出力整合回路166、キャパシタC1及び差動増幅器16Aが配置されてもよい。ここでは、実装基板300の厚さ方向からの平面視で、キャパシタC1の中心P2が、並び方向D1に沿って出力整合回路166の中心P1及び差動増幅器16Aの中心P3と並んでいる。より詳細には、実装基板300の厚さ方向からの平面視で、キャパシタC1の中心P2、出力整合回路166の中心P1及び差動増幅器16Aの中心P3が、並び方向D1に沿った直線H1上に存在する。ここで、出力整合回路166の中心P1とは、出力整合回路166の矩形領域の中心である。同様に、キャパシタC1の中心P2とは、キャパシタC1の矩形領域の中心である。さらに、差動増幅器16Aの中心P3とは、差動増幅器16Aの矩形領域の中心である。

[0107] 変形例5の第1の観点では、並び方向D1から見て、キャパシタC1の少なくとも一部が出力整合回路166と重なっており、かつキャパシタC1の少なくとも一部が差動増幅器16Aと重なるように、キャパシタC1は実装基板300に配置されていけばよい。したがって、並び方向D1における、出力整合回路166、直列回路165及び差動増幅器16Aの並び順序は規定されない。すなわち、図9A～図9Cでは、キャパシタC1、すなわち直列回路165は、並び方向D1において、差動増幅器16Aと出力整合回路166との間に配置されている構成となっているが、この構成に限定されない。出力整合回路166が、並び方向D1において、直列回路165と差動増幅器16Aとの間に配置されてもよい。または、差動増幅器16Aが、並

び方向D 1 において、直列回路1 6 5 と出力整合回路1 6 6 との間に配置されてもよい。

[0108] 変形例5 の第1 の観点によると、並び方向D 1 から見て、キャパシタC 1 の少なくとも一部が出力整合回路1 6 6 と重なっており、かつキャパシタC 1 の少なくとも一部が差動増幅器1 6 A と重なるように、キャパシタC 1 は実装基板3 0 0 に配置されている。この構成によると、差動増幅器1 6 A とキャパシタC 1 との間における、インダクタL a 1 とインダクタL c 1 との長さ、及びインダクタL a 2 とインダクタL c 2 との長さのバランスをとることができる。すなわち、差動増幅器1 6 A とキャパシタC 1 との間における、インダクタL a 1 とインダクタL c 1 との長さ、及びインダクタL a 2 とインダクタL c 2 との長さを同じにすることができる。これにより、インダクタL a 1 及びインダクタL c 1 のインダクタンスの合成値（結合量）とインダクタL a 2 及びインダクタL c 1 のインダクタンスの合成値（結合量）とのバランスを図ることができる。その結果、通信時の動作の安定化を図ることができる。ここで、インダクタL a 1 とインダクタL c 1 との長さは、第1 出力端子1 6 1 b からキャパシタC 1 までの長さである。インダクタL a 2 とインダクタL c 2 との長さは、第2 出力端子1 6 2 b からキャパシタC 1 までの長さである。

[0109] 変形例5 の第1 の観点において、出力整合回路1 6 6 のインダクタL 1 ～L 4 のそれぞれは、導体パターン部で形成されている構成としているが、この構成に限定されない。インダクタL 1 ～L 4 のそれぞれは、チップインダクタで形成されてもよい。あるいは、出力整合回路1 6 6 は、1 チップ化されてもよい。

[0110] （7. 5. 2）第2 の観点

実装基板3 0 0 の厚さ方向及び出力整合回路1 6 6 と差動増幅器1 6 A との並び方向D 1 の双方に直交する方向D 2 から見た場合の観点での変形例について、説明する。

[0111] 方向D 2 から見て、差動増幅器1 6 A における方向D 2 に沿った2 つの外

縁のうち出力整合回路 166 に遠い外縁 1601 と、出力整合回路 166 における方向 D2 に沿った 2 つの外縁のうち差動増幅器 16A に遠い外縁 P101 との間に、直列回路 165 に含まれるキャパシタ C1 が実装基板 300 に配置されてもよい（図 9A 参照）。ここで、外縁 P101 は、インダクタ L2 を囲む最小の矩形 P10 において方向 D2 に沿った 2 つの辺のうち出力整合回路 166 から遠い辺である。

[0112] また、方向 D2 から見て、キャパシタ C1 は、インダクタ L3, L4 を囲む最小の矩形において方向 D2 に沿った 2 つの辺のうち出力整合回路 166 から遠い辺である外縁と、差動増幅器 16A における外縁 P101 との間に、キャパシタ C1 が実装基板 300 に配置されてもよい。または、方向 D2 から実装基板 300 を見た場合、キャパシタ C1 は、インダクタ L1 を囲む最小の矩形において方向 D2 に沿った 2 つの辺のうち出力整合回路 166 から遠い辺である外縁と、差動増幅器 16A における外縁 P101 との間に、キャパシタ C1 が実装基板 300 に配置されてもよい。

[0113] 変形例 5 の第 2 の観点では、実装基板 300 の厚さ方向からの平面視で、キャパシタ C1 は、出力整合回路 166 と差動増幅器 16A との間に配置されている（図 9A 参照）。この場合、キャパシタ C1 は、方向 D2 から見て、差動増幅器 16A の外縁 1601 と、出力整合回路 166 の外縁 P101 との間に配置され、かつ、キャパシタ C1 は、差動増幅器 16A 及び出力整合回路 166 のいずれとも重ならないように配置されている。すなわち、キャパシタ C1 は、方向 D2 から見て、差動増幅器 16A における方向 D2 に沿った 2 つの外縁のうち出力整合回路 166 に近い外縁と、出力整合回路 166 における方向 D2 に沿った 2 つの外縁のうち差動増幅器 16A に近い外縁との間に配置されている。

[0114] 変形例 5 の第 2 の観点では、方向 D2 から見て、キャパシタ C1 が、出力整合回路 166 において第 2 方向に沿った 2 つの外縁のうち差動増幅器 16A に遠い外縁（例えば、外縁 P101）と、差動増幅器 16A の外縁 1601 との間に配置されていけばよい。したがって、実装基板 300 を並び方向

D 1 から見た、キャパシタ C 1、出力整合回路 1 6 6 及び差動増幅器 1 6 A の配置関係は規定されない。すなわち、変形例 5 の第 2 の観点では、並び方向 D 1 から見て、キャパシタ C 1 の少なくとも一部が出力整合回路 1 6 6 と重なる必要はない。さらに、変形例 5 の第 2 の観点では、キャパシタ C 1 の少なくとも一部が差動増幅器 1 6 A と重なる必要もない。

[0115] 変形例 5 の第 2 の観点によると、方向 D 2 から見て、差動増幅器 1 6 A の外縁 1 6 0 1 と出力整合回路 1 6 6 の外縁 P 1 0 1 との間に、キャパシタ C 1 が配置されている。そのため、キャパシタ C 1 が出力整合回路 1 6 6 の外縁 P 1 0 1 に対して差動増幅器 1 6 A とは反対側に配置されている場合と比較して、インダクタ L a 1, L a 2 のそれぞれの長さ及びインダクタ L c 1, L c 2 のそれぞれの長さを短くすることができる。すなわち、第 1 出力端子 1 6 1 b とキャパシタ C 1 との間の経路長、及び第 2 出力端子 1 6 2 b とキャパシタ C 1 との間の経路長を、それぞれ短くすることができる。これにより、インダクタ L a 1, L a 2 のそれぞれのインダクタンス値を小さくすることができる。また、インダクタ L c 1, L c 2 のそれぞれのインダクタンス値を小さくすることができる。その結果、高周波回路 1 0 のインピーダンス設計でのインピーダンス値との誤差を小さくすることができる。

[0116] 変形例 5 の第 2 の観点において、出力整合回路 1 6 6 のインダクタ L 1 ~ L 4 のそれぞれは、導体パターン部で形成されている構成としているが、この構成に限定されない。変形例 5 の第 1 の観点と同様に、インダクタ L 1 ~ L 4 のそれぞれは、チップインダクタで形成されてもよい。あるいは、出力整合回路 1 6 6 は、1 チップ化されてもよい。

[0117] (まとめ)

以上説明したように、第 1 の態様の高周波回路 (1 0) は、差動増幅回路 (1 6) を備える。差動増幅回路 (1 6) は、第 1 増幅素子 (1 6 1) と、第 2 増幅素子 (1 6 2) と、第 1 配線 (R 1) と、第 2 配線 (R 2) と、直列回路 (1 6 5) と、を含む。第 1 増幅素子 (1 6 1) は、第 1 入力端子 (1 6 1 a) 及び第 1 出力端子 (1 6 1 b) を有する。第 2 増幅素子 (1 6 2

）と、第2入力端子（162a）及び第2出力端子（162b）を有する。第1配線（R1）は、第1出力端子（161b）と接続されている。第2配線（R2）は、第2出力端子（162b）と接続されている。直列回路（165）は、第1配線（R1）と第2配線（R2）との間に接続されている。直列回路（165）は、第1インダクタ（例えば、インダクタLc1）と、第2インダクタ（例えば、インダクタLc2）と、キャパシタ（C1）と、を含む。

[0118] この構成によると、直列回路（165）を直列共振回路とした場合、差動増幅での送信信号に対する高調波成分、例えば送信信号の周波数の奇数次（例えば3次）の高調波成分を減衰することができる。

[0119] 第2の態様の高周波回路（10）では、第1の態様において、差動増幅回路（16）は、第3インダクタ（例えば、インダクタLa1）と、第4インダクタ（例えば、インダクタLa2）と、を更に含む。第3インダクタは、第1出力端子（161b）と第1配線（R1）との間に接続されている。第4インダクタは、第2出力端子（162b）と第2配線（R2）との間に接続されている。

[0120] この構成によると、高調波成分、例えば送信信号の周波数の奇数次（例えば3次）の高調波成分の位相を調整することができる。

[0121] 第3の態様の高周波回路（10）では、第2の態様において、第3インダクタと第4インダクタとのインダクタンス値は同じである。

[0122] この構成によると、第1出力端子（161b）と第2出力端子（162b）とにおけるインピーダンスの差を小さくすることができる。

[0123] 第4の態様の高周波回路（10）では、第1～第3のいずれかの態様において、第1インダクタと第2インダクタとのインダクタンス値は同じである。

[0124] この構成によると、第1出力端子（161b）と第2出力端子（162b）とにおけるインピーダンスの差を小さくすることができる。

[0125] 第5の態様の高周波回路（10）では、第1～第4のいずれかの態様にお

いて、キャパシタ（C 1）は、チップコンデンサである。

[0126] この構成によると、キャパシタ（C 1）のQ値を高めることができる。そのため、高調波成分の減衰を高めることができる。さらに、挿入損失改善の効果が期待できる。

[0127] 第6の態様の高周波回路（10）では、第1～第5のいずれかの態様において、差動増幅回路（16）は、バラン回路（例えば、出力整合回路166）を、更に含む。バラン回路は、第1配線（R 1）及び第2配線（R 2）のそれぞれに接続されている一对の平衡端子（166 a、166 b）と、非平衡端子（166 c）とを有する。

[0128] この構成によると、例えば差動増幅での奇数次の高調波成分が減衰された信号を出力することができる。

[0129] 第7の態様の高周波回路（10）では、第6の態様において、差動増幅回路（16）は、直列共振回路（167）を、更に備える。直列共振回路（167）は、一端が非平衡端子（166 c）に接続されている。直列共振回路（167）は、直列回路（165）のキャパシタ（C 1）からなる第1キャパシタとは異なる第2キャパシタ（例えば、キャパシタC 2）と、インダクタ（L c 3）とを含む。

[0130] この構成によると、直列共振回路（167）を共振回路とした場合、差動増幅での送信信号に対する高調波成分、例えば送信信号の周波数の偶数次（例えば2次）の高調波成分を減衰することができる。

[0131] 第8の態様の高周波回路（10）は、第1～第7のいずれかの態様において、実装基板（300）を、更に備える。差動増幅回路（16）は、差動増幅器（16A）と、出力整合回路（166）と、を含む。差動増幅器（16A）は、第1増幅素子（161）及び第2増幅素子（162）を含む。実装基板（300）は、差動増幅器（16A）、出力整合回路（166）、及び直列回路（165）に含まれるキャパシタ（C）が配置されている。出力整合回路（166）は、第1出力端子（161 b）及び第2出力端子（162 b）に接続される。出力整合回路（166）と差動増幅器（16A）との並

び方向（D 1）から見て、直列回路（1 6 5）に含まれるキャパシタ（C 1）の少なくとも一部である第1部分が出力整合回路（1 6 6）と重なっており、かつキャパシタ（C 1）の少なくとも一部である第2部分が差動増幅器（1 6 A）と重なっている。

[0132] この構成によると、第1出力端子（1 6 1 b）からキャパシタ（C 1）までの長さ、第2出力端子（1 6 2 b）からキャパシタ（C 1）までの長さとのバランスを調整することができる。その結果、通信時の動作の安定化を図ることができる。

[0133] 第9の態様の高周波回路（1 0）では、第8の態様において、上記並び方向（D 1）から見て、キャパシタ（C 1）が出力整合回路（1 6 6）及び差動増幅器（1 6 A）のうち少なくとも一方と重なっている。

[0134] この構成によると、通信時の動作をより安定化させることができる。

[0135] 第10の態様の高周波回路（1 0）では、第8又は第9の態様において、実装基板（3 0 0）の厚さ方向からの平面視で、キャパシタ（C 1）の中心（P 2）が出力整合回路（1 6 6）及び差動増幅器（1 6 A）のうち少なくとも一方の中心と並び方向（D 1）に沿って並んでいる。

[0136] この構成によると、第1出力端子（1 6 1 b）からキャパシタ（C 1）までの長さ、第2出力端子（1 6 2 b）からキャパシタ（C 1）までの長さと同じにすることができる。その結果、通信時の動作の安定化を図ることができる。

[0137] 第11の態様の高周波回路（1 0）は、第1～第10のいずれかの態様において、実装基板（3 0 0）を、更に備える。差動増幅回路（1 6）は、差動増幅器（1 6 A）と、出力整合回路（1 6 6）と、を含む。差動増幅器（1 6 A）は、第1増幅素子（1 6 1）及び第2増幅素子（1 6 2）を含む。出力整合回路（1 6 6）は、第1出力端子（1 6 1 b）及び第2出力端子（1 6 2 b）に接続される。実装基板（3 0 0）は、差動増幅器（1 6 A）、出力整合回路（1 6 6）、及び直列回路（1 6 5）に含まれるキャパシタ（C 1）が配置されている。実装基板（3 0 0）の厚さ方向及び出力整合回路

(166)と差動増幅器(16A)との並び方向(D1)である第1方向の双方に直交する第2方向(例えば、方向D2)から見て、出力整合回路(166)における第2方向に沿った2つの外縁のうち差動増幅器(16A)から遠い外縁(P101)と差動増幅器(16A)における第2方向に沿った2つの外縁のうち出力整合回路(166)から遠い外縁(1601)との間に、直列回路(165)に含まれるキャパシタ(C1)が実装基板(300)に配置されている。

[0138] この構成によると、第1出力端子(161b)とキャパシタ(C1)との間の経路長、及び第2出力端子(162b)とキャパシタ(C1)との間の経路長を、それぞれ短くすることができる。すなわち、第1出力端子(161b)とキャパシタ(C1)との間の経路におけるインダクタンス値、及び第2出力端子(162b)とキャパシタ(C1)との間の経路におけるインダクタンス値を、それぞれ小さくすることができる。その結果、高周波回路(10)のインピーダンス設計でのインピーダンス値との誤差を小さくすることができる。

[0139] 第12の態様の高周波回路(10)では、第11の態様において、実装基板(300)を実装基板(300)の厚さ方向からの平面視で、キャパシタ(C1)は、出力整合回路(166)と差動増幅器(16A)との間に配置されている。

[0140] この構成によると、その結果、高周波回路(10)のインピーダンス設計でのインピーダンス値との誤差をより小さくすることができる。

[0141] 第13の態様の通信装置(500)は、第1～第12のいずれかの態様の高周波回路(10)と、高周波回路(10)が接続されている信号処理回路(2)と、を備える。

[0142] この構成によると、差動増幅での送信信号に対する高調波成分、例えば送信信号の周波数の奇数次(例えば3次)の高調波成分を減衰することができる。

符号の説明

- [0143]
- 1 高周波モジュール
 - 2 信号処理回路
 - 3 アンテナ
 - 1 0 高周波回路
 - 1 1 スイッチ
 - 1 2 第1 整合回路
 - 1 3 第2 整合回路
 - 1 4 送信フィルタ
 - 1 5 受信フィルタ
 - 1 6 差動増幅回路
 - 1 6 A 差動増幅器
 - 1 7 第3 整合回路
 - 1 8 ローノイズアンプ
 - 2 0 アンテナ端子
 - 1 1 1 共通端子
 - 1 1 2 選択端子
 - 1 1 3 選択端子
 - 1 6 1 第1 増幅素子
 - 1 6 1 a 第1 入力端子
 - 1 6 1 b 第1 出力端子
 - 1 6 2 第2 増幅素子
 - 1 6 2 a 第2 入力端子
 - 1 6 2 b 第2 出力端子
 - 1 6 3 第3 増幅素子
 - 1 6 4 段間バラン回路
 - 1 6 4 a 非平衡端子
 - 1 6 4 b, 1 6 4 c 平衡端子
 - 1 6 5 直列回路

1 6 6 出力整合回路（バラン回路）

1 6 6 a, 1 6 6 b 平衡端子

1 6 6 c 非平衡端子

1 6 7 直列共振回路

2 0 1 ベースバンド信号処理回路

2 0 2 R F 信号処理回路

3 0 0 実装基板

3 0 0 a 第1レイア

3 0 0 b 第2レイア

3 0 0 c 第3レイア

3 0 1 主面

3 0 2 誘電体層

5 0 0 通信装置

1 6 0 1, L 1 a, L 1 b, L 2 a、L 2 b, L 3 a, L 4 a, P 1 0

1 外縁

B 1, B 2, B 1 1, B 1 2, B 2 0, B 2 1, B 2 2 ビア

C 1 キャパシタ（第1キャパシタ）

C 2 キャパシタ

C 3 キャパシタ（第2キャパシタ）

D 1 並び方向（方向、第1方向）

D 2 方向（第2方向）

H 1 直線

L 1, L 2, L 3, L 4 インダクタ

L 1 0 一次側コイル

L 1 1 二次側コイル

L c 1 インダクタ（第1インダクタ）

L c 2 インダクタ（第2インダクタ）

L c 3 インダクタ

L a 1 インダクタ（第3インダクタ）

L a 2 インダクタ（第4インダクタ）

P 1, P 2, P 3 中心

P 1 0 矩形

R 1 第1配線

R 2 第2配線

請求の範囲

- [請求項1] 差動増幅回路を備え、
前記差動増幅回路は、
第1入力端子及び第1出力端子を有する第1増幅素子と、
第2入力端子及び第2出力端子を有する第2増幅素子と、
前記第1出力端子と接続されている第1配線と、
前記第2出力端子と接続されている第2配線と、
前記第1配線と前記第2配線との間に接続されている直列回路と、
を含み、
前記直列回路は、第1インダクタと、第2インダクタと、キャパシタと、を含む、
高周波回路。
- [請求項2] 前記差動増幅回路は、
前記第1出力端子と前記第1配線との間に接続されている第3インダクタと、
前記第2出力端子と前記第2配線との間に接続されている第4インダクタと、を更に含む、
請求項1に記載の高周波回路。
- [請求項3] 前記第3インダクタと前記第4インダクタとのインダクタンス値は同じである、
請求項2に記載の高周波回路。
- [請求項4] 前記第1インダクタと前記第2インダクタとのインダクタンス値は同じである、
請求項1～3のいずれか一項に記載の高周波回路。
- [請求項5] 前記キャパシタは、チップコンデンサである、
請求項1～4のいずれか一項に記載の高周波回路。
- [請求項6] 前記差動増幅回路は、
前記第1配線及び前記第2配線のそれぞれに接続されている一対の

平衡端子と、非平衡端子とを有するバラン回路を、更に含む、
請求項 1 ～ 5 のいずれか一項に記載の高周波回路。

[請求項7] 前記差動増幅回路は、
一端が前記非平衡端子に接続されている直列共振回路を、更に含み、
前記直列共振回路は、前記直列回路の前記キャパシタからなる第 1
キャパシタとは異なる第 2 キャパシタと、インダクタとを含む、
請求項 6 に記載の高周波回路。

[請求項8] 実装基板を、更に備え、
前記差動増幅回路は、
前記第 1 増幅素子及び前記第 2 増幅素子を含む差動増幅器と、
前記第 1 出力端子及び前記第 2 出力端子に接続される出力整合回路と、を含み、
前記実装基板には、前記差動増幅器、前記出力整合回路、及び前記直列回路に含まれる前記キャパシタが配置されており、
前記出力整合回路と前記差動増幅器との並び方向から見て、前記直列回路に含まれる前記キャパシタの少なくとも一部である第 1 部分が前記出力整合回路と重なっており、かつ前記キャパシタの少なくとも一部である第 2 部分が前記差動増幅器と重なっている、
請求項 1 ～ 7 のいずれか一項に記載の高周波回路。

[請求項9] 前記並び方向から見て、前記キャパシタが前記出力整合回路及び前記差動増幅器のうち少なくとも一方と重なっている、
請求項 8 に記載の高周波回路。

[請求項10] 前記実装基板の厚さ方向からの平面視で、前記キャパシタの中心が前記出力整合回路及び前記差動増幅器のうち少なくとも一方の中心と前記並び方向に沿って並んでいる、
請求項 8 又は 9 に記載の高周波回路。

[請求項11] 実装基板を、更に備え、

前記差動増幅回路は、

前記第 1 増幅素子及び前記第 2 増幅素子を含む差動増幅器と、

前記第 1 出力端子及び前記第 2 出力端子に接続される出力整合回路と、を含み、

前記実装基板は、前記差動増幅器、前記出力整合回路、及び前記直列回路に含まれる前記キャパシタが配置されており、

前記実装基板の厚さ方向及び前記出力整合回路と前記差動増幅器との並び方向である第 1 方向の双方に直交する第 2 方向から見て、前記出力整合回路における前記第 2 方向に沿った 2 つの外縁のうち前記差動増幅器から遠い外縁と前記差動増幅器における前記第 2 方向に沿った 2 つの外縁のうち前記出力整合回路から遠い外縁との間に、前記直列回路に含まれる前記キャパシタが前記実装基板に配置されている、

請求項 1 ～ 10 のいずれか一項に記載の高周波回路。

[請求項12]

前記実装基板の厚さ方向の平面視で、前記キャパシタは、前記出力整合回路と前記差動増幅器との間に配置されている、

請求項 11 に記載の高周波回路。

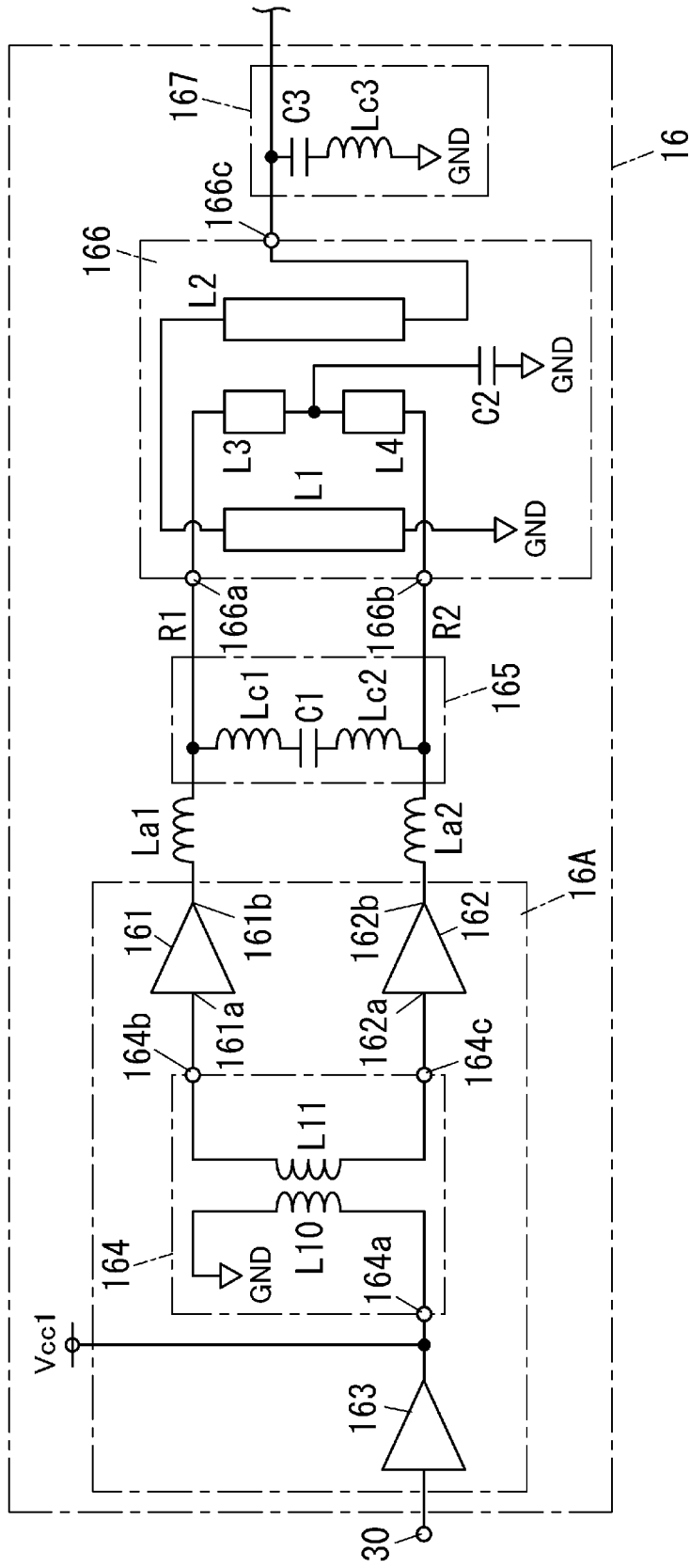
[請求項13]

請求項 1 ～ 12 のいずれか一項に記載の高周波回路と、

前記高周波回路が接続されている信号処理回路と、を備える通信装置。

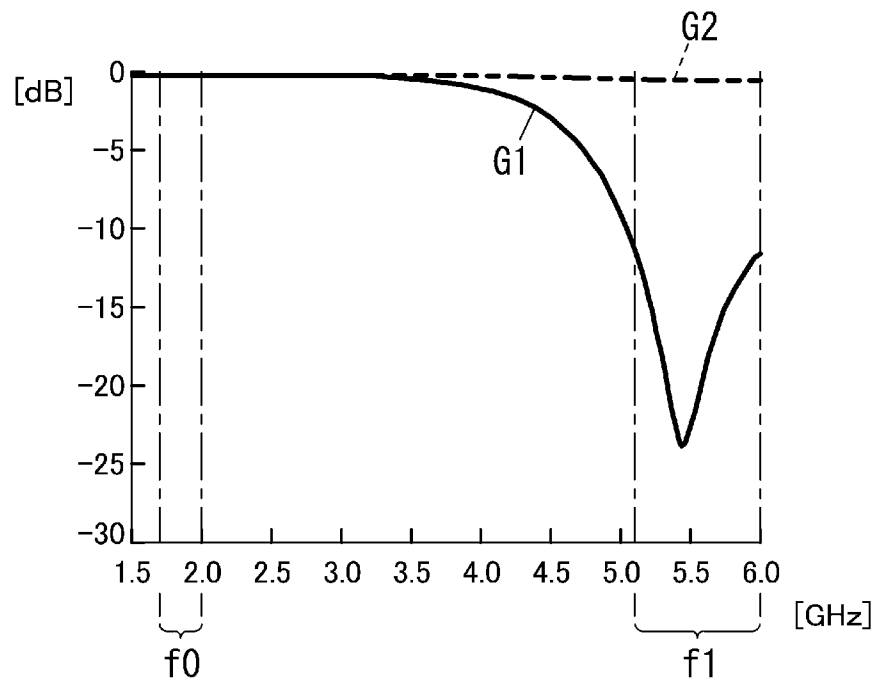
[図2]

図 2



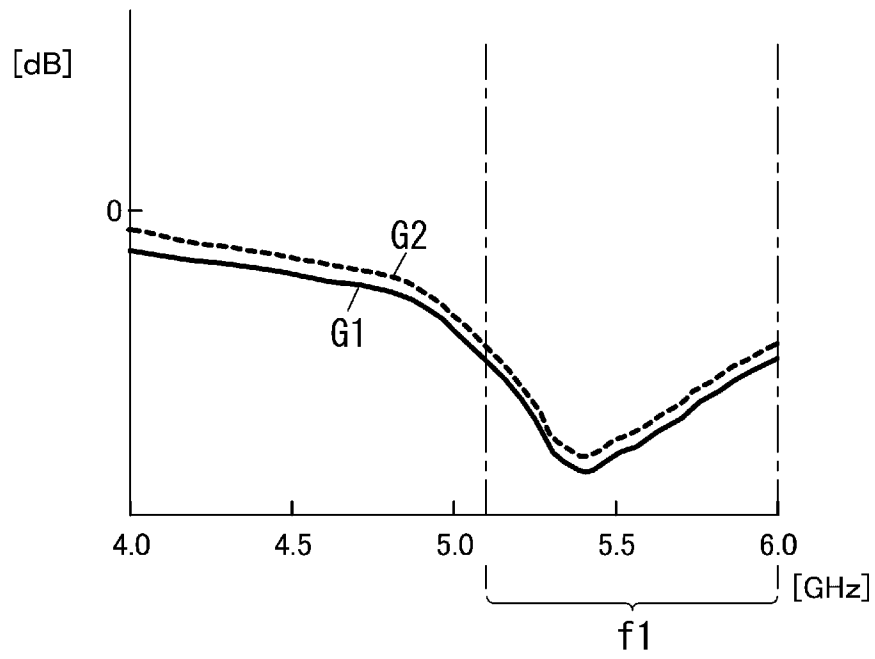
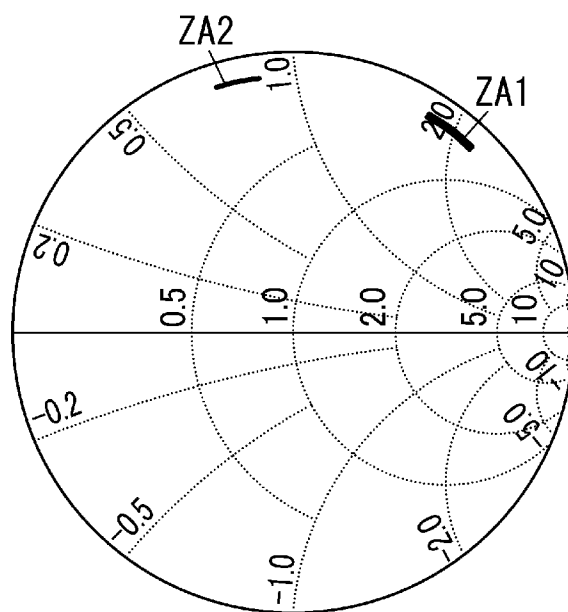
[図3]

図 3



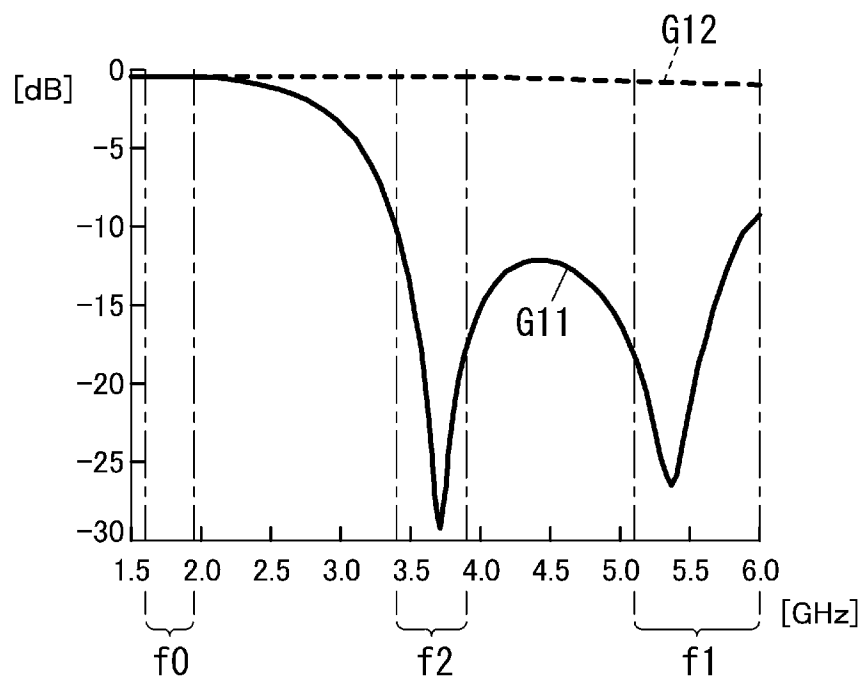
[図4]

図 4

A*B*

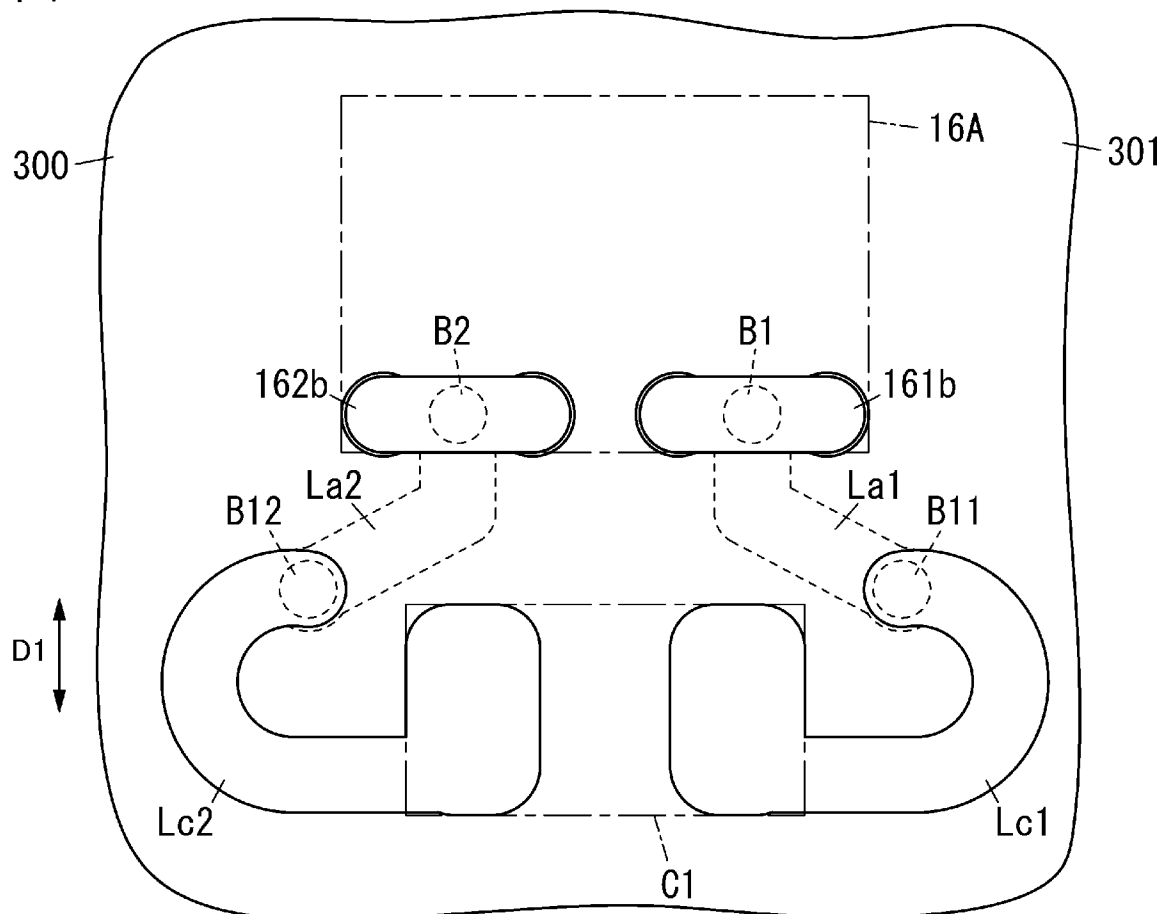
[図5]

図 5



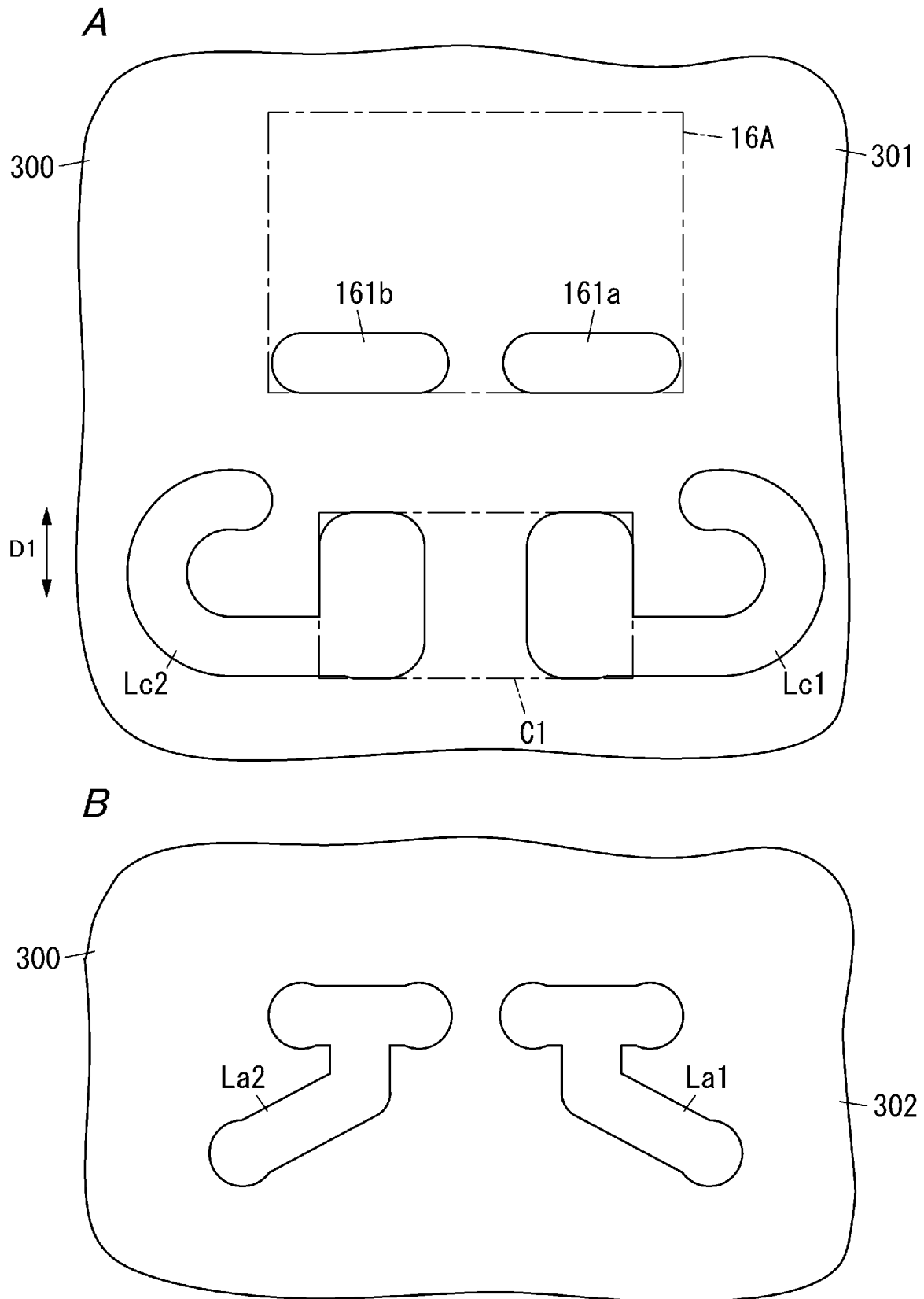
[図6]

図 6



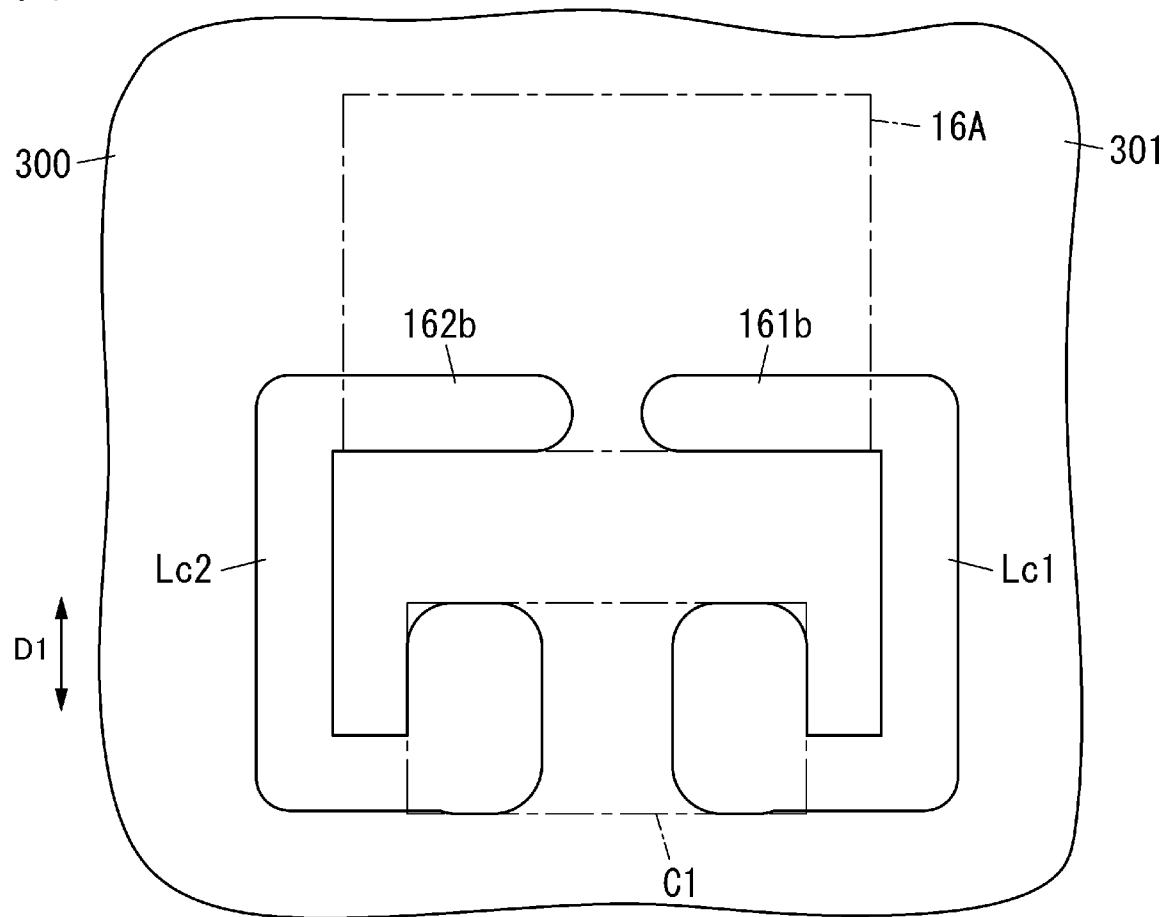
[図7]

図 7



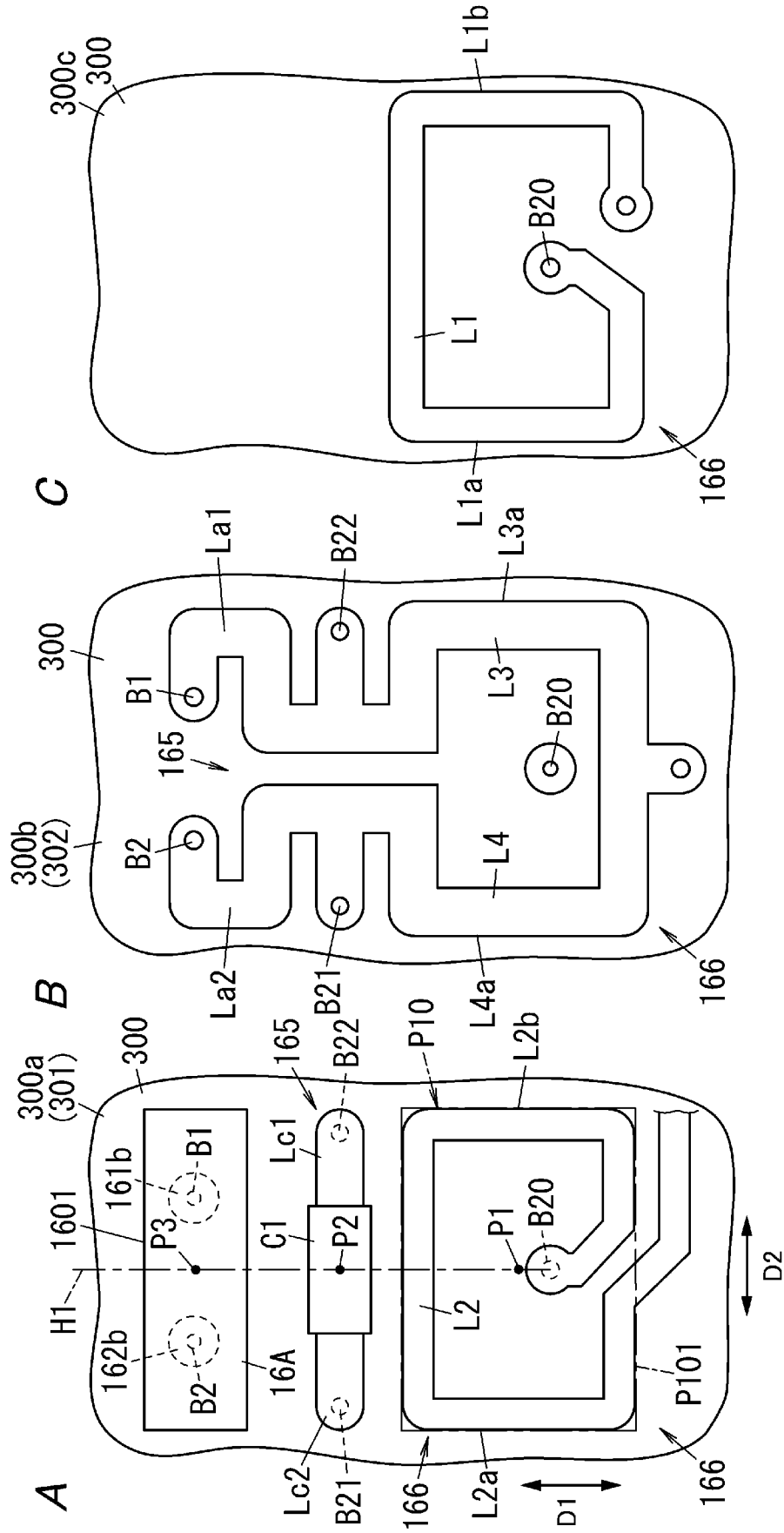
[図8]

図 8



[図9]

図 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/028579

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03H7/01 (2006.01) i, H04B1/04 (2006.01) i, H03F3/24 (2006.01) i, H03F3/26 (2006.01) i, H03F3/45 (2006.01) i, H03F3/60 (2006.01) i, H03F3/68 (2006.01) i
FI: H03F3/45, H03F3/68 220, H03F3/24, H03H7/01 A, H03F3/60, H04B1/04 A, H03F3/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03H7/01, H04B1/04, H03F3/24, H03F3/26, H03F3/45, H03F3/60, H03F3/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/0149394 A1 (MEDIATEK ING.) 25 May 2017	1
Y	(2017-05-25), paragraphs [0002]-[0007], [0020], [0051]-[0054], fig. 2, 6	2-13
Y	US 8164387 B1 (TRIQUINT SEMICONDUCTOR, INC.) 24 April 2012 (2012-04-24), column 4, line 45 to column 5, line 7, fig. 5	2-13
Y	WO 00/07296 A1 (HITACHI, LTD.) 10 February 2000 (2000-02-10), p. 16, line 8 to p. 19, line 21, fig. 8, 9	5-13
Y	JP 2014-155171 A (FUJITSU SEMICONDUCTOR LTD.) 25 August 2014 (2014-08-25), paragraphs [0043]-[0045], fig. 6	13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02.09.2021

Date of mailing of the international search report
14.09.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/028579

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
US 2017/0149394 A1	25.05.2017	EP 3174198 A1 paragraphs [0002]- [0008], [0015], [0045]-[0048], fig. 2, 6 CN 107046407 A (Family: none)	
US 8164387 B1	24.04.2012	(Family: none)	
WO 00/07296 A1	10.02.2000	(Family: none)	
JP 2014-155171 A	25.08.2014	US 2014/0227988 A1 paragraphs [0054]- [0056], fig. 6 CN 103986424 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03H 7/01(2006.01)i; H04B 1/04(2006.01)i; H03F 3/24(2006.01)i; H03F 3/26(2006.01)i; H03F 3/45(2006.01)i; H03F 3/60(2006.01)i; H03F 3/68(2006.01)i FI: H03F3/45; H03F3/68 220; H03F3/24; H03H7/01 A; H03F3/60; H04B1/04 A; H03F3/26		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03H7/01; H04B1/04; H03F3/24; H03F3/26; H03F3/45; H03F3/60; H03F3/68 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2017/0149394 A1 (MEDIATEK INC.) 25.05.2017 (2017-05-25) 段落[0002]-[0007], [0020], [0051]-[0054], 図2, 6	1
Y		2-13
Y	US 8164387 B1 (TRIQUINT SEMICONDUCTOR, INC.) 24.04.2012 (2012-04-24) 第4欄第45行-第5欄第7行, 図5	2-13
Y	WO 00/07296 A1 (株式会社日立製作所) 10.02.2000 (2000-02-10) 第16頁第8行-第19頁第21行, 図8-9	5-13
Y	JP 2014-155171 A (富士通セミコンダクター株式会社) 25.08.2014 (2014-08-25) 段落[0043]-[0045], 図6	13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.09.2021		国際調査報告の発送日 14.09.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/028579

引用文献			公表日	パテントファミリー文献	公表日
US	2017/0149394	A1	25.05.2017	EP 3174198 A1 段落[0002]-[0008], [0015], [0045]-[0048], 図 2, 6 CN 107046407 A	
US	8164387	B1	24.04.2012	(ファミリーなし)	
WO	00/07296	A1	10.02.2000	(ファミリーなし)	
JP	2014-155171	A	25.08.2014	US 2014/0227988 A1 段落[0054]-[0056], 図6 CN 103986424 A	