

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5337346号
(P5337346)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)
H01L 21/336 (2006.01)H01L 29/78 616T
H01L 29/78 616A
H01L 29/78 616L
H01L 29/78 618D

請求項の数 5 (全 59 頁)

(21) 出願番号 特願2007-16259 (P2007-16259)
 (22) 出願日 平成19年1月26日 (2007.1.26)
 (65) 公開番号 特開2008-182165 (P2008-182165A)
 (43) 公開日 平成20年8月7日 (2008.8.7)
 審査請求日 平成22年1月14日 (2010.1.14)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 戸川 真紀
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体層と、前記半導体層の側面に接する領域を有する酸化物を有する層と、が形成される第1の工程と、

前記半導体層の一部と、前記酸化物を有する層の一部と、がエッチングされる第2の工程と、

前記半導体層の上方にゲート絶縁層が形成される第3の工程と、

前記ゲート絶縁層の上方にゲート電極が形成される第4の工程と、を有し、

前記半導体層は、第1の領域と第2の領域と第3の領域とを有し、

前記第1の領域は、前記第2の領域と前記第3の領域との間に位置し、

前記酸化物を有する層は、前記第1の領域と接する第4の領域を有し、

前記酸化物を有する層は、前記第1の領域と接しない第5の領域を有し、

前記ゲート電極は、前記第1の領域と重なる領域を有し、

前記ゲート電極は、前記第4の領域と重なる領域を有し、

前記第2の工程により、前記第1の領域が前記第2の領域よりも薄くなり、

前記第2の工程により、前記第1の領域が前記第3の領域よりも薄くなり、

前記第2の工程により、前記第4の領域が前記第5の領域よりも薄くなることを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、

10

20

前記ゲート絶縁層は、窒化物を有することを特徴とする半導体装置の作製方法。

【請求項3】

半導体層と、前記半導体層の側面に接する領域を有する絶縁物を有する層と、が形成される第1の工程と、

前記半導体層の一部と、前記絶縁物を有する層の一部と、がエッチングされる第2の工程と、

前記半導体層の上方にゲート絶縁層が形成される第3の工程と、

前記ゲート絶縁層の上方にゲート電極が形成される第4の工程と、を有し、

前記半導体層は、第1の領域と第2の領域と第3の領域とを有し、

前記第1の領域は、前記第2の領域と前記第3の領域との間に位置し、

10

前記絶縁物を有する層は、前記第1の領域と接する第4の領域を有し、

前記絶縁物を有する層は、前記第1の領域と接しない第5の領域を有し、

前記ゲート電極は、前記第1の領域と重なる領域を有し、

前記ゲート電極は、前記第4の領域と重なる領域を有し、

前記第2の工程により、前記第1の領域が前記第2の領域よりも薄くなり、

前記第2の工程により、前記第1の領域が前記第3の領域よりも薄くなり、

前記第2の工程により、前記第4の領域が前記第5の領域よりも薄くなることを特徴とする半導体装置の作製方法。

【請求項4】

請求項3において、

20

前記絶縁物を有する層の誘電率は、前記ゲート絶縁層の誘電率よりも小さいことを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記ゲート電極の上方に層間絶縁層が形成される第5の工程と、

前記層間絶縁層の上方に第1の導電層と第2の導電層とが形成される第6の工程と、を有し、

前記第1の導電層は、前記第2の領域と電気的に接続され、

前記第2の導電層は、前記第3の領域と電気的に接続されることを特徴とする半導体装置の作製方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその作製方法に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を示す。

【背景技術】

【0002】

近年、情報化社会はますます発達し、パーソナルコンピュータ、携帯電話等の情報通信機器の高速化、大容量化、小型化、軽量化等の要求が高まっている。このような時代の流れで、LSI (Large Scale Integration) は高集積化、高速化、低消費電力化が求められ、結果的にLSIを構成する個々のトランジスタの高性能化、微細化が必須となっている。

40

【0003】

ここで、従来の薄膜トランジスタの模式図を図12に示す。図12(A)は薄膜トランジスタの上面図を示し、図12(B)は破線OP間の断面図、図12(C)は破線QR間の断面図に相当する。なお、図12(A)では薄膜トランジスタを構成する薄膜等を一部省略している。

【0004】

薄膜トランジスタは、基板9000上に下地絶縁層9002を介して島状の半導体層9006が設けられている。半導体層9006上にはゲート絶縁層9004を介してゲート

50

電極として機能する導電層 9012 が設けられている。また、半導体層 9006 は、ゲート絶縁層 9004 を介して導電層 9012 と重なる領域に形成されたチャネル形成領域 9008 と、ソース領域又はドレイン領域 9010 と、を有している。さらに、ゲート絶縁層 9004 及び導電層 9012 上に層間絶縁層 9014 が設けられ、該層間絶縁層上に、ソース電極又はドレイン電極として機能する導電層 9016 が設けられている。導電層 9016 は、半導体層 9006 と電気的に接続されている。

【0005】

トランジスタの高性能化、微細化を進めるにあたり、薄膜トランジスタも様々な構成が検討されている。例えば、トランジスタの高速化を実現するため、ゲート絶縁層の薄膜化が進められている。

10

【0006】

例えば、特許文献 1 では、半導体層にイオン化した水素を導入し、当該半導体層の表面をオゾン酸化することで、ゲート絶縁層の薄膜化を可能とし、且つ良好な特性の薄膜トランジスタを形成することが記載されている。

【特許文献 1】特開 2003-289079 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献 1 に記載の薄膜化したゲート絶縁層の形成方法は、半導体層にイオン化した水素を導入する工程、当該半導体層の表面をオゾン酸化した後に半導体層から水素原子を脱離させるための熱処理工程など製造工程が増え、オゾン酸化にもある程度の処理時間を必要とするため、スループットが低下し、量産性には向かない。さらに、ゲート絶縁層を薄膜化すると、半導体層端部の被覆不良の問題が顕在化し、歩留まりが低下しやすい。また、リーク電流等の問題が発生し、半導体装置の信頼性も低下しやすい。

20

【0008】

また、トランジスタの微細化に伴い、接続不良の問題も深刻になっている。例えば、ソース電極又はドレイン電極として機能する導電層及び半導体層を接続させるための開口を絶縁層に形成する際に、下層の半導体層までエッチングされてしまう場合がある。図 12 を例に説明すると、ソース電極又はドレイン電極として機能する導電層 9016 を形成するための開口を絶縁層 9014 に形成する際、下層の半導体層 9006 (ソース領域又はドレイン領域 9010) までエッチングされてしまう場合がある。特に、半導体層の膜厚が薄い場合には、図 12 に示すように消失してしまうこともあり、歩留まりが低下しやすい。

30

【0009】

本発明はこのような問題を鑑みてなされたものであり、信頼性の高い半導体装置の構造、及び当該半導体装置を歩留まり良く製造する技術を提供することを課題とする。

【課題を解決するための手段】

【0010】

本発明は、絶縁表面上の半導体層で素子を構成する所謂 SOI (Silicon on Insulator) 構造の半導体装置であり、該半導体層が異なる膜厚の領域を有し、チャネル形成領域よりも膜厚が大きい領域にソース電極又はドレイン電極を形成する導電層を接続させることを特徴とする。

40

【0011】

半導体層は島状に設けられており、少なくとも一対の不純物領域の間に設けられたチャネル形成領域を有する。また、チャネル形成領域上で、且つ半導体層を横断するように、ゲート電極を形成する導電層が設けられている。チャネル形成領域とゲート電極を形成する導電層の間には、絶縁層が設けられている。

【0012】

また、本発明は島状の半導体層の側面に接して絶縁層を設ける。少なくともゲート電極及び島状の半導体層の端部が重畳する領域において、半導体層の側面に接して設けられた

50

絶縁層を、チャネル形成領域とゲート電極を形成する導電層の間に設けられた絶縁層が覆う構成とすることを特徴とする。

【0013】

本発明の具体的な構成は、基板上に設けられ、一対の不純物領域の間に設けられたチャネル形成領域を含む島状の半導体層と、半導体層の側面に接して設けられた第1絶縁層と、チャネル形成領域上に設けられ、半導体層を横断するように設けられたゲート電極と、チャネル形成領域及びゲート電極の間に設けられた第2絶縁層と、半導体層及び前記ゲート電極上に形成された第3絶縁層と、第3絶縁層を介して、不純物領域と電気的に接続される導電層と、を有する。不純物領域はチャネル形成領域と比較して膜厚が大きい領域を有し、且つ該膜厚が大きい領域で導電層が接続されている。第2絶縁層は、少なくともゲート電極が重畳する領域の半導体層の側面に設けられた第1絶縁層を覆う。

10

【0014】

また、本発明の他の構成は、基板上に設けられ、一対の不純物領域の間に設けられたチャネル形成領域と、不純物領域の一部をシリサイド化して設けられたシリサイド領域と、を含む島状の半導体層と、半導体層の側面に接して設けられた第1絶縁層と、チャネル形成領域上に設けられ、半導体層を横断するように設けられたゲート電極と、チャネル形成領域及びゲート電極の間に設けられた第2絶縁層と、ゲート電極の側面に設けられた第3絶縁層と、半導体層及びゲート電極上に形成された第4絶縁層と、第4絶縁層を介して、不純物領域と電気的に接続される導電層と、を有する。シリサイド領域を含む不純物領域はチャネル形成領域と比較して膜厚が大きい領域を有し、且つ該膜厚が大きい領域で導電層が接続される。また、第2絶縁層は、少なくともゲート電極が重畳する領域の半導体層の側面に設けられた第1絶縁層を覆う。

20

【0015】

上記構成において、シリサイド領域は、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、又は白金シリサイドのいずれかを含む領域であることが好ましい。

【0016】

また、上記構成において、シリサイド領域は、不純物領域と同じ導電型を付与する不純物元素が添加されていてもよい。

【0017】

また、上記構成において、チャネル形成領域は、膜厚50nm乃至70nmの範囲であることが好ましい。また、第2絶縁層は、膜厚1nm乃至10nmの範囲であることが好ましい。

30

【0018】

また、上記構成において、半導体層は、チャネル形成領域と不純物領域の間に、該不純物領域と同じ導電型を付与する不純物元素が添加され、且つ不純物領域と比較して低い濃度で不純物元素が添加された低濃度不純物領域を含むこともできる。

【0019】

また、本発明に係る半導体装置は、基板上に島状の半導体層を形成し、半導体層の側面と接して第1絶縁層を形成し、半導体層を選択的にエッティングして異なる膜厚の領域を形成し、半導体層上に第2絶縁層を形成し、半導体層のエッティングした領域及び第2絶縁層上で、且つ半導体層を横断するようにゲート電極を形成し、該ゲート電極をマスクとして半導体層に不純物元素を添加し、自己整合的に一対の不純物領域と、当該一対の不純物領域の間にチャネル形成領域を形成し、半導体層及びゲート電極上に第3絶縁層を形成し、該第3絶縁層を介して、半導体層においてエッティングされなかった領域に形成された不純物領域と電気的に接続されるように導電層を形成する。

40

【0020】

また、他の構成は、基板上に島状の半導体層を形成し、半導体層の側面と接して第1絶縁層を形成し、半導体層を選択的にエッティングして異なる膜厚の領域を形成し、半導体層上に第2絶縁層を形成し、半導体層のエッティングした領域及び第2絶縁層上で、且つ半導体層を横断するようにゲート電極を形成し、ゲート電極をマスクとして半導体層に不純物

50

元素を添加し、自己整合的に一対の不純物領域と、当該一対の不純物領域の間にチャネル形成領域を形成し、ゲート電極の側面と接して第3絶縁層を形成し、該第3絶縁層及びゲート電極をマスクとして第2絶縁層を選択的にエッチングすることにより、半導体層を選択的に露出させ、少なくとも露出させた半導体層上に金属層を形成し、熱処理を行うことにより、半導体層及び金属層が接する領域の一部をシリサイド化して、半導体層に形成された不純物領域の一部にシリサイド領域を形成し、半導体層及びゲート電極上に第4絶縁層を形成し、第4絶縁層を介して、半導体層においてエッチングされなかった領域に形成された不純物領域と電気的に接続されるように導電層を形成する。

【0021】

上記構成において、金属層は、ニッケル(Ni)、チタン(Ti)、コバルト(Co)、又は白金(Pt)から選ばれる金属元素、又は当該金属元素を含む合金材料を用いて形成することが好ましい。また、導電層は、シリサイド領域に接するように形成するが好ましい。

【0022】

また、上記構成において、第2絶縁層は、ゲート電極が重畳する領域の半導体層の側面と接して形成された第1絶縁層を覆うように形成することが好ましい。

【0023】

また、上記構成において、半導体層の選択的にエッチングした領域は、膜厚50nm乃至70nmの範囲となるようにすることが好ましい。

【発明の効果】

【0024】

本発明を適用してソース電極又はドレイン電極を形成する導電層と電気的に接続される部分の半導体層を厚膜化することで、導電層及び半導体層の接続に起因する不良を防止することができる。また、本発明を適用して半導体層端部を絶縁層で十分に被覆することで、半導体層端部に起因する不良を防止することができる。よって、半導体装置を歩留まり良く製造することができる。また、完成する半導体装置の信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0025】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更しうることは、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0026】

(実施の形態1)

図1は、本発明に係る半導体装置の主要な構成を説明するための上面図及び断面図である。図1は、特に薄膜トランジスタの構成を示しており、図1(A)は上面図、図1(B)は図1(A)における破線OP間の断面図、図1(C)は図1(A)における破線QR間の断面図を示している。なお、図1(A)は、一部薄膜等を省略している。

【0027】

図1に示す半導体装置は、基板102上に絶縁層104を介して設けられた薄膜トランジスタ100を有している。薄膜トランジスタ100は、島状の半導体層105と、当該半導体層105の側面と接して設けられた絶縁層112と、半導体層105の一表面上に設けられた絶縁層114と、当該絶縁層114を介して半導体層105上に設けられた導電層116及び導電層118と、半導体層105上に絶縁層114、絶縁層120を介して設けられたソース電極又はドレイン電極を形成する導電層122と、を有している。導電層122は、絶縁層114、120を介して半導体層105と電気的に接続されている。

【0028】

10

20

30

40

50

ゲート電極 119 は、導電層 116 及び導電層 118 の積層構造で形成されている。ゲート電極 119 は、島状の半導体層 105 を横断するように設けられている。なお、図1 ではゲート電極を導電層 116、118 の2層の積層構造で形成する例を示すが、本発明は特に限定されない。例えば、単層構造でもよいし、3層以上の積層構造としてもよい。また、ゲート電極として形成される導電層の側面をテーパ形状にしてもよいし、2層以上の導電層の積層構造として各層でテーパ角度が異なるようにしてもよい。また、導電層の積層構造でゲート電極を形成する場合、各層の幅（キャリアがチャネル形成領域を流れる方向（ソース領域とドレイン領域を結ぶ方向）に平行な方向の長さ）が概略一致するように形成してもよいし、上層と比較して下層の導電層の幅が大きくなるように形成してもよい。その他、ゲート電極を形成する導電層の側面に接して、サイドウォールといわれる絶縁層（以下、サイドウォール絶縁層ともいう）を形成してもよい。

10

【0029】

島状に設けられた半導体層 105 は、チャネル形成領域 106 と、LDD 領域として機能する一対の不純物領域 108 と、ソース領域又はドレイン領域として機能する一対の不純物領域 110 と、を有する。以下、本明細書では LDD 領域として機能する不純物領域を低濃度不純物領域ともいう。また、ソース領域又はドレイン領域として機能する不純物領域を高濃度不純物領域ともいう。本実施の形態では、低濃度不純物領域 108、高濃度不純物領域 110 とする。

【0030】

また、半導体層 105 において、導電層 122 と接する領域は、チャネル形成領域 106 が形成される領域と比較して厚くなっている。本発明は、半導体層においてソース電極又はドレイン電極として機能する導電層を接続させる領域を、チャネル形成領域よりも厚くすることを特徴の1つとしている。なお、半導体層においてソース電極又はドレイン電極として機能する導電層を接続させる領域は、ソース領域又はドレイン領域として機能する不純物領域の一部である。よって、本発明は、高濃度不純物領域が、チャネル形成領域よりも厚い領域を有することを特徴の1つとしている。

20

【0031】

半導体層 105 において、チャネル形成領域 106 と比較して、ソース電極又はドレイン電極として機能する導電層 122 を接続させる領域を厚くすることで、後に導電層 122 及び半導体層 105（具体的には高濃度不純物領域 110）を接続させるための開口を形成する際に、該開口近傍の半導体層 105 まで除去されてしまうことを防止する効果がある。特に、チャネル形成領域を薄膜化するのに伴いその他の領域の膜厚も薄くする場合は、上述した開口形成の際に該開口近傍の半導体層が消失してしまう可能性も大きくなるため、本発明の構成とすることは非常に効果的である。

30

【0032】

半導体層 105 の膜厚は非晶質半導体層の結晶化可能な範囲とし、具体的には 30 nm 乃至 200 nm（但し 30 nm は除く）程度とする。好ましくはチャネル形成領域 106 を膜厚 30 nm 乃至 150 nm（但し 30 nm は除く）程度、より好ましくは 50 nm 乃至 70 nm 程度とし、導電層 122 を接続させる領域をチャネル形成領域 106 よりも厚くする。例えば、導電層 122 を接続させる領域を、膜厚 40 nm 乃至 200 nm 程度、好ましくは 80 nm 乃至 100 nm 程度とする。

40

【0033】

また、島状に設けられた半導体層 105 の端部は、テーパ形状とすることができます。例えば、テーパ角が 45° 以上 95° 未満、好ましくは 60° 以上 95° 未満となるような形状としてもよいし、テーパ角が 45° 未満の緩やかな形状とすることもできる。なお、テーパ角とはテーパ形状を有する層において、当該層の側面と底面がなす傾斜角を示す。ここでは、90° に近いテーパ角を有するテーパ形状とする。

【0034】

チャネル形成領域 106 は一対の高濃度不純物領域 110 の間に位置しており、低濃度不純物領域 108 はチャネル形成領域 106 と高濃度不純物領域 110 の間にそれぞれ位

50

置している。つまり、チャネル形成領域 106 は、一対の高濃度不純物領域 110 の間及び一対の低濃度不純物領域 108 の間に位置しており、且つ一対の低濃度不純物領域 108 に接している。なお、高濃度不純物領域 110 は、低濃度不純物領域 108 と比較して、高い濃度で一導電型を付与する不純物元素が添加されている。

【0035】

また、チャネル形成領域 106 は、半導体層 105 において該半導体層 105 及びゲート電極 119 を形成する導電層 118 が重なる領域に形成されている。つまり、ゲート電極 119 は半導体層 105 を横断するように、且つチャネル形成領域 106 上に設けられている。なお、チャネル形成領域 106 は、トランジスタの閾値電圧を制御するための一導電型を付与する不純物元素が添加されていてもよい。

10

【0036】

高濃度不純物領域 110 は、絶縁層 114、120 を介してソース電極又はドレイン電極として機能する導電層 122 と電気的に接続されている。このとき、少なくとも高濃度不純物領域 110 の一部をチャネル形成領域 106 よりも厚く形成し、該厚く形成された領域と接して電気的に接続されるようにソース電極又はドレイン領域として機能する導電層 122 を形成する。このようにすることで、絶縁層 114、120 に導電層 122 を形成するための開口を形成する際に、形成する開口近傍の半導体層（高濃度不純物領域）まで除去されてしまうことを防止できる。なお、高濃度不純物領域 110 全体を、チャネル形成領域 106 よりも厚く形成しても構わない。

【0037】

20

低濃度不純物領域 108 は、チャネル形成領域 106 と高濃度不純物領域 110 の間に形成されている。半導体層 105 において低濃度不純物領域 108 を形成することで、ドレイン領域近傍の電界を緩和することができ、その結果ホットキャリアの発生を抑制することができる。ホットキャリアの発生は、閾値電圧を不安定に変化させる要因になり、動作特性を著しく低下させる恐れがある。特に、素子を微細化する、例えばチャネル長（チャネル形成領域において、キャリアが流れる方向（ソース領域とドレイン領域を結ぶ方向）に平行な方向の長さ）を短くすると、ドレイン領域近傍が高電界化する問題が顕著となるため、LDD 領域として機能する低濃度不純物領域を形成することは、非常に効果的である。

【0038】

30

低濃度不純物領域 108 は、半導体層 105 において該半導体層 105 及び導電層 116 が重なる領域に形成されている。高濃度不純物領域 110 は、半導体層 105 において該半導体層 105 並びにゲート電極 119 を形成する導電層 116 及び導電層 118 が重ならない領域に形成されている。

【0039】

なお、図 1 では半導体層 105 に LDD 領域として機能する低濃度不純物領域を形成する例を示すが、本発明は特に限定されず、LDD 領域は形成しなくともよい。LDD 領域を形成しない場合は、半導体層はソース領域又はドレイン領域として機能する一対の不純物領域の間に接してチャネル形成領域を有する構成となればよい。このとき、図 1 に示すようにゲート電極を積層構造とし、且つ下層の導電層の幅を大きくする場合は、上層の幅が小さい導電層と略重なるようにチャネル形成領域を形成し、上層の導電層と略重ならない領域にソース領域又はドレイン領域として機能する不純物領域を形成すればよい。ゲート電極を単層構造、又は各層の幅が略一致する導電層の積層構造とする場合は、ゲート電極と略重なるようにチャネル形成領域を形成し、ゲート電極と略重ならない領域にソース領域又はドレイン領域として機能する不純物領域を形成すればよい。

40

【0040】

また、LDD 領域を、ゲート電極を形成する導電層と重ならない領域の半導体層に形成してもよいし、ゲート電極を形成する導電層と一部が重なり一部が重ならない領域の半導体層に形成してもよい。また、ゲート電極の側面に接してサイドウォール絶縁層を形成し、当該サイドウォール絶縁層と重なる領域の半導体層に LDD 領域を形成してもよい。な

50

お、図1ではLDD領域として機能する低濃度不純物領域108を、チャネル形成領域と略同じ膜厚の領域に形成する例を示すが、チャネル形成領域よりも膜厚が大きい領域に形成してもよいし、チャネル形成領域よりも膜厚が大きい領域及び略同じ領域の両方に掛かるように形成してもよい。

【0041】

島状に設けられた半導体層105の側面と接して絶縁層112（以下、側面絶縁層112ともいう）が形成されている。また、半導体層105の一表面上及び側面絶縁層112に接して絶縁層114が形成されている。絶縁層114は、薄膜トランジスタ100のゲート絶縁層として機能する。

【0042】

ゲート絶縁層として機能する絶縁層114の膜厚は1nm乃至50nm、好ましくは1nm乃至20nm、より好ましくは1nm乃至10nmとする。ゲート絶縁層を薄膜化すると、トランジスタを低電圧で高速に動作させることができると好ましい。

【0043】

絶縁層114は、半導体層105及び半導体層105の側面と接する側面絶縁層112を覆うように形成されている。よって、半導体層105の端部は側面絶縁層112及び絶縁層114で被覆性良く覆うことができる。したがって、半導体層端部におけるゲート絶縁層の被覆不良に起因する不良、特にゲート電極と半導体層端部が重畳する領域（ゲート電極が半導体層端部を乗り越える領域）における絶縁層の被覆不良に起因する不良を防止することができる。例えば、半導体層とゲート電極層の短絡、リーク電流の発生、静電破壊等を防止することができる。その結果、完成する半導体装置の信頼性を向上させることができるとなる。

【0044】

ここでは、側面絶縁層112は、半導体層105の側面と接しない面を湾曲状に形成している。

【0045】

また、ここでは、側面絶縁層112を、島状に形成された半導体層105の周囲を囲うように半導体層105の側面と接して形成している。なお、半導体層を島状に形成した場合は、特にゲート電極と半導体層端部が重畳する領域（ゲート電極が半導体層端部を乗り越える領域）で不良が生じやすい。この要因としては、半導体層端部及びゲート電極が、両者が重畳する領域において、半導体層端部のゲート絶縁層が局所的に薄くなりやすいこと、半導体層やゲート電極（導電層）の加工工程の影響を受けやすいこと等が挙げられる。例えば、図12（B）の破線9007に示すように、半導体層9006の端部においてゲート絶縁層9004が局所的に薄くなる場合がある。また、図12（C）の破線9009に示すように、半導体層9006を島状に形成する際のエッチング工程やフッ酸（HF）等を用いた洗浄工程の影響で、半導体層9006の下層に設けられた絶縁層9002が除去されてしまい、ゲート絶縁層9004の被覆性が悪くなる場合がある。この場合、破線9020の領域では、さらにゲート電極を形成する際のエッチングの影響も受けやすい。このような加工工程の影響は、素子の微細化に伴いゲート絶縁層の薄膜化が進むにつれ顕著になりやすい。したがって、少なくともゲート電極を形成する導電層と半導体層端部が重畳する領域（ゲート電極が半導体層端部を乗り越える領域）において、半導体層の側面と接して絶縁層が形成されていることが好ましい。本発明は、半導体層の側面と接する側面絶縁層を形成することを特徴の1つとしている。

【0046】

なお、半導体層105の一表面上に形成された絶縁層114の膜厚と比較して、半導体層105の側面と接して形成された側面絶縁層112及び絶縁層114を合わせた膜厚が厚いことが好ましい。また、半導体層105の一表面上に形成された絶縁層114と比較して、半導体層105の側面と接する側面絶縁層112の誘電率が小さいことが好ましい。半導体層と接して形成する絶縁層の膜厚、誘電率等を制御することで、半導体層105端部に掛かる電界を効果的に緩和することができ、リーク電流の発生等を防止することができる。

10

20

30

40

50

できる。よって、歩留まりよく半導体装置を製造することが可能になり、完成する半導体装置の信頼性を向上させることができる。

【0047】

また、図1ではソース領域又はドレイン領域として機能する高濃度不純物領域110は、導電層122に直接接して電気的に接続される領域以外で、低濃度不純物領域108と接する側はチャネル形成領域106と略同じ膜厚とする例を示すが、本発明は特に限定されない。例えば、図5(A)に示すように、半導体層155に形成された高濃度不純物領域160において、導電層122に直接接して電気的に接続される領域以外で、側面絶縁層162が形成される側をチャネル形成領域106と略同じ膜厚としてもよい。また、高濃度不純物領域全体を、チャネル形成領域よりも膜厚を大きくした領域に形成してもよい。

10

【0048】

次に、図1で示した半導体装置の作製方法の一例について、図面を用いて以下に説明する。

【0049】

基板102上に絶縁層104を介して半導体層101を形成する(図2(A)参照)。

【0050】

基板102は、ガラス基板、石英基板、サファイア基板、セラミック基板、又は表面に絶縁層が形成された金属基板或いはシリコン基板等の半導体基板などを用いることができる。

20

【0051】

絶縁層104は、CVD法、スピッタリング法、ALD法等により、酸化シリコン(SiO_x)、窒化シリコン(SiNx)、酸化窒化シリコン(SiO_xN_y)、窒化酸化シリコン(SiNxOy)等を用いて形成する。絶縁層104は、下地絶縁層として機能する。具体的には、基板102から半導体層へアルカリ金属等が拡散し、半導体層が汚染することを防ぐブロッキング層として機能する。また、基板102の表面に凹凸がある場合、平坦化する層としても機能することができる。なお、絶縁層104は、基板102からの不純物拡散や基板102表面の凹凸が問題とならなければ、形成しなくともよい。また、ここでは下地絶縁層を単層構造としているが、積層構造としてもよい。例えば、下地絶縁層を2層の積層構造とする場合、1層目に窒化酸化シリコン層、2層目に酸化窒化シリコン層を形成することができる。また、1層目に窒化シリコン層を形成し、2層目に酸化シリコン層を形成してもよい。

30

【0052】

半導体層101は、単結晶半導体又は結晶性半導体で形成されたものを用いることが好ましい。また、半導体層101は膜厚30nm乃至200nm(但し30nmは除く)の範囲、好ましくは50nm乃至100nmの範囲で形成する。

【0053】

例えば、半導体層101は、CVD法やスピッタリング法によって基板102全面に半導体層(例えば非晶質半導体層)を形成し、当該半導体層を結晶化することが好ましい。半導体層101を形成する半導体材料としてはシリコンを主成分とする材料を用いるのが好ましく、具体的には、シリコン、シリコンゲルマニウム等を用いて形成することができる。また、ゲルマニウムを用いて形成してもよい。半導体層の結晶化法としては、レーザ結晶化法、瞬間熱アニール(RTA)又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれらの方法を組み合わせた方法等により行うことができる。

40

【0054】

レーザ結晶化を適用する場合は、連続発振型のレーザ(以下、CWレーザともいう)やパルス発振型のレーザ(以下、パルスレーザともいう)から得られるレーザビームを用いることができる。ここで用いることができるレーザの例としては、Arレーザ、Krレーザ、エキシマレーザ、銅蒸気レーザ若しくは金蒸気レーザなどの気体レーザ、単結晶のY

50

A G、YVO₄、フォルステライト(Mg₂SiO₄、YAlO₃、GdVO₄)、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、アレキサンドライトレーザ、ルビーレーザ若しくはTi:サファイアレーザなどの固体レーザ等が挙げられる。固体レーザの場合は、発振されるレーザビームの基本波から第4高調波までを適宜選択して照射することができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。Nd:YVO₄レーザをCWレーザとして用いる場合は、レーザのパワー密度は0.01MW/cm²~100MW/cm²程度(好ましくは0.1MW/cm²~10MW/cm²)必要である。そして、走査速度を10cm/sec~2000cm/sec程度として照射する。なお、ここでは第2高調波(532nm)を用いることが好ましい。これは、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れているためである。10

【0055】

CWレーザを用いてレーザ結晶化を行う場合は、連続的に半導体層にエネルギーを与えることができるため、一旦半導体層を溶融状態にすると、溶融状態を継続させることができる。さらに、CWレーザを走査することによって半導体層の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができるため好ましい。このとき、固体レーザを用いると、気体レーザ等と比較して、出力の安定性が高く、安定した処理が見込まれるため好ましい。なお、CWレーザに限らず、繰り返し周波数が10MHz以上のパルスレーザを用いると、同様の効果を期待できる。繰り返し周波数が高いパルスレーザを用いると、半導体層が溶融してから固化するまでの時間よりもレーザのパルス発振の間隔が短ければ、常に半導体層を溶融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体層を形成することができる。また、レーザビームをTEM₀₀(シングル横モード)で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。20

【0056】

本実施の形態では、非晶質シリコン層を形成した後に該非晶質シリコン層をレーザ結晶化法を用いて結晶化して、半導体層101として膜厚100nmの結晶性シリコン層を形成する。30

【0057】

なお、ここでは種々の結晶化法を用いて半導体層101を形成する例を示したが、このような薄膜プロセスに換えて、絶縁表面に単結晶半導体層を設けたSOI基板を用いてもよい。この場合、絶縁表面に設けられた単結晶半導体層が半導体層101となる。

【0058】

次に、半導体層101を選択的にエッチングして、島状の半導体層103を形成する(図2(B)、図4(A)、図6(A)参照)。

【0059】

半導体層103は、半導体層101を選択的にレジストマスクで覆い、当該レジストマスクに覆われていない半導体層101をエッチングすることによって、島状に形成される。島状の半導体層103を形成した後、レジストマスクは除去する。40

【0060】

半導体層101をエッチングして、島状の半導体層103を形成する方法は、ドライエッチングやウェットエッチングを用いることができる。ドライエッチングを行う場合、エッチングガスは下地絶縁層とのエッチング選択比が十分取れるものを用いる。つまり、ここでは絶縁層104に対するエッチングレートが低く、半導体層101に対するエッチングレートが高いものを用いればよい。エッチングガスとしては、例えばCl₂、BCl₃、若しくはSiCl₄等の塩素系ガス、CF₄、NF₃、若しくはSF₆等のフッ素系ガス、又はHBrガスを用いることができる。さらにHe、Ar、Xeなどの不活性ガスを適宜加えてもよい。また、フッ素系ガスに適宜O₂ガスを加えてもよい。50

【0061】

なお、半導体層103は、端部が垂直に近いテーパ形状となるように形成してもよいし、緩やかなテーパ形状となるように形成してもよい。例えば、テーパ角が45°以上95°未満、好ましくは60°以上95°未満となるような形状としてもよいし、テーパ角が45°未満の緩やかな形状としてもよい。半導体層103の端部の形状は、エッチング条件等を変化させることにより、適宜選択することができる。

【0062】

次に、半導体層103が埋め込まれるように絶縁層を形成し、当該絶縁層を垂直方向を主体とした異方性エッチングにより選択的にエッチングして、半導体層103の端部の側面と接する側面絶縁層112を形成する(図2(C)、図4(B)、図6(A)参照)。

10

【0063】

側面絶縁層112は、CVD法やスパッタリング法により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、SiOF、SiOC、DLC、ポーラスシリカ等の材料を用いて絶縁層を形成した後、当該絶縁層を選択的にエッチングして形成する。このとき、半導体層が埋め込まれるように形成する絶縁層は、少なくとも島状の半導体層103を十分に被覆できる膜厚で形成する。具体的には、半導体層103の1.5倍乃至3倍の膜厚で形成するのが好ましい。

【0064】

また、側面絶縁層112を形成するためのエッチングは、垂直方向を主体とした異方性エッチングを行うことが好ましい。例えば、反応性イオンエッチング(RIE:Reactive Ion Etching)等のドライエッチングを利用することができる。なお、反応性イオンエッチングは、プラズマ発生法により、平行平板方式、マグネットロン方式、2周波方式、ECR方式、ヘリコン方式、ICP方式などに分類される。このとき用いるエッチングガスは、側面絶縁層112を形成する絶縁層と半導体層103とのエッチング選択比が十分取れるものを用いる。エッチングガスとしては、例えば、CHF₃、CF₄、C₄F₈、C₂F₆等のフッ素系のガスを用いることができる。さらに、フッ素系ガスにヘリウム(He)、アルゴン(Argon)、キセノン(Xe)などの不活性ガス、又はO₂ガス、H₂ガスを適宜加えてもよい。

20

【0065】

側面絶縁層112の形状は、薄膜を形成する材料、エッチング条件等を適宜選択することにより変更することができる。本実施の形態では、側面絶縁層112は、半導体層103の側面と接しない面を湾曲状に形成している。具体的には、任意の曲率を有し、接する半導体層103の側面に対して凸形状に湾曲するように形成している。側面絶縁層112の形状は特に限定されないが、丸みを帯びた形状とするのが好ましい。また、下方(絶縁層104と接する方)の膜厚が大きくなるような形状とするのが好ましい。側面絶縁層112の半導体層103と接しない面を緩やかな形状とすると、上層に積層される層(ここでは絶縁層114)の被覆性を良好にすることができる。なお、エッチング条件は、エッチングガスの種類、各ガスの流量比の他、基板を載置した電極に印加される電力量、基板が載置した電極の電極温度、チャンバー内圧力等を示す。

30

【0066】

次に、半導体層103を選択的にエッチングして、異なる膜厚の領域を有する半導体層105を形成する(図2(D)、図4(C)、図6(C)参照)。

40

【0067】

半導体層105は、半導体層103を選択的にエッチングする。具体的には、半導体層103を選択的にレジストマスク132で覆い、当該レジストマスク132に覆われていない領域を、所望の膜厚の半導体層が残存するようにエッチングして、異なる膜厚の領域を有する半導体層105を形成する。レジストマスク132に覆われた領域は、レジストマスク132で覆われなかった領域と比較して膜厚が大きい領域となる。半導体層103のエッチングは、半導体層103においてレジストマスク132が形成された側から絶縁層104と接する面側へ、垂直方向を主体とした方向で行われるのが好ましい。エッチ

50

グ条件は、レジストマスク 132 に覆われていない領域で所望の膜厚の半導体層が残存するように適宜制御すればよい。エッチング後、形成された半導体層 105 は凹凸を有する。半導体層 105 において、凸部は後にソース領域又はドレイン領域として機能する不純物領域が形成され、且つソース電極又はドレイン電極として機能する導電層と接する領域となる。所望の形状の半導体層 105 を形成した後、レジストマスク 132 は除去する。

【0068】

半導体層 103 を選択的にエッチングする方法は、ドライエッチングやウェットエッチングを用いることができる。例えば、ドライエッチングを行う場合、エッチングガスとしては、 Cl_2 、 BCl_3 、若しくは SiCl_4 等の塩素系ガス、 CF_4 、 NF_3 、若しくは SF_6 等のフッ素系ガス、又は HBr ガスを用いることができる。さらに He 、 Ar 、 Xe などの不活性ガスを適宜加えてもよい。また、フッ素系ガスに適宜 O_2 ガスを加えててもよい。また、レジストマスク 132 で覆われていない半導体層 103 を部分的に変質させて、該変質した領域を選択的にエッチングすることもできる。半導体層の変質とは、例えば半導体層の酸化処理、窒化処理等を示し、エッチングしたい領域を所望の処理をして変質させればよい。

【0069】

半導体層 105 の膜厚は、非晶質半導体層の結晶化可能な膜厚範囲とし、具体的には 30 nm 乃至 200 nm (但し 30 nm は除く) 程度とする。好ましくはチャネル形成領域 106 を膜厚 30 nm 乃至 150 nm (但し 30 nm は除く) 程度、より好ましくは 50 nm 乃至 70 nm 程度とし、導電層 122 を接続させる領域をチャネル形成領域 106 よりも厚くする。例えば、導電層 122 を接続させる領域を、膜厚 40 nm 乃至 200 nm 程度、より好ましくは 80 nm 乃至 100 nm 程度とする。本実施の形態では、レジストマスク 132 で覆われた領域 (凸部) を膜厚 100 nm とし、レジストマスク 132 で覆われなかった領域 (凹部) を膜厚 50 nm とする。

【0070】

なお、半導体層 103 を選択的にエッチングする際、レジストマスク 132 に覆われていない領域の側面絶縁層 112 もほぼ同じ高さになるようにエッチングするのが好ましい。これは、半導体層 103 及び側面絶縁層 112 のエッチングレートが略同じになるようなエッチング条件、つまりエッチングの選択比を 1 に近い条件とすればよい。これは、例えば、フッ素系のエッチングガスに O_2 ガスを適宜加えていくことで可能である。また、フッ素系のガスに O_2 ガスを加えたエッチングガスに換えて HBr ガス、又は HBr と Cl_2 との混合ガスを用いてもよい。このとき、エッチングガスに He や Ar などの不活性ガスを加えててもよい。

【0071】

次に、半導体層 105 及び側面絶縁層 112 上に絶縁層 114 を形成する (図 2 (E) 参照)。

【0072】

絶縁層 114 は、CVD 法、スパッタリング法、ALD 法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化アルミニウム等の材料を用いて、単層構造又は積層構造で形成する。絶縁層 114 の膜厚は 1 nm 乃至 50 nm、好ましくは 1 nm 乃至 20 nm、より好ましくは 1 nm 乃至 10 nm の範囲で形成する。本実施の形態では、絶縁層 114 として酸化窒化シリコン層を膜厚 10 nm で形成する。

【0073】

また、絶縁層 114 は、プラズマ処理による固相酸化若しくは固相窒化で形成することもできる。例えば、半導体層 105 及び側面絶縁層 112 を、プラズマ処理により酸化又は窒化して、絶縁層 114 を形成することができる。半導体層 105 を、プラズマ処理により酸化又は窒化することで、緻密で絶縁耐圧が高く信頼性に優れる絶縁層 114 を形成することができる。

【0074】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波 (代表的に

10

20

30

40

50

は 2.45 GHz) 等の高周波で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用して行なうことが好ましい。固相酸化処理若しくは固相窒化処理において、 500°C 以下の温度において、緻密な絶縁層を形成すると共に実用的な反応速度を得るためである。

【0075】

プラズマ処理により、半導体層 105 及び側面絶縁層 112 の表面を酸化する場合には、酸素を含む雰囲気下（例えば、酸素（O₂）、オゾン（O₃）、亜酸化窒素（N₂O）、一酸化窒素（NO）若しくは二酸化窒素（NO₂）、及び希ガス（ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）の少なくとも 1 つを含む）を含む雰囲気下、又は酸素（O₂）、オゾン（O₃）、亜酸化窒素（N₂O）、一酸化窒素（NO）若しくは二酸化窒素（NO₂）と、水素（H₂）と、希ガスと、を含む雰囲気下）で行う。また、プラズマ処理により半導体層 105 及び側面絶縁層 112 の表面を窒化をする場合には、窒素を含む雰囲気下（例えば、窒素（N₂）と希ガス（He、Ne、Ar、Kr、Xe の少なくとも一つを含む）を含む雰囲気下、窒素と水素と希ガスを含む雰囲気下、又は NH₃ と希ガスを含む雰囲気下）でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることが好ましい。また、Ar と Kr を混合したガスを用いてもよい。

【0076】

ここで、プラズマ処理を行うためのプラズマ処理装置 1080 の構成例を図 14 に示す。当該プラズマ処理装置 1080 は、支持台 1088 と、ガスを供給するためのガス供給部 1084、ガスを排気するために真空ポンプに接続する排気口 1086、アンテナ 1098、誘電体板 1082、プラズマ発生用の高周波を入力する高周波供給部 1092 を有している。被処理体 1010 は、支持台 1088 によって保持される。また、支持台 1088 に温度制御部 1090 を設けることによって、被処理体 1010 の温度を制御することも可能である。被処理体 1010 は、プラズマ処理をする基体であり、本実施の形態では基板 102 上に絶縁層 104、島状の半導体層 105 及びその側面と接する側面絶縁層 112 を順に積層形成したものに相当する。

【0077】

以下、図 14 に示すプラズマ処理装置 1080 を用いて半導体層表面に絶縁層を形成する具体例を述べる。なお、プラズマ処理とは、基板、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸化窒化処理、水素化処理、表面改質処理を範疇に含んでいる。これらの処理は、その目的に応じて、ガス供給部 1084 から供給するガスを選択すれば良い。

【0078】

まず、図 14 に示すプラズマ処理装置 1080 の処理室内を真空にする。そして、ガス供給部 1084 から希ガス、酸素又は窒素を含むガスを供給する。被処理体 1010 は室温、若しくは温度制御部 1090 により 100°C 以上 550°C 以下の範囲で加熱する。被処理体 1010 と誘電体板 1082 との間隔（以下、電極間隔ともいう）は、 20 mm 以上 200 mm 以下（好ましくは 20 nm 以上 60 mm 以下）程度である。

【0079】

次に、高周波供給部 1092 からアンテナ 1098 に高周波を入力する。ここでは、高周波としてマイクロ波（周波数 2.45 GHz ）を入力する。そしてマイクロ波をアンテナ 1098 から誘電体板 1082 を通して処理室内に入力することによって、プラズマ 1094 を生成し、当該プラズマ 1094 によって酸素ラジカル（OHラジカルを含む場合もある）又は窒素ラジカル（NHラジカルを含む場合もある）を生成する。このとき、プラズマ 1094 は、供給されたガスによって生成される。

【0080】

マイクロ波等の高周波の入力によりプラズマ 1094 を生成すると、低電子温度（ 3 eV 以下、好ましくは 1.5 eV 以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。具体的には、電子温度が 0.5 eV 以上 1.5 eV 以下、

10

20

30

40

50

且つ電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下のプラズマ生成することが好ましい。なお、本明細書では、マイクロ波の入力により生成された低電子温度で高電子密度のプラズマを高密度プラズマともいう。また、高密度プラズマを利用してプラズマ処理を行うことを高密度プラズマ処理ともいう。

【0081】

プラズマ 1094 により生成された酸素ラジカル (OHラジカルを含む場合もある) 又は窒素ラジカル (NHラジカルを含む場合もある) によって、被処理体 1010 に形成された半導体層の表面が酸化又は窒化されて絶縁層が形成される。このとき、供給するガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。この方法は、プラズマで励起した活性なラジカルを有效地に使うことにより、500 以下 の低温で固相反応による酸化、窒化を行うことができる。

【0082】

図 14 に示す装置を用いた高密度プラズマ処理により形成される好適な絶縁層 114 の一例は、酸素を含む雰囲気下のプラズマ処理により半導体層 105 の一表面上に 3 nm 乃至 6 nm の厚さで酸化シリコン層を形成し、その後窒素を含む雰囲気下でその酸化シリコン層の表面を窒化プラズマで処理した窒素プラズマ処理層 (窒化シリコン層) を形成する。具体的には、まず、酸素を含む雰囲気下でのプラズマ処理により半導体層 105 の一表面上に 3 nm 乃至 6 nm の厚さで酸化シリコン層を形成する。その後、続けて窒素を含む雰囲気下でプラズマ処理を行うことにより酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を設ける。なお、表面近傍とは、酸化シリコン層の表面から概略 0.5 nm 乃至 1.5 nm の範囲の深さをいう。例えば、窒素を含む雰囲気下でプラズマ処理を行うことによって、酸化シリコン層の表面から垂直方向に概略 1 nm の深さに窒素を 20 原子 % 乃至 50 原子 % の割合で含有した構造となる。また、高密度プラズマ処理により絶縁層 114 の表面も酸化又は窒化することができる。

【0083】

例えば、半導体層 105 としてシリコン層を形成し、該シリコン層の表面をプラズマ処理で酸化することで、界面に歪みのない緻密な酸化層を形成することができる。また、当該酸化層をプラズマ処理で窒化することで、表層部の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。それにより絶縁耐圧が高い絶縁層を形成することができる。

【0084】

いずれにしても、上記のようなプラズマ処理による固相反応若しくは固相窒化処理を用いることで、耐熱温度が 700 以下のガラス基板を用いても、950 乃至 1050 の範囲で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、半導体素子、特に薄膜トランジスタや不揮発性記憶素子のゲート絶縁膜として機能する絶縁層として信頼性の高い絶縁層を形成することができる。

【0085】

また、絶縁層 114 を、高誘電率材料を用いて形成してもよい。絶縁層 114 に高誘電率材料を用いることにより、リーク電流を低減することができる。高誘電率材料としては、二酸化ジルコニアム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどを用いることができる。また、高誘電率材料を用いて絶縁層を形成した後、プラズマ処理による固相反応により酸化シリコン層を積層形成しても良い。

【0086】

以上で形成される絶縁層 114 は、ゲート絶縁層として機能する。また、本発明は、半導体層の側面と接して側面絶縁層 112 を形成することで、半導体層の端部においてゲート絶縁層の被覆性を良好にすることができます。また、半導体層を島状に加工する際のエッチングや様々な工程に付随するフッ酸 (HF) 等を用いた洗浄工程の影響により、半導体層の端部下及びその付近の絶縁層 (下地絶縁層) が除去される場合でも、半導体層を十分

10

20

30

40

50

に被覆することができる。よって、半導体層の端部におけるゲート絶縁層の被覆不良に起因した半導体層とゲート電極の短絡、リーク電流の発生、静電破壊等を防止することができる。

【0087】

次に、絶縁層114を介して半導体層105上にゲート電極119として機能する導電層116、導電層118を形成する(図3(A)、図4(D)、図6(D)参照)。ゲート電極119は、半導体層105において選択的にエッチングされた領域上に形成する。なお、半導体層105の選択的にエッチングされた領域には、後にチャネル形成領域106を形成する。ゲート電極119は、チャネル形成領域106上に、半導体層105を横断するように形成される。

10

【0088】

ゲート電極119を形成する導電層は、CVD法やスパッタリング法により、導電材料を用いて基板全面に導電層を形成した後、当該導電層を選択的にエッチングして所望の形状に加工する。導電材料としては、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、アルミニウム(Al)、銅(Cu)、又はニオブ(Nb)等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いることができる。また、リン等の一導電型を付与する不純物元素が添加された多結晶シリコンに代表される半導体材料を用いることもできる。ゲート電極119は、これらの導電材料を用いて、単層構造又は積層構造で形成する。ゲート電極119を形成する導電層は、膜厚50nm乃至1000nm、好ましくは100nm乃至800nm、より好ましくは200nm乃至500nmの範囲で形成する。

20

【0089】

本実施の形態では、ゲート電極119を形成する導電層116、118として、窒化タンタル層、タンゲステン層の積層構造を形成する。また、上層の導電層118(タンゲステン層)と比較して下層の導電層116(窒化タンタル層)の幅が大きくなるように形成する。なお、各層の導電層の幅は概略一致するようにしてもよいし、導電層の側面をテープ形状にしてもよい。また、ゲート電極の側面に接してサイドウォール絶縁層を形成してもよい。

【0090】

ゲート電極119は、半導体層105の選択的にエッチングされた領域に形成する。そのため、選択的にエッチングする領域は広い方がゲート電極を形成しやすい。

30

【0091】

次に、半導体層105に対して一導電型を付与する不純物元素を第1の濃度で選択的に添加し、一対の低濃度不純物領域107と、チャネル形成領域106を形成する(図3(B)、図7(A)参照)。ここでは導電層118をマスクとして不純物元素を添加し、自己整合的に一対の低濃度不純物領域107と、当該一対の低濃度不純物領域107の間に位置するチャネル形成領域106を形成する。ここで形成される低濃度不純物領域107の一部は、後にLDD領域を形成する。一導電型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等のp型を付与する元素、リン(P)、ヒ素(As)等のn型を付与する元素を用いることができる。本実施の形態では、不純物元素としてn型を付与する元素であるリンをピーカ濃度で約 $1 \times 10^{18} \text{ cm}^{-3}$ 程度となるように添加する。

40

【0092】

次に、半導体層105に対して一導電型を付与する不純物元素を第2の濃度で選択的に添加し、一対の高濃度不純物領域110と、一対の低濃度不純物領域108を形成する(図3(C)、図7(B)参照)。ここでは、導電層116及び導電層118をマスクとして不純物元素を添加し、自己整合的に一対の高濃度不純物領域110と、一対の低濃度不純物108を形成する。ここで形成される高濃度不純物領域110はソース領域又はドレイン領域として機能し、低濃度不純物領域108はLDD領域として機能する。一導電型を付与する不純物元素は、前述の低濃度不純物領域107を形成する際に添加する元素と

50

同じ導電型の不純物元素を用いることができる。なお、第1の濃度と比較して、第2の濃度を高くして不純物元素を添加する。よって、高濃度不純物領域110には、低濃度不純物領域108と比較して高い濃度の不純物元素が添加される。本実施の形態では、不純物元素としてn型を付与する元素であるリンをピーク濃度で約 $1 \times 10^{21} \text{ cm}^{-3}$ 程度となるように添加する。

【0093】

以上で、半導体層105にチャネル形成領域106、一対の低濃度不純物領域108、一対の高濃度不純物領域110が形成される。一対の高濃度不純物領域110の間にチャネル形成領域106が位置し、高濃度不純物領域110とチャネル形成領域106の間に、それぞれ接して低濃度不純物領域108が形成されている。チャネル形成領域106は、半導体層105において導電層118と重なる領域に形成される。低濃度不純物108は、半導体層105において導電層116と重なる領域で、且つ導電層118と重ならない領域に形成される。高濃度不純物領域110は、半導体層105において導電層116及び導電層118と重ならない領域に形成される（図3（C）、図7（B）参照）。

【0094】

また、チャネル形成領域106に、トランジスタの閾値電圧を制御するための一導電型を付与する不純物元素を添加してもよい。チャネル形成領域106に所定の濃度の不純物元素を添加することで、強制的にトランジスタの閾値電圧をシフトさせ、所望の閾値電圧とすることが可能である。一導電型を付与する不純物元素としては、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）等のp型を付与する元素、リン（P）、ヒ素（As）等のn型を付与する元素を用いることができる。本実施の形態の場合は、p型を付与する元素を用いることができ、例えばボロンを約 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加することができる。なお、チャネル形成領域106に対する不純物元素の添加は、ゲート電極119を形成する前に行えばよい。

【0095】

また、半導体層105に一導電型を付与する不純物元素を添加した後、熱処理を行って添加した不純物元素を活性化することが好ましい。熱処理は、レーザビームの照射、又はRTA若しくはファーネスアニール炉を用いて行うことができる。具体的には、400乃至700、好ましくは500乃至650の温度範囲で行うとよい。また、熱処理は窒素雰囲気下で行うことが好ましい。例えば、5504時間の加熱を行うことにより、活性化を行うことができる。

【0096】

また、側面絶縁層112を形成する際、エッチング条件やそれぞれの薄膜を形成する材料、膜厚等により、半導体層の一部が非晶質化する場合がある。この場合、熱処理を行うことにより、活性化とともに半導体層の再結晶化を行うことも可能である。

【0097】

次に、基板102上に設けられた絶縁層や導電層等を覆うように絶縁層120を形成する。次に、絶縁層120を介して半導体層105に形成された高濃度不純物領域110と電気的に接続される導電層122を形成する（図3（D）、図4（E）、図6（C）参照）。導電層122は、ソース電極又はドレイン電極として機能する。また、導電層122は、半導体層105においてチャネル形成領域106と比較して膜厚が大きい領域と接して電気的に接続されるように形成する。

【0098】

絶縁層120は、CVD法、スパッタリング法、ALD法、塗布法、又はそれらの組み合わせ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の無機絶縁材料や、DLC（ダイヤモンドライクカーボン）等の炭素を含む絶縁材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機絶縁材料またはシロキサン樹脂等のシロキサン材料を用いて形成する。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも

10

20

30

40

50

水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、絶縁層120は、CVD法やスパッタリング法、ALD法等を用いて絶縁層を形成した後、当該絶縁層に酸素雰囲気下又は窒素雰囲気下で高密度プラズマ処理を行ってもよい。なお、ここでは、ゲート電極119等の上層に単層構造の絶縁層120を形成しているが、2層以上の積層構造としてもよい。絶縁層を積層構造にする場合、下層の絶縁層（ゲート電極等と接する側）は無機絶縁材料を用いて形成するのが好ましい。

【0099】

絶縁層120に、チャネル形成領域106と比較して膜厚が大きい領域に形成された高濃度不純物領域110に達する開口を形成する。開口は、適宜ドライエッティングやウェットエッティングを利用して形成する。そして、開口を介して高濃度不純物領域と電気的に接続されるように、ソース電極又はドレイン電極を形成する導電層122を形成する。

10

【0100】

ソース電極又はドレイン電極を形成する導電層122は、CVD法やスパッタリング法により、アルミニウム（Al）、タンゲステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）又はネオジウム（Nd）から選ばれる金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて、単層構造又は積層構造で形成する。アルミニウムを含む合金材料としては、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料があげられる。導電層122は、例えば、バリア層とアルミニウムシリコン（Al-Si）層とバリア層の積層構造、バリア層とアルミニウムシリコン（Al-Si）層と窒化チタン（TiN）層とバリア層の積層構造を採用することができる。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層122を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができるため好ましい。

20

【0101】

本実施の形態では、導電層122として、チタン層、窒化チタン層、アルミニウム層、のチタン層の積層構造を形成する。

30

【0102】

本発明において、ソース電極又はドレイン電極として機能する導電層は、島状の半導体層においてチャネル形成領域よりも膜厚が大きい領域に接して形成される。このような構成とすることで、チャネル形成領域を50nm程度の薄膜とする場合でも、導電層及び半導体層を接続させるための開口を形成する際に、該開口近傍の半導体層が除去されてしまうことを防止することができる。

【0103】

以上により、本発明を適用した薄膜トランジスタ100を形成することができる。なお、本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。

40

【0104】

例えば、上述した図5（A）で示す構造とすることができます。図5（A）に示す薄膜トランジスタ150は、半導体層155に形成された高濃度不純物領域160において、導電層122に直接接して電気的に接続される領域及びその近傍が、チャネル形成領域106よりも厚くなっている。ここで、半導体層155において側面絶縁層162が形成される側はチャネル形成領域106とほぼ同じ膜厚としている。以下に、半導体層155の作製方法の一例を説明する。

【0105】

50

基板 102 上に絶縁層 104 を介して形成された島状の半導体層 103 の側面と接して側面絶縁層 162 を形成する（図 5（B）参照）。

【0106】

側面絶縁層 162 は、半導体層 103 と比較して、底面（絶縁層 104 と接する面）からの垂直方向の高さが低くなるように、エッチング条件を制御する。好ましくは、後に半導体層 103 を選択的にエッチングした際に、エッチングされた領域の半導体層の底面からの垂直方向の高さと同程度になるようにする。例えば、半導体層 103 を選択的にエッチングして、当該エッチングした領域を膜厚 50 nm とする場合、側面絶縁層 162 の高さもおよそ 50 nm とする。側面絶縁層 162 の材料や形成方法等は、上述の側面絶縁層 112 と同様にすればよい。

10

【0107】

次に、半導体層 103 を選択的にエッチングして異なる膜厚の領域を有する半導体層 155 を形成する（図 5（C）参照）。

【0108】

半導体層 155 は、半導体層 103 を選択的にエッチングする。ここで、図 5 に示す半導体層 155 と、上述の図 1 に示す半導体層 105 との違いは、OP 断面図における側面絶縁層と接する領域の半導体層の膜厚である。図 1 では、OP 断面図における半導体層 105 の端部はエッチングされていないのに対し、図 5（A）では、OP 断面図における半導体層の端部もエッチングされて側面絶縁層の高さがチャネル形成領域 106 と略一致する。

20

【0109】

半導体層 155 は、半導体層 103 を選択的にレジストマスク 164 で覆い、当該レジストマスク 164 に覆われていない半導体層 103 を選択的にエッチングする。レジストマスク 164 に覆われていない領域は、所望の膜厚の半導体層が残存するようにエッチング条件を制御する。レジストマスク 164 に覆われた領域は、エッチングされた領域と比較して膜厚が大きい領域となる。選択的にエッチングする方法は、上述の半導体層 105 を形成する方法と同様である。エッチング後、形成された半導体層 155 は凹凸を有する。凸部は、レジストマスク 164 に覆われエッチングされなかった領域であり、後に導電層 122 と接する領域となる。所望の形状の半導体層 155 を形成した後、レジストマスク 164 は除去する。なお、半導体層 155 の膜厚は 30 nm 乃至 200 nm（但し 30 nm は除く）、好ましくは 50 nm 乃至 100 nm の範囲とする。エッチングされた領域の膜厚は 30 nm 乃至 150 nm（但し 30 nm は除く）、好ましくは 50 nm 乃至 70 nm 程度とする。

30

【0110】

この後、半導体層 155 及び側面絶縁層 162 上に絶縁層 114 を形成する以降の工程は、図 1 乃至図 4 等で説明したものと同様である。

【0111】

なお、図 5（A）に示す薄膜トランジスタ 150 は、上記作製方法に限定されない。図 2（C）に示すように島状の半導体層 103 及びその側面と接する側面絶縁層 112 を形成した後、半導体層 103 及び側面絶縁層 112 のエッチングレートが略同じになるようなエッチング条件で半導体層 103 及び側面絶縁層 112 を選択的にエッチングすることで、図 5（C）に示す半導体層 155 を形成することも可能である。例えば、フッ素系のガスに適宜 O₂ ガスを加えたエッチングガスを用いることで、半導体層及び側面絶縁層を選択比 1 に近い条件でエッチングすることができる。

40

【0112】

本発明を適用して作製した半導体装置は、導電層及び半導体層の接続に起因する不良を防止することができる。また、半導体層の端部に起因する不良を低減させることができる。よって、半導体装置を歩留まり良く製造することができる。また、信頼性の高い半導体装置を作製することができる。

【0113】

50

なお、本実施の形態は、本明細書で示す他の実施の形態と、適宜組み合わせができる。

【0114】

(実施の形態2)

本実施の形態では、上記実施の形態と異なる構成の半導体装置の例について、図面を用いて説明する。なお、上記実施の形態1と重複する構成は、簡略化及び一部省略して説明する。

【0115】

図8に、本実施の形態に係る半導体装置の主要な構成を説明するための上面図及び断面図を示す。図8は、特に薄膜トランジスタの構成を示しており、図8(A)は上面図、図8(B)は図8(A)における破線OP間の断面図、図8(C)は図8(A)における破線QR間の断面図を示している。なお、図8(A)は、一部薄膜等を省略している。

10

【0116】

図8に示す半導体装置は、基板202上に絶縁層204を介して設けられた薄膜トランジスタ200を有している。薄膜トランジスタ200は、島状に設けられた島状の半導体層205と、当該半導体層205の側面と接して設けられた側面絶縁層212と、半導体層205の一表面上に設けられた絶縁層214と、当該絶縁層214を介して半導体層205上に設けられた導電層216及び導電層218と、導電層216及び導電層218の側面と接して設けられたサイドウォール絶縁層226と、半導体層205上に絶縁層220を介して設けられたソース電極又はドレイン電極を形成する導電層222と、を有している。導電層222は、絶縁層220を介して半導体層205と電気的に接続されている。

20

【0117】

ゲート電極219は、上記実施の形態1のゲート電極119と同様に、導電層216、導電層218の積層構造で形成されている。また、本実施の形態ではゲート電極219の側面と接してサイドウォール絶縁層226を形成している。なお、本実施の形態のゲート電極は特に限定されない。例えば、単層構造でもよいし、3層以上の積層構造としてもよい。また、ゲート電極として形成される導電層の側面をテーパ形状にしてもよいし、2層以上の導電層の積層構造として各層でテーパ角度が異なるようにしてもよい。また、導電層の積層構造でゲート電極を形成する場合、各層の幅(キャリアがチャネル形成領域を流れる方向(ソース領域とドレイン領域を結ぶ方向)に平行な方向の長さ)が概略一致するように形成してもよいし、上層と比較して下層の導電層の幅が大きくなるように形成してもよい。なお、ゲート電極の構成にかかわらず、該ゲート電極の側面と接するサイドウォール絶縁層は形成するものとする。

30

【0118】

島状に設けられた半導体層205は、チャネル形成領域206と、LDD領域として機能する一対の低濃度不純物領域208と、ソース領域又はドレイン領域として機能する一対の高濃度不純物領域211と、高濃度不純物領域211上に接するシリサイド領域224を有する。なお、シリサイド領域224は、高濃度不純物領域の一部に形成されているともいえる。

40

【0119】

また、半導体層205は異なる膜厚の領域を有する。具体的には、半導体層205において、導電層222と接続される領域は、チャネル形成領域206と比較して厚くなっている。このようにすることで、導電層222を形成するための開口を形成する際に、該開口近傍の半導体層まで除去されてしまうことを防止することができる。なお、半導体層205においてソース電極又はドレイン電極として機能する導電層222を接続させる領域は、シリサイド領域224及び高濃度不純物領域211の一部である。なお、上述したように、シリサイド領域は高濃度不純物領域の一部ともいえる。よって、高濃度不純物領域が、チャネル形成領域よりも厚い領域を有している。

【0120】

50

半導体層 205 の膜厚は非晶質半導体層の結晶化可能な範囲とし、具体的には 30 nm 乃至 200 nm (但し 30 nm は除く)、好ましくは 50 nm 乃至 100 nm とする。好ましくはチャネル形成領域 206 を膜厚 30 nm 乃至 150 nm (但し 30 nm は除く) 程度、より好ましくは 50 nm 乃至 70 nm 程度とし、導電層 222 を接続させる領域をチャネル形成領域 206 よりも厚くする。例えば、導電層 222 を接続させる領域を、膜厚 40 nm 乃至 200 nm 程度、好ましくは 80 nm 乃至 100 nm 程度とする。また、半導体層 205 の端部は、実施の形態 1 の半導体層 105 と同様、テーパ形状とすることができる。

【0121】

シリサイド領域 224 は、少なくともその一部が、半導体層 205 においてチャネル形成領域よりも膜厚が大きい領域に形成される。また、シリサイド領域 224 は、半導体層 205 において高濃度不純物領域 211 上に接する領域で、且つ半導体層 205、並びにサイドウォール絶縁層 226 及びゲート電極 219 が重ならない領域に形成されている。なお、ゲート絶縁層として機能する絶縁層 214 は、半導体層 205 と、サイドウォール絶縁層 226 及びゲート電極 219 が重なる領域のみに形成されている。また、ソース電極又はドレイン電極として機能する導電層 222 はシリサイド領域 224 に接し、当該シリサイド領域 224 を間に介して高濃度不純物領域 211 と電気的に接続されている。半導体層 205 において、ソース電極又はドレイン電極として機能する導電層 222 及び高濃度不純物領域 211 を電気的に接続させる際に、シリサイド領域 224 を間に介する構造とすることで、コンタクト抵抗 (半導体層及び導電層の接触抵抗) を低減することができる。素子を微細化していくにつれコンタクト抵抗増大の問題は顕著になるため、シリサイド領域 224 を形成してコンタクト抵抗増加を抑えることは非常に効果的である。このようにコンタクト抵抗の低減を図ることで、完成する半導体装置の信号遅延防止や低消費電力化が可能になる。また、シリサイド領域を形成することで、ソース領域又はドレイン領域として機能する不純物領域の低抵抗化を図ることができる。よって、オン電流の低下を抑えることができ、半導体装置の動作特性の劣化を防止することができる。

【0122】

チャネル形成領域 206 は一対の高濃度不純物領域 211 の間に位置しており、低濃度不純物領域 208 はチャネル形成領域 206 と高濃度不純物領域 211 の間にそれぞれ位置している。つまり、チャネル形成領域 206 は、一対の高濃度不純物領域 211 の間及び一対の低濃度不純物領域 208 の間に位置しており、且つ一対の低濃度不純物領域 208 に接している。なお、高濃度不純物領域 211 は、低濃度不純物領域 208 と比較して、同じ導電型の不純物元素が高い濃度で添加されている。半導体層 205 に低濃度不純物領域 208 を設けることで、ホットキャリアの発生を抑制することができる。また、チャネル形成領域 206 に、トランジスタの閾値電圧を制御するための一導電型を付与する不純物元素が添加されていてもよい。

【0123】

高濃度不純物領域 211 は、シリサイド領域 224 を間に介してソース電極又はドレイン電極として機能する導電層 222 と電気的に接続されている。このとき、高濃度不純物領域 211 及びシリサイド領域 224 の積層構造の一部をチャネル形成領域 206 よりも厚く形成し、該厚く形成された領域のシリサイド領域 224 と接続されるように導電層 222 を形成する。このようにすることで、絶縁層 220 に導電層 222 を形成するための開口を形成する際に、形成する開口近傍の半導体層 (高濃度不純物領域) まで除去され消失してしまい、歩留まりが低下するのを防止することができる。なお、高濃度不純物領域 211 及びシリサイド領域 224 の積層構造全体を、チャネル形成領域 206 より厚く形成しても構わない。

【0124】

なお、図 10 (A) に示すように、高濃度不純物領域 260 及びその上層にシリサイド領域 274 が形成された半導体層 255 において、導電層 222 に接する領域以外で、側面絶縁層 262 が形成される側をチャネル形成領域 206 と略同じ膜厚としてもよい。

10

20

30

40

50

【 0 1 2 5 】

チャネル形成領域 206 は、半導体層 205 において該半導体層 205 及びゲート電極 219 を形成する導電層 218 が重なる領域に形成されている。つまり、ゲート電極 219 は半導体層 205 を横断するように、且つチャネル形成領域 206 上に設けられている。

【 0 1 2 6 】

低濃度不純物領域 208 は、半導体層 205 において該半導体層 205 及び導電層 216 が重なる領域に形成されている。高濃度不純物領域 210 は、少なくともその一部が、半導体層 205 においてチャネル形成領域 206 よりも厚い領域に形成される。また、高濃度不純物領域 210 は、半導体層 205 において該半導体層 205、並びに導電層 216 及び導電層 218 が重ならない領域に形成されている。

【 0 1 2 7 】

なお、半導体層 205 に LDD 領域を形成しなくともよい。LDD 領域を形成しない場合は、半導体層はソース領域又はドレイン領域として機能する一対の不純物領域の間に接してチャネル形成領域を有する構成となればよい。このとき、図 8 に示すようにゲート電極を積層構造とし、且つ下層の導電層の幅を大きくする場合は、上層の幅が小さい導電層と略重なるようにチャネル形成領域を形成し、上層の導電層と略重ならない領域にソース領域又はドレイン領域として機能する不純物領域を形成すればよい。ゲート電極を単層構造、又は各層の幅が略一致する導電層の積層構造とする場合は、ゲート電極と略重なるようにチャネル形成領域を形成し、ゲート電極と略重ならない領域にソース領域又はドレイン領域として機能する不純物領域を形成すればよい。また、LDD 領域は、ゲート電極と重ならない領域に形成してもよいし、ゲート電極を形成する導電層と一部が重なり一部が重ならない領域の半導体層に形成してもよい。

【 0 1 2 8 】

島状に設けられた半導体層 205 の側面と接して側面絶縁層 212 が形成されている。図 8 (A)、(C) に示されるように、半導体層 205 においてゲート電極 219 が横断する領域 (ゲート電極 219 が半導体層 205 端部を乗り越える領域) では、半導体層 205 及びその側面と接して形成された側面絶縁層 212 上にゲート絶縁層として機能する絶縁層 214 が形成されている。よって、半導体層 205 の端部、特に半導体層 205 端部とゲート電極 219 が重畳する領域 (ゲート電極 219 が半導体層 205 端部を乗り越える領域) におけるゲート絶縁層の被覆不良に起因した不良、例えば半導体層とゲート電極の短絡、リーク電流の発生、静電破壊等を防止することができる。その結果、完成する半導体装置の信頼性を向上させることが可能となる。

【 0 1 2 9 】

ここでは側面絶縁層 212 は、半導体層 205 の側面と接しない面を湾曲状に形成している。

【 0 1 3 0 】

また、側面絶縁層 212 は、図 8 (A) に示されるように半導体層 205 の周囲を囲うように形成してもよいし、ゲート電極を形成する導電層と半導体層端部とが重畳する領域のみに形成してもよい。

【 0 1 3 1 】

次に、図 8 で示した半導体装置の作製方法の一例に関して、図面を用いて以下に説明する。

【 0 1 3 2 】

基板 202 上に絶縁層 204 を介して、島状の半導体層を形成した後、該半導体層の側面と接して側面絶縁層 212 を形成する。次に、島状の半導体層を選択的にエッチングして、異なる膜厚の領域を有する半導体層 205 を形成する。次に、半導体層 205 及び側面絶縁層 212 上に絶縁層 214 を形成した後、絶縁層 214 を介して半導体層 205 上にゲート電極 219 として機能する導電層 216、218 を形成する。次に、導電層 218 をマスクとした第 1 の濃度の一導電型を付与する不純物元素を添加した後、導電層 216

10

20

30

40

50

6 及び導電層 218 をマスクとした第 2 の濃度の不純物元素の添加を行って、自己整合的に一対の高濃度不純物領域 210 と、一対の低濃度不純物領域 208 と、チャネル形成領域 206 を形成する。ここで、第 1 の濃度の不純物元素及び第 2 の濃度の不純物元素は、同じ導電型の不純物元素を添加し、例えば p 型を付与する不純物元素であるボロン (B) 、アルミニウム (Al) 、ガリウム (Ga) 、n 型を付与する不純物元素であるリン (P) 、ヒ素 (As) 等を添加することができる。また、第 1 の濃度と比較して、第 2 の濃度を高くする (図 9 (A) 参照)。ゲート電極 219 を形成した後、半導体層にチャネル形成領域 206 、低濃度不純物領域 208 、高濃度不純物領域 210 を形成するまでは、上記実施の形態 1 で示した基板 102 、絶縁層 104 、半導体層 105 、側面絶縁層 112 、絶縁層 114 、導電層 116 、及び導電層 118 等の説明に準じるため、省略する。

10

【0133】

なお、図 9 (A) において、チャネル形成領域 206 にトランジスタの閾値電圧を制御するための一導電型を付与する不純物元素を添加してもよい。チャネル形成領域 206 に対する不純物元素の添加は、ゲート電極 219 を形成する前に行えばよい。

【0134】

また、一導電型を付与する不純物元素を添加した後、熱処理を行って添加した不純物元素を活性化してもよい。熱処理は、レーザビームの照射、又は R T A 若しくはファーネスアーナー炉を用いて行うことができ、400 乃至 700 、好ましくは 500 乃至 650 の温度範囲で行えばよい。また、熱処理は窒素雰囲気下で行うことが好ましい。

20

【0135】

次に、導電層 216 及び導電層 218 の側面と接するサイドウォール絶縁層 226 を形成する (図 9 (B) 参照)。

【0136】

サイドウォール絶縁層 226 は、導電層 216 及び導電層 218 が埋め込まれるように絶縁層を形成し、当該絶縁層を垂直方向を主体とした異方性エッチングにより選択的にエッチングして形成する。具体的には、CVD 法やスパッタリング法により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の無機材料、有機樹脂などの有機材料を用いて単層構造又は積層構造の絶縁層を形成し、当該絶縁層を選択的にエッチングして形成することができる。サイドウォール絶縁層 226 は、後にシリサイド領域を形成する際のシリサイド用マスクとして用いる。また、ここでは、サイドウォール絶縁層 226 は、導電層 216 、218 の側面と接しない面を湾曲状に形成している。なお、サイドウォール絶縁層 226 は、ゲート電極 219 を形成する導電層 216 及び導電層 218 の側面を完全に覆うように形成する。

30

【0137】

また、サイドウォール絶縁層 226 を形成する際のエッチングにより下層の絶縁層 214 もエッチングして、半導体層 205 の一部を選択的に露出させる。具体的にはサイドウォール絶縁層 226 と重ならない領域の高濃度不純物領域 210 を露出させる。なお、エッチング条件によっては高濃度不純物領域 210 上層もエッチングされて膜厚が減少する (膜減りといわれる) ことがある。

【0138】

40

次に、露出させた半導体層 205 上に金属層 223 を形成する (図 9 (C) 参照)。

【0139】

金属層 223 は、少なくとも露出させた半導体層 205 上に形成する。つまり、半導体層 205 においてサイドウォール絶縁層 226 と重ならない領域に形成する。ここでは、金属層 223 を基板全面に形成する。金属層 223 は、半導体層と反応してシリサイドを形成する材料を用いて形成する。例えば、ニッケル (Ni) 、チタン (Ti) 、コバルト (Co) 、又は白金 (Pt) 等の金属元素、又は当該金属元素を含む合金材料を用いることができる。金属層 223 は、これらの材料を用いてスパッタリング法、蒸着法、めっき法等により形成する。金属層 223 の膜厚は、形成したいシリサイド領域の膜厚により適宜選択する必要がある。本実施の形態では、金属層 223 として、膜厚 10 nm のニッケ

50

ル層を形成する。なお、金属層 223 を形成する際に、露出させた半導体層 205 上に自然酸化膜が形成されている場合は、自然酸化膜を除去してから金属層 223 を形成する。

【0140】

次に、半導体層 205 の一部にシリサイド領域 224 を形成する（図9（C）参照）。

【0141】

シリサイド領域 224 は、熱処理を行うことにより、半導体層 205 及び金属層 223 が接する領域が反応して形成される。また、シリサイド領域 224 は、金属層 223 が接する領域の半導体層 205 の一部がシリサイド化して形成される。このとき、半導体層 205 に形成された高濃度不純物領域 210 は、その一部がシリサイド化されて領域が減少されて高濃度不純物領域 211 となる。なお、高濃度不純物領域の一部にシリサイド領域が形成されるともいえる。例えば、金属層 223 としてニッケルを形成した場合はシリサイド領域 224 としてニッケルシリサイドが形成される。同様に、金属層 223 としてチタン、コバルト、又は白金を形成した場合は、それぞれシリサイド領域 224 としてチタンシリサイド、コバルトシリサイド、白金シリサイドが形成される。

【0142】

熱処理は、RTA 又はファーネスアニール炉を用いて行うことができる。具体的には、300 乃至 700 の温度範囲で、10 秒乃至 1 時間、好ましくは 20 秒乃至 30 分の範囲で行うとよい。本実施の形態では、550 30 秒の熱処理を行って、ニッケルシリサイドでなるシリサイド領域 224 を形成する。

【0143】

図9（C）では、シリサイド領域 224 を、半導体層 205 においてチャネル形成領域 206 が形成されている領域の膜厚未満となるように形成する。詳しくは、サイドウォール絶縁層 226 と重ならない領域の半導体層 205 において、該領域における半導体層 205 の絶縁層 204 と接する側に高濃度不純物 211 が形成され、当該高濃度不純物 211 の上層に接してシリサイド領域 224 が形成される。

【0144】

なお、シリサイド領域 224 の形状、膜厚等は、反応させる金属層 223 の膜厚、熱処理の温度、熱処理の時間等を適宜制御することにより、選択することができる。例えば、図11（A）に示すように、サイドウォール絶縁層 226 と重ならない領域の半導体層 305 において、該領域における半導体層 305 の一部又は全体に、上面から下面までの全体をシリサイド化したシリサイド領域 314 を形成してもよい。ここで上面とは半導体層 305 においてシリサイド化のための金属層が形成される面側であり、下面とは絶縁層 204 と接する面側である。また、図11（A）では、シリサイド領域 314 下に高濃度不純物領域 310 がある例を示すが、サイドウォール絶縁層 226 と重ならない領域の半導体層 305 全体をシリサイド領域とすることも可能である。サイドウォール絶縁層 226 下には高濃度不純物領域があるものとする。なお、本発明は特に限定されず、シリサイド領域の一部が、サイドウォール絶縁層 226 下の半導体層 305（但し、チャネル形成領域 306 は除く）まで形成されていてもよい。

【0145】

また、上述した図10（A）に示すように、半導体層 255 に形成された高濃度不純物領域 260 及びその上層に形成されたシリサイド領域 274 において、導電層 222 に接する領域及びその近傍以外が、チャネル形成領域 206 が形成されている領域とほぼ同じ膜厚となるようにエッチングされている場合も、図11（B）に示すように、サイドウォール絶縁層 226 と重ならない領域の半導体層 355 において、該領域における半導体層 355 の一部又は全体に、上面から下面までの全体をシリサイド化したシリサイド領域 314 を形成してもよい。図11（B）では、シリサイド領域 364 下に高濃度不純物領域 360 があり、サイドウォール絶縁層 226 下に高濃度不純物領域 309 がある例を示す。

【0146】

また、未反応の金属層が残存する場合は、熱処理によるシリサイド領域 224 形成後に

10

20

30

40

50

未反応の金属層を除去する。具体的には、側面絶縁層 212、サイドウォール絶縁層 226、導電層 218 及び絶縁層 204 上に形成された金属層 223 を除去する。また、形成されたシリサイド領域 224 上に未反応の金属層が残存する場合は、その残存する金属層も除去する。未反応の金属層除去は、ウェットエッチングやドライエッチングを用いることができる。このとき、エッティングガス又はエッティング溶液としては、未反応の金属層と他の層（例えば、側面絶縁層 212、サイドウォール絶縁層 226、導電層 218、絶縁層 204 及びシリサイド領域 224）とのエッティング選択比が十分にとれるものを用いる。つまり、金属層に対するエッティングレートが高く、他の層に対するエッティングレートが低いものを用いればよい。例えば、金属層 223 としてニッケルを用いて形成した場合、塩酸 (HCl)、硝酸 (HNO₃) 及び純水 (H₂O) の混合溶液を用いたウェットエッチングにより除去することができる。例えば、溶液の混合比は、HCl : HNO₃ : H₂O = 3 : 2 : 1 とすることができる。10

【0147】

なお、本発明は、半導体層端部の側面と接して側面絶縁層を形成することを特徴の 1 つとしている。側面絶縁層を形成しておくことで、未反応の金属層をエッティング除去する際に、半導体層の側面がエッティングされてしまうことを防止することができる。

【0148】

なお、シリサイド領域を形成する場合には、該シリサイド領域及びゲート電極を形成する導電層が接しないようにする必要がある。これは、シリサイド領域及びゲート電極が接してしまうと、ゲート電極と、ソース領域又はドレイン領域がショートしてスイッチング特性（オンオフ比）が取れなくなり、半導体装置として動作することができなくなるからである。したがって、本実施の形態では、ゲート電極 219 を形成する導電層 216、218 の幅をゲート絶縁層として機能する絶縁層 214 よりも小さくし、サイドウォール絶縁層 226 の端部を絶縁層 214 の端部と略一致するようにする。20

【0149】

次に、基板 202 上に設けられた絶縁層や導電層等を覆うように絶縁層 220 を形成する。次に、シリサイド領域 224 を間に介して、半導体層 205 に形成された高濃度不純物領域 211 と電気的に接続される導電層 222 を形成する（図 9 (D) 参照）。導電層 222 は、ソース電極又はドレイン電極として機能する。絶縁層 220、導電層 222 は、上記実施の形態 1 で示した絶縁層 120、導電層 122 と同様に形成すればよい。30

【0150】

なお、導電層 222 は、半導体層 205 においてチャネル形成領域 206 と比較して膜厚が大きい領域に形成されたシリサイド領域 224 と接するように形成される。よって、絶縁層 220 に導電層 222 を形成する開口を形成する際に、該開口近傍の半導体層が除去されるのを防止することができる。その結果、製造工程において歩留まりの低下を防止することができる。また、本実施の形態では、半導体層及びソース電極又はドレイン電極として機能する導電層を電気的に接続させる際に、シリサイド領域を間に介する構成としている。よって、コンタクト抵抗の低減を図るために、低消費電力化を可能とする。

【0151】

以上により、本発明を適用した薄膜トランジスタ 200 を形成することができる。なお、本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。40

【0152】

例えば、上述した図 10 (A) に示す薄膜トランジスタは、高濃度不純物領域 260 及びシリサイド領域 274 が形成された領域の半導体層 255 において、導電層 222 接する領域及びその近傍以外はチャネル形成領域 206 と略同じ膜厚にエッティングされている。ここで、半導体層 255 の作製方法の一例を説明する。

【0153】

基板 202 上に絶縁層 204 を介して形成された島状の半導体層 203 の側面と接して

10

20

30

40

50

側面絶縁層 262 を形成する（図 10（B）参照）。

【0154】

側面絶縁層 262 は、半導体層 203 と比較して、底面（絶縁層 204 と接する面）からの垂直方向の高さが低くなるように、エッチング条件を制御する。好ましくは、後に半導体層 203 を選択的にエッチングした際に、エッチングされた領域の半導体層の底面からの垂直方向の高さと同程度になるようにする。例えば、半導体層 203 を選択的にエッチングして、当該エッチングした領域を膜厚 50 nm とする場合、側面絶縁層 262 の高さを 50 nm とする。側面絶縁層 262 の材料や形成方法等は、上記実施の形態 1 で示した側面絶縁層 112 と同様にすればよい。また、半導体層 203 の形成方法も、上記実施の形態 1 で示した半導体層 103 の説明に準じる。

10

【0155】

次に、半導体層 203 を選択的にエッチングして、異なる膜厚の領域を有する半導体層 255 を形成する（図 10（C）参照）。

【0156】

半導体層 255 は、半導体層 203 を選択的にエッチングする。ここで、図 10（A）の O P 断面図に示す半導体層 255 と、上述の図 8（A）に示す O P 断面図の半導体層 205 との違いは、側面絶縁層と接する領域の半導体層の膜厚である。図 8（A）の O P 断面図では半導体層 205 の端部はエッチングされていないのに対し、図 10（A）の O P 断面図では半導体層の端部もエッチングされて側面絶縁層の高さがチャネル形成領域 206 と略一致する。なお、少なくとも、半導体層 255 においてソース電極又はドレイン電極を形成する導電層 222 と接する領域はエッチングしないものとする。

20

【0157】

半導体層 255 は、半導体層 203 を選択的にレジストマスク 264 で覆い、当該レジストマスク 264 に覆われていない半導体層 203 を選択的にエッチングする。レジストマスク 264 に覆われていない領域は、所望の膜厚の半導体層が残存するようにエッチング条件を制御する。レジストマスク 264 に覆われた領域は、エッチングされた領域と比較して膜厚が大きい領域となる。選択的にエッチングする方法は、上記実施の形態 1 の半導体層 105 を形成する方法と同様である。エッチング後、形成された半導体層 255 は凹凸を有する。凸部はレジストマスク 264 に覆われてエッチングされなかった領域であり、後に導電層 222 と接する領域となる。所望の形状の半導体層 255 を形成した後、レジストマスク 264 は除去する。なお、半導体層 255 の膜厚は 30 nm 乃至 200 nm（但し 30 nm は除く）、好ましくは 50 nm 乃至 100 nm の範囲とする。エッチングされた領域の膜厚は、30 nm 乃至 150 nm（但し 30 nm は除く）、好ましくは 50 nm 乃至 70 nm 程度とする。

30

【0158】

この後、半導体層 255 上に絶縁層 214 を形成する以降の工程は、図 9 で説明したものと同様である。

【0159】

なお、図 10（A）に示す薄膜トランジスタ 250 は、上記作製方法に限定されない。島状の半導体層 203 及びその側面と接し、且つ半導体層側面の高さと略一致する側面絶縁層を形成した後、半導体層 203 及び側面絶縁層のエッチングレートが略同じになるようなエッチング条件で半導体層 203 及び側面絶縁層を選択的にエッチングすることで、図 10（C）に示す半導体層 155 を形成することも可能である。

40

【0160】

本発明を適用して作製した半導体装置は、ソース電極又はドレイン電極として機能する導電層及び半導体層の接続領域の不良を防止することができる。また、半導体層の端部に起因する不良を低減させることができる。よって、半導体装置を歩留まり良く製造することができる。また、信頼性の高い半導体装置を作製することができる。

【0161】

また、ソース領域又はドレイン領域として機能する高濃度不純物領域と、ソース電極又

50

はドレイン電極を形成する導電層と、を電気的に接続する際に、両者の間にシリサイド領域を間に介する構造としている。その結果、コンタクト抵抗を低減することができるため、半導体装置の消費電力を低減させることができる。

【 0 1 6 2 】

なお、本実施の形態は、本明細書で示す他の実施の形態と、適宜組み合わせができる。

【 0 1 6 3 】

(実施の形態 3)

本実施の形態では、上記実施の形態と異なる構成の半導体装置の例について、図面を用いて説明する。具体的には、ゲート電極の側面に接してサイドウォール絶縁層を形成し、該サイドウォール絶縁層を L D D 領域を形成する際のドーピング用マスクとして利用する例を示す。なお、上記実施の形態 1 又は 2 と重複する構成は、簡略化及び一部省略して説明する。

10

【 0 1 6 4 】

基板 4 0 2 上に絶縁層 4 0 4 を介して島状の半導体層を形成した後、当該半導体層の側面と接して側面絶縁層 4 1 2 を形成する。次に、島状の半導体層を選択的にエッチングして異なる膜厚の領域を有する半導体層 4 0 5 を形成する。次に、半導体層 4 0 5 及び側面絶縁層 4 1 2 上に絶縁層 4 1 4 を形成する。次に、絶縁層 4 1 4 を介して半導体層 4 0 5 上にゲート電極 4 1 9 として機能する導電層 4 1 6 、導電層 4 1 8 を積層形成する。次に、半導体層 4 0 5 に対して第 1 の濃度の一導電型を付与する不純物元素を選択的に添加して、一対の低濃度不純物領域 4 0 7 と、チャネル形成領域 4 0 6 を形成する(図 13 (A) 参照)。ここでは、導電層 4 1 8 をマスクとして、自己整合的に一対の低濃度不純物領域 4 0 7 と、当該一対の低濃度不純物領域 4 0 7 の間に位置するチャネル形成領域 4 0 6 を形成する。

20

【 0 1 6 5 】

ゲート電極 4 1 9 を形成して、一対の低濃度不純物領域 4 0 7 を形成するまでは、上記実施の形態 1 で示した基板 1 0 2 、絶縁層 1 0 4 、半導体層 1 0 5 、側面絶縁層 1 1 2 、絶縁層 1 1 4 、導電層 1 1 6 、導電層 1 1 8 、チャネル形成領域 1 0 6 、及び低濃度不純物領域 1 0 7 等の説明に準じるため、省略する。

30

【 0 1 6 6 】

次に、導電層 4 1 6 及び導電層 4 1 8 の側面と接するサイドウォール絶縁層 4 2 6 を形成する。そして、半導体層 4 0 5 に対して第 2 の濃度の不純物元素を選択的に添加して、L D D 領域として機能する低濃度不純物領域 4 0 8 と、ソース領域又はドレイン領域として機能する高濃度不純物領域 4 1 0 を形成する(図 13 (B) 参照)。ここでは、サイドウォール絶縁層 4 2 6 及びゲート電極 4 1 9 をマスクとして、自己整合的に L D D 領域として機能する低濃度不純物領域 4 0 8 と、ソース領域又はドレイン領域として機能する高濃度不純物領域 4 1 0 を形成する。ここで、第 1 の濃度の不純物元素及び第 2 の濃度の不純物元素は、同じ導電型の不純物元素を添加し、例えば p 型を付与する不純物元素であるボロン (B) 、アルミニウム (A l) 、ガリウム (G a) 、 n 型を付与する不純物元素であるリン (P) 、ヒ素 (A s) 等を添加することができる。また、第 1 の濃度と比較して、第 2 の濃度を高くして、不純物元素を添加する。つまり、高濃度不純物領域 4 1 0 には、低濃度不純物領域 4 0 7 と比較して高い濃度の不純物元素が含まれるようにする。

40

【 0 1 6 7 】

ここでは、サイドウォール絶縁層 4 2 6 及びゲート電極 4 1 9 をマスクとして不純物元素を添加する。よって、L D D 領域として機能する低濃度不純物領域 4 0 8 は、半導体層 4 0 5 においてサイドウォール絶縁層 4 2 6 及び導電層 4 1 6 が重なる領域であって、且つ導電層 4 1 8 とは重ならない領域に形成される。また、高濃度不純物領域 4 1 0 は、半導体層 4 0 5 においてサイドウォール絶縁層 4 2 6 及びゲート電極 4 1 9 と重ならない領域に形成される。

【 0 1 6 8 】

50

LDD領域として機能する低濃度不純物領域408は、ドレイン領域近傍の電界を緩和する効果がある。よって、ホットキャリアの発生を抑制することができる。

【0169】

なお、チャネル形成領域406にトランジスタの閾値電圧を制御するための一導電型を付与する不純物元素を添加してもよい。チャネル形成領域406に対する不純物元素の添加は、ゲート電極419を形成する前に行えばよい。

【0170】

また、一導電型を付与する不純物元素を添加した後、熱処理を行って添加した不純物元素を活性化してもよい。熱処理は、レーザビームの照射、又はRTA若しくはファーネスアニール炉を用いて行うことができ、400乃至700、好ましくは500乃至650の温度範囲で行えばよい。また、熱処理は窒素雰囲気下で行うことが好ましい。

10

【0171】

なお、サイドウォール絶縁層426を形成する際のエッチングにより、下層の絶縁層414もエッチングされて、半導体層405の一部、具体的にはサイドウォール絶縁層426と重ならない領域が選択的に露出される。このとき、エッチング条件によっては、半導体層405上層もエッチングされて膜厚が減少する場合がある。

【0172】

次に、露出させた半導体層405上に金属層を形成した後、熱処理によりシリサイド領域424を形成する(図13(C)参照)。

【0173】

20

シリサイド領域424は、少なくとも露出させた半導体層405上に金属層を形成した後、熱処理することによって形成することができる。ここで金属層は、半導体層と反応してシリサイドを形成する材料、例えばニッケル(Ni)、チタン(Ti)、(Co)、又は白金(Pt)等の金属元素、又は当該金属元素を含む合金材料を用いて、スパッタリング法等により形成する。熱処理を行うことによって半導体層405及び金属層が接する領域が反応し、該領域の半導体層405の一部がシリサイド化してシリサイド領域424が形成される。このとき、半導体層405に形成されている高濃度不純物領域410は、その一部がシリサイド化されて領域が減少し、高濃度不純物領域411となる。なお、シリサイド領域は、高濃度不純物領域の一部に形成されるともいえる。熱処理は、RTA又はファーネスアニール炉を用いればよい。また、露出させた半導体層405上に自然酸化膜が形成されている場合は、自然酸化膜を除去してから金属層を形成する。

30

【0174】

なお、シリサイド領域424の形状、膜厚等は、反応させる金属層の膜厚、熱処理温度、又は熱処理時間等を適宜制御することによって選択できる。ここでは、シリサイド領域424は、半導体層405においてチャネル形成領域406の膜厚未満となるように形成されている例を示す。もちろん、半導体層405において、サイドウォール絶縁層426及びゲート電極419と重ならない領域全体がシリサイド化されたシリサイド領域を形成してもよい。また、シリサイド領域が、サイドウォール絶縁層426下の半導体層405まで形成されていてもよい。なお、シリサイド領域424形成後、未反応の金属層はウェットエッチングやドライエッチングを用いて除去する。なお、半導体層の側面には側面絶縁層が形成されているため、未反応の金属層をエッチング除去する際に半導体層の側面までエッチングされてしまうのを防止することもできる。

40

【0175】

次に、基板402上に形成された絶縁層や導電層等を覆うように絶縁層420を形成する。次に、シリサイド領域424を間に介して、半導体層405に形成された高濃度不純物領域411と電気的に接続される導電層422を形成する(図13(D)参照)。導電層422は、ソース電極又はドレイン電極として機能する。絶縁層420、導電層422は、上記実施の形態1で示した絶縁層120、導電層122と同様に形成すればよい。

【0176】

なお、導電層422は、半導体層405においてチャネル形成領域406と比較して膜

50

厚が大きい領域に形成されたシリサイド領域 424 と接するように形成される。よって、絶縁層 420 に導電層 422 を形成する開口を形成する際に、該開口近傍の半導体層が除去されるのを防止することができ、且つコンタクト抵抗の低減を防止することができる。その結果、製造工程において歩留まりの低下を防止できる。また、本実施の形態では、半導体層及びソース電極又はドレイン電極として機能する導電層を電気的に接続させる際に、シリサイド領域を間に介する構成としている。よって、コンタクト抵抗の低減を図ることができるために、低消費電力化を可能とする。また、シリサイド領域を形成することで、ソース領域又はドレイン領域として機能する不純物領域の低抵抗化を図ることができる。よって、オン電流の低下を抑えることができ、半導体装置の動作特性の劣化を防止することができる。

10

【0177】

以上により、本発明を適用した薄膜トランジスタ 400 を形成することができる。なお、本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。

【0178】

本発明を適用して作製した半導体装置は、ソース電極又はドレイン電極を形成する導電層と接続する領域を、チャネル形成領域よりも膜厚が大きい領域としている。このようにすることで、チャネル形成領域を薄膜とする場合も、コンタクト開口の際の半導体層消失等の不良を防止することができる。さらに、ソース電極又はドレイン電極を形成する導電層及びソース領域又はドレイン領域として機能する高濃度不純物領域を、両者の間にシリサイド領域を介する構成とするため、コンタクト抵抗を低減することができ、半導体装置の低消費電力化が可能になる。また、半導体層の端部に側面絶縁層を形成することで、半導体層の形状に起因する不良を低減させることができ、信頼性の高い半導体装置を作製することができる。よって、信頼性の高い半導体装置を、歩留まり良く製造することができる。

20

【0179】

なお、本実施の形態は、本明細書で示す他の実施の形態と、適宜組み合わせができる。

【0180】

(実施の形態 4)

30

本実施の形態では、上記実施の形態と異なる構成の半導体装置の例について、図面を用いて説明する。具体的には、トランジスタの閾値電圧を制御するための一導電型を付与する不純物元素を添加する例について説明する。なお、上記実施の形態 1 乃至 3 と重複する構成は、簡略化及び一部省略して説明する。

【0181】

基板 602 上に第 1 絶縁層 604 を形成する(図 29(A) 参照)。

【0182】

基板 602 は、ガラス基板、石英基板、サファイア基板、セラミック基板、又は表面に絶縁層が形成された金属基板或いはシリコン基板等の半導体基板などを用いることができる。

40

【0183】

第 1 絶縁層 604 は、CVD 法、スパッタリング法、ALD 法等により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)、窒化酸化シリコン(SiN_xO_y)等を用いて形成する。第 1 絶縁層 604 は、下地絶縁層として機能する。具体的には、基板 602 から半導体層へアルカリ金属等が拡散し、半導体層が汚染することを防ぐプロッキング層として機能する。また、基板 602 の表面に凹凸がある場合、平坦化する層としても機能することができる。また、下地絶縁層として機能する絶縁層は単層構造でも、2 層以上の積層構造でもよい。

【0184】

次に、第 1 絶縁層 604 に対して一導電型を付与する不純物元素 606 を添加し、第 2

50

絶縁層 608 を形成する(図 29 (B) 参照)。第 2 絶縁層 608 は、添加された不純物元素 606 を含む第 1 絶縁層 604 に相当する。

【0185】

一導電型を付与する不純物元素 606 としては、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) 等の p 型を付与する元素、リン (P)、ヒ素 (As) 等の n 型を付与する元素を用いることができる。不純物元素 606 は、イオン注入法や熱拡散法等のドーピング法を用いて添加すればよい。なお、第 1 絶縁層 604 に対する不純物元素 606 添加の際、下方の基板 602 まで不純物元素 606 が添加される場合もある。

【0186】

第 2 絶縁層 608 上に半導体層 610 を形成する(図 29 (C) 参照)。本実施の形態では、半導体層 610 として非晶質半導体層を形成する。半導体層はシリコンを主成分とする材料を用いて形成するのが好ましく、具体的には、シリコン、シリコンゲルマニウム等を用いて、CVD 法やスパッタリング法により形成することができる。また、ゲルマニウムを用いて形成してもよい。

【0187】

次に、半導体層 610 を結晶化して、結晶性を有する半導体層 614 を形成する。半導体層 614 には、結晶化の際の熱処理により、第 2 絶縁層 608 に含まれる不純物元素 606 が拡散される(図 29 (D) 参照)。半導体層の結晶化法としては、レーザ結晶化法、瞬間熱アニール (RTA) 若しくはファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる結晶化法、を又はそれらの方法を組み合わせた方法等を適用する。詳しい結晶化法の説明は、上記実施の形態 1 に準じる。例えば、本実施の形態では、CW レーザを用いて結晶化を行うことができる。このとき、レーザビーム 612 の照射によって第 2 絶縁層 608 に含まれる不純物元素 606 が半導体層 610 に拡散して、結晶性を有する半導体層 614 が形成される。半導体層 614 には、第 2 絶縁層 608 から拡散された不純物元素 606 が含まれ、該不純物元素により閾値電圧を制御することができる。

【0188】

半導体層 614 に含まれる不純物元素の濃度は、所望の閾値電圧により異なる。例えば、p 型を付与する不純物元素が含まれる場合、約 $1 \times 10^{16} \text{ cm}^{-3}$ 乃至 $1 \times 10^{18} \text{ cm}^{-3}$ 程度となるようにすればよい。半導体層 614 の一部は後にチャネル形成領域を形成するため、半導体層 614 に所定の濃度の不純物元素を拡散させることで、強制的にトランジスタの閾値電圧をシフトさせ、所望の閾値電圧とすることが可能である。

【0189】

なお、第 2 絶縁層 608 は、結晶化の際の熱処理により含んでいた不純物元素 606 が半導体層に拡散される。よって、半導体層結晶化後の第 2 絶縁層 608 は、含まれる不純物元素の濃度が減少する。

【0190】

以上で得られた結晶性の半導体層 614 を所望の形状に加工することによって、実施の形態 1 乃至 3 における半導体装置の半導体層として用いることができる。

【0191】

本実施の形態によれば、下地絶縁層に不純物元素を添加し、該不純物元素を結晶化を利用して半導体層に間接的に添加することができる。よって、半導体層に直接不純物元素をドーピング法等によって添加せずにすむため、ドーピングの際に生じる欠陥等も防止でき、半導体層の結晶性に影響を及ぼすことを防止することができる。また、結晶化のための熱処理によって、不純物元素の活性化も行うことができる。

【0192】

なお、本実施の形態は、本明細書で示す他の実施の形態と、適宜組み合わせることができる。

【0193】

(実施の形態 5)

10

20

30

40

50

本実施の形態では、上記実施の形態と異なる半導体装置及びその作製方法の例について、図15乃至図22を用いて説明する。具体的には、異なる導電型の薄膜トランジスタを具備する半導体装置の例を示す。

【0194】

図15は、本実施の形態で示す半導体装置の上面図及び断面図であり、複数のトランジスタを具備する半導体装置の構成を示している。図15(A)は上面図、図15(B)は図15(A)における破線A1B1間の断面図を示し、図15(C)は図15(A)における破線A2B2間の断面図を示している。なお、図15(A)は、一部薄膜等の構成要素を省略している。

【0195】

図15に示す半導体装置は、基板800上に絶縁層802を介して島状に設けられた半導体層805、半導体層813と、当該半導体層805、813上に絶縁層822を介して設けられたゲート電極を形成する導電層824、導電層826と、当該導電層826上に絶縁層836、絶縁層838を介して設けられたソース電極又はドレイン電極を形成する導電層840と、を有している(図15(A)乃至(C)参照)。

【0196】

ゲート電極は、導電層824及び導電層826の積層構造で形成されている。導電層824、826は、島状の半導体層805、813をそれぞれ横断するように設けられている。また、導電層824及び導電層826の側面に接してサイドウォール絶縁層828が設けられている。なお、ここではゲート電極を導電層824、826の2層の積層構造で形成する例を示したが、本発明は特に限定されず、ゲート電極は単層構造でもよいし、3層以上の積層構造でもよい。また、ゲート電極を積層構造にする場合、下層の導電層の幅が大きくなるようにしてもよい。さらに、ゲート電極として形成される導電層の側面をテーパ形状にしてもよいし、2層以上の導電層の積層構造として各層でテーパ角度が異なるようにしてもよい。また、後にシリサイド領域を形成しない場合には、サイドウォール絶縁層828を形成しなくともよい。

【0197】

島状に設けられた半導体層805は、チャネル形成領域806と、LDD領域として機能する一対の低濃度不純物領域808と、ソース領域又はドレイン領域として機能する一対の高濃度不純物領域810と、高濃度不純物領域810に接するシリサイド領域861を有する。なお、シリサイド領域861は、高濃度不純物領域の一部ともいえる。

【0198】

半導体層805は異なる膜厚の領域を有し、具体的にはチャネル形成領域806と比較して、ソース電極又はドレイン電極を形成する導電層840と接続される領域の膜厚が大きくなっている。半導体層805に形成されたチャネル形成領域806は、絶縁層822を介して導電層824、826と重なる領域に形成されている。高濃度不純物領域810は、絶縁層822を介して導電層824、導電層826及びサイドウォール絶縁層828と重ならない領域の半導体層805に形成されている。また、半導体層805において、絶縁層822を介して導電層824、導電層826及びサイドウォール絶縁層828と重ならない領域で、且つ高濃度不純物領域810上に接してシリサイド領域861が形成されている。高濃度不純物領域810及びシリサイド領域861の積層部分は、少なくともその一部にチャネル形成領域806よりも厚い領域を有している。なお、上述したように、シリサイド領域861は高濃度不純物領域の一部とも言える。よって、高濃度不純物領域が、チャネル形成領域よりも厚い領域を有している。このようにすることで、導電層840を形成するための開口を形成する際に、該開口近傍の半導体層まで除去され消失することを防止することができる。低濃度不純物領域808は、絶縁層822を介してサイドウォール絶縁層828と重なる領域の半導体層805に形成されている。

【0199】

シリサイド領域861は、少なくともその一部が、半導体層805においてチャネル形成領域806よりも膜厚が大きい領域に形成される。なお、ここではシリサイド領域86

10

20

30

40

50

1を、半導体層805においてチャネル形成領域の膜厚未満となるように形成する例を示すが、特に限定されない。例えば、サイドウォール絶縁層828と重ならない領域の半導体層805において、該領域における半導体層805の一部又は全体に、上面から下面までの全体をシリサイド化したシリサイド領域を形成してもよい。ここで上面とは半導体層805においてシリサイド化のための金属層が形成される面側であり、下面とは絶縁層802と接する面側である。また、シリサイド領域の一部が、サイドウォール絶縁層828下の半導体層805（但し、チャネル形成領域806は除く）まで形成されていてもよい。

【0200】

また、ゲート絶縁層として機能する絶縁層822は、半導体層805と、サイドウォール絶縁層828及びゲート電極を形成する導電層824、826が重なる領域のみに形成されている。なお、シリサイド領域861を形成しない場合には、ゲート絶縁層として機能する絶縁層822は、半導体層全体を覆うように形成してもよい。また、ソース電極又はドレイン電極として機能する導電層840はシリサイド領域861に接し、当該シリサイド領域861を間に介して高濃度不純物領域810と電気的に接続されている。

【0201】

チャネル形成領域806は一対の高濃度不純物領域810の間に位置しており、低濃度不純物領域808はチャネル形成領域806と高濃度不純物領域810の間にそれぞれ位置している。つまり、チャネル形成領域806は、一対の高濃度不純物領域810の間、及び一対の低濃度不純物領域808の間に位置しており、且つ一対の低濃度不純物領域808に接して形成されている。また、高濃度不純物領域810は、低濃度不純物領域808と比較して、高い濃度で一導電型を付与する不純物元素が添加されている。また、半導体層805の側面に接して、側面絶縁層812が設けられている。

【0202】

同様に、島状に設けられた半導体層813は、チャネル形成領域814と、LDD領域として機能する低濃度不純物領域と816と、ソース領域又はドレイン領域として機能する高濃度不純物領域818と、高濃度不純物領域818上に接するシリサイド領域863を有する。なお、シリサイド領域863は、高濃度不純物領域の一部ともいえる。半導体層813は異なる膜厚の領域を有し、具体的にはチャネル形成領域814と比較して、ソース電極又はドレイン電極を形成する導電層840と接続される領域の膜厚が大きくなっている。半導体層813に形成されたチャネル形成領域814は、絶縁層822を介して導電層824、826と重なる領域の半導体層813に形成されている。高濃度不純物領域818は、絶縁層822を介して導電層824、導電層826及びサイドウォール絶縁層828と重ならない領域の半導体層813に形成されている。また、半導体層813において、絶縁層822を介して導電層824、導電層826及びサイドウォール絶縁層828と重ならない領域で、且つ高濃度不純物領域818上に接してシリサイド領域863が形成されている。高濃度不純物領域818及びシリサイド領域863の積層部分は、少なくともその一部にチャネル形成領域814よりも厚い領域を有している。なお、上述したように、シリサイド領域863は高濃度不純物領域の一部とも言える。よって、高濃度不純物領域が、チャネル形成領域814よりも厚い領域を有している。このようにすることで、導電層840を形成するための開口を形成する際に、該開口近傍の半導体層まで除去され消失することを防止することができる。低濃度不純物領域816は、絶縁層822を介してサイドウォール絶縁層828と重なる領域の半導体層813に形成されている。

【0203】

シリサイド領域863は、少なくともその一部が、半導体層813においてチャネル形成領域814よりも膜厚が大きい領域に形成される。なお、ここではシリサイド領域863を、半導体層813においてチャネル形成領域814の膜厚未満となるように形成する例を示すが、特に限定されない。例えば、サイドウォール絶縁層828と重ならない領域の半導体層813において、該領域における半導体層813の一部又は全体に、上面から下面までの全体をシリサイド化したシリサイド領域を形成してもよい。ここで上面とは半

10

20

30

40

50

導体層 813においてシリサイド化のための金属層が形成される面側であり、下面とは絶縁層802と接する面側である。また、シリサイド領域の一部が、サイドウォール絶縁層828下の半導体層813（但し、チャネル形成領域814は除く）まで形成されていてもよい。

【0204】

また、ゲート絶縁層として機能する絶縁層822は、半導体層813と、サイドウォール絶縁層828及びゲート電極を形成する導電層824、826が重なる領域のみに形成されている。なお、シリサイド領域863を形成しない場合には、ゲート絶縁層として機能する絶縁層822は、半導体層全体を覆うように形成してもよい。また、ソース電極又はドレイン電極として機能する導電層840はシリサイド領域863に接し、当該シリサイド領域863を間に介して高濃度不純物領域810と電気的に接続されている。

10

【0205】

チャネル形成領域814は一対の高濃度不純物領域818の間に位置しており、低濃度不純物領域816はチャネル形成領域814と高濃度不純物領域818の間にそれぞれ位置している。つまり、チャネル形成領域814は、一対の高濃度不純物領域818の間、及び一対の低濃度不純物領域816の間に位置しており、且つ一対の低濃度不純物領域816に接して形成されている。また、高濃度不純物領域818は、低濃度不純物領域816と比較して、高い濃度で一導電型を付与する不純物元素が添加されている。また、半導体層813の側面に接して、側面絶縁層820が設けられている。

20

【0206】

本実施の形態において、半導体層805及び半導体層813には、相異なる導電型の不純物元素が添加されているものとする。つまり、低濃度不純物領域808及び高濃度不純物領域810は、低濃度不純物領域816及び高濃度不純物領域818と異なる導電型を付与する不純物元素が添加されている。また、シリサイド領域861にも、シリサイド領域863と異なる導電型を付与する不純物元素が添加されている場合もある。

【0207】

半導体層805及び半導体層813と、ゲート電極を形成する導電層824、826との間には、絶縁層822が設けられている。絶縁層822は、ゲート絶縁層として機能する。また、半導体層805の側面と接して側面絶縁層812が形成され、同様に半導体層813の側面と接して側面絶縁層820が形成されている。なお、図15(A)、(C)に示されるように、半導体層805においてゲート電極を形成する導電層824、826が横断する領域では、半導体層805及びその側面と接して形成された側面絶縁層812上にゲート絶縁層として機能する絶縁層822が形成されている。同様に、半導体層813においてゲート電極を形成する導電層824、826が横断する領域では、半導体層813及びその側面と接して形成された側面絶縁層820上にゲート絶縁層として機能する絶縁層822が形成されている。よって、半導体層805及び半導体層813の端部、特に半導体層805及び半導体層813においてゲート電極を形成する導電層824、826が横断する領域（ゲート電極が半導体端部を乗り越える領域）における絶縁層の被覆不良に起因した不良、例えば半導体層とゲート電極の短絡、リーク電流の発生、静電破壊等を防止することができる。その結果、完成する半導体装置の信頼性を向上させることができるとなる。

30

【0208】

ソース電極又はドレイン電極を形成する導電層840は、絶縁層836、絶縁層838に形成された開口を介して半導体層805に形成された高濃度不純物領域810、半導体層813に形成された高濃度不純物領域818と電気的に接続されるように設けられている。このとき、導電層840及び高濃度不純物領域810は、シリサイド領域861を間に介して接続される。同様に、導電層840及び高濃度不純物領域818は、シリサイド領域863を間に介して接続される。また、導電層840は、半導体層805及び半導体層813においてチャネル形成領域806及びチャネル形成領域814と比較して膜厚が大きい領域に接続される。なお、図15に示すように、半導体層805に形成された高濃

40

50

度不純物領域 810 と、半導体層 813 に形成され、且つ高濃度不純物領域 810 と導電型が異なる高濃度不純物領域 818 とを電気的に接続することにより、CMOS 回路を形成してもよい。

【0209】

次に、図 15 で示した半導体装置の作製方法の一例について、図面を用いて説明する。

【0210】

まず、基板 800 上に絶縁層 802 を介して島状の半導体層 801、島状の半導体層 803 を形成する（図 16（A）、図 20（A）、図 21（A）参照）。

【0211】

基板 800 は、絶縁表面を有する基板を用いればよい。例えばガラス基板、石英基板、10 サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板などを用いることができる。

【0212】

絶縁層 802 は、CVD 法やスパッタリング法や ALD 法を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の材料を用いて形成する。絶縁層 802 は、基板 800 から半導体層 801、803 へアルカリ金属等が拡散し、半導体層 801、803 が汚染することを防ぐプロッキング層として機能する。また、基板 800 の表面に凹凸がある場合、平坦化する層としても機能することができる。なお、絶縁層 802 は、基板 800 からの不純物拡散や基板 800 表面の凹凸が問題とならなければ、形成しなくともよい。また、ここでは下地絶縁層を単層構造としているが、2 層以上の積層構造としてもよい。

【0213】

半導体層 801、803 は、CVD 法やスパッタリング法を用いて、シリコン、ゲルマニウム、シリコンゲルマニウム等のシリコンを主成分とする材料を用いて形成するのが好み。例えば、半導体層 801、803 は、シリコンを主成分とする材料を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させた後に選択的にエッチングすることによって、島状の半導体層を形成することができる。非晶質半導体層を結晶化する場合は、レーザ結晶化法、RTA 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、又はこれらの方法を組み合わせて行うことができる。なお、レーザ結晶化法を行う場合、CW レーザや繰り返し周波数が 10 MHz 以上のパルスレーザを用いると、一方向に長い結晶粒を形成することができるため好み。半導体層 801、803 の膜厚は、30 nm 乃至 200 nm（但し 30 nm は除く）、好みくは 50 nm 乃至 100 nm の範囲で形成する。

【0214】

なお、半導体層 801、813 は、端部がテーパ形状となるように形成してもよいし、垂直形状となるように形成してもよい。半導体層の端部の形状は、エッチング条件を適宜選択することにより制御することができる。

【0215】

なお、ここでは種々の結晶化法を用いて半導体層 801、803 を形成する例を示したが、このような薄膜プロセスに換えて、絶縁表面に単結晶半導体層を設けた SOI 基板を用いてもよい。この場合、絶縁表面に設けられた単結晶半導体層が半導体層 801、803 となる。

【0216】

次に、半導体層 801 の側面と接する側面絶縁層 812、及び半導体層 803 の側面と接する側面絶縁層 820 を形成する（図 16（B）、図 20（A）、図 21（B）参照）。

【0217】

側面絶縁層 812、側面絶縁層 820 は、島状に設けられた半導体層 801 及び半導体層 803 を覆って埋め込むように絶縁層を形成し、当該絶縁層を、垂直方向を主体とした異方性エッチングを行うことにより選択的にエッチングして半導体層 801、803 の側

10

20

30

40

50

面と接する領域のみ残存させて形成することができる。

【0218】

具体的には、まず、半導体層801及び半導体層803を埋め込むように絶縁層を形成する。当該絶縁層は、CVD法やスパッタリング法を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、SiOF、SiOC、DLC、ポーラスシリカ等の材料を用いて形成する。好ましくは、後に半導体層801及び半導体層803上に形成する絶縁層822と比較して誘電率が小さい層を形成すると、半導体層端部の形状に起因する電界集中を緩和することができる。また、半導体層801、803上を覆うように形成する絶縁層は、少なくとも半導体層801、803の端部を十分に被覆できる膜厚で形成し、好ましくは半導体層801、803の1.5倍乃至3倍の膜厚で形成する。

10

【0219】

次に、半導体層801及び半導体層803を覆うように形成した絶縁層を、垂直方向を主体とした異方性エッティングを行うことにより選択的にエッティングして、側面絶縁層812、820を形成する。側面絶縁層812、820は丸みを帯びた形状でも、角を有する形状としてもよい。好ましくは、側面絶縁層812、820のコーナー部を緩やかな形状とすることで、上層に積層される層の被覆性を良好にすることができます。

【0220】

なお、側面絶縁層812、820を形成する際のエッティングの影響により、半導体層801、803の一部が非晶質化する場合がある。この場合、半導体層801、803の非晶質化された領域を選択的にエッティングしてもよい。また、レーザビームの照射、又はRTA若しくはファーネスアニール炉を用いて熱処理を行い、半導体層801、803を再結晶化してもよい。また、半導体層に一導電型を付与する不純物元素を添加して不純物領域を形成した後、不純物元素を活性化するための熱処理と併せて再結晶化してもよい。

20

【0221】

次に、半導体層801及び半導体層803を選択的にエッティングして、異なる膜厚の領域を有する半導体層805及び半導体層813を形成する(図16(C)、図20(B)、図21(C)参照)。

【0222】

半導体層805は、半導体層801を選択的にエッティングして形成する。同様に、半導体層813は、半導体層803を選択的にエッティングして形成する。このとき、エッティングしたくない領域は、レジストマスク849で覆っておく。なお、レジストマスクで覆われていない領域において、所望の膜厚の半導体層が残存するように、エッティング条件を制御する必要がある。半導体層801、803のエッティングは、レジストマスク849が形成された側から絶縁層802側へ、垂直方向を主体として行われるのが好ましい。エッティング後、形成された半導体層805及び半導体層813は凹凸を有し、凸部は後にソース電極又はドレイン電極を形成する導電層840が接続される領域となる。なお、半導体層をエッティングした後、レジストマスク849は除去する。

30

【0223】

半導体層805及び半導体層813の膜厚範囲は30nm乃至200nm(但し30nmは除く)、好ましくは50nm乃至100nmとする。そして、半導体層805及び半導体層813のエッティングされた領域を膜厚30nm乃至150nm(但し30nmは除く)程度、好ましくは50nm乃至70nm程度とする。

40

【0224】

なお、半導体層801、803を選択的にエッティングして異なる膜厚の領域を形成する際、レジストマスク849に覆われていない領域の側面絶縁層112もほぼ同じ高さになるようにエッティングするのが好ましい(図20(B)、図21(C)参照)。これは、半導体層801、803及び側面絶縁層812、820のエッティングレートが略同じになるようなエッティング条件、つまりエッティングの選択比を1に近い条件とすればよい。

【0225】

なお、後に完成する薄膜トランジスタの閾値電圧を制御するため、半導体層805、8

50

13に低濃度の一導電型を付与する不純物元素を添加してもよい。この場合は、完成する薄膜トランジスタのチャネル形成領域にも不純物元素が添加されることになる。一導電型を付与する不純物元素としては、リン(P)やヒ素(As)等の n 型を付与する不純物元素、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等の p 型を付与する不純物元素を用いることができる。例えば、不純物元素として、ボロンを 1×10^{-6} cm⁻³ 乃至 1×10^{-8} cm⁻³ の濃度で半導体層 805、813に含まれるように添加することが可能である。このとき、半導体層 805、813には、異なる濃度の不純物元素を添加してもよいし、異なる導電型の不純物元素を添加してもよい。

【0226】

次に、半導体層 805 及びその側面と接する側面絶縁層 812、並びに半導体層 813 及びその側面と接する側面絶縁層 820 上に絶縁層 822 を形成する(図 16 (D)、図 21 (D) 参照)。

【0227】

絶縁層 822 は、CVD 法やスパッタリング法、ALD 法により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化アルミニウム等の材料を用いて形成する。好ましくは、半導体層 805 の側面と接する側面絶縁層 812、及び半導体層 813 の側面と接する側面絶縁層 820 よりも誘電率が大きい材料を用いて形成するとよい。絶縁層 822 は、上述した材料のうち 1 つ又は複数を用いて単層構造又は積層構造で形成する。また、絶縁層 822 は、高密度プラズマ処理による半導体層 805、813 の固相酸化若しくは固相窒化で形成してもよい。絶縁層 822 はゲート絶縁層として機能する。絶縁層 822 の膜厚は 1 nm 乃至 50 nm、好ましくは 1 nm 乃至 20 nm、より好ましくは 1 nm 乃至 10 nm とする。

【0228】

次に、絶縁層 822 を介して半導体層 805、半導体層 813 上に、ゲート電極として機能する導電層 824、導電層 826 を、それぞれ積層形成する(図 17 (A)、図 20 (C)、図 22 (A) 参照)。なお、ゲート電極を形成する導電層 824、826 は、半導体層 805、813 において、選択的にエッチングされた領域上に形成する。

【0229】

ゲート電極を形成する導電層は、CVD 法やスパッタリング法により、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、アルミニウム(Al)、銅(Cu)、又はニオブ(Nb)等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて基板全面に導電層を形成した後、当該導電層を選択的にエッチングして形成することができる。また、リン等の一導電型を付与する不純物元素が添加された多結晶シリコンに代表される半導体材料を用いて形成することもできる。なお、ゲート電極を形成する導電層は単層構造でも 3 層以上の積層構造でもよい。また、導電層の側面をテーパ形状としてもよい。ゲート電極を導電層の積層構造とする場合、下層の導電層の幅を大きくしてもよいし、各層の側面を異なる角度のテーパ形状としてもよい。

【0230】

本実施の形態では、導電層を基板上全面に成膜した後、該導電層を選択的にエッチングして所望の形状に加工して導電層 824、826 を形成している。ここでは、島状の半導体層 805、813 を、分離した導電層がそれぞれ横断するように、基板全面に形成した導電層をエッチング加工している。このとき、分離した導電層は、島状の半導体層 805、813 と重ならない領域で一体となるように加工する。つまり、連続する導電層から枝分かれした 2 本の導電層が、それぞれ島状の半導体層 805、813 を横断するように形成している。

【0231】

次に、半導体層 813 上を覆うようにレジストマスク 850 を選択的に形成し、当該レジストマスク 850、導電層 824 及び導電層 826 をマスクとして、半導体層 805 に第 1 の濃度の一導電型を付与する不純物元素 851 を添加して、不純物領域 807 を形成

10

20

30

40

50

する(図17(B)、図20(C)参照)。ここでは、導電層824、826をマスクとして不純物元素851を添加し、自己整合的に一対の不純物領域807と、当該一対の不純物領域807の間に位置するチャネル形成領域806を形成する。不純物元素851としては、リンやヒ素等のn型を付与する不純物元素、ボロンやアルミニウム、ガリウム等のp型を付与する不純物元素等を用いることができる。ここでは、不純物元素851として、リン(P)を添加する。なお、不純物領域807は、後のLDD領域として機能する低濃度不純物領域の一部を形成する。また、導電層824、826下の半導体層805には、チャネル形成領域806が形成される。よって、チャネル形成領域806は、半導体層805において選択的にエッチングされた領域に形成される。

【0232】

10

次に、半導体層805上を覆うようにレジストマスク852を選択的に形成し、当該レジストマスク852、導電層824、導電層826をマスクとして、半導体層813に第2の濃度の一導電型を付与する不純物元素853を添加して、不純物領域815を形成する(図17(C)、図20(C)参照)。ここでは、導電層824、826をマスクとして不純物元素を添加し、自己整合的に一対の不純物領域815と、当該一対の不純物領域815の間に位置するチャネル形成領域814を形成する。不純物元素853は、先に半導体層805に添加した不純物元素851と異なる導電型の元素を添加するものとする。本実施の形態では、ボロン(B)を添加する。なお、不純物領域815は、後のLDD領域として機能する低濃度不純物領域の一部を形成する。また、導電層824、826下の半導体層813には、チャネル形成領域814が形成される。よって、チャネル形成領域814は、半導体層813において選択的にエッチングされた領域に形成される。

【0233】

20

次に、導電層824及び導電層826の側面と接するサイドウォール絶縁層828を形成する(図17(D)、図20(C)、図22(A)参照)。サイドウォール絶縁層828は、CVD法やスパッタリング法により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の無機材料、有機樹脂などの有機材料を用いて、単層構造又は積層構造の絶縁層を形成し、当該絶縁層を垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電層824及び導電層826の側面に形成することができる。ここでは、サイドウォール絶縁層828は、導電層824、826の側面と接しない面を湾曲状に形成する。具体的には、任意の曲率を有し、接する導電層824、826の側面に対して凸形状に湾曲するように形成する。もちろん、本発明は特に限定されず、サイドウォール絶縁層828は丸みを帯びた形状でなく、角を有する形状としてよい。なお、サイドウォール絶縁層828は、LDD領域として機能する低濃度不純物領域を形成する際のドーピング用マスクとして用いることができる。

【0234】

30

また、サイドウォール絶縁層828を形成する際のエッチングにより下層の絶縁層822もエッチングして、半導体層805及び半導体層の一部、詳しくはサイドウォール絶縁層828と重ならない領域を選択的に露出させる。絶縁層822は、サイドウォール絶縁層828及び導電層824、826、並びに半導体層803又は半導体層813が重なる領域に残存する。また、サイドウォール絶縁層828を形成する際のエッチング条件によつては、半導体層805、813上層もエッチングされて膜厚が減少する場合もある。

40

【0235】

次に、半導体層813上を覆うようにレジストマスク854を選択的に形成する。当該レジストマスク854、導電層824、826及びその側面に接するサイドウォール絶縁層828をマスクとして、半導体層805に第3の濃度の一導電型を付与する不純物元素855を添加する(図18(A)、図20(C)参照)。ここでは、導電層824、826及びその側面に接するサイドウォール絶縁層828をマスクとして半導体層805に不純物元素855を添加し、自己整合的に一対の高濃度不純物領域809、一対の低濃度不純物領域808を形成する。高濃度不純物領域809はソース領域又はドレイン領域として機能し、低濃度不純物領域808はLDD領域として機能する。不純物元素855は、

50

先に半導体層 805 に添加した不純物元素 851 と同じ導電型の不純物元素を添加するものとする。本実施の形態ではリン (P) を添加する。また、第1の濃度と比較して、第3の濃度を高くして不純物元素を添加する。よって、高濃度不純物領域 809 には、低濃度不純物領域 808 と比較して高い濃度の不純物元素が添加される。

【0236】

次に、半導体層 805 上を覆うようにレジストマスク 856 を選択的に形成する。当該レジストマスク 856、導電層 824、826 及びその側面と接するサイドウォール絶縁層 828 をマスクとして、半導体層 813 に第4の濃度の一導電型を付与する不純物元素 857 を添加する (図 18 (B)、図 20 (C) 参照)。ここでは、導電層 824、826 及びその側面に接するサイドウォール絶縁層 828 をマスクとして半導体層 813 に不純物元素 855 を添加し、自己整合的に一対の高濃度不純物領域 817、一対の低濃度不純物領域 816 を形成する。高濃度不純物領域 817 はソース領域又はドレイン領域として機能し、低濃度不純物領域 816 は LDD 領域として機能する。不純物元素 857 は、先に半導体層 813 に添加した不純物元素 853 と同じ導電型の不純物元素を添加するものとする。本実施の形態では、ボロン (B) を添加する。また、第2の濃度と比較して、第4の濃度を高くして不純物元素を添加する。よって、高濃度不純物領域 817 には、低濃度不純物領域 816 と比較して高い濃度の不純物元素が添加される。

【0237】

以上により、半導体層 805 にソース領域又はドレイン領域として機能する高濃度不純物領域 809 と、LDD 領域として機能する低濃度不純物領域 808 と、チャネル形成領域 806 が形成される。また、半導体層 813 にソース領域又はドレイン領域として機能する高濃度不純物領域 817 と、LDD 領域として機能する低濃度不純物領域 816 と、チャネル形成領域 814 が形成される。本実施の形態では、チャネル形成領域 806、814 は、導電層 824、826 を用いて自己整合的に形成することができる。また、低濃度不純物領域 808、816 は、導電層 824、826 及びその側面と接するサイドウォール絶縁層 828 を用いて自己整合的に形成することができる。

【0238】

次に、露出させた半導体層 805、813 上に金属層 860 を形成する (図 19 (A) 参照)。

【0239】

金属層 860 は、少なくとも露出させた半導体層 805、813 上に形成する。ここでは、基板全面に金属層 860 を形成する。金属層 860 は、半導体層と反応してシリサイドを形成する材料を用いて形成すればよく、例えばニッケル、チタン、コバルト、白金等の金属元素又は当該金属元素を含む合金材料を用いて、スパッタリング法等により形成すればよい。なお、金属層 860 の膜厚は、形成したいシリサイド領域の形状、膜厚等により、適宜選択すればよい。金属層 860 を形成する際に、露出させた半導体層上に自然酸化膜が形成されている場合は、自然酸化膜を除去してから形成する。

【0240】

次に、熱処理を行うことにより、半導体層 805 の一部にシリサイド領域 861、半導体層 813 の一部にシリサイド領域 863 を形成する (図 19 (B)、図 20 (D) 参照)。

【0241】

シリサイド領域 861 は、熱処理を行うことにより、半導体層 805 及び金属層 860、並びに半導体層 813 及び金属層 860 が接する領域が反応し、該領域の半導体層の一部がシリサイド化して形成される。なお、本実施の形態では、半導体層 805 に形成されている高濃度不純物領域 809 の一部はシリサイド化されて領域が減少し、高濃度不純物領域 810 となる。同様に、半導体層 813 に形成されている高濃度不純物領域 817 の一部はシリサイド化されて領域が減少し、高濃度不純物領域 818 となる。なお、シリサイド領域は、高濃度不純物領域の一部に形成されているともいえる。熱処理は、RTA 又はファーネスアニール炉を用いればよい。

10

20

30

40

50

【0242】

なお、シリサイド領域861、863の膜厚、形状等は、金属層860の膜厚、熱処理時間、熱処理温度等を適宜制御することによって選択できる。本実施の形態では、シリサイド領域861、863は、それぞれ半導体層805、813に形成されたチャネル形成領域806、814の膜厚未満となるように形成されている例を示す。なお、半導体層層805、813において、ゲート電極を形成する導電層824、826及びその側面と接するサイドウォール絶縁層828と重ならない領域全体をシリサイド化してもよい。また、サイドウォール絶縁層828と重なる領域まで入り込んでシリサイド領域が形成されてもよいが、チャネル形成領域まではシリサイド化されないようにする。

【0243】

所望のシリサイド領域861、863を形成した後、未反応の金属層をエッティングにより除去する。例えば、本実施の形態では基板全面に金属層を形成しているので、絶縁層802、側面絶縁層812、820、サイドウォール絶縁層828、導電層826上に形成された金属層を除去する。また、シリサイド領域861、863上に未反応の金属層が残存する場合は、その金属層も除去する。

【0244】

次に、基板800上に設けられた絶縁層や導電層等を覆うように絶縁層836、絶縁層838を形成し、当該絶縁層838上に半導体層805に形成された高濃度不純物領域810、半導体層813に形成された高濃度不純物領域818と電気的に接続される導電層840を形成する（図19（C）、図20（D）、図22（B）参照）。導電層840はソース電極又はドレイン電極として機能する。

【0245】

絶縁層836、838は、CVD法やスパッタリング法、ALD法、塗布法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素若しくは窒素を含む無機絶縁材料や、DLC（ダイヤモンドライクカーボン）等の炭素を含む絶縁材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機絶縁材料またはシロキサン樹脂等のシロキサン材料を用いて形成する。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、絶縁層836、838は、CVD法やスパッタリング法、ALD法を用いて絶縁層を形成した後、当該絶縁層に酸素雰囲気下又は窒素雰囲気下で高密度プラズマ処理を行うことにより形成してもよい。ここでは、導電層826等の上層に絶縁層836、838の2層の積層構造を形成しているが、単層構造としても3層以上の積層構造としてもよい。

【0246】

絶縁層836、838に、チャネル形成領域806と比較して膜厚が大きい領域に形成されたシリサイド領域861に達する開口を形成する。同様に、チャネル形成領域814と比較して膜厚が大きい領域に形成されたシリサイド領域863に達する開口を形成する。開口は、適宜ドライエッティングやウェットエッティングを利用して形成する。そして、開口を介して高濃度不純物領域と電気的に接続されるように、ソース電極又はドレイン電極を形成する導電層840を形成する。

【0247】

導電層840は、CVD法やスパッタリング法を用いて、アルミニウム（Al）、タンゲステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジウム（Nd）、炭素（C）、シリコン（Si）等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて、単層構造又は積層構造で形成する。アルミニウムを含む合金材料としては、例えば、アルミニウムを主成分としニッケルを含む材料、又は

10

20

30

40

50

、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料があげられる。導電層 840 は、例えば、バリア層とアルミニウムシリコン (A1-Si) 層とバリア層の積層構造、バリア層とアルミニウムシリコン (A1-Si) 層と窒化チタン (TiN) 層とバリア層の積層構造を採用することができる。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電層 840 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができるため好ましい。

【0248】

導電層 840 は、半導体層 805 においてチャネル形成領域 806 よりも膜厚が大きい領域と接して電気的に接続されるように形成する。同様に、半導体層 813 においてもチャネル形成領域 814 よりも膜厚が大きい領域と接して電気的に接続されるように形成する。このようにすることで、導電層 840 を形成するため絶縁層 836、838 に開口を形成する際に、半導体層 805、813 が一部消失するような不良を防止することができ、製造工程における歩留まりの低下を防止できる。また、導電層 840 は、シリサイド領域 861 又はシリサイド領域 863 を間に介して、高濃度不純物領域 810 又は高濃度不純物領域 818 と電気的に接続されるため、コンタクト抵抗 (導電層及び半導体層の接触抵抗) を低減することができ、消費電力を低減させることができる。

【0249】

以上により、半導体層 805 を用いて形成された n チャネルトランジスタ 870 及び半導体層 813 を用いて形成された p チャネルトランジスタ 880 を具備する半導体装置を作製することができる。本実施の形態では、半導体層 805 に形成された高濃度不純物領域 810 と電気的に接続される導電層 840 と、半導体層 813 に形成された高濃度不純物領域 818 と電気的に接続される導電層 840 と、を電気的に接続させることによって、n チャネルトランジスタ及び p チャネルトランジスタを有する CMOS 回路を形成している。

【0250】

なお、本実施の形態では相異なる導電型を有する 2 つの薄膜トランジスタを具備する CMOS 回路を作製する例を示したが、本発明は特に限定されない。例えば、複数の n チャネル薄膜トランジスタを具備する nMOS 回路、複数の p チャネル薄膜トランジスタを具備する pMOS 回路等を作製することもできる。nMOS 回路、pMOS 回路等は、半導体層に添加する不純物元素を適宜選択すればよい。また、本発明に係る CMOS 回路を構成する薄膜トランジスタは、本実施の形態に示す薄膜トランジスタの構成に限定されず、他の実施形態で示した薄膜トランジスタを、適宜適用することができる。

【0251】

本発明を適用した半導体装置は、導電層及び半導体層の接続に起因する不良を防止することができる。また、半導体層の端部の形状及び特性等の影響による不良を防止、低減することができる。よって、半導体装置を歩留まり良く製造することができる。また、半導体装置の信頼性を向上させることも可能になる。さらに、半導体層及び電極 (配線) のコンタクト抵抗を低減することができるため、低消費電力化を実現することができる。

【0252】

なお、本実施の形態は、本明細書で示す他の実施の形態と、適宜組み合わせることができる。

【0253】

(実施の形態 6)

本発明に係る半導体装置は、CPU (中央演算回路: Central Process ing Unit) 等の集積回路に適用することができる。本実施の形態では、図 15 に示した半導体装置を適用した CPU の例に関して、図面を用いて以下に説明する。

【0254】

図 23 に示す CPU 3660 は、基板 3600 上に演算回路 (ALU: Arithmetic

10

20

30

40

50

tic logic unit) 3601、演算回路用制御回路部 (ALU Controller) 3602、命令解析部 (Instruction Decoder) 3603、割り込み制御部 (Interrupt Controller) 3604、タイミング制御部 (Timing Controller) 3605、レジスタ (Register) 3606、レジスタ制御部 (Register Controller) 3607、バスインターフェース (Bus I/F) 3608、書き換え可能なROM 3609、ROMインターフェース (ROM I/F) 3620を主に有している。また、ROM 3609及びROMインターフェース 3620は、別チップに設けても良い。これらCPU 3660を構成する様々な回路は、上記実施の形態1乃至5に示される薄膜トランジスタ、当該薄膜トランジスタを組み合わせたCMOS回路、nMOS回路、pMOS回路等を用いて構成することが可能である。 10

【0255】

なお、図23に示すCPU 3660は、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。したがって、本発明を適用するCPUの構成は、図23に示すものに限定されるものではない。

【0256】

バスインターフェース 3608を介してCPU 3660に入力された命令は、命令解析部 3603に入力され、デコードされた後、演算回路用制御回路部 3602、割り込み制御部 3604、レジスタ制御部 3607、タイミング制御部 3605に入力される。 20

【0257】

演算回路用制御回路部 3602、割り込み制御部 3604、レジスタ制御部 3607、タイミング制御部 3605は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路用制御回路部 3602は、演算回路 3601の駆動を制御するための信号を生成する。また、割り込み制御部 3604は、CPU 3660のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部 3607は、レジスタ 3606のアドレスを生成し、CPUの状態に応じてレジスタ 3606の読み出しや書き込みを行う。

【0258】

またタイミング制御部 3605は、演算回路 3601、演算回路用制御回路部 3602、命令解析部 3603、割り込み制御部 3604、レジスタ制御部 3607の駆動のタイミングを制御する信号を生成する。例えばタイミング制御部 3605は、基準クロック信号CLK1 (3621)を元に、内部クロック信号CLK2 (3622)を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。 30

【0259】

また、図24には、画素部と、CPU、その他の回路が同一基板に形成された表示装置、いわゆるシステムオンパネルを示す。基板 3700上に画素部 3701、当該画素部 3701が有する画素を選択する走査線駆動回路 3702と、選択された画素にビデオ信号を供給する信号線駆動回路 3703とが設けられている。走査線駆動回路 3702、及び信号線駆動回路 3703から引き回される配線によりCPU 3704、その他の回路、例えばコントロール回路 3705とが接続されている。なおコントロール回路にはインターフェースが含まれている。そして、基板の端部にFPC端子との接続部を設け、外部信号とのやりとりを行う。 40

【0260】

その他の回路としては、コントロール回路 3705の他、映像信号処理回路、電源回路、階調電源回路、ビデオRAM、メモリ (DRAM、SRAM、PROM) 等を設けることができる。またこれら回路は、I Cチップにより形成し、基板上に実装してもよい。さらに必ずしも走査線駆動回路 3702、及び信号線駆動回路 3703を同一基板に形成する必要はなく、例えば走査線駆動回路 3702のみを同一基板に形成し、信号線駆動回路 3703をI Cチップにより形成し、実装してもよい。

【0261】

なお、本実施の形態では、本発明に係る半導体装置を C P U に適用する例を説明したが、本発明は特に限定されない。例えば、本発明に係る半導体装置は、有機発光素子、無機発光素子、又は液晶素子等を備えた表示装置の画素部及び駆動回路部等に適用することができる。また、その他、本発明を適用して、デジタルカメラ、カーオーディオなどの音響再生装置、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末（携帯電話機、携帯型ゲーム機等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置などを作製することも可能である。

【 0 2 6 2 】

本発明を適用した半導体装置は、歩留まり良く製造することが可能である。また、ゲート絶縁層を薄膜化した場合でも不良を防止・低減することができ、高速での回路駆動が実現できる。

10

【 0 2 6 3 】

また、上記実施の形態 2 乃至 5 に示すようなシリサイド領域を有する構成のトランジスタを適用した場合、コンタクト抵抗を低減できるため、信号遅延等を防止できる。よって、より高速での回路駆動が可能となる。

【 0 2 6 4 】

（実施の形態 7 ）

本実施の形態では、上記実施の形態で示した半導体装置の使用形態の一例について説明する。具体的には、非接触でデータの入出力が可能である半導体装置の適用例に関して、図面を用いて以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によって、R F I D タグ、I D タグ、I C タグ、I C チップ、R F タグ、無線タグ、電子タグまたは無線チップとも呼ばれる。

20

【 0 2 6 5 】

本実施の形態で示す半導体装置の上面構造の一例について、図 2 6 (A) を参照して説明する。図 2 6 に示す半導体装置 2 1 8 0 は、メモリ部やロジック部を構成する複数の薄膜トランジスタ等の素子が設けられた薄膜集積回路 2 1 3 1 と、アンテナとして機能する導電層 2 1 3 2 を含んでいる。アンテナとして機能する導電層 2 1 3 2 は、薄膜集積回路 2 1 3 1 に電気的に接続されている。薄膜集積回路 2 1 3 1 には、上記実施の形態 1 乃至 4 で示した本発明に係る薄膜トランジスタを適用することができる。

【 0 2 6 6 】

30

また、図 2 6 (B)、(C) に図 2 6 (A) の断面の模式図を示す。アンテナとして機能する導電層 2 1 3 2 は、メモリ部及びロジック部を構成する素子の上方に設ければよく、例えば、上記実施の形態 5 で示した構造の上方に、絶縁層 2 1 3 0 を介してアンテナとして機能する導電層 2 1 3 2 を設けることができる（図 2 6 (B) 参照）。他にも、アンテナとして機能する導電層 2 1 3 2 を基板 2 1 3 3 に別に設けた後、当該基板 2 1 3 3 及び薄膜集積回路 2 1 3 1 を、導電層 2 1 3 2 が間に位置するように貼り合わせて設けることができる（図 2 6 (C) 参照）。図 2 6 (C) では、絶縁層 2 1 3 0 上に設けられた導電層 2 1 3 6 とアンテナとして機能する導電層 2 1 3 2 とが、接着性を有する樹脂 2 1 3 5 中に含まれる導電性粒子 2 1 3 4 を介して電気的に接続されている例を示す。

【 0 2 6 7 】

40

なお、本実施の形態では、アンテナとして機能する導電層 2 1 3 2 をコイル状に設け、電磁誘導方式または電磁結合方式を適用する例を示すが、本発明の半導体装置はこれに限られずマイクロ波方式を適用することも可能である。マイクロ波方式の場合は、用いる電磁波の波長によりアンテナとして機能する導電層 2 1 3 2 の形状を適宜決めればよい。

【 0 2 6 8 】

例えば、半導体装置 2 1 8 0 における信号の伝送方式として、マイクロ波方式（例えば、U H F 帯（8 6 0 M H z 帯乃至 9 6 0 M H z 帯）、2 . 4 5 G H z 帯等）を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよい。例えば、アンテナとして機能する導電層を線状（例えば、ダイポールアンテナ（図 2 7 (A) 参照））、平坦な形状（例えば、パッチアンテナ

50

(図27(B)参照)またはリボン型の形状(図27(C)、(D)参照))等に形成することができる。また、アンテナとして機能する導電層2132の形状は直線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0269】

アンテナとして機能する導電層2132は、CVD法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(A1)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0270】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電層2132を形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコン樹脂等の有機樹脂が挙げられる。また、導電層の形成の際は、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下の微粒子)を用いる場合、150乃至300の温度範囲で焼成することにより硬化させて導電層を形成することができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20μm以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

【0271】

本発明を適用することで、非接触でデータの入出力が可能で、且つ小型な半導体装置を歩留まり良く製造することができる。また、信頼性を向上させることも可能である。

【0272】

次に、本実施の形態に係る半導体装置の動作例について説明する。

【0273】

半導体装置2180は、非接触でデータを交信する機能を有し、高周波回路81、電源回路82、リセット回路83、クロック発生回路84、データ復調回路85、データ変調回路86、他の回路の制御を行う制御回路87、記憶回路88およびアンテナ89を有している(図28(A)参照)。高周波回路81はアンテナ89より信号を受信して、データ変調回路86より受信した信号をアンテナ89から出力する回路である。電源回路82は受信信号から電源電位を生成する回路である。リセット回路83はリセット信号を生成する回路である。クロック発生回路84はアンテナ89から入力された受信信号を基に各種クロック信号を生成する回路である。データ復調回路85は受信信号を復調して制御回路87に出力する回路である。データ変調回路86は制御回路87から受信した信号を変調する回路である。また、制御回路87としては、例えばコード抽出回路91、コード判定回路92、CRC判定回路93および出力ユニット回路94が設けられている。なお、コード抽出回路91は制御回路87に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路92は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路93は判定されたコードに基づいて送信エラー等の有無を検出する回路である。図28(A)では、制御回路87の他に、アナログ回路である高周波回路81、電源回路82を含んでいる。

【0274】

10

20

30

40

50

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 8 9 により無線信号が受信される。無線信号は高周波回路 8 1 を介して電源回路 8 2 に送られ、高電源電位（以下、V D D と記す）が生成される。V D D は半導体装置 2 1 8 0 が有する各回路に供給される。また、高周波回路 8 1 を介してデータ復調回路 8 5 に送られた信号は復調される（以下、復調信号という）。さらに、高周波回路 8 1 を介してリセット回路 8 3 およびクロック発生回路 8 4 を通った信号及び復調信号は制御回路 8 7 に送られる。制御回路 8 7 に送られた信号は、コード抽出回路 9 1 、コード判定回路 9 2 およびC R C 判定回路 9 3 等によって解析される。そして、解析された信号にしたがって、記憶回路 8 8 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 9 4 を通って符号化される。さらに、符号化された半導体装置 2 1 8 0 の情報はデータ変調回路 8 6 を通って、アンテナ 8 9 により無線信号に載せて送信される。なお、半導体装置 2 1 8 0 を構成する複数の回路においては、低電源電位（以下、V S S という）は共通であり、V S S はG N D とすることができます。

【 0 2 7 5 】

このように、リーダ / ライタから半導体装置 2 1 8 0 に信号を送り、当該半導体装置 2 1 8 0 から送られてきた信号をリーダ / ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【 0 2 7 6 】

また、半導体装置 2 1 8 0 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【 0 2 7 7 】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3 2 1 0 を含む携帯端末の側面には、リーダ / ライタ 3 2 0 0 が設けられ、品物 3 2 2 0 の側面には半導体装置 3 2 3 0 が設けられる（図 2 8 (B) 参照）。品物 3 2 2 0 が含む半導体装置 3 2 3 0 にリーダ / ライタ 3 2 0 0 をかざすと、表示部 3 2 1 0 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3 2 6 0 をベルトコンベアにより搬送する際にリーダ / ライタ 3 2 4 0 と、商品 3 2 6 0 に設けられた半導体装置 3 2 5 0 を用いて、該商品 3 2 6 0 の検品を行うことができる（図 2 8 (C) 参照）。半導体装置 3 2 3 0 、半導体装置 3 2 5 0 としては、上述した半導体装置 2 1 8 0 を適用することができる。このように、システムに本発明に係る半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【 0 2 7 8 】

なお、上述した以外にも本発明に係る半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。これらの例に関して図 2 5 を用いて説明する。

【 0 2 7 9 】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの（金券）、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す（図 2 5 (A) 参照）。証書類とは、運転免許証、住民票等を指す（図 2 5 (B) 参照）。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す（図 2 5 (C) 参照）。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す（図 2 5 (D) 参照）。書籍類とは、書物、本等を指す（図 2 5 (E) 参照）。記録媒体とは、D V D ソフト、ビデオテープ等を指す（図 2 5 (F) 参照）。乗物類とは、自転車等の車両、船舶等を指す（図 2 5 (G) 参照）。身の回り品とは、鞄、眼鏡等を指す（図 2 5 (H) ）。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健

10

20

30

40

50

康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、E L表示装置、テレビジョン装置（テレビ受像機、薄型テレビ受像機）、携帯電話機等を指す。

【0280】

紙幣、硬貨、有価証券類、証書類、無記名債券類等に半導体装置2180を設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等に半導体装置2180を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等に半導体装置2180を設けることにより、偽造や盗難を防止することができる。また、薬品類ならば、薬の服用の間違いを防止することができる。半導体装置2180の設け方としては、物品の表面に貼る、或いは物品に埋め込んで設ける。例えば、本の場合は紙に埋め込めばよく、有機樹脂からなるパッケージであれば有機樹脂に埋め込めばよい。

10

【0281】

このように、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物にセンサーを備えた半導体装置を埋め込む又は取り付けることによって、生まれた年や性別または種類等はもちろん現在の体温等の健康状態を容易に管理することが可能となる。

20

【0282】

なお、本実施の形態は、上記実施の形態と自由に組み合わせて行うことができる。

【0283】

（実施の形態8）

本実施の形態では、上記実施の形態と異なる構成の半導体装置の例について、図30を用いて説明する。具体的には、半導体装置として、不揮発性半導体記憶装置の1つであるメモリトランジスタの例を説明する。

【0284】

本実施の形態で示すメモリトランジスタは、MOSFET（Metal Oxide Semiconductor Field effect transistor）と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャネル形成領域上に設かれている。この電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲート電極とも呼ばれる。浮遊ゲート電極上には、絶縁層を介して制御ゲート電極を備えている。

30

【0285】

上記のような構造を有するメモリトランジスタは、制御ゲート電極に印加する電圧により、浮遊ゲート電極に電荷を蓄積させ、また放出させる動作が行われる。すなわち浮遊ゲート電極に保持させる電荷の出し入れにより、データを記憶する仕組みになっている。浮遊ゲート電極への電荷の注入や引き抜きは、チャネル形成領域が形成される半導体層と、制御ゲート電極の間に高電圧を印加する。このときチャネル形成領域上の絶縁層には、ファウラー-ノルドハイム（Fowler-Nordheim）型（F-N型）トンネル電流（NAND型）や、熱電子（NOR型）が流れると言われている。チャネル形成領域上に設けられる絶縁層は、トンネル絶縁層とも呼ばれている。

40

【0286】

図30に、本実施の形態に係る半導体装置である不揮発性半導体記憶装置の主要な構成を説明するための上面図及び断面図を示す。図30は、特にメモリトランジスタの構成を示しており、図30（A）は上面図、図30（B）は図30（A）における破線OP間の断面図、図30（C）は図30（A）における破線QR間の断面図を示している。なお、図30（A）は、一部薄膜等を省略している。

50

【0287】

図30に示す不揮発性半導体記憶装置は、基板502上に絶縁層504を介して設けられたメモリトランジスタ500を有している。メモリトランジスタ500は、島状に設けられた半導体層505と、当該半導体層の側面と接して設けられた側面絶縁層512と、半導体層505の一表面上に順に設けられた第1絶縁層514、浮遊ゲート電極を形成する電荷蓄積層516、第2絶縁層517、制御ゲート電極を形成する導電層518の積層構造と、半導体層505上に絶縁層550を介して設けられたソース電極又はドレイン電極を形成する導電層522と、を有している。第1絶縁層514、電荷蓄積層516、第2絶縁層517、導電層518の積層構造の側面と接してサイドウォール絶縁層526が形成されている。また、導電層522は、絶縁層550を介して半導体層505と電気的に接続されている。10

【0288】

島状に設けられた半導体層505は、異なる膜厚の領域を有する。半導体層505の膜厚は30nm乃至200nm(但し30nmは除く)、好ましくは50nm乃至100nmとする。また、半導体層505において薄い領域の膜厚は30nm乃至150nm(但し30nmは除く)、好ましくは50nm乃至70nmとする。また、半導体層505の端部は、上記実施の形態と同様、テーパ形状とすることができます。

【0289】

また、半導体層505は、チャネル形成領域506と、LDD領域として機能する一対の低濃度不純物領域508と、ソース領域又はドレイン領域として機能する一対の高濃度不純物領域511と、高濃度不純物領域511上に接するシリサイド領域524を有する。シリサイド領域524は、高濃度不純物領域の一部に形成されているともいえる。チャネル形成領域506は、半導体層505において薄い膜厚の領域に形成される。シリサイド領域524を含む高濃度不純物領域は、半導体層505において厚い膜厚の領域に形成される。よって、シリサイド領域524を含む高濃度不純物領域の膜厚は、チャネル形成領域506よりも厚くなっている。20

【0290】

シリサイド領域524は、少なくともその一部が、半導体層505においてチャネル形成領域506よりも膜厚が大きい領域に形成される。また、シリサイド領域524は、半導体層505において高濃度不純物領域511上に接する領域で、且つ半導体層505、並びにサイドウォール絶縁層526及び導電層518が重ならない領域に形成されている。ソース電極又はドレイン電極として機能する導電層522はシリサイド領域524に接し、当該シリサイド領域524を間に介して高濃度不純物領域511と電気的に接続されている。半導体層505において、ソース電極又はドレイン電極として機能する導電層522及び高濃度不純物領域511を電気的に接続させる際に、シリサイド領域524を間に介する構造とすることで、コンタクト抵抗(半導体層及び導電層の接触抵抗)を低減することができる。また、シリサイド領域を形成することで、ソース領域又はドレイン領域として機能する不純物領域の低抵抗化を図ることができる。このようにシリサイド領域を設けることで、完成する半導体装置の信号遅延防止や低消費電力化、並びに動作特性の劣化防止が可能になる。30

【0291】

また、ソース電極又はドレイン電極として機能する導電層522を、半導体層505においてチャネル形成領域506よりも膜厚が大きい領域と接するように形成することで、チャネル形成領域506を薄膜とする場合も、絶縁層550に導電層522を形成するための開口を形成する際に、形成する開口近傍の半導体層(高濃度不純物領域)まで除去されてしまうことを防止できる。よって、製造工程における歩留まりの低下を抑制できる。40

【0292】

なお、チャネル形成領域506は、半導体層505において導電層522が接続される領域と比較して、薄い膜厚の領域に形成されている。チャネル形成領域506の膜厚は30nm乃至150nm(但し30nmは除く)程度、好ましくは50nm乃至70nm程

1020304050

度とする。

【0293】

また、メモリトランジスタを構成する半導体層は図30に示す構造に限定されず、上記実施の形態1乃至5で示したいずれの半導体層の構成を適用してもよい。例えば、シリサイド領域は形成されなくともよいし、ソース領域又はドレイン領域として機能する不純物領域全体がシリサイド化されていてもよい。

【0294】

また、ここでは半導体層505にLDD領域として機能する低濃度不純物領域を形成する例を示すが、本発明は特に限定されず、LDD領域は形成しなくともよい。LDD領域を形成しない場合は、半導体層はソース領域又はドレイン領域として機能する一対の不純物領域の間に接してチャネル形成領域を有する構成となればよい。

10

【0295】

半導体層505に形成されたチャネル形成領域506上には、第1絶縁層514、電荷蓄積層516、第2絶縁層517、導電層518が積層形成されている。また、これらの積層構造は、島状の半導体層505を横断するように設けられている。第1絶縁層514はトンネル絶縁層として機能し、電荷蓄積層516は浮遊ゲート電極として機能する。第2絶縁層517はコントロール絶縁層として機能し、導電層518は制御ゲート電極として機能する。なお、ここでは第1絶縁層514、電荷蓄積層516、第2絶縁層517、導電層518の各層を単層構造で形成する例を示すが、本発明は特に限定されず2層以上の積層構造としてもよい。

20

【0296】

島状に設けられた半導体層505の側面と接して側面絶縁層512が形成されている。図30に示されるように、半導体層505において電荷蓄積層516、導電層518が横断する領域（電荷蓄積層516等が半導体層505端部を乗り越える領域）では、半導体層505及びその側面と接して形成された側面絶縁層512上にトンネル絶縁層として機能する第1絶縁層514が形成されている。よって、半導体層505の端部、特に半導体層505端部と電荷蓄積層516等が重畳する領域（電荷蓄積層516が半導体層505端部を乗り越える領域）における絶縁層の被覆不良に起因した不良、例えばリーク電流の発生、静電破壊等を防止することができる。また、メモリトランジスタは動作させるために高電圧を印加させるため、半導体層端部に局所的な電界集中が起きやすいが、本発明のような構成とすることで電界集中を緩和することができ、局所的劣化を抑制することができる。その結果、完成する不揮発性半導体記憶装置の信頼性を向上させることができるとなる。

30

【0297】

半導体層505は、単結晶半導体又は結晶性半導体で形成されたものを用いることが好みしい。例えば、CVD法やスパッタリング法によって基板全面に非晶質半導体層を形成し、当該半導体層を結晶化させた後、所望の形状にエッチング加工して形成することができる。半導体材料としてはシリコンを主成分とする材料を用いるのが好ましく、具体的には、シリコン、シリコンゲルマニウム等を用いて形成することができる。また、ゲルマニウムを用いて形成してもよい。半導体層の結晶化法としては、レーザ結晶化法、瞬間熱アニール（RTA）又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれらの方法を組み合わせた方法等により行うことができる。また、このような薄膜プロセスに換えて、絶縁表面に単結晶半導体層を設けたSOI基板を用い、絶縁表面に設けられた単結晶半導体層を加工して半導体層505を形成してもよい。

40

【0298】

半導体層505にはチャネル形成領域506、低濃度不純物領域508、高濃度不純物領域511、シリサイド領域524が形成されている。チャネル形成領域506は一対の高濃度不純物領域511の間に位置しており、低濃度不純物領域508はチャネル形成領域506と高濃度不純物領域511の間にそれぞれ位置している。シリサイド領域524

50

は、高濃度不純物領域 511 上に位置している。

【0299】

低濃度不純物領域 508 には一導電型を付与する不純物元素が第 1 の濃度で添加されており、高濃度不純物領域 511 には一導電型を付与する不純物元素が第 2 の濃度で添加されている。低濃度不純物領域 508 及び高濃度不純物領域には同じ導電型の不純物元素が添加されている。また、第 1 の濃度と比較して、第 2 の濃度を高くして不純物元素が添加されている。一導電型を付与する不純物元素としては、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) 等の p 型を付与する元素、リン (P)、ヒ素 (As) 等の n 型を付与する元素を用いることができる。

【0300】

なお、チャネル形成領域 506 に、メモリトランジスタの閾値電圧を制御するための一導電型を付与する不純物元素を添加してもよい。チャネル形成領域 506 に所定の濃度の不純物元素を添加することで、強制的にトランジスタの閾値電圧をシフトさせ、所望の閾値電圧とすることが可能である。

【0301】

また、シリサイド領域 524 に、高濃度不純物領域 511 と同程度の不純物元素が添加されていてもよい。

【0302】

側面絶縁層 512 は、半導体層が埋め込まれるように絶縁層を形成し、当該絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして形成する。例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、SiOF、SiOC、DLC、ポーラスシリカ等の材料を用いて形成することができる。なお、側面絶縁層 512 は、半導体層を島状に形成した後、該半導体層を選択的にエッチングして異なる膜厚の領域を形成する前に形成するのが好ましい。

【0303】

第 1 絶縁層 514 は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化アルミニウム等を用いて単層構造又は積層構造で形成すればよい。第 1 絶縁層 514 は、CVD 法、スパッタリング法、ALD 法等により形成してもよいが、好ましくは高密度プラズマ処理による固相酸化若しくは固相窒化で形成するとよい。これは、半導体層をプラズマ処理による固相酸化若しくは固相窒化することで、緻密で絶縁耐圧が高い薄膜が形成できるためである。第 1 絶縁層 514 はメモリトランジスタのトンネル絶縁層として機能するため、薄いほどトンネル電流が流れやすくなり、また上層に形成される浮遊ゲート電極に低電圧で電荷を蓄積することが可能になるため、緻密で絶縁耐圧が高い薄膜を形成すると効果的である。また、第 1 絶縁層 514 は、CVD 法、スパッタリング法、ALD 法等により形成した絶縁層に対して高密度プラズマ処理による固相酸化若しくは固相窒化をして形成してもよい。第 1 絶縁層 514 の膜厚は 1 nm 乃至 50 nm、好ましくは 1 nm 乃至 20 nm、より好ましくは 1 nm 乃至 10 nm の範囲で形成する。

【0304】

電荷蓄積層 516 は第 1 絶縁層 514 上に単層構造又は積層構造で形成される。電荷蓄積層 516 は、シリコン (Si)、ゲルマニウム (Ge) などの半導体材料、シリコンを主成分とする化合物、タンゲステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo) 等から選ばれた金属、これら金属を主成分とする合金、およびこれら金属を主成分とする金属化合物（金属窒化物、金属酸化物等）から選ばれる材料を用いて形成すればよい。例えば、シリコンを主成分とする化合物として、窒化シリコン、窒化酸化シリコン、炭化シリコン、およびシリサイド（タンゲステンシリサイド、チタンシリサイド、ニッケルシリサイド）などがある。半導体材料として、n 型または p 型のシリコン、およびゲルマニウムを 10 原子 % 未満の濃度で含むシリコンゲルマニウムなどがある。金属の化合物として、窒化タンタル、酸化タンタル、窒化タンゲステン、窒化チタン、酸化チタンおよび酸化スズなどがある。また、シリコンを用いる場合は、リンやボロンなどの導電性を付与する不純物を添加してもよい。

10

20

30

40

50

【0305】

また、電荷蓄積層516は、絶縁性であり、電荷を保持するトラップを有する層で形成することもできる。例えばシリコン化合物、ゲルマニウム化合物を用いて形成することができる。シリコン化合物としては、窒化シリコン、酸化窒化シリコン、水素が添加された酸化窒化シリコン等がある。ゲルマニウム化合物としては、窒化ゲルマニウム、酸素が添加された窒化ゲルマニウム、窒素が添加された酸化ゲルマニウム、酸素及び水素が添加された窒化ゲルマニウム、窒素及び水素が添加された酸化ゲルマニウム等のゲルマニウム化合物等がある。

【0306】

第2絶縁層517は、電荷蓄積層516上に単層構造又は積層構造で形成される。
10 第2絶縁層517は、例えば、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム等を用いて形成する。また、電荷蓄積層516に高密度プラズマ処理を行い、その表面を固相窒化した窒化膜（例えば、電荷蓄積層516としてシリコンを用いた場合には窒化シリコン）を形成してもよい。第1絶縁層514又は第2絶縁層517において、電荷蓄積層516と接する側の一方又は双方を窒化膜若しくは窒化処理された層とすることで、電荷蓄積層516の酸化を防ぐことができる。

【0307】

導電層518は、第2絶縁層517上に単層構造又は積層構造で形成される。導電層518は、タンタル（Ta）、タンゲステン（W）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）、又はニオブ（Nb）等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて形成することができる。また、リン等の一導電型を付与する不純物元素が添加された多結晶シリコンに代表される半導体材料を用いることもできる。
20

【0308】

第1絶縁層514、電荷蓄積層516、第2絶縁層517、導電層518の側面と接してサイドウォール絶縁層526が形成されている。サイドウォール絶縁層526は、CVD法やスパッタリング法により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の無機材料、有機樹脂などの有機材料を用いて単層構造又は積層構造の絶縁層を形成し、当該絶縁層を垂直方向を主体とした異方性エッティングにより選択的にエッティングして形成することができる。サイドウォール絶縁層526は、シリサイド領域を形成する場合は、シリサイド用マスクとして機能する。また、ここではLDD領域を形成するドーピング用マスクとしても機能する。
30

【0309】

チャネル形成領域506は、絶縁層514を介して電荷蓄積層516、導電層518と重なる領域に形成されている。つまり、電荷蓄積層516、導電層518は半導体層505を横断するように、且つチャネル形成領域506上に設けられている。低濃度不純物領域508は、サイドウォール絶縁層526と重なる領域に形成されている。高濃度不純物領域511は、電荷蓄積層516、導電層518、サイドウォール絶縁層526と重ならない領域に形成されている。また、高濃度不純物領域511は、少なくともその一部が、半導体層505においてチャネル形成領域よりも膜厚が大きい領域に形成される。
40

【0310】

ソース電極又はドレイン電極として機能する導電層522は、基板502上に設けられた絶縁層や導電層等を覆うように絶縁層520を形成した後、該絶縁層520を介して半導体層505に形成された高濃度不純物領域511と電気的に接続されるように形成する。
。

【0311】

絶縁層520は、CVD法、スパッタリング法、ALD法、塗布法、又はそれらの組み合わせ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の無機絶縁材料や、DLC（ダイヤモンドライクカーボン）等の炭素を含む絶縁材料、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アク
50

リル等の有機絶縁材料またはシロキサン樹脂等のシロキサン材料を用いて形成する。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、絶縁層520は、CVD法やスパッタリング法等を用いて絶縁層を形成した後、当該絶縁層に対して高密度プラズマ処理を行って形成してもよい。

【0312】

導電層522は、CVD法やスパッタリング法により、アルミニウム(A1)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)又はネオジウム(Nd)から選ばれる金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて、単層構造又は積層構造で形成する。アルミニウムを含む合金材料としては、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料があげられる。

10

【0313】

本発明を適用した不揮発性半導体記憶装置は、導電層及び半導体層の接続に起因する不良、及び半導体層の端部の形状及び特性等の影響による不良を防止することができる。よって、歩留まり良く製造することが可能となり、また完成する不揮発性半導体記憶装置の信頼性を向上させることができる。また、半導体層端部に起因するリーク電流を防止でき、また局所的な電界集中を緩和することができるため、トンネル絶縁層として機能する絶縁層を薄膜化することが可能である。よって、消費電力の低減を図ることができる。さらに、半導体層及び電極(配線)のコンタクト抵抗を低減することで、消費電力の低減を図ることができる。

20

【0314】

なお、本実施の形態は、本明細書で示す他の実施の形態と、適宜組み合わせができる。

【図面の簡単な説明】

【0315】

30

【図1】本発明に係る半導体装置の主要な構成の例を示す図。

【図2】本発明に係る半導体装置の作製方法の例を示す図。

【図3】本発明に係る半導体装置の作製方法の例を示す図。

【図4】本発明に係る半導体装置の作製方法の例を示す図。

【図5】本発明に係る半導体装置の主要な構成及び作製方法の例を示す図。

【図6】本発明に係る半導体装置の作製方法の例を示す図。

【図7】本発明に係る半導体装置の作製方法の例を示す図。

【図8】本発明に係る半導体装置の主要な構成の例を示す図。

【図9】本発明に係る半導体装置の作製方法の例を示す図。

【図10】本発明に係る半導体装置の主要な構成及び作製方法の例を示す図。

40

【図11】本発明に係る半導体装置の主要な構成の例を示す図。

【図12】従来の半導体装置の構成の例を示す図。

【図13】本発明に係る半導体装置の作製方法の例を示す図。

【図14】プラズマ処理装置の構成の例を示す図。

【図15】本発明に係る半導体装置の主要な構成の例を示す図。

【図16】本発明に係る半導体装置の作製方法の例を示す図。

【図17】本発明に係る半導体装置の作製方法の例を示す図。

【図18】本発明に係る半導体装置の作製方法の例を示す図。

【図19】本発明に係る半導体装置の作製方法の例を示す図。

【図20】本発明に係る半導体装置の作製方法の例を示す図。

50

- 【図21】本発明に係る半導体装置の作製方法の例を示す図。
【図22】本発明に係る半導体装置の作製方法の例を示す図。
【図23】本発明に係る半導体装置の一例を示すブロック図。
【図24】本発明に係る半導体装置の一例を示す斜視図。
【図25】本発明に係る半導体装置の使用形態の例を示す図。
【図26】本発明に係る半導体装置の一例を示す上面図及び断面図。
【図27】本発明に係る半導体装置に適用できるアンテナを説明する図。
【図28】本発明に係る半導体装置の一例を示すブロック図及び使用形態の例を示す図。
【図29】本発明に係る半導体装置の作製方法の例を示す図。
【図30】本発明に係る半導体装置の主要な構成の例を示す図。

10

【符号の説明】

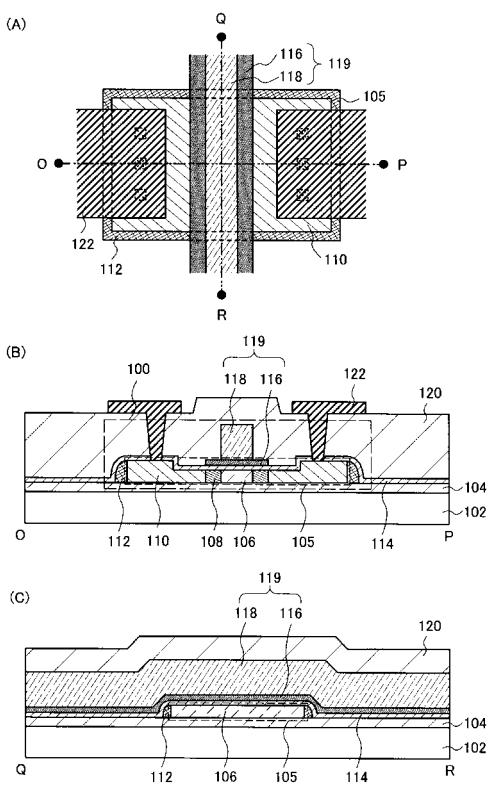
【0316】

100	薄膜トランジスタ
101	半導体層
102	基板
103	半導体層
104	絶縁層
105	半導体層
106	チャネル形成領域
107	低濃度不純物領域
108	低濃度不純物領域
110	高濃度不純物領域
112	側面絶縁層
114	絶縁層
116	導電層
118	導電層
119	ゲート電極
120	絶縁層
122	導電層
132	レジストマスク
150	薄膜トランジスタ
155	半導体層
160	高濃度不純物領域
162	側面絶縁層
164	レジストマスク

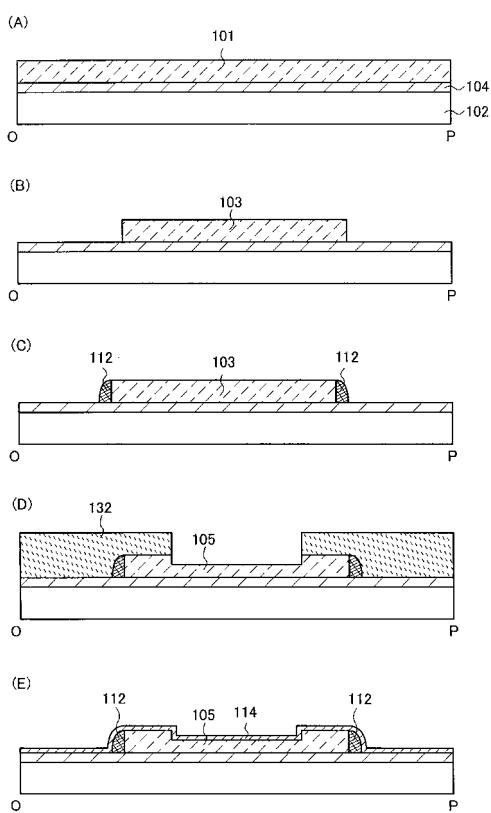
20

30

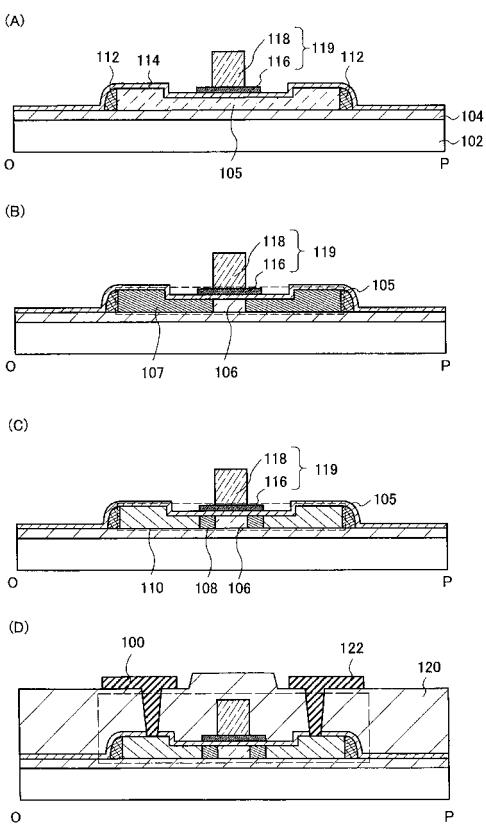
【図1】



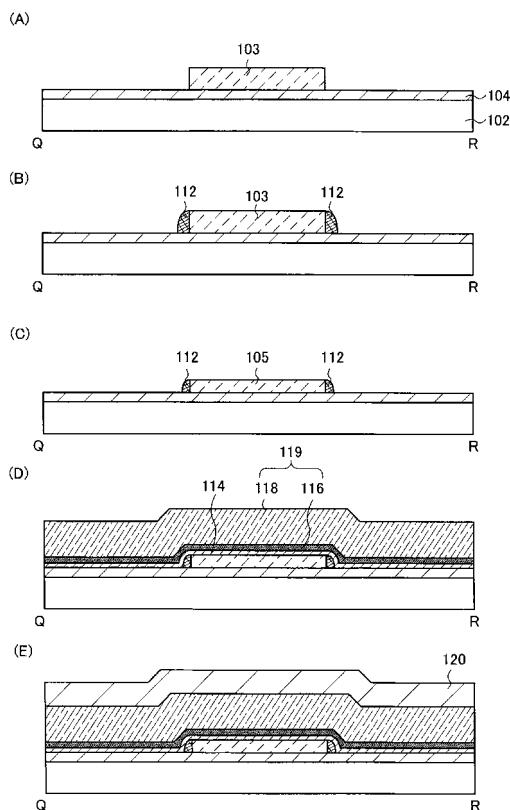
【図2】



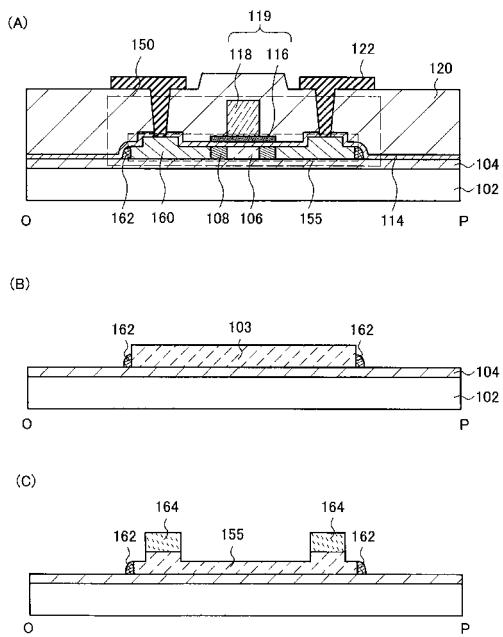
【図3】



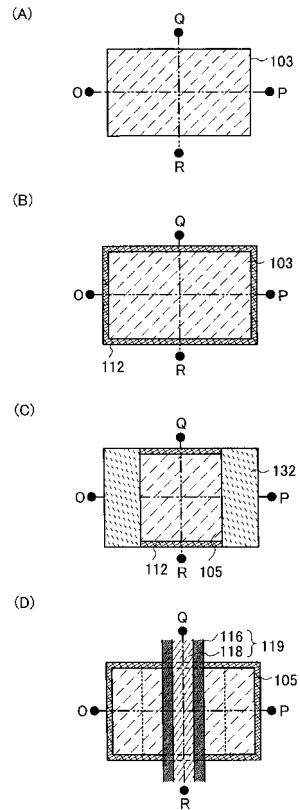
【図4】



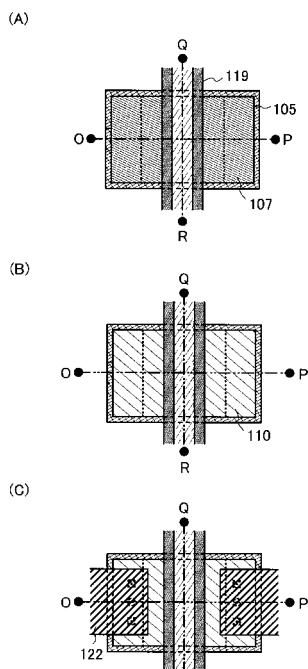
【図5】



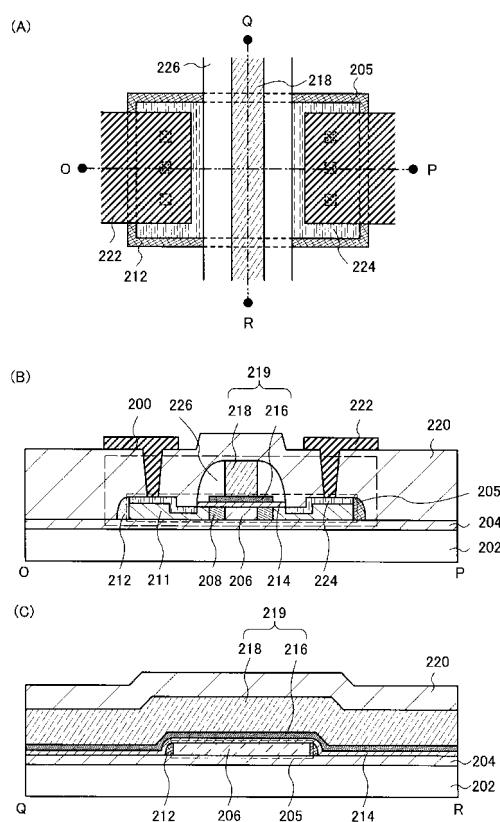
【図6】



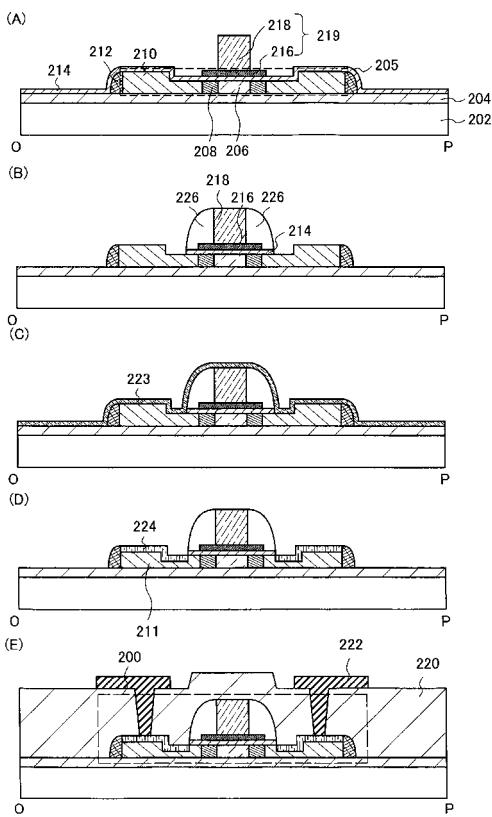
【図7】



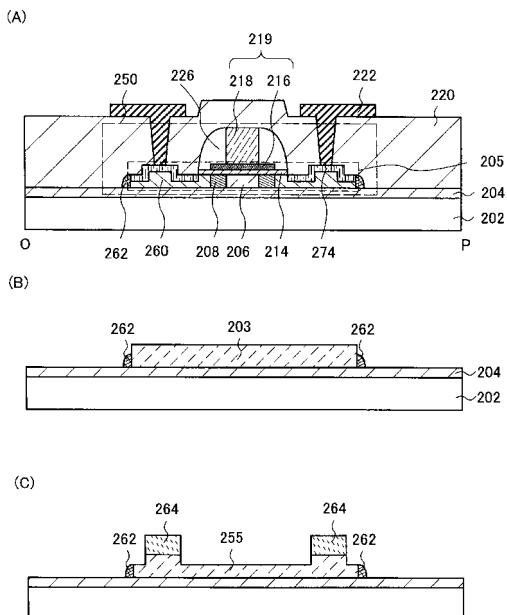
【図8】



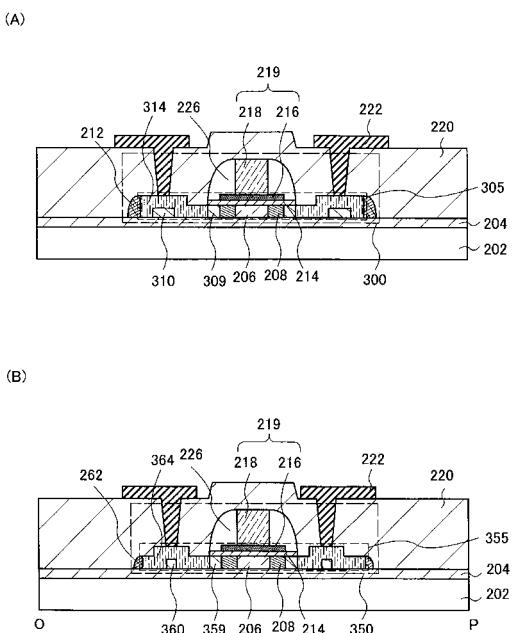
【図9】



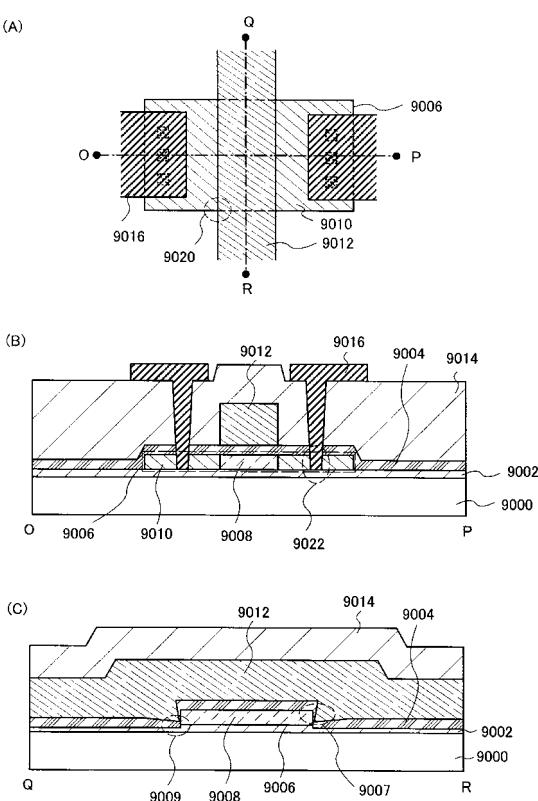
【図10】



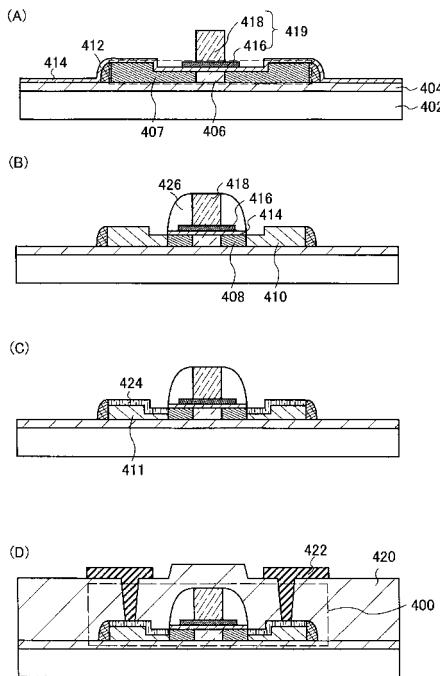
【図11】



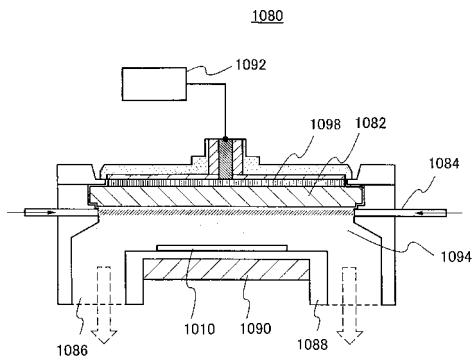
【図12】



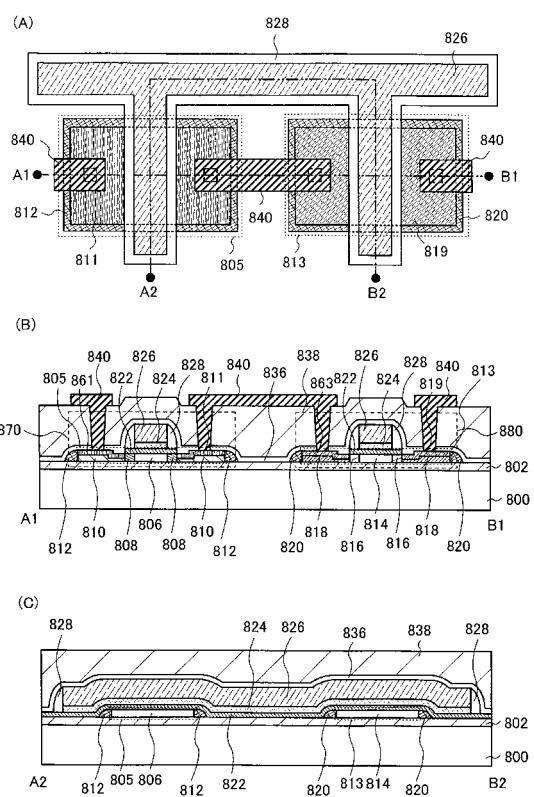
【図13】



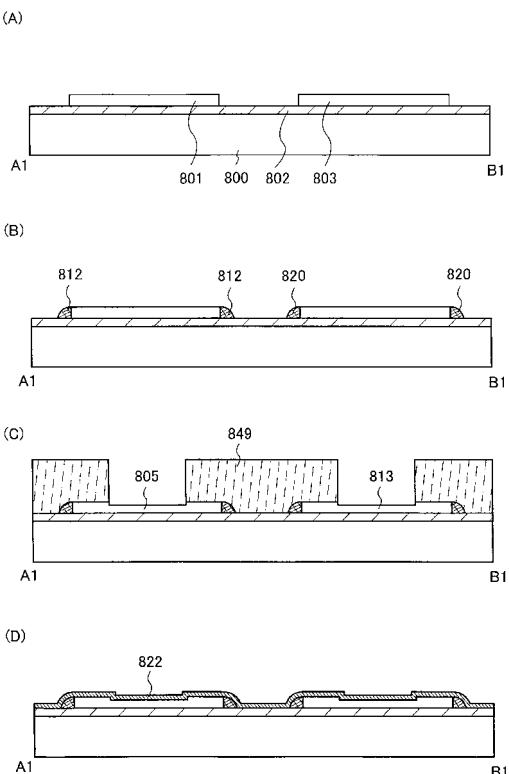
【図14】



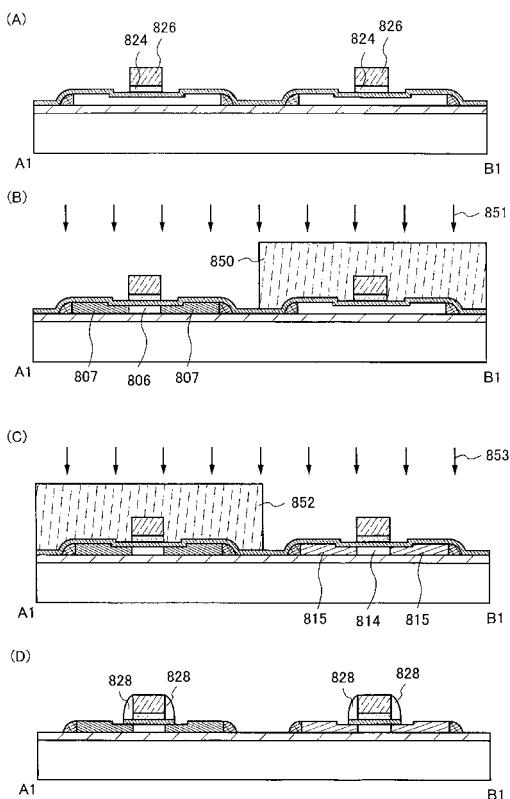
【図15】



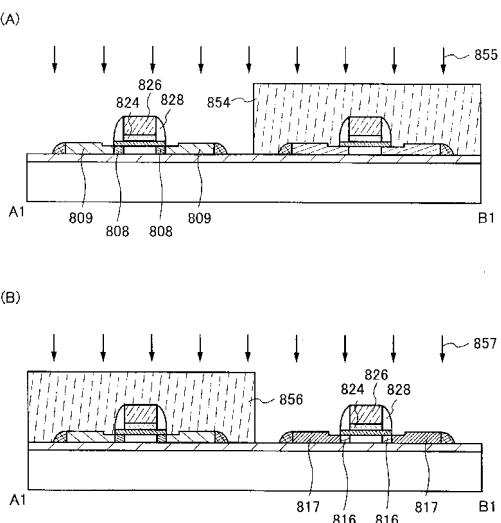
【図16】



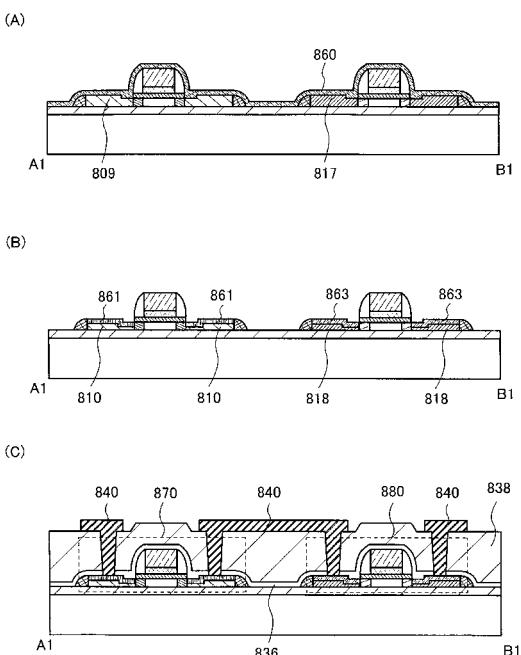
【図17】



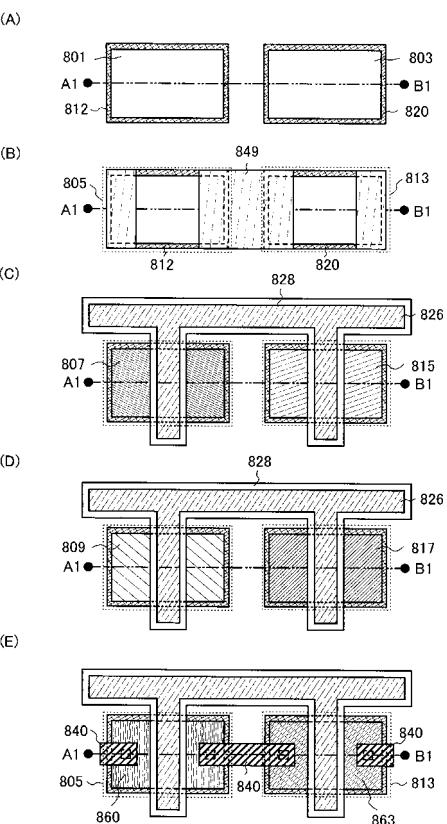
【図18】



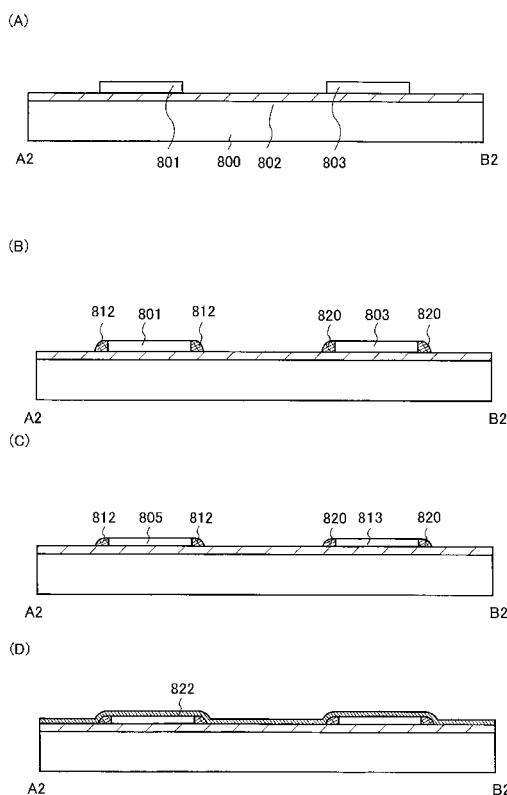
【図19】



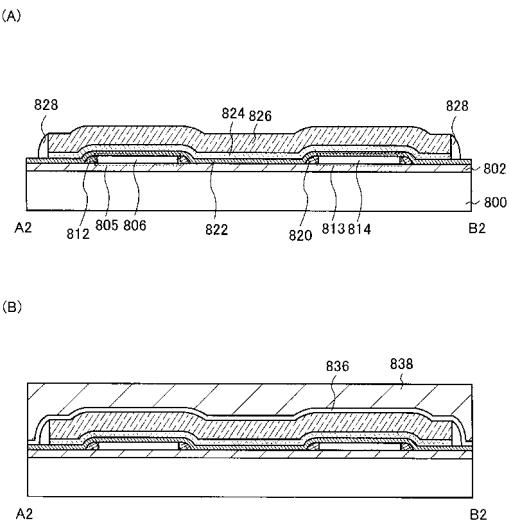
【図20】



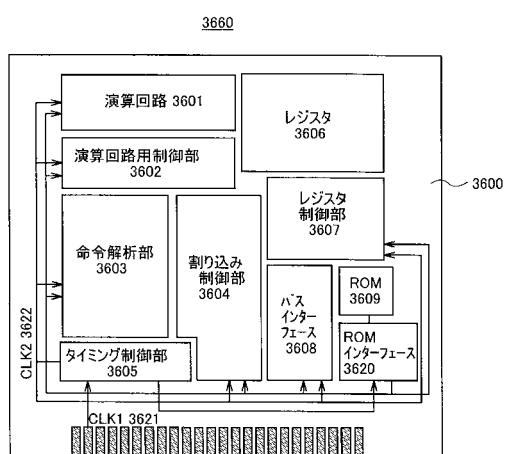
【図21】



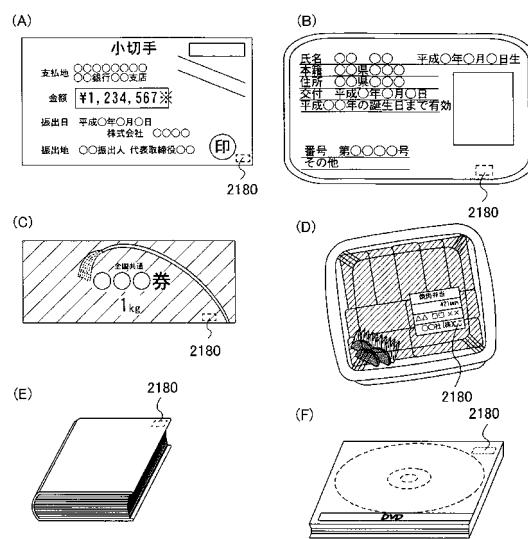
【図22】



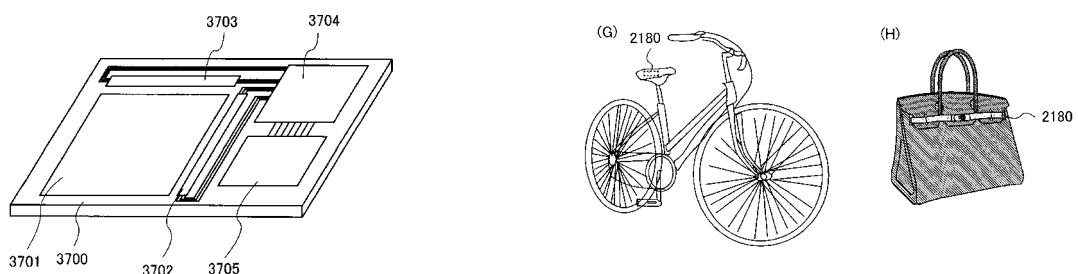
【図23】



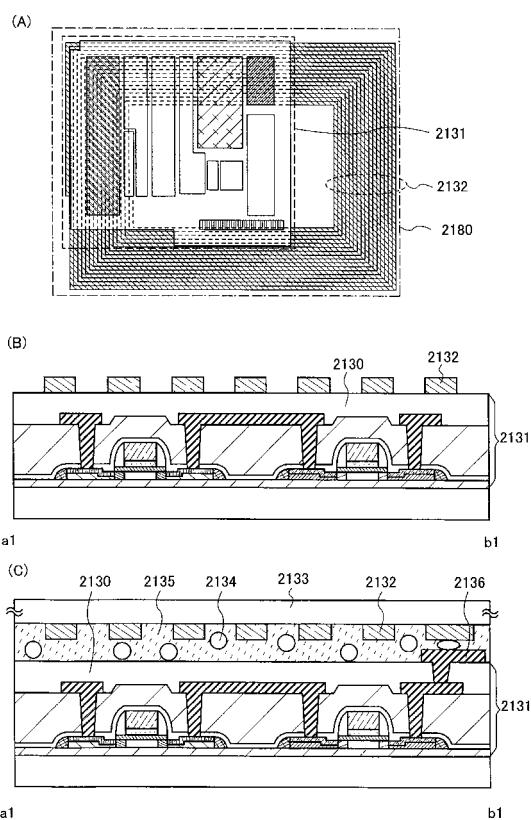
【図25】



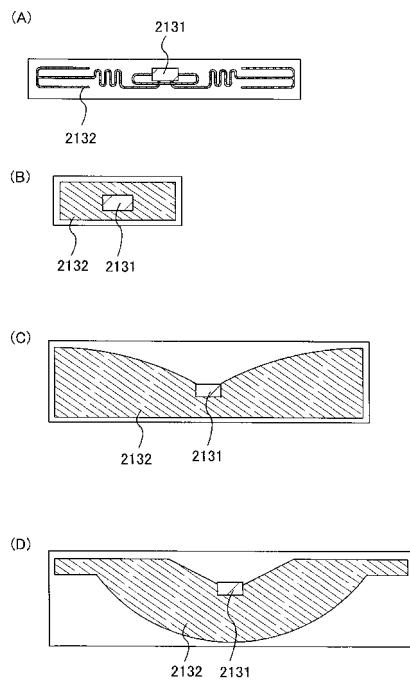
【図24】



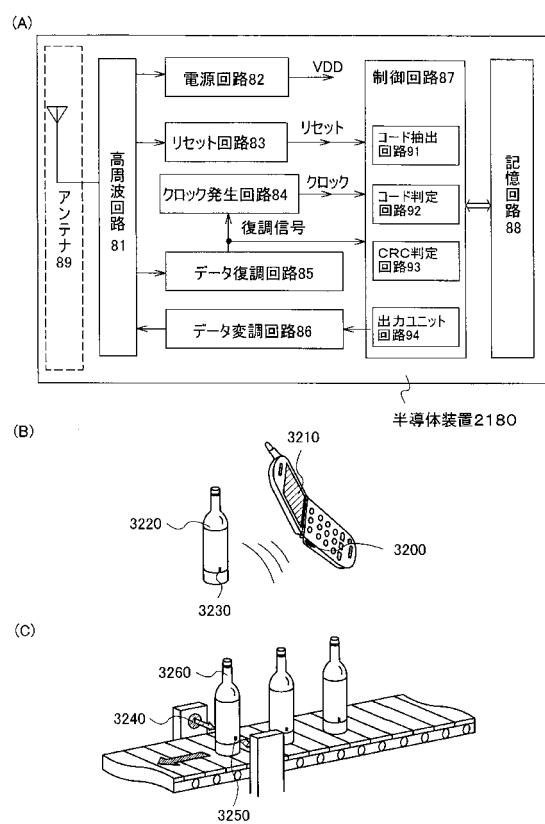
【図26】



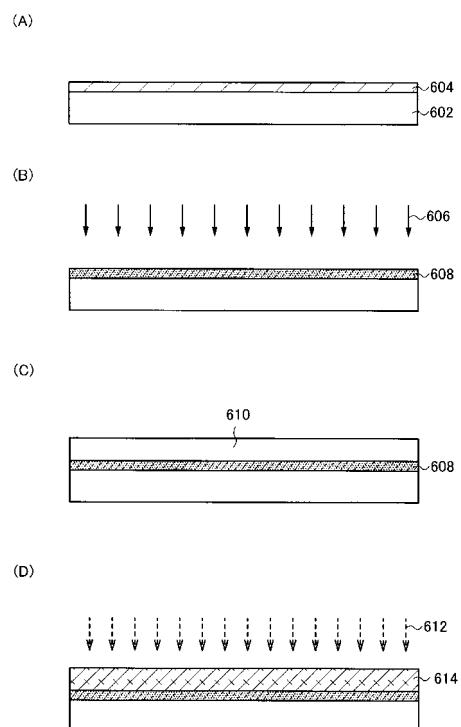
【図27】



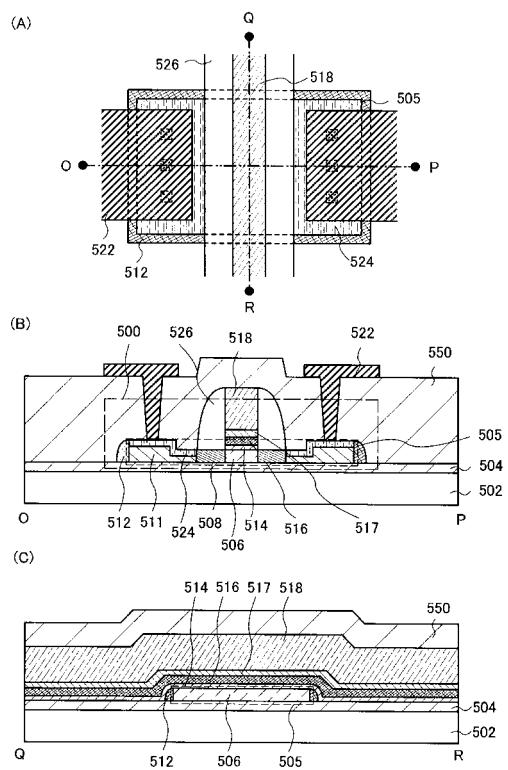
【図28】



【図29】



【図30】



フロントページの続き

(56)参考文献 特開平05-075114(JP,A)
特開2005-236202(JP,A)
特開平10-048610(JP,A)
特開平06-275832(JP,A)
特開平06-268224(JP,A)
特開2000-216391(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786