



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월19일
(11) 등록번호 10-1065049
(24) 등록일자 2011년09월07일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2006-7013878

(22) 출원일자(국제출원일자) 2004년12월21일

심사청구일자 2009년11월27일

(85) 번역문제출일자 2006년07월10일

(65) 공개번호 10-2006-0130098

(43) 공개일자 2006년12월18일

(86) 국제출원번호 PCT/US2004/043106

(87) 국제공개번호 WO 2005/071728

국제공개일자 2005년08월04일

(30) 우선권주장

10/755,763 2004년01월12일 미국(US)

(56) 선행기술조사문현

US06197641 B1

US06855583 B1

US20030201458 A1

전체 청구항 수 : 총 8 항

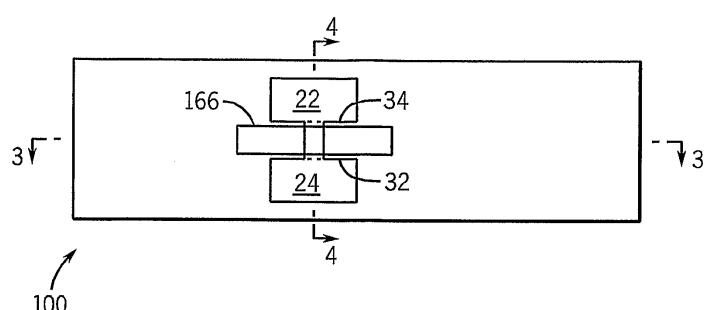
심사관 : 권순근

(54) 변형된 펀펫 채널 제조 방법

(57) 요 약

본 발명의 예시적 실시예는 FinFET 채널 구조 형성 방법에 관한 것이다. 상기 방법은 절연층(130) 위에 화합물 반도체층(140)을 제공하는 단계와, 상기 화합물 반도체층(140)에 트렌치(142)를 제공하는 단계와, 그리고 상기 화합물 반도체층(140) 위에, 상기 트렌치(142) 내에 변형된 반도체층(144)을 제공하는 단계를 포함할 수 있다. 또한, 상기 방법은 상기 화합물 반도체층(140) 위로부터 상기 변형된 반도체층(144)을 제거하여, 이에 따라 상기 트렌치(142) 내에 상기 변형된 반도체층(144)을 남겨놓는 단계 및 상기 화합물 반도체층(140)을 제거하여, 상기 변형된 반도체층(144)을 남겨놓아 펀-형상 채널 영역(152)을 형성하는 단계를 포함할 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

핀-형상 채널 영역(fin-shaped channel region)(152)을 형성하는 방법으로서,

절연층(130) 위에 변형 유도 반도체층(strain inducing semiconductor layer)(140)을 제공하는 단계와;

상기 변형 유도 반도체층(140)에 트렌치(trench)(142)를 제공하는 단계와;

상기 변형 유도 반도체층(140)으로부터의 에피택셜 성장에 의해, 상기 변형 유도 반도체층(140) 위에 그리고 상기 트렌치(142) 내에, 변형된 반도체층(strained semiconductor layer)(144)을 제공하는 단계와, 여기서, 상기 트렌치(142)는 상기 핀-형상 채널 영역(152)과 관련되며;

상기 변형 유도 반도체층(140) 위로부터 상기 변형된 반도체층(144)을 제거하여 상기 트렌치(142) 내에 상기 변형된 반도체층(144)을 남겨놓는 단계와; 그리고

상기 변형 유도 반도체층(140)을 제거하여, 상기 변형된 반도체층(144)을 남겨놓아 상기 핀-형상 채널 영역(152)을 형성하는 단계를 포함하는 것을 특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 2

제1항에 있어서,

상기 변형 유도 반도체층(140)을 제거하여, 상기 변형된 반도체층(144)을 남겨놓아 상기 핀-형상 채널 영역(152)을 형성하는 단계 이후에, 상기 핀-형상 채널 영역(152)의 측면의 측벽들에 인접하여 산화물 물질(160)을 제공하는 단계 및 상기 산화물 물질(160) 위에 게이트 도전체(166)를 제공하는 단계를 더 포함하는 것을 특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 3

제1항에 있어서,

상기 핀-형상 채널 영역(152)은 실리콘을 포함하며, 상기 변형 유도 반도체층(140)은 실리콘 게르마늄 층인 것을 특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 4

제1항에 있어서,

상기 변형 유도 반도체층(140)을 제거하는 것은, 마스크(134)를 이용하여, 상기 마스크(134)는 소스 영역(22)과 드레인 영역(24)을 위한 상기 변형 유도 반도체층(140)의 일부분을 보호하는 것을 특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 5

핀-형상 채널 영역(152)을 형성하는 방법으로서,

절연층(130) 위에 변형 유도 반도체층(140)을 제공하는 단계와;

상기 변형 유도 반도체층(140)에 트렌치(142)를 제공하는 단계와;

상기 변형 유도 반도체층(140)으로부터의 에피택셜 성장에 의해, 상기 변형 유도 반도체층(140) 위에 그리고 상기 트렌치(142) 내에, 변형된 반도체층(144)을 제공하는 단계와, 여기서, 상기 트렌치(142)는 상기 핀-형상 채널 영역(152)과 관련되며;

상기 변형 유도 반도체층(140) 위로부터 상기 변형된 반도체층(144)을 제거하여 상기 트렌치(142) 내에 상기 변형된 반도체층(144)을 남겨놓는 단계와;

상기 변형 유도 반도체층(140)을 제거하여 상기 변형된 반도체층(144)을 남겨놓는 단계와; 그리고

상기 변형된 반도체층(144)의 상부 및 측벽들을 따라 게이트 절연 구조(160)를 형성하는 단계를 포함하는 것을

특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 6

제1항에 있어서,

상기 변형된 반도체층(144)은 선택적 에피택시(selective epitaxy)에 의해 상기 변형 유도 반도체층(140) 위에 제공되는 것을 특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 7

제1항에 있어서,

상기 트렌치(142)의 폭은 20nm 내지 120nm인 것을 특징으로 하는 핀-형상 채널 영역 형성 방법.

청구항 8

집적 회로를 제조하는 방법으로서,

절연층(130) 위에 변형 유도 반도체층(140)을 제공하는 단계와;

상기 변형 유도 반도체층(140)에 트렌치(142)를 제공하는 단계와;

상기 변형 유도 반도체층(140)으로부터의 에피택셜 성장에 의해, 상기 변형 유도 반도체층(140) 위에 그리고 상기 트렌치(142) 내에, 변형된 반도체층(144)을 제공하는 단계와, 여기서, 상기 트렌치(142)는 상기 핀-형상 채널 영역(152)과 관련되며;

상기 변형 유도 반도체층(140) 위로부터 상기 변형된 반도체층(144)을 제거하여 상기 트렌치(142) 내에 상기 변형된 반도체층(144)을 남겨놓는 단계와;

상기 변형 유도 반도체층(140)을 제거하여, 상기 변형된 반도체층(144)을 남겨놓아 핀-형상 채널 영역(152)을 형성하는 단계와; 그리고

상기 핀-형상 채널 영역(152)에 대한 게이트 구조(166)를 제공하는 단계를 포함하는 것을 특징으로 하는 집적회로 제조 방법.

청구항 9

삭제

청구항 10

삭제

명세서

기술 분야

[0001]

본 발명은 일반적으로 집적회로(IC)들, 집적회로들의 제조방법들에 관한 것이다. 보다 구체적으로는, 본 발명은 핀-형상 채널 영역 또는 FinFET들을 구비한 트랜지스터들을 갖는 집적회로들의 제조 방법에 관한 것이다.

배경 기술

[0002]

초대규모 집적회로(ULSI)와 같은 집적회로들은 일백 만개 이상의 트랜지스터들을 포함할 수 있다. ULSI 회로는 상보적인 금속 산화물 반도체(CMOS) 전계 효과 트랜지스터들(FET들)을 포함할 수 있다. 이러한 트랜지스터들은 채널 영역 위에서, 소스와 드레인 영역들 사이에 배치된 반도체 게이트들을 포함할 수 있다. 소스 및 드레인 영역들은 전형적으로 P-타입 도편트(예를 들어, 봉소) 또는 N-타입 도편트(예를 들어, 인)로, 고농도로 도핑된다.

[0003]

트랜지스터들이 소형화됨에 따라, 채널 영역에서 전하 캐리어 이동도를 증가시키는 것이 바람직하게 되었다. 전하 캐리어 이동도의 증가는 트랜지스터의 스위칭 속도를 증가시킨다. 전하 캐리어 이동도를 증가시키기 위해, 실리콘과는 다른 물질들로부터 형성된 채널 영역들이 제안되었다. 예를 들어, 전형적으로 폴리실리콘 채널 영역들을 이용하는 종래 박막 트랜지스터들은 유리(예를 들어, SiO_2) 기판 위의 실리콘 게르마늄(Si-Ge) 에피택셜

층상에서 형성되었다. Si-Ge 에피택셜 층은 펠스 레이저빔들의 조사를 이용하여 비결정질 실리콘 수소화물(a-Si:H), 비결정질 게르마늄 수소화물(a-Ge:H) 등과 같은 반도체 박막을 용융 및 결정화시키는 기법에 의해 형성될 수 있다.

[0004] 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)와 같은 벌크 타입 디바이스에서, Si-Ge 물질들이 전하 캐리어 이동도, 특히 홀(hole)-타입 캐리어들의 이동도를 증가시키는데에 사용될 수 있다. 게르마늄을 포함하는 실리콘 채널과 같은 인장 변형(tensile strained) 실리콘 채널 영역은 게르마늄-함유 물질에서 홀들의 질량 감소 및 캐리어 산란의 감소 때문에 종래 Si 채널 영역보다 2 내지 5배 더 큰 캐리어 이동도를 가질 수 있다. 벌크-타입 디바이스들에 대하여 종래 Si-Ge 형성 기법들에 따르면, 도펀트 주입 분자선 에피택시(MBE) 기법이 Si-Ge 에피택셜 층을 형성한다. 그러나, MBE 기법은 매우 복잡하고 값비싼 장비를 요구하며, IC들의 대량생산에서는 실시가능하지 않다.

[0005] 수직 이중 게이트 실리콘-온-인슐레이터(SOI) 트랜지스터들 또는 FinFET들과 같은 이중 게이트 트랜지스터들은 높은 구동 전류 및 단채널 효과들에 대한 높은 내성과 관련하여 큰 이점들을 갖는다. 후양(Huang) 등에 의해 저술된 논문(제목: "Sub-50 nm FinFET: PMOS" (1999 IEDM))은 활성층이 양쪽 측면을 따라 게이트에 의해 포위되는 실리콘 트랜지스터를 개시한다. 그러나, 이중 게이트 구조들은 종래 IC 제조 툴들 및 기법들을 사용하여 제조하기가 어려울 수 있다. 더욱이, 실리콘 펈과 관련된 토폴로지(topology) 때문에, 패턴화가 어려워질 수 있다. 작은 임계 치수들에서, 패턴화가 불가능할 수 있다.

[0006] 예로써, 펈 구조가 실리콘 이산화물층 위에 위치됨으로써 SOI 구조를 달성할 수 있다. 종래의 FinFET SOI 디바이스들은 반도체 기판 구조를 사용하여 형성되는 디바이스들에 대한 다수의 이점들(디바이스들 간의 양호한 고립, 누설 전류 감소, CMOS 요소들 간의 래치업(latch-up) 감소, 칩 커페시턴스 감소, 및 소스와 드레인 영역들 간의 단채널 결합의 감소 또는 제거를 포함함)을 가진 것으로 발견되었다. 종래 FinFET SOI 디바이스들이 SOI 구조 때문에 벌크 반도체 기판상에 형성된 MOSFET들에 대한 이점들을 제공하지만, 캐리어 이동도와 같은 FinFET의 일부 기본적인 특성들은 다른 MOSFET들의 기본적인 특성들과 동일한데, 이는 FinFET의 소스, 드레인, 및 채널 영역들이 전형적으로 종래 벌크 MOSFET 반도체 물질들(예를 들어, 실리콘)로부터 만들어지기 때문이다.

[0007] FinFET SOI 디바이스들의 펈 구조는 포토레지스트 층, 바닥부 반사방지 코팅(BARC) 층, 및 폴리실리콘 층을 포함하는 여러 서로다른 층들 아래에 위치될 수 있다. 이러한 구성에서 다양한 문제들이 존재할 수 있다. 포토레지스트 층은 펈 구조 위에서 더 얇아질 수 있다. 대조적으로, 폴리실리콘 층은 펈 구조의 모서리(edge)에서 매우 두꺼워질 수 있다. BARC는 펈 구조의 모서리에서 매우 두꺼워질 수 있다. 이러한 구성은 BARC 층 및 폴리실리콘 층에 대한 큰 과잉-식각(over-etch) 요건들을 야기한다. 이러한 요건들은 트랜지스터 크기를 증가시킨다.

[0008] FinFET 구조들을 제조하는 때에, 높은 종횡비의 펈 채널 구조를 갖는 것이 바람직하다. 펈 채널 구조에 대한 높은 종횡비는 많은 양의 전류가 동일한 양의 토포그래피 영역을 통해 제공되도록 한다. 따라서, 높은 종횡비 FinFET들의 제조는 큰 규모의 제조에서는 실시가능하지 않다.

[0009] 따라서, 높은 채널 이동도, 단채널 효과들에 대한 높은 내성, 및 높은 구동 전류를 갖는 채널 영역들을 포함하는 집적회로 또는 전자 디바이스가 필요하게 되었다. 더욱이, 작은 임계 치수들을 갖는 FinFET 디바이스들을 패턴화하는 방법이 필요하다. FinFET 디바이스들에 대한 변형된 실리콘 펈-형상의 채널들을 제조하는 방법이 필요하다. 또한 더욱이, 높은 종횡비 FinFET 디바이스가 필요하다. 더욱이, 높은 종횡비 펈 구조를 제조하는 효율적인 방법이 필요하다. 또한 더욱이, 변형된 반도체 펈-형상의 채널 영역을 갖는 FinFET 디바이스가 필요하다. 또한, 변형된 반도체 펈-형상 채널을 갖는 FinFET 디바이스를 제조하는 공정이 필요하다.

발명의 상세한 설명

[0010] 예시적인 실시예가 펈-형상 채널 영역을 형성하는 방법과 관련된다. 상기 방법은 절연층 위에 화합물 반도체층을 제공하는 단계와 상기 화합물 반도체층에 트렌치를 제공하는 단계를 포함한다. 상기 방법은 또한 상기 화합물 반도체층 위에, 그리고 상기 트렌치 내에, 변형된 반도체층을 제공하는 단계를 포함한다. 상기 트렌치는 상기 펈-형상 채널 영역과 관련된다. 상기 방법은 상기 화합물 반도체층 위로부터 상기 변형된 반도체층을 제거하는 단계와 상기 화합물 반도체층을 제거하여, 상기 변형된 반도체층을 남겨놓아 상기 펈-형상 채널 영역을 형성하는 단계를 포함한다. 상기 변형된 반도체층을 제거하는 때에, 상기 트렌치 내의 변형된 반도체층은 남겨진다.

[0011] 다른 예시적 실시예가 FinFET 채널 구조 형성 방법과 관련된다. 상기 방법은 기판 위의 절연층 위에 제 1층을 제공하는 단계와 상기 제 1층에 개구를 제공하는 단계를 포함한다. 상기 제 1층은 실리콘과 게르마늄을 포함하며, 상기 개구는 상기 절연층으로 연장한다. 상기 방법은 또한 상기 개구 내에 변형된 물질을 제공하는 단계와

상기 제 1층을 제거하여 상기 변형된 물질을 남겨놓는 단계를 포함한다.

[0012] 또 다른 예시적 실시예가 펈-기반 트랜지스터를 포함하는 집적회로 제조 방법과 관련된다. 상기 방법은 절연 물질을 제공하는 단계와, 상기 절연 물질 위에 변형 유도층을 제공하는 단계와, 그리고 상기 변형 유도층에 개구를 제공하는 단계를 포함한다. 상기 방법은 선택적 에피택셜 성장에 의해 상기 개구에 변형된 물질을 형성하는 단계와, 상기 변형 유도층의 적어도 일부를 제거함으로써 상기 변형된 물질을 펈 구조로서 남겨놓는 단계와, 그리고 상기 펈 구조에 게이트 구조를 제공하는 단계를 더 포함한다.

[0013] 이하에서, 예시적 실시예들은 동일 번호가 동일 요소를 나타내는 첨부 도면들을 참조하여 설명될 것이다.

실시예

[0031] 도 1은 펈-기반 트랜지스터 또는 펈 전계 효과 트랜지스터(FinFET)를 패턴화하는 방법 또는 공정(10)에서 예시적인 동작들의 흐름도이다. 이 흐름도는 예로써 수행될 수 있는 여러 동작들을 예시한다. 추가의 동작들, 보다 적은 동작들, 동작들의 조합이 다양한 다른 실시예들에서 이용될 수 있다. 흐름도(110)(도 12)는 식각 동안에 소스 및 드레인 위치들을 보호하는데에 마스킹 단계가 사용되는 대안적인 실시예를 예시한다. 흐름도(도 15)는 펈 구조의 종횡비를 증가시키는데에 스페이서가 이용되는 다른 대안적인 실시예를 예시한다.

[0032] 도 1에서, 절연층 위에서 화합물 반도체층을 포함하는 웨이퍼가 단계(15)에서 제공된다. 웨이퍼는 SIMOX(실리콘에 산소 주입, 및 어닐링 또는 웨이퍼 본딩)을 사용하여 제조되거나 구입될 수 있다. 단계(25)에서, 화합물 반도체층은 패턴화되어 채널 트렌치를 형성한다. 단계(45)에서, 화합물 반도체층 위에, 그리고 트렌치에 반도체층이 형성된다. 바람직하게, 화합물 반도체층에서의 트렌치는 절연층의 상부 표면에 도달하는 바닥부를 갖는다.

[0033] 공정(10)의 단계(55)에서, 화합물 반도체층 위의 반도체층은 평탄화되며, 이에 따라 화합물 반도체층의 상부 표면으로부터 반도체층을 제거함과 아울러 트렌치 내의 반도체층을 남겨놓게 된다. 단계(65)에서, 화합물 반도체층이 제거됨으로써, 절연층 위의 펈-형상 채널 구조 또는 영역을 남겨놓는다. 단계(75)에서, 펈-기반 트랜지스터를 완성하기 위해 게이트 구조가 제공된다.

[0034] 도 2 내지 4를 참조하면, 펈-기반 트랜지스터 또는 FinFET을 포함하는 집적회로(100)의 일부를 형성하는데에 공정(10)이 이용된다. 도 2 내지 11, 13, 14 및 16 내지 17은 스케일에 맞게 도시되지 않았다. 도 3 및 4는 펈-형상 채널 영역(152)과 관련된 높은 종횡비를 보여준다. 그러나, 나머지 도면들은 도면 효율성을 위해 높은 종횡비에 초점을 맞추어 도시되지 않는다. 도 1 내지 10은 개략적으로 도시되었으며, 이들은 비례적인 공학 도면들이 아니다. 도 2에서, 펈-형상 채널 영역(152)의 대향 측면 상에서 소스 영역(22)과 드레인 영역(24)에 대한 평면도가 도시된다. 채널 영역(152)과 채널 영역(152)의 3개의 측면 상에서 제공되는 게이트 절연층(160) 위에서, 게이트 도전체(166)가 제공된다. 도 3에서 도시된 바와같이, 게이트 도전체(166)는 U자-형상 단면을 가지며, 펈-형상 채널 영역(152)의 3개의 측면들을 포위할 수 있다. 게이트 도전체(166)는 금속층이 되거나 폴리실리콘 층(예를 들어, 도핑된 폴리실리콘층)이 될 수 있다. 대안적으로, 도전체(166)는 단지 채널 영역(152)의 측면들(163)에만 인접하여 제공될 수 있다.

[0035] 절연층(160)은 게이트 구조에서 사용하기 위한 임의의 적합한 물질로 될 수 있다. 절연층(160)은 U자-형상 단면을 가지며, 도전체(166) 아래에 있을 수 있다. 일 실시예에서, 절연층(160)은 열적 성장된 실리콘 이산화물이다. 다른 실시예에서, 절연층(160)은 하이-K 게이트 절연층, 실리콘 질화물층, 또는 다른 절연체이다. 층들(160) 및 게이트 도전체(166)는 펈-형상 채널 영역(152)의 측면들(163)과 상부 표면(167)상에서 게이트 구조를 형성한다. 채널 영역(152)은 실리콘 게르마늄 층과 같은 화합물 반도체층으로부터 공급된 에피택셜 성장을 통하여 인장 변형(tensile strain)을 받게 될 수 있다.

[0036] 도 4에서, 소스 영역(22) 및 드레인 영역(24)이 모든 측면들을 따라 절연층(160)에 의해 커버된다. 다른 실시예에서, 층(160)은 단지 채널 영역(152)만을 커버하며, 단지 게이트 도전체(166) 아래에서 제공된다. 도 2에서 도시된 바와같이, 게이트 도전체(166)는 소스 및 드레인 영역들(22 및 24)을 오버랩하지 않는다. 그러나, 게이트 도전체(166)는 경계들(32 및 34)에서 제공될 수 있으며, 적절한 고립이 제공되는 경우에는 심지어 경계들(32 및 34)을 오버랩할 수 있다.

[0037] 대안적으로, 펈-형상 채널 영역(152)은 비교적 높은 종횡비를 갖는다. 바람직하게, 영역(152)은 대략 20nm 내지 120nm의 높이(예를 들어, 두께)와 대략 5nm 내지 20nm의 폭을 갖는다. 펈 폭은 최소 전이 게이트 길이(게이트 길이의 1/3 내지 1/2)에 의해 결정된다. 일 실시예에서, 종횡비는 대략 4 내지 6이다. 영역(152)과 관련된 높은 종횡비들은 비교적 작은 영역을 통한 고전류 트랜지스터를 제공한다.

- [0038] 바람직하게, 핀-형상 채널 영역(152)은 공정(10), 공정(110) 또는 공정(210)에 따라 제조된 인장-변형 실리콘 물질이다. 도전체(166)는 대략 500Å 내지 100Å의 두께를 가질 수 있으며, 게이트 절연층(160)은 대략 10Å 내지 50Å의 두께를 가질 수 있다. 도 2 내지 4에서 도시되었지만, 채널 영역(152)은 다양한 서로 다른 타입들의 게이트 구조들에서 이용될 수 있다. 게이트 도전체들(166)과 게이트 절연층(160)은 제한적인 방식으로 도시되지 않는다.
- [0039] 바람직하게, 소스 영역(22) 단에서부터 드레인 영역(24) 단까지(도 2의 상부에서 바닥부까지)의 길이는 대략 0.5 내지 1 미크론(micron)이며, 소스와 드레인 영역들(24)의(도 2의 채널 영역(152)의 좌측에서 우측으로의) 폭이 대략 0.2 내지 0.4 미크론이다. 소스 영역(22) 및 드레인 영역(24)은 인장 변형 실리콘 물질, 단일 결정성 물질, 또는 화합물 반도체 물질을 포함한다. 일 실시예에서, 영역들(22 및 24)은 영역(152)과 동일 물질로 이루어진다. 일 실시예에서, 영역들(22 및 24)은 바람직하게 입방 센티미터당 10^{14} 내지 10^{20} 농도의 N-타입 또는 P-타입 도편트들로 도핑된다.
- [0040] 핀-형상 채널 영역(152)이 절연층(130) 위에 제공된다. 절연층(130)은 바람직하게 실리콘 이산화물층과 같은 매립 산화물층이 된다. 일 실시예에서, 층(130)은 대략 2000-2000Å의 두께를 갖는다. 층(130)은 임의 타입의 기판 위에 제공되거나 기판 자체가 될 수 있다.
- [0041] 일 실시예에서, 절연층(130)은 실리콘 베이스 층과 같은 반도체 베이스층(150) 위에 제공된다. 층들(130 및 150)은 실리콘 또는 반도체-온-인슐레이터(SOI) 기판을 포함할 수 있다. 대안적으로, 핀-형상 채널 영역(152)은 다른 타입들의 기판들 및 층들 위에 제공될 수 있다. 그러나, 바람직한 실시예는 실리콘 기판 위의 매립 산화물 층(BOX)과 같은 절연층 위에서 채널 영역(152)을 제공한다.
- [0042] 영역들(22 및 24)과 관련된 트랜지스터는 드레인 영역(22)과 소스 영역(24)을 대해 넓은 패드 영역들을 갖는 바벨(barbell) 형상을 가질 수 있다. 대안적으로, 트랜지스터는 단순히 바(bar) 형상이 될 수 있다. 도 2에서 도시된 방위(orientation)는 제한적인 방식으로 개시되지 않는다.
- [0043] 도 5에서, 층들(150 및 130)을 포함하는 기판이 제공된다. 도 5 내지 11에서, 다양한 층들 및 구조들은 스케일에 맞게 도시되지 않았으며, 도 3 및 4와 관련된 큰 높이를 포함하지 않는다. 도 6에서, 공정(10)(도 1)의 단계(15)에 따라 층(130) 위에 층(140)이 제공된다. 일 실시예에서, 층(140)은 화학 기상 증착(CVD)에 의해 절연층(130) 위에 증착될 수 있다. 대안적으로, 층들(130, 140 및 150)은 층(140)이 실리콘 게르마늄을 포함하는 SOI 기판으로서 제공될 수 있다.
- [0044] 바람직하게, 층(140)은 실리콘 게르마늄층과 같은 화합물 반도체층 또는 변형-유도 반도체층이다. 층(140)은 바람직하게 $\text{Si}_{1-x}\text{Ge}_x$ 조성이 되는데, 여기서 X는 대략 0.2이며, 보다 일반적으로는 0.1 내지 0.3 범위이다. 층들(140, 130 및 150)을 생성하는데에 다양한 방법들이 이용될 수 있다. 층(140)은 바람직하게 20nm 내지 120nm 두께 층으로서 제공되며, 후속적으로 형성되는 영역(152)에서 변형을 유도한다.
- [0045] 도 7에서, 공정(10)(도 1)의 단계(25)에 따라 층(140)에 개구 또는 트렌치(142)가 제공된다. 바람직하게, 트렌치(142)는 층(130)의 상부 표면(143)과 동일 평면의 바닥부를 갖는다. 대안적으로, 트렌치(142)의 바닥부는 층(130) 이전에서 종결될 수 있다. 핀-기반 트랜지스터에 대한 설계 기준 및 시스템 파라메터들에 따라, 트렌치(142)에 대한 다양한 치수들이 이용될 수 있다.
- [0046] 일 실시예에서, 트렌치(142)는 20 내지 120nm의 높이와 대략 5 내지 20nm의 폭을 갖는다. 트렌치(142)는 일반적으로 핀-형상 채널 영역(152)의 치수들과 관련된다. 더욱이, 트렌치(142)는 (도 7과 관련하여 페이지(page) 내부 및 외부로) 대략 1.0 미크론 내지 1.5 미크론, 및 1 미크론의 길이를 가질 수 있다.
- [0047] 일 실시예에서, 트렌치(142)는 포토리소그래피 공정으로 형성된다. 이러한 공정에서, 층(140) 위의 층 또는 층들을 패턴화하는데에 반사방지 코팅들, 하드 마스크들, 및 포토레지스트 물질들이 이용된다. 패턴화된 층 또는 층들은 층(140)을 선택적으로 식각하여 트렌치(142)를 생성하는데에 사용된다.
- [0048] 도 8에서, 공정(10)(도 1)의 단계(45)에서 층(140) 위에 층(144)이 형성된다. 바람직하게, 층(144)은 트렌치(142) 전체를 충전시킨다. 층(144)은 성장 공정에 의해 형성된 40nm 내지 240nm 두께의 층이다. 일 바람직한 실시예에서, 층(144)은 (CVD 또는 MBE를 사용하여) 실란(silane), 디실란(disilane), 및/또는 디클로로실란(dichlorosilane)을 사용한 선택적 실리콘 에피택셜 성장에 의해 형성된다.
- [0049] 층(144)은 층(140)의 화합물 반도체층(실리콘 게르마늄 특성) 때문에 변형된 층이다. 트렌치(142) 측벽들은 층

(144)의 결정성 성장을 위한 시드(seed)로서 역할을 한다. 층(140)과 관련된 실리콘 게르마늄 격자는 층(144)에서 더욱 넓게 이격된 침입형(interstitial) 실리콘 격자를 발생시킴으로써, 층(144)에서 인장 변형을 생성시킨다. 결과적으로, 층(144)과 관련된 에피택셜 실리콘은 인장 변형(tensile strain)을 받게 된다.

[0050] 층(144)에 인장 변형을 가함으로써, 실리콘 격자와 관련된 6개의 실리콘 가전자대들 중 4개의 에너지는 증가하게 되고, 2개의 에너지는 감소하게 된다. 양자 효과(quantum effect)의 결과로서, 전자들은 층(144)의 변형된 실리콘의 낮은 에너지 대역들을 통과하는 때에 실질적으로 대략 30% 적은 무게가 된다. 결과적으로, 층(144)에서의 캐리어 이동도는 크게 증가하여, 이에 따라 80% 이상의 전자 및 20% 이상의 홀의 잠재적 이동도를 증가시킨다. 이동도 증가는 1.5 메가볼트/센티미터까지의 전계에 대해 지속되는 것으로 발견되었다. 이러한 인자들은 추가적인 크기 감소 없이 35%의 디바이스 속도 증가, 또는 성능 감소 없이 25%의 전력 소모 감소를 가능하게 할 것이다.

[0051] 도 9에서, 층(144)은 공정(10)(도 1)의 단계(55)에서의 제거 단계를 받게 된다. 일 실시예에서, 층(130)의 바로 위로부터 층(144) 모두를 제거하는데에 화학 기계적 연마가 이용될 수 있다. CMP 동작 특성은 층(144)이 개구 또는 트렌치(142)에 남겨져서 채널 영역(152)을 형성하게 한다. 대안적으로, 층(144)을 제거하는데에 식각 공정이 이용될 수 있다.

[0052] 바람직하게, CMP 공정은, 층(144)이 트렌치(142)의 바닥에서 상부 표면(153)까지 대략 20nm 내지 120nm의 높이를 갖도록 정지된다.

[0053] 도 10에서, 층(140)은 공정(10)(도 1)의 단계(164)에 따라 제거된다. 바람직하게, 층(140)은 층(140) 물질에 대해 선택적인 건식 식각 기법으로 제거된다. 일 실시예에서, 건식 식각 기법은 실리콘 대 실리콘 게르마늄에 대해 선택적이다. 층(140)은 습식 식각 또는 등방성 식각에 의해 제거될 수 있다. 식각 기법은 층(144)에 대하여 선택적이지 않는데, 이에 따라 펈-형상 채널 영역(152)을 남겨놓는다. 대안적으로, 식각 기법들은 층(140)을 제거하는데에 이용될 수 있다.

[0054] 도 11에서, 공정(10)(도 1)의 단계(175)에 따라 게이트 절연층(160)이 형성된다. 층(160)은 채널 영역(152)의 3개의 노출 표면들 상에 대략 10 내지 50Å의 두께로 열적 성장되거나 증착될 수 있다. 도 3 및 4에서, 게이트 구조를 완료하는데에 층(165)이 제공된다. 층(165)은 CVD에 의해 증착된 500 내지 1000Å 두께의 폴리실리콘 층이 될 수 있다.

[0055] 도 12를 참조하면, 공정(110)은 공정(10)과 유사한데, 여기서 마지막 2 숫자들은 공정(10)과 동일하다. 하지만, 공정(110)은 소스/드레인 마스크에 따라 화합물 층(140)을 제거하는 단계(165)를 포함한다. 단계(165)는 공정(도 1)의 단계(65)에서 수행될 수 있다.

[0056] 도 13 및 14를 참조하면, 공정(110)의 단계(165)에서, 마스크(134)가 단계(165) 동안 소스 및 드레인 영역들(22 및 24)을 보호한다. 일 실시예에서, 소스 영역(22) 및 드레인 영역(24)은 층(140)으로부터 제조되며, 이에 따라 채널 영역(152)상에 인장 응력을 유지하기 위한 실리콘 게르마늄 물질을 제공한다. 이러한 방식으로, 마스크(134)는 층(140)이 종점들(핀-형상 트랜지스터의 영역들(22 및 24))에서 제거되는 것을 방지한다. 대안적으로, 영역들(22 및 24)은 마스크(134)에 의해 보호되는 층(144)과 관련된 물질이 될 수 있다. 마스크(134)는 포토리소그래피 마스크, 하드 마스크, 또는 다른 적합한 물질이 될 수 있다. 일 실시예에서, 마스크(134)는 실리콘 이산화물 또는 실리콘 질화물 물질이 된다.

[0057] 도 14에서, 다양한 층들 및 구조들은 스케일에 맞게 도시되지 않았으며, 도 3 및 4와 관련된 큰 높이를 포함하지 않는다. 게다가, 바벨 형상보다는 바 형상의 트랜지스터가 도 13 및 14에서 도시된다.

[0058] 도 15를 참조하면, 공정(210)은 공정(10) 및 공정(110)과 유사한데, 여기서 마지막 2 숫자들은 공정(10) 및 공정(110)과 동일하다. 그러나, 공정(210)은 단계(227)를 포함하는데, 여기서, 단계(225)에서 변형된 물질 내에서 스페이서 물질이 성장하여 트렌치 폭을 좁히게 된다. 이러한 단계는 펈-형상 채널 영역(152)에 대한 높은 종횡비를 구축시킨다. 단계(227)는 공정(10 및 110)의 단계(25) 및 단계(125) 이후에, 단계(45) 및 단계(145) 이전에 각각 수행될 수 있다.

[0059] 스페이서 물질은 화합물 반도체층이 되거나, 층(140)에서 사용된 물질과 동일 물질로 될 수 있다. 스페이서 물질은 선택적으로 트렌치(142) 내에서 또는 트렌치(142) 내에서뿐만 아니라 층(140)의 상부 표면에 걸쳐서 성장될 수 있으며, 이후에 선택적으로 제거될 수 있다.

[0060] 도 16 및 17을 참조하면, 공정(210)의 단계(227)가 하기에서 설명된다. 도 16 및 17은 스케일에 맞게 도시되지

않았으며, 도 3 및 4와 관련된 큰 높이를 포함하지 않는다. 본 실시예에서, 단계(227)는 층(140)과 동일한 게르마늄 비율을 갖는 실리콘 게르마늄과 같은 화합물 반도체 물질의 층(151)을 형성한다. 바람직하게, 층(151)은 트렌치(142)의 가로방향 측벽들을 따라 성장함으로써, 트렌치(142) 폭을 좁하게 된다. 층(151)은 바람직하게 초박막(ultra thin) 층이 된다.

[0061] 바람직하게, 트렌치(142)는 대략 5 내지 100nm의 본래의 폭을 갖는다. 본래의 폭은 층(151)의 사용에 의해 대략 10 내지 30 퍼센트 이상만큼 감소될 수 있다.

[0062] 도 17에서, 층(151)이 층(140)의 상부 표면으로부터 제거된다. 대안적으로, 층(151)은 남아있게 되거나 공정들(10 및 110)의 단계들(65 및 165)과 유사한 단계(265)에서 제거될 수 있다. 일 실시예에서, 층(151)은 층(151) 모두와 층(140)의 일부를 제거하는 화학 기계적 연마에 의해 제거될 수 있다. 단계(227) 이후에, 공정(210)이 공정(10) 또는 공정(110)과 유사하게 계속된다.

[0063] 층(151)은 화학 기상 증착 성장, ALD 또는 컨포멀 층(conformal layer)과 같은 다른 기법에 의해 증착될 수 있다. 도 16 및 17의 단면도는 도 4 내지 9와 동일한 구성으로 도시된다.

산업상 이용 가능성

[0064] 상세한 도면들, 특정 예들, 물질 타입들, 두께들, 치수들, 및 제공된 특정값들이 본 발명의 바람직한 예시적 실시예를 제공하지만은, 이러한 바람직한 예시적 실시예는 예시를 위한 것이다. 본 발명의 방법 및 장치는 정확한 상세사항들 및 개시된 조건들에 국한되지 않는다. 하기의 청구범위에 의해 정의되는 본 발명의 범주를 벗어남이 없이, 개시된 상세사항들에 다양한 변화들이 가능할 수 있다.

도면의 간단한 설명

[0014] 도 1은 예시적 실시예에 따라 집적회로를 위한 펈-기반 트랜지스터를 형성하는 공정에서 예시적 동작들의 흐름도이다.

[0015] 도 2는 예시적 실시예에 따라 도 1에서 도시된 공정에 의하여 제조되는 집적회로의 일부에 대한 일반적인 개략적인 평면도이다.

[0016] 도 3은 예시적 실시예에 따라 라인(3-3)으로 절취된 도 2에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0017] 도 4는 예시적 실시예에 따라 라인(4-4)으로 절취된 도 2에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0018] 도 5는 도 1의 예시적 공정에서 사용하기 위한 기판 위의 절연층을 보여주는 도 3에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0019] 도 6은 화합물 반도체 증착 동작을 보여주는 도 5에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0020] 도 7은 트렌치 형성 동작을 보여주는 도 6에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0021] 도 8은 에피택셜 성장 동작을 보여주는 도 7에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0022] 도 9는 화학 기계적 연마 동작을 보여주는 도 8에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0023] 도 10은 선택적 식각 동작을 보여주는 도 9에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0024] 도 11은 게이트 산화물 형성 동작을 보여주는 도 5에서 예시된 집적회로의 일부에 대한 개략적인 단면도이다.

[0025] 도 12는 예시적 실시예에 따라 집적회로를 위한 펈-기반 트랜지스터를 형성하는 다른 공정에서 예시적 동작들의 흐름도이다.

[0026] 도 13은 다른 예시적 실시예에 따라 도 12에서 예시된 공정에 의하여 제조되는 다른 집적회로의 일부에 대한 일반적인 개략적인 평면도이다.

[0027] 도 14는 도 12에서 예시된 공정에 대한 마스킹 동작을 보여주며, 예시적 실시예에 따라 라인(14-14)으로 절취된 도 13에서 예시된 집적회로의 일부에 대한 개략적인 평면도이다.

[0028] 도 15는 예시적 실시예에 따라 집적회로를 위한 펈-기반 트랜지스터를 형성하는 또 다른 공정에서 예시적 동작

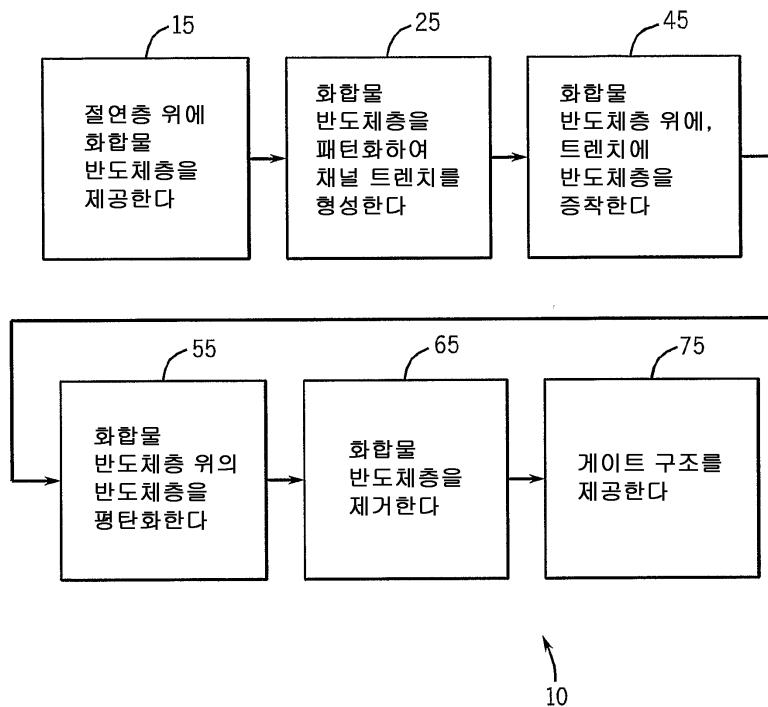
들의 흐름도이다.

[0029] 도 16은 스페이서(spacer) 물질 제공 동작을 보여주는 도 15에 도시된 공정에 따라 제조된 집적회로의 일부에 대한 개략적인 단면도이다.

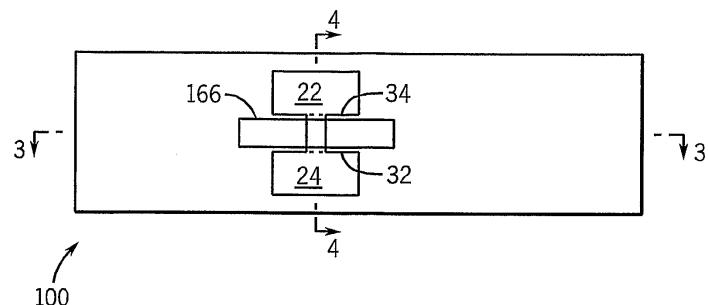
[0030] 도 17은 개구에 스페이서들을 남겨놓기 위해 스페이서 물질 제거 동작을 보여주는 도 16에서 예시된 일부에 대한 개략적인 단면도이다.

도면

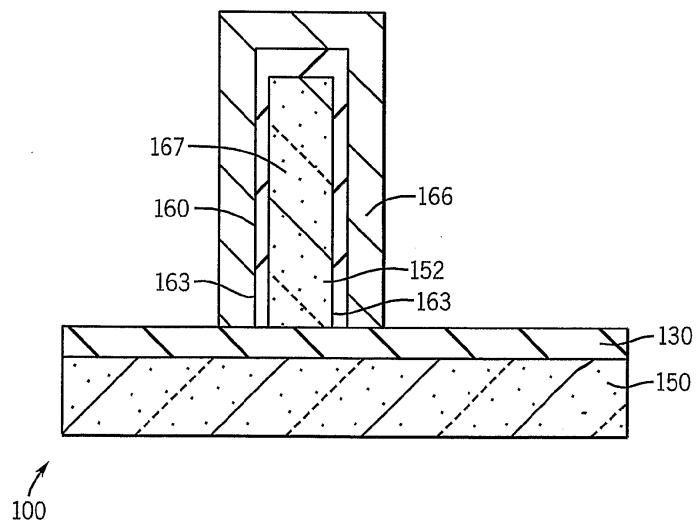
도면1



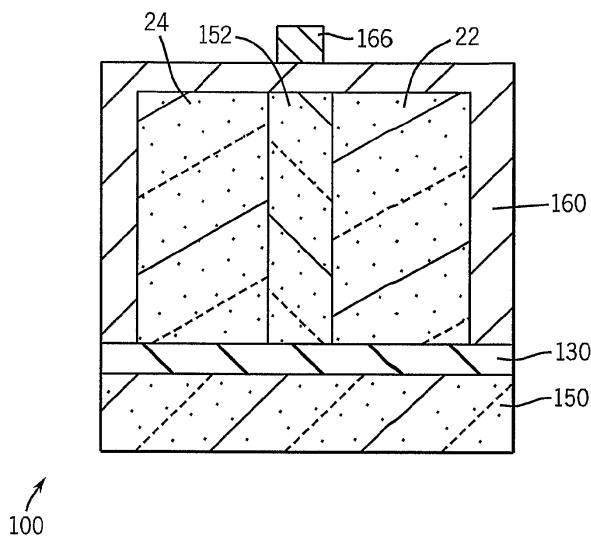
도면2



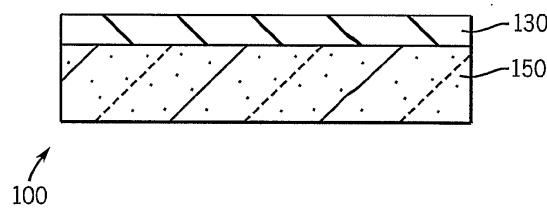
도면3



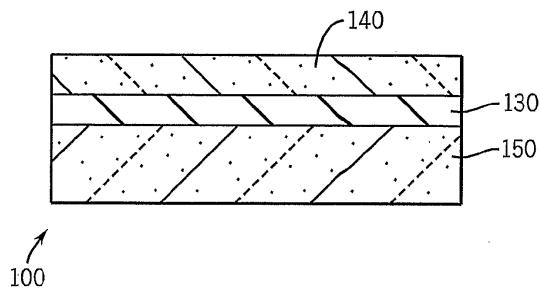
도면4



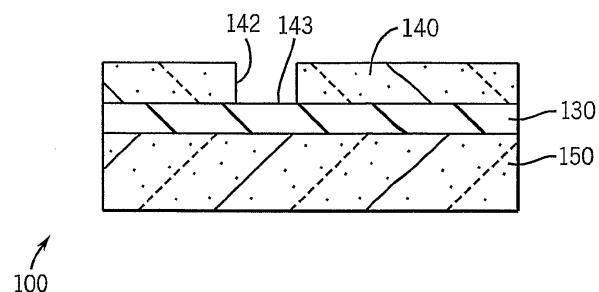
도면5



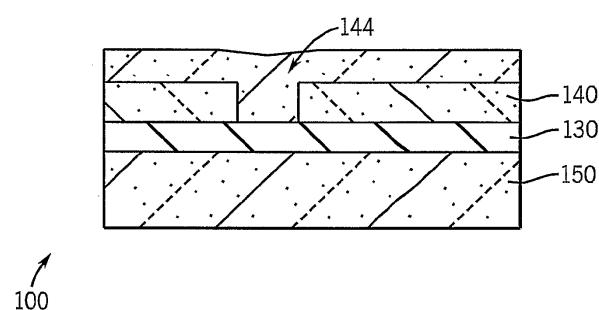
도면6



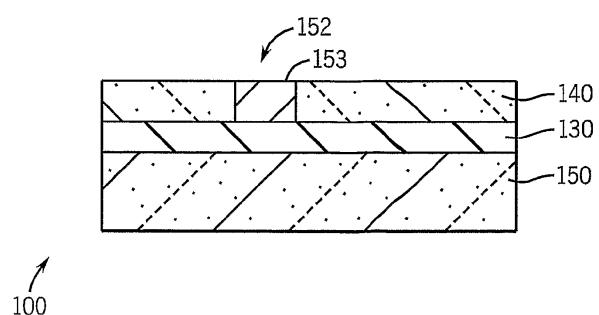
도면7



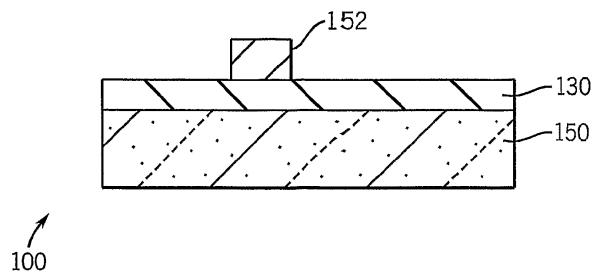
도면8



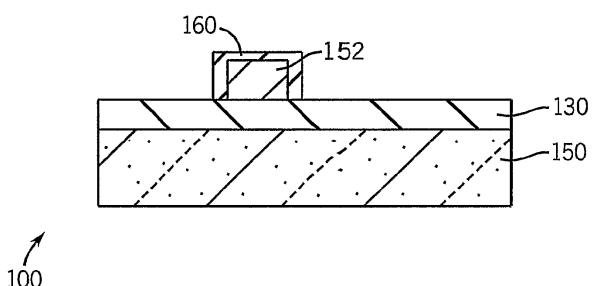
도면9



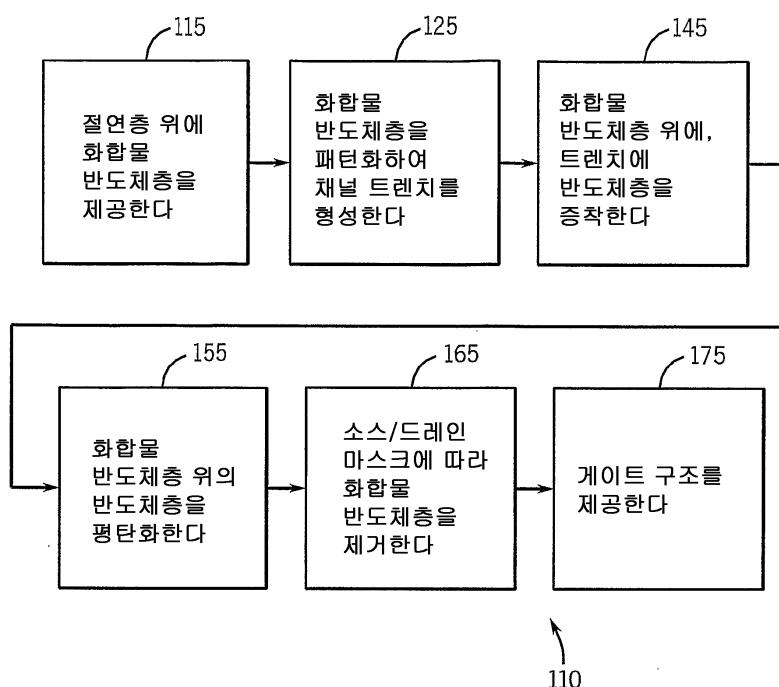
도면10



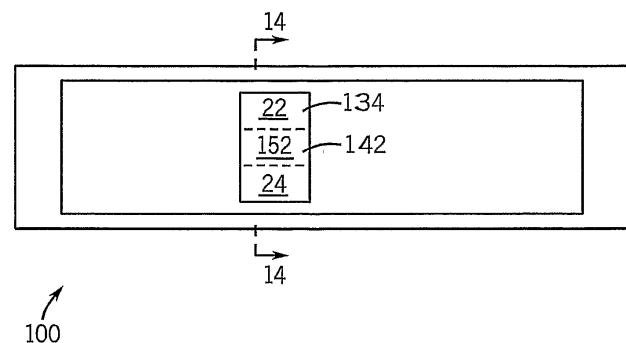
도면11



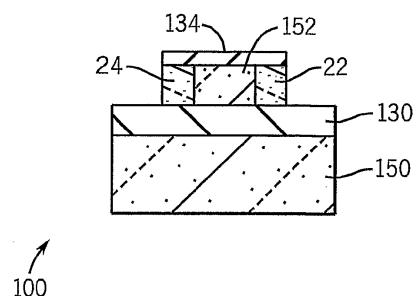
도면12



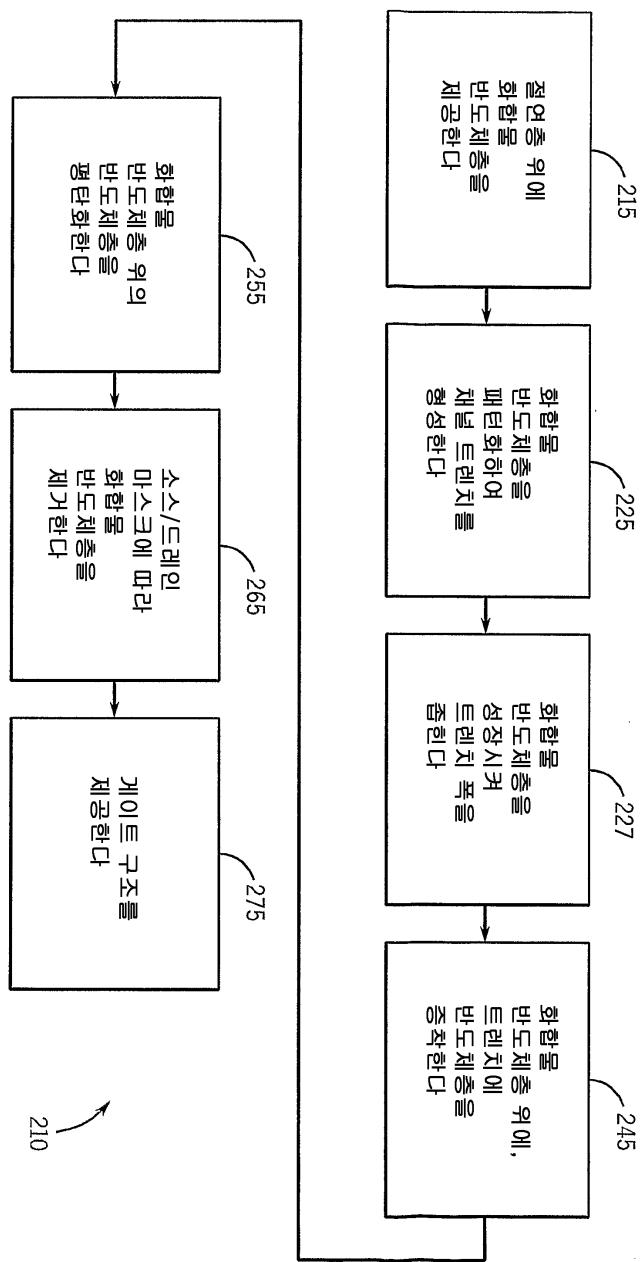
도면13



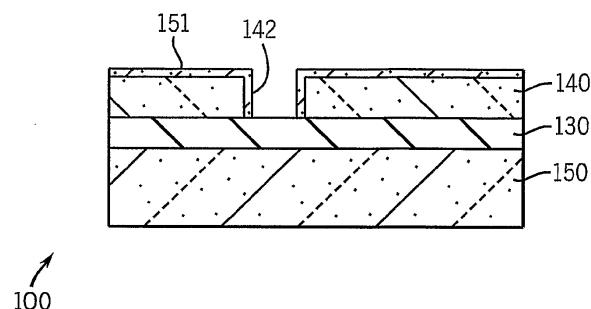
도면14



도면15



도면16



도면17

