

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2019 年 9 月 26 日 (26.09.2019)



(10) 国际公布号  
**WO 2019/179151 A1**

- (51) 国际专利分类号:  
**G02F 1/1362** (2006.01) **H01L 27/12** (2006.01)  
**H01L 27/02** (2006.01)
- (21) 国际申请号: PCT/CN2018/116642
- (22) 国际申请日: 2018 年 11 月 21 日 (21.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201810245790.8 2018年3月23日 (23.03.2018) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省

武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 余朋飞 (YU, Pengfei); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。张嘉伟 (ZHANG, Jiawei); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 阵列基板及显示面板

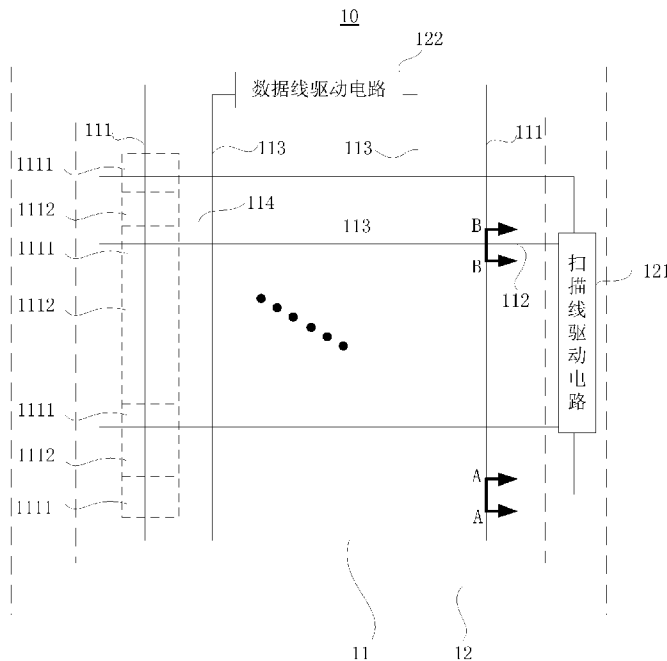


图 1

(57) Abstract: An array substrate (10) and display panels (60, 71), wherein a display zone (11) of the array substrate (10) comprises at least one anti-static wiring (111) and a plurality of scanning lines (112), and the anti-static wiring (111) is used to conduct static electricity; the anti-static wiring (111) and the scanning lines (112) are arranged in an interleaving and insulated manner; the anti-static wiring (111) comprises a first wiring portion (1111) and second wiring portion (1112) that are connected to each other, and the first wiring portion (1111) and the second wiring portion (1112) are provided at different layers. Further disclosed is a display panel. By



CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

means of the described method, display abnormalities caused by the electrostatic breakdown of the anti-static wiring (111) may be avoided.

(57) 摘要: 一种阵列基板 (10) 及显示面板 (60, 71), 该阵列基板 (10) 的显示区 (11) 包括至少一条防静电走线 (111) 和多条扫描线 (112), 防静电走线 (111) 用于导走静电; 防静电走线 (111) 与扫描线 (112) 交错且绝缘设置; 其中, 防静电走线 (111) 包括相连的第一走线部分 (1111) 和第二走线部分 (1112), 第一走线部分 (1111) 和第二走线部分 (1112) 处于不同层。还公开了一种显示面板。通过上述方式, 能够避免由于防静电走线 (111) 的静电击穿导致显示异常。

## 阵列基板及显示面板

[1]       **【技术领域】**

[2]       本申请涉及显示领域，特别是涉及阵列基板及显示面板。

[3]       **【背景技术】**

[4]       目前，显示面板特别是利用低温多晶硅技术（Low Temperature Poly-silicon, LTPS）的液晶显示面板，由于具有高开口率和高解析度的优点，已被广泛应用各种领域中以进行显示。

[5]       为了保护显示面板上的器件，显示面板上设置防静电走线（也可以称为dummy走线或dummy M2走线）。然而，由于防静电走线容易积累静电，从而出现静电击穿阵列基板膜层的情况，进而导致显示面板显示异常。

[6]       **【发明内容】**

[7]       本申请主要解决的技术问题是提供一种阵列基板及显示面板，能够避免由于防静电走线的静电击穿阵列基板的膜层而导致显示面板显示异常。

[8]       为解决上述技术问题，本申请采用的一个技术方案是：提供一种阵列基板，阵列基板的显示区包括至少一条防静电走线和多条扫描线，防静电走线用于导走静电；防静电走线与扫描线交错且绝缘设置；其中，防静电走线包括相连的第一走线部分和第二走线部分，第一走线部分和第二走线部分处于不同层；第一走线部分与扫描线交错，第二走线部分位于扫描线的两侧，和/或防静电走线位于显示区中靠近非显示区的位置；显示区包括依序设置在基板上的第一功能层、第二功能层、信号线层以及第二金属层，第二功能层用于形成薄膜晶体管；包括第二走线部分，第二功能层设有第一通孔，第二走线部分穿过第一通孔与第一走线部分连接。

[9]       为解决上述技术问题，本申请采用的另一个技术方案是：提供一种阵列基板，该阵列基板的显示区包括至少一条防静电走线和多条扫描线，防静电走线用于导走静电；防静电走线与扫描线交错且绝缘设置；其中，防静电走线包括相连的第一走线部分和第二走线部分，第一走线部分和第二走线部分处于不同层。

[10] 为解决上述技术问题，本申请采用的又一个技术方案是：提供一种显示面板，该显示面板包括上述的阵列基板。

[11] 本申请的有益效果是：区别于现有技术的情况，本申请阵列基板的显示区包括至少一条防静电走线和多条扫描线，防静电走线用于导走静电；防静电走线与扫描线交错且绝缘设置；其中，防静电走线包括相连的第一走线部分和第二走线部分，第一走线部分和第二走线部分处于不同层。由于防静电走线包括相连的第一走线部分和第二走线部分，且第一走线部分和第二走线部分处于不同层，因此，能够减少防静电走线的电荷积累，以避免防静电走线的静电击穿防静电走线与扫描线之间的膜层，进而防止防静电走线与扫描线出现短路，导致显示异常。

[12] **【附图说明】**

[13] 图1是本申请实施例阵列基板的结构示意图；

[14] 图2是图1中实施例沿A-A截面或B-B截面的结构示意图；

[15] 图3是图1中另一实施例沿A-A截面或B-B截面的结构示意图；

[16] 图4是本申请另一实施例阵列基板的结构示意图；

[17] 图5是图4中实施例沿B-B截面的结构示意图；

[18] 图6是本申请实施例显示面板的结构示意图；

[19] 图7是本申请实施例显示装置的结构示意图。

[20] **【具体实施方式】**

[21] 为使本申请的上述目的、特征和优点能够更为明显易懂，下面结合附图，对本申请的具体实施方式做详细的说明。可以理解的是，此处所描述的具体实施例仅用于解释本申请，而非对本申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本申请相关的部分而非全部结构。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例，都属于本申请保护的范围。

[22] 本申请中的术语“第一”、“第二”等是用于区别不同对象，而不是用于描述特定顺序。此外，术语“包括”和“具有”以及它们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定

于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。

[23] 在本文中提及“实施例”意味着，结合实施例描述的特定特征、结构或特性可以包含在本申请的至少一个实施例中。在说明书中的各个位置出现该短语并不一定均是指相同的实施例，也不是与其它实施例互斥的独立的或备选的实施例。本领域技术人员显式地和隐式地理解的是，本文所描述的实施例可以与其它实施例相结合。

[24] 请参阅图1~图3，图1是本申请实施例阵列基板的结构示意图；图2是图1中实施例沿A-A截面或B-B截面的结构示意图；图3是图1中另一实施例沿A-A截面或B-B截面的结构示意图。

[25] 阵列基板10包括显示区11和围绕该显示区11的非显示区12。显示区11可以包括多条扫描线112，多条数据线113，以及至少一条防静电走线111，多条扫描线112和多条数据线113互相交错，以将显示区11划分为多个像素区域114。非显示区12可以设置扫描线驱动电路121和数据线驱动电路122，扫描线驱动电路121分别与多条扫描线112连接，用于提供扫描信号至该多条扫描线112，数据线驱动电路122与多条数据线113连接，用于提供数据信号至该多条数据线113。

[26] 在本实施例中，防静电走线111用于导走静电，例如用于导走非显示区12产生的静电，具体如非显示区12中的电路产生的静电。防静电走线111与扫描线112交错且绝缘设置，通常防静电走线111与扫描线112设置在不同层，以实现上述交错且绝缘设置。具体地，防静电走线111包括相连的第一走线部分1111和第二走线部分1112，其中，第一走线部分1111和第二走线部分1112处于不同层。由于防静电走线111分为不同层的两个走线部分，即采用跳线方式断开了该防静电走线111，故能够减少防静电走线的电荷积累，以避免防静电走线的静电击穿防静电走线与扫描线之间的膜层，即消除天线效应影响，进而防止防静电走线与扫描线出现短路而导致显示异常。

[27] 进一步地，第一走线部分1111与扫描线112交错，第二走线部分1112位于扫描线112的两侧，即第一走线部分1111为防静电走线111中与扫描线交错的部分，第二走线部分1112为防静电走线111中位于扫描线112的两侧的部分，分别位于

扫描线112的两侧的第二走线部分1112通过第一走线部分1111进行连接。可以理解的是，该第一走线部分1111可以为防静电走线111与所有扫描线交错的部分，如图1所示；或者，该第一走线部分也可防静电走线111与部分扫描线交错的部分，也即防静电走线111与其余扫描线交错的部分设置为与第二走线部分同层。由于将与扫描线交错的走线部分设置在与防静电走线其余部分不同的层，可以保证即使防静电走线即使发生静电击穿，也不会导致与扫描线交错的走线部分与扫描线短路。

[28] 本实施例中的第一走线部分1111可以是由透光的导电材料或者不透光的导电材料制成，例如，第一走线部分1111可以为氧化铟锡(ITO)、氧化铟锌(IZO)、掺铝氧化锌(AZO)、掺氟二氧化锡(FTO)、掺磷二氧化锡(PTO)以及金属材料中的一种。第二走线部分1112可以为不透光的导电材料，具体可以与数据线113、栅极或者源极的材料一致。第一走线部分1111和第二走线部分1112处于不同层是指第一走线部分1111和第二走线部分1112相对扫描线112的位置不同。例如，第一走线部分1111可以位于扫描线112的上侧，第二走线部分1112可以为扫描线112的下侧，或者，第一走线部分1111可以位于扫描线112的下侧，第二走线部分1112可以位于扫描线112的上侧，再例如，第一走线部分1111和第二走线部分1112可以均位于扫描线112的上侧或者下侧，只不过第一走线部分1111和第二走线部分1112与扫描线112之间的距离不同。

[29] 具体地，防静电走线111位于但不限于位于显示区11中靠近非显示区12的位置，也即位于显示区11边缘的位置。例如，防静电走线111可以平行于数据线113且设置在数据线113的两侧。本实施例中，防静电走线111为两条，两条防静电走线111均设置在多条数据线113的外侧且平行于数据线113设置。在其它实施例中，防静电走线111还可以为一条、三条或者三条以上，具体的数量可根据实际情况确定。例如，在其它实施例中，防静电走线111可以为四条，每两条防静电走线111均设置多条数据线113的外侧且平行于数据线113设置。

[30] 以下说明防静电走线111的工作原理：在阵列基板10中，由于防静电走线111过长，因此容易在防静电走线111上累积大量静电，如果静电较多时，会击穿扫描线112与防静电走线111之间的膜层，例如为下述的位于扫描线112与防静电走线

111之间的第二绝缘层145，此时，扫描线112与防静电走线111会短路，进而造成显示面板的显示异常。而通过将防静电走线111设置为相连的第一走线部分1111和第二走线部分1112，第一走线部分1111和第二走线部分1112连接，第一走线部分1111和第二走线部分1112位于不同层，因此，能够断开了该防静电走线111，故减少断开了该防静电走线111上的静电电荷积累，从而避免防静电走线的静电击穿防静电走线与扫描线之间的膜层，从而提升防静电走线111的抗静电释放（Electro-Static discharge，ESD）能力。

- [31] 请继续参阅图2，在一具体实施例中，显示区11包括依序设置在基板上的第一功能层、第二功能层14、信号线层以及第二金属层，第二功能层14用于形成薄膜晶体管（Thin Film Transistor，TFT）；其中，第一功能层包括第一走线部分1111中，第二金属层包括第二走线部分1112，第二功能层14设有第一通孔15，第二走线部分1112穿过第一通孔15与第一走线部分1111连接。
- [32] 第二功能层14包括层叠设置的缓冲层141、半导体层142、第一绝缘层143；信号线层包括层叠设置的第一金属层144和第二绝缘层145，第一金属层144包括扫描线112和薄膜晶体管的栅极，第二金属层还包括数据线112、薄膜晶体管的源极161和漏极162。可以理解的是，在其他实施例中，第一走线部分1111也可设置在第二功能层中，例如，设置在缓冲层中，或者设置在缓冲层上且在第一走线部分1111上另设一层绝缘层，该半导体层设置在该另设的绝缘层上。
- [33] 第一绝缘层143、第二绝缘层145的材料均可以包括单层的氮化硅(SiN<sub>x</sub>)、单层的氧化硅(SiO<sub>x</sub>)以及氧化硅(SiO<sub>x</sub>)和氮化硅(SiN<sub>x</sub>)形成的叠层中的一种。例如在本实施例中，第一绝缘层143、第二绝缘层145的材料均包括氮化硅。
- [34] 以下说明各层之间的关系：第一功能层设置在基板上，缓冲层141设置在第一功能层上，半导体层142设置在缓冲层141上，第一绝缘层143设置在半导体层142上，第一金属层144设置在第一绝缘层143上，第二绝缘层145设置在第一金属层144和第一绝缘层143上，第二金属层设置在第二绝缘层145上。在其它实施例中，第一绝缘层143可以设置在半导体层142上和缓冲层141上。
- [35] 在本实施例中，第二绝缘层145包括设置在第一绝缘层143上的第一区域1451，

第一区域1451设有第二通孔155，第二走线部分1112穿过第二绝缘层145的第二通孔155和第二功能层14的第一通孔15连接第一走线部分1111。

[36] 其中第一通孔15设置在第二通孔155下面，即第一通孔15设置在第二通孔155靠近基板的一侧，第一通孔15和第二通孔155同轴且第一通孔15和第二通孔155的内壁平齐，以使第二走线穿过第二通孔155和第一通孔15与第一走线部分1111连接时，使第二走线在第二通孔155和第一通孔15之间没有折断点，从而加强了第二走线部分1112的强度。

[37] 在本实施例中，第一通孔15和第二通孔155的面积可以沿缓冲层141至基板方向上逐渐减小，在其它实施例中，第一通孔15和第二通孔155的面积可以沿缓冲层141至基板方向上逐渐增大或者不变。另外，第一通孔15和第二通孔155的面积可以为多边形，例如三角形、四边形或者五边形等等。本申请对此不作限定。

[38] 第二绝缘层145的第一区域1451、第一绝缘层143均设置第三通孔163，源极161和漏极162均通过第三通孔163连接半导体层142。

[39] 第一绝缘层143包括设置在缓冲层141上的第二区域1431，第二区域1431设有第一子通孔153，缓冲层141对应第一子通孔153设有第二子通孔152，第一子通孔153和第二子通孔152形成第一通孔15，其中，第二通孔155的孔径大于或等于第一子通孔153的孔径，第一子通孔153的孔径大于或等于第二子通孔152的孔径。

[40] 即在本实施例中，第一绝缘层143设置在半导体层142和缓冲层141上，即第二走线部分1112在穿过第二通孔155、第一子通孔153、第二子通孔152时，不与半导体层142接触，以避免半导体层142和第二走线部分1112之间互相干扰，从而降低防静电走线111的导静电能力。同样地，第二通孔155、第一子通孔153以及第二子通孔152内壁平齐。

[41] 请继续参阅图3，在该实施例中，第一绝缘层143包括设置在缓冲层141上的第二区域1431，第二区域1431设置有第一子通孔153，半导体层142对应第一子通孔153设有第二子通孔152，缓冲层141对应第二子通孔152设有第三子通孔151，第一子通孔153、第二子通孔152和第三子通孔151形成第一通孔15，其中，第二通孔155的孔径大于或等于第一子通孔153的孔径，第一子通孔153的孔径大于或等于第二子通孔152的孔径，以及第二子通孔152的孔径大于或等于第三子通孔1

51的孔径。第一绝缘层143设置在半导体层142上，即第二走线部分1112依次穿过第二通孔155、第一子通孔153、第二子通孔152、第三子通孔151时，与半导体层142接触。应注意有第二走线部分1112和半导体层142接触，因此，为了防止半导体层142与第二走线部分1112之间的相互影响，避免对其它半导体层142产生影响，例如是薄膜晶体管的半导体层142，应使与防静电走线111的半导体层142与薄膜晶体管之间的半导体层142绝缘，从而避免第二走线部分1112在导走静电时对薄膜晶体管的半导体层142产生影响。同样地，第二通孔155、第一子通孔153、第二子通孔152以及第三子通孔151内壁平齐。

[42] 第一功能层还可以包括遮光部1113，遮光部1113对应薄膜晶体管设置，即对应上述像素区域中的薄膜晶体管的位置设置。其中，遮光部1113和第一走线部分1111可以采用同一光罩刻蚀形成的，即遮光部1113和第一走线部分1111可以采用相同的工艺制成，以使阵列基板10的制造工艺简单，进而降低制作成本。在其它实施例中，遮光部1113和第一走线部分1111可以采用不同工艺制成，本申请不作限定。

[43] 在本实施例中，防静电走线111可以通过接地的方式以导走静电。例如，防静电走线111一端通过转接口接地，从而将内部产生的电荷导走。在另一实施例中，防静电走线111可以通过转接口连接显示面板的公共电极，以实现与公共电极的接地端一并接地。

[44] 请参阅图4和图5，图4是本申请另一实施例阵列基板的结构示意图；图5是图4中实施例沿B-B截面的结构示意图。在该实施例中，第一走线部分1111仅与边缘的两条扫描线112交错，第二走线部分1112与内侧的多条扫描线112交错，与内侧的多条扫描线112交错的第二走线部分1112设置在第二绝缘层145上。

[45] 在其它实施例中，第一走线部分1111也可以与多条扫描线112交错，第二走线部分1112与另外的多条扫描线112交错。例如，第一走线部分1111可以与单数条扫描线112交错，第二走线部分1112可以与双数条扫描线112交错；再例如，第一走线部分1111可以与前n条扫描线112交错，第二走线部分1112可以与后m条扫描线112交错，其中m+n为扫描线112的总条数，本申请对此不做限定。

[46] 请参阅图6，图6是本申请实施例显示面板的结构示意图。

- [47] 显示面板60包括：阵列基板61、与阵列基板61相对设置的彩膜基板62以及位于彩膜基板62和阵列基板61之间的液晶层63，液晶层包括液晶分子。通过控制液晶分子两端的电压，进而改变液晶分子的排列状况，以达到遮光和透光的目的来显示深浅不一，错落有致的图象。其中，阵列基板61可以为上述任一实施例中的阵列基板10。
- [48] 请参阅图7，图7是本申请实施例显示装置的结构示意图。
- [49] 显示装置70包括显示面板71和位于显示面板入光侧的背光模组72，背光模组72用于为显示面板71提供背光。显示面板71可以为上述实施例中的显示面板60。
- [50] 下面对上述阵列基板的制作过程进行举例说明：
- [51] 步骤1、提供基板。
- [52] 基板的材质可以为玻璃或塑料。
- [53] 步骤2、在基板上形成遮光部和第一走线部分。
- [54] 遮光部和第一走线部分可以采用相同的工艺制成。遮光部和第一走线部分可以设置在防静电走线和扫描线的交错区域，具体而言，第一走线部分可以设置在防静电走线和最边缘两条扫描线的交错区域，遮光部可以设置在防静电走线和内侧扫描线的交错区域。应理解，第一走线部分的长度可以大于、小于或者等于防静电走线和最边缘两条扫描线的交错区域的长度。
- [55] 可选地，遮光部和第一走线部分可以采用同一工艺制成，例如，遮光部和第一走线部分采用同一光罩刻蚀形成。
- [56] 步骤3、在基板、遮光部以及第一走线部分上形成缓冲层。
- [57] 可以通过镀膜工艺如等离子体增强化学的气相沉积法(PECVD)形成缓冲层，缓冲层可以屏蔽基板缺陷的影响，避免引起的器件或涂层不良。形成缓冲层之后，可以对缓冲层进行穿孔处理，即可以在第一走线部分的两侧对缓冲层进行穿孔，得到第三子通孔。
- [58] 步骤4、在缓冲层上形成半导体层。
- [59] 具体而言，可以先再缓冲层上先形成非晶硅层，对非晶硅层进行镭射激光退火处理以形成多晶硅层，并在对应第三子通孔的位置对多晶硅层进行穿孔得到第二子通孔；以及在穿孔之后，可以对多晶硅层进行离子掺杂，以形成半导体层

。或者可以在形成半导体层后，对半导体层穿孔，以得到第二子通孔。

[60] 在其它实施例中，可以不对半导体层极性穿孔。

[61] 步骤5、在半导体层上形成第一绝缘层。

[62] 在形成第一绝缘层之后，可以在对应第二子通孔的位置对第一绝缘层进行穿孔，以得到第一子通孔。另外，对第一绝缘层穿孔之前或者穿孔之后，可以通过第一绝缘层中的氢作为氢源对所述半导体层进行氢化。

[63] 另外，可以对遮光部上的第一绝缘层进行穿孔，以使第二金属层能够通过第一绝缘层的过孔与半导体层连接。

[64] 步骤6、在第一绝缘层上形成第一金属层，对第一金属层进行图形化处理，得到栅极。

[65] 步骤7、在第一金属层和第一绝缘层上形成第二绝缘层。

[66] 在形成第二绝缘层之后，可以对应第一子通孔的位置对第二绝缘层进行穿孔，以得到第二通孔。

[67] 另外，可以对遮光部上的第二绝缘层进行穿孔，以使第二金属层能够依次通过第二绝缘层的过孔和第一绝缘层的过孔与半导体层连接。

[68] 步骤8、在第二绝缘层上形成第二金属层，对第二金属层进行图形化处理形成源极、漏极以及第一走线部分。

[69] 区别于现有技术的情况，本申请阵列基板的显示区包括至少一条防静电走线和多条扫描线，防静电走线用于导走静电；防静电走线与扫描线交错且绝缘设置；其中，防静电走线包括相连的第一走线部分和第二走线部分，第一走线部分和第二走线部分处于不同层。由于防静电走线包括相连的第一走线部分和第二走线部分，且第一走线部分和第二走线部分处于不同层，因此，能够减少防静电走线的电荷积累，以避免防静电走线的静电击穿防静电走线与扫描线之间的膜层，进而防止防静电走线与扫描线出现短路，导致显示异常。

[70] 以上所述仅为本申请的实施方式，并非因此限制本申请的专利范围，凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其它相关的技术领域，均同理包括在本申请的专利保护范围内。

## 权利要求书

- [权利要求 1] 一种阵列基板，其中，所述阵列基板的显示区包括至少一条防静电走线和多条扫描线，所述防静电走线用于导走静电；所述防静电走线与所述扫描线交错且绝缘设置；
- 其中，所述防静电走线包括相连的第一走线部分和第二走线部分，所述第一走线部分和第二走线部分处于不同层；
- 所述第一走线部分与所述扫描线交错，所述第二走线部分位于所述扫描线的两侧，和/或所述防静电走线位于所述显示区中靠近非显示区的位置；
- 所述显示区包括依序设置在基板上的第一功能层、第二功能层、信号线层以及第二金属层，所述第二功能层用于形成薄膜晶体管；
- 其中，所述第一功能层包括所述第一走线部分，所述第二金属层包括所述第二走线部分，所述第二功能层设有第一通孔，所述第二走线部分穿过所述第一通孔与所述第一走线部分连接。
- [权利要求 2] 一种阵列基板，其中，所述阵列基板的显示区包括至少一条防静电走线和多条扫描线，所述防静电走线用于导走静电；所述防静电走线与所述扫描线交错且绝缘设置；
- 其中，所述防静电走线包括相连的第一走线部分和第二走线部分，所述第一走线部分和第二走线部分处于不同层。
- [权利要求 3] 根据权利要求2所述的阵列基板，其中，
- 所述第一走线部分与所述扫描线交错，所述第二走线部分位于所述扫描线的两侧，和/或；
- 所述防静电走线位于所述显示区中靠近非显示区的位置。
- [权利要求 4] 根据权利要求1所述的阵列基板，其中，
- 所述显示区包括依序设置在基板上的第一功能层、第二功能层、信号线层以及第二金属层，所述第二功能层用于形成薄膜晶体管；

其中，所述第一功能层包括所述第一走线部分，所述第二金属层包括所述第二走线部分，所述第二功能层设有第一通孔，所述第二走线部分穿过所述第一通孔与所述第一走线部分连接。

[权利要求 5] 根据权利要求4所述的阵列基板，其中，  
所述第二功能层包括层叠设置的缓冲层、半导体层、第一绝缘层；  
所述信号线层包括层叠设置的第一金属层和第二绝缘层，所述第一金属层包括所述扫描线和所述薄膜晶体管的栅极，所述第二金属层还包括薄膜晶体管的源极和漏极。

[权利要求 6] 根据权利要求5所述的阵列基板，其中，所述第二绝缘层包括设置在所述第二绝缘层上的第一区域，所述第一区域设有第二通孔，所述第二走线部分穿过所述第二绝缘层的第二通孔和所述第二功能层的第一通孔连接至所述第一走线部分。

[权利要求 7] 根据权利要求6所述的阵列基板，其中，所述第二金属层还包括所述数据线；所述第二绝缘层的第一区域、第一绝缘层均设置第三通孔，所述源极和漏极均通过所述第三通孔连接所述半导体层。

[权利要求 8] 根据权利要求6所述的阵列基板，其中，所述第一绝缘层包括设置在所述缓冲层上的第二区域，所述第二区域设有第一子通孔，所述缓冲层对应所述第一子通孔设有第二子通孔，所述第一子通孔和所述第二子通孔形成所述第一通孔，其中，所述第二通孔的孔径大于或等于所述第一子通孔的孔径，所述第一子通孔的孔径大于或等于所述第二子通孔的孔径。

[权利要求 9] 根据权利要求4所述的阵列基板，其中，所述第一功能层还包括遮光部，所述遮光部对应所述薄膜晶体管设置。

[权利要求 10] 根据权利要求9所述的阵列基板，其中，所述遮光部和所述第一走线部分采用同一光罩刻蚀形成的。

[权利要求 11] 一种显示面板，其中，所述显示面板包括阵列基板，所述阵列基板的显示区包括至少一条防静电走线和多条扫描线，所述防静电

走线用于导走静电；所述防静电走线与所述扫描线交错且绝缘设置；

其中，所述防静电走线包括相连的第一走线部分和第二走线部分，所述第一走线部分和第二走线部分处于不同层。

[权利要求 12]

根据权利要求11所述的显示面板，其中，

所述第一走线部分与所述扫描线交错，所述第二走线部分位于所述扫描线的两侧，和/或；

所述防静电走线位于所述显示区中靠近非显示区的位置。

[权利要求 13]

根据权利要求11所述的显示面板，其中，

所述显示区包括依序设置在基板上的第一功能层、第二功能层、信号线层以及第二金属层，所述第二功能层用于形成薄膜晶体管；

其中，所述第一功能层包括所述第一走线部分，所述第二金属层包括所述第二走线部分，所述第二功能层设有第一通孔，所述第二走线部分穿过所述第一通孔与所述第一走线部分连接。

[权利要求 14]

根据权利要求13所述的阵列基板，其中，

所述第二功能层包括层叠设置的缓冲层、半导体层、第一绝缘层；

所述信号线层包括层叠设置的第一金属层和第二绝缘层，所述第一金属层包括所述扫描线和所述薄膜晶体管的栅极，所述第二金属层还包括薄膜晶体管的源极和漏极。

[权利要求 15]

根据权利要求14所述的阵列基板，其中，所述第二绝缘层包括设置在所述第二绝缘层上的第一区域，所述第一区域设有第二通孔，所述第二走线部分穿过所述第二绝缘层的第二通孔和所述第二功能层的第一通孔连接至所述第一走线部分。

[权利要求 16]

根据权利要求15所述的阵列基板，其中，所述第二金属层还包括所述数据线；所述第二绝缘层的第一区域、第一绝缘层均设置第三通孔，所述源极和漏极均通过所述第三通孔连接所述半导体层

。

- [权利要求 17] 根据权利要求15所述的阵列基板，其中，所述第一绝缘层包括设置在所述缓冲层上的第二区域，所述第二区域设有第一子通孔，所述缓冲层对应所述第一子通孔设有第二子通孔，所述第一子通孔和所述第二子通孔形成所述第一通孔，其中，所述第二通孔的孔径大于或等于所述第一子通孔的孔径，所述第一子通孔的孔径大于或等于所述第二子通孔的孔径。
- [权利要求 18] 根据权利要求13所述的阵列基板，其中，所述第一功能层还包括遮光部，所述遮光部对应所述薄膜晶体管设置。
- [权利要求 19] 根据权利要求18所述的阵列基板，其中，所述遮光部和所述第一走线部分采用同一光罩刻蚀形成的。

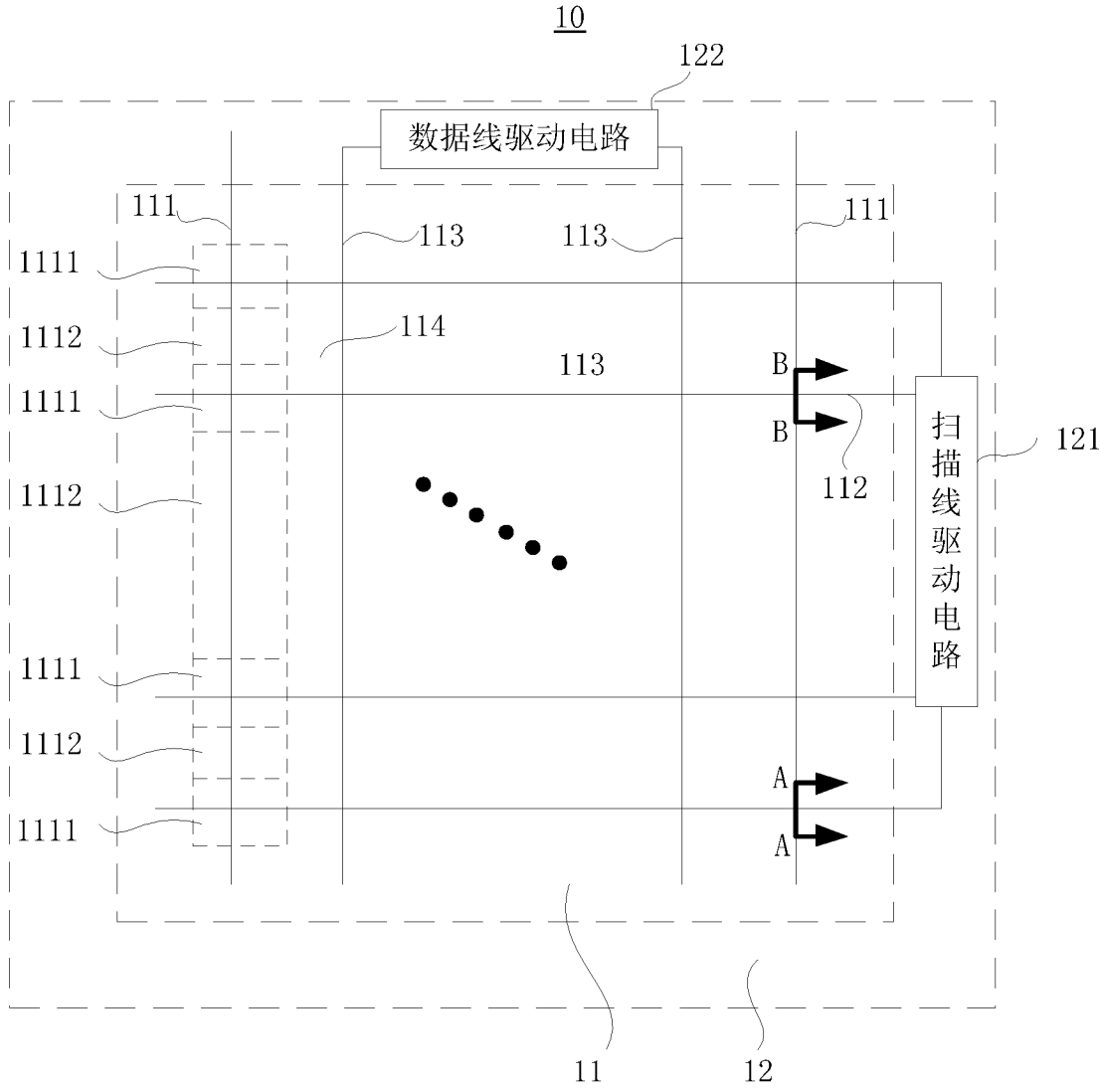


图 1

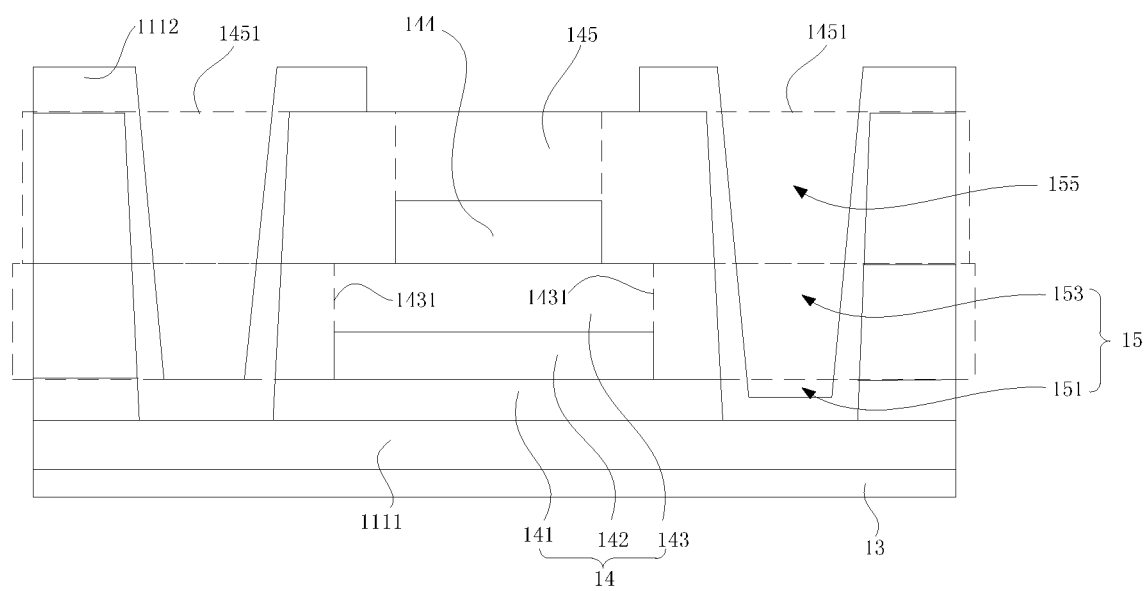


图 2

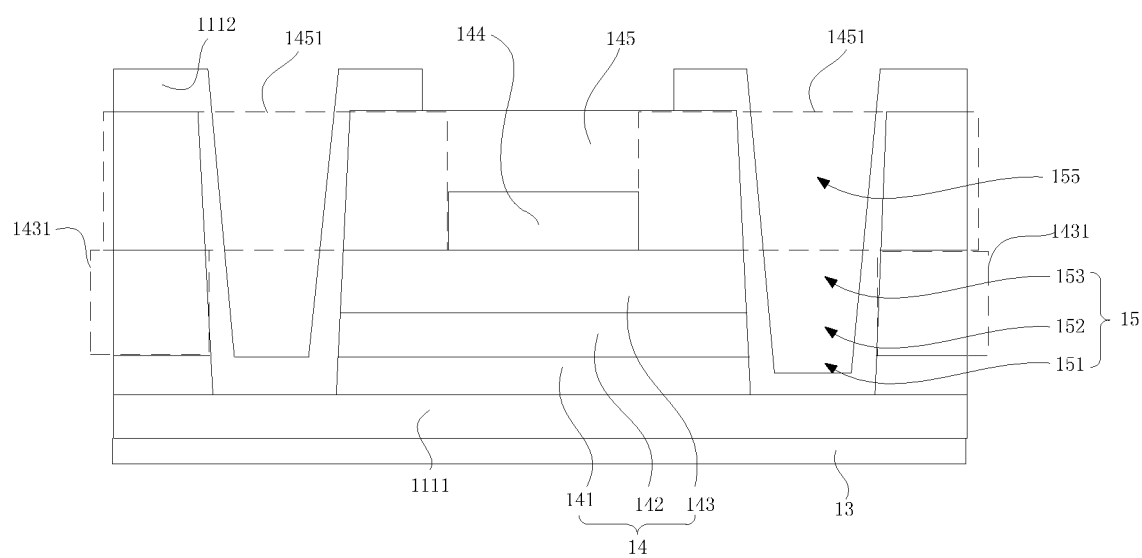


图 3

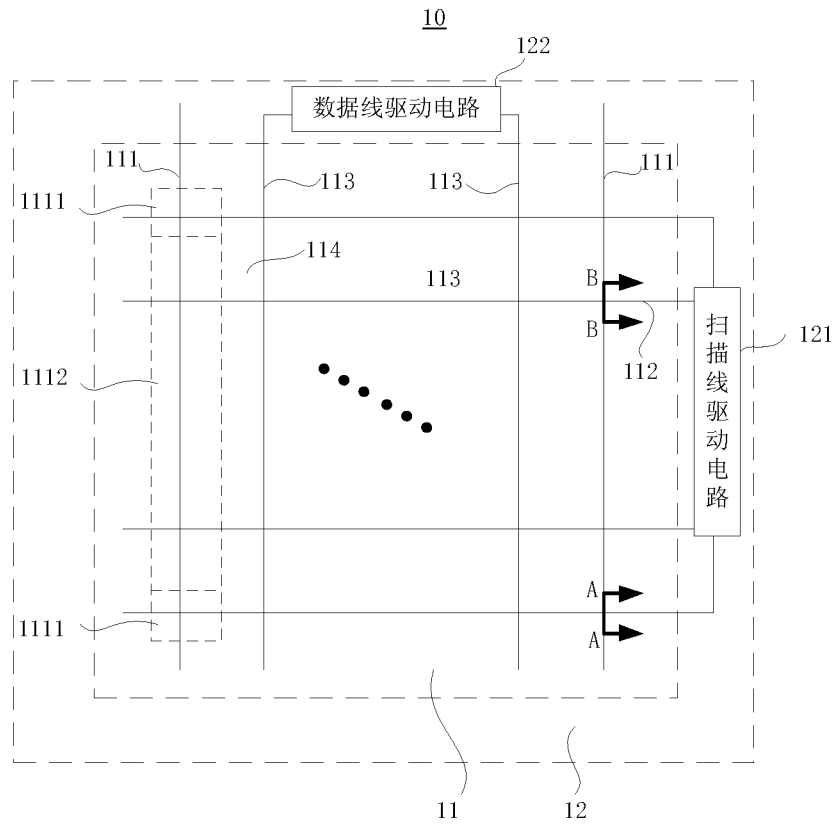


图 4

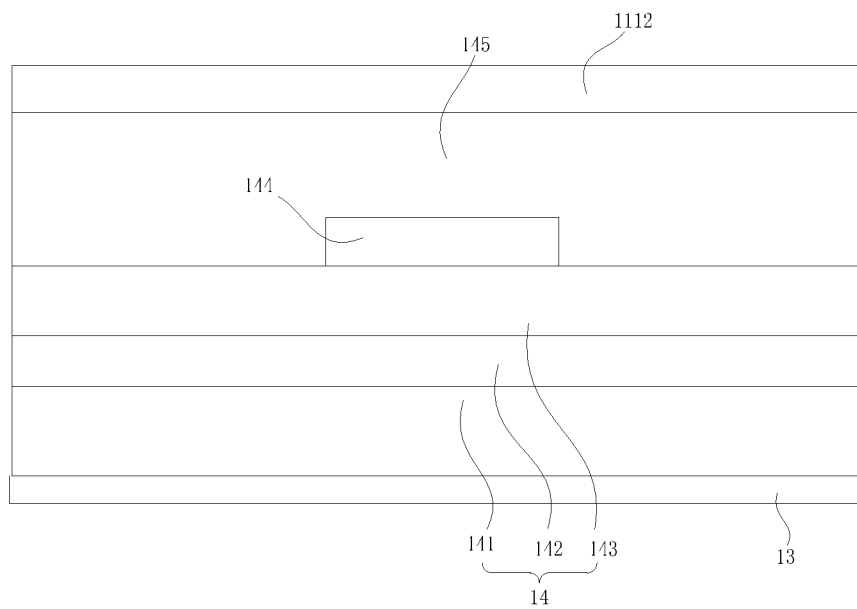


图 5

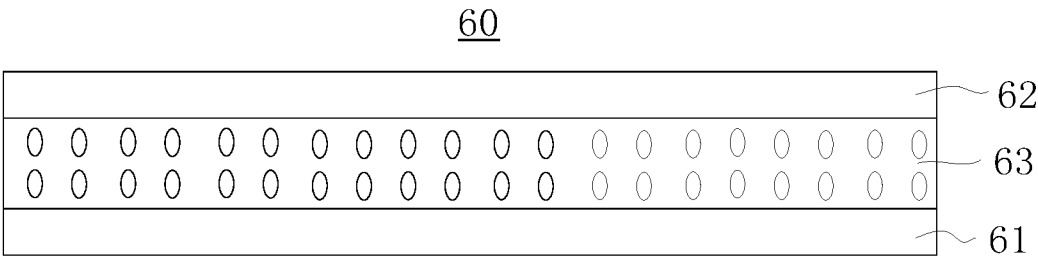


图 6

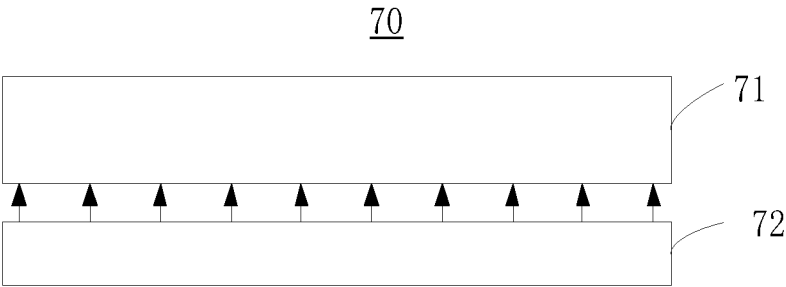


图 7

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/116642

**A. CLASSIFICATION OF SUBJECT MATTER**

G02F 1/1362(2006.01)i; H01L 27/02(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G02F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 阵列基板, 显示, 防静电, 静电, 层, 通孔, 绝缘, 金属, 击穿, display, panel, array substrate, anti 1w static, static, layer?, hole, scanning line, short 1w circuit+.

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                         | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| PX        | CN 108490707 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 September 2018 (2018-09-04)<br>description, paragraphs [0018]-[0043]                                             | 1-19                  |
| X         | CN 206863403 U (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 09 January 2018 (2018-01-09)<br>description, paragraphs [0022]-[0027], and figures 2 and 3 | 2, 3, 11, 12          |
| A         | CN 107664886 A (HONGFUJIN PRECISION INDUSTRY (SHENZHEN) CO., LTD. ET AL.) 06 February 2018 (2018-02-06)<br>entire document                                                                 | 1-19                  |
| A         | CN 105974617 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 28 September 2016 (2016-09-28)<br>entire document                                                                                   | 1-19                  |
| A         | CN 105607366 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 25 May 2016 (2016-05-25)<br>entire document                                                                                         | 1-19                  |
| A         | US 2007097308 A1 (LIU, WEN-HSIUNG ET AL.) 03 May 2007 (2007-05-03)<br>entire document                                                                                                      | 1-19                  |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&amp;” document member of the same patent family

Date of the actual completion of the international search

01 February 2019

Date of mailing of the international search report

12 February 2019

Name and mailing address of the ISA/CN

**National Intellectual Property Administration, PRC (ISA/CN)**  
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**  
**China**

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2018/116642**

| Patent document<br>cited in search report |            |    | Publication date<br>(day/month/year) | Patent family member(s) |            |    | Publication date<br>(day/month/year) |
|-------------------------------------------|------------|----|--------------------------------------|-------------------------|------------|----|--------------------------------------|
| CN                                        | 108490707  | A  | 04 September 2018                    | None                    |            |    |                                      |
| CN                                        | 206863403  | U  | 09 January 2018                      | None                    |            |    |                                      |
| CN                                        | 107664886  | A  | 06 February 2018                     | TW                      | I628491    | B  | 01 July 2018                         |
|                                           |            |    |                                      | US                      | 2018031929 | A1 | 01 February 2018                     |
|                                           |            |    |                                      | TW                      | 201807470  | A  | 01 March 2018                        |
| CN                                        | 105974617  | A  | 28 September 2016                    | None                    |            |    |                                      |
| CN                                        | 105607366  | A  | 25 May 2016                          | WO                      | 2017118013 | A1 | 13 July 2017                         |
|                                           |            |    |                                      | US                      | 2017293189 | A1 | 12 October 2017                      |
|                                           |            |    |                                      | US                      | 10025152   | B2 | 17 July 2018                         |
| US                                        | 2007097308 | A1 | 03 May 2007                          | None                    |            |    |                                      |

## 国际检索报告

国际申请号

PCT/CN2018/116642

## A. 主题的分类

G02F 1/1362(2006.01)i; H01L 27/02(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC: 华星光电, 阵列基板, 显示, 防静电, 静电, 层, 通孔, 绝缘, 金属, 击穿, display, panel, array substrate, anti lw static, static, layer?, hole, scanning line, short lw circuit+.

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                            | 相关的权利要求    |
|------|----------------------------------------------------------------------------------------------|------------|
| PX   | CN 108490707 A (武汉华星光电技术有限公司) 2018年 9月 4日 (2018 - 09 - 04)<br>说明书第[0018]-[0043]段             | 1-19       |
| X    | CN 206863403 U (深圳市华星光电半导体显示技术有限公司) 2018年 1月 9日 (2018 - 01 - 09)<br>说明书第[0022]-[0027]段、附图2-3 | 2-3, 11-12 |
| A    | CN 107664886 A (鸿富锦精密工业深圳有限公司 等) 2018年 2月 6日 (2018 - 02 - 06)<br>全文                          | 1-19       |
| A    | CN 105974617 A (京东方科技集团股份有限公司 等) 2016年 9月 28日 (2016 - 09 - 28)<br>全文                         | 1-19       |
| A    | CN 105607366 A (京东方科技集团股份有限公司 等) 2016年 5月 25日 (2016 - 05 - 25)<br>全文                         | 1-19       |
| A    | US 2007097308 A1 (LIU, WEN-HSIUNG 等) 2007年 5月 3日 (2007 - 05 - 03)<br>全文                      | 1-19       |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2019年 2月 1日

国际检索报告邮寄日期

2019年 2月 12日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)  
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

陈琳

传真号 (86-10)62019451

电话号码 86-(10)-53962360

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2018/116642

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |            |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|------------|----|----------------|
| CN          | 108490707  | A  | 2018年 9月 4日    | 无    |            |    |                |
| CN          | 206863403  | U  | 2018年 1月 9日    | 无    |            |    |                |
| CN          | 107664886  | A  | 2018年 2月 6日    | TW   | I628491    | B  | 2018年 7月 1日    |
|             |            |    |                | US   | 2018031929 | A1 | 2018年 2月 1日    |
|             |            |    |                | TW   | 201807470  | A  | 2018年 3月 1日    |
| CN          | 105974617  | A  | 2016年 9月 28日   | 无    |            |    |                |
| CN          | 105607366  | A  | 2016年 5月 25日   | WO   | 2017118013 | A1 | 2017年 7月 13日   |
|             |            |    |                | US   | 2017293189 | A1 | 2017年 10月 12日  |
|             |            |    |                | US   | 10025152   | B2 | 2018年 7月 17日   |
| US          | 2007097308 | A1 | 2007年 5月 3日    | 无    |            |    |                |

表 PCT/ISA/210 (同族专利附件) (2015年1月)