

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年8月29日(2019.8.29)

【公表番号】特表2018-532260(P2018-532260A)

【公表日】平成30年11月1日(2018.11.1)

【年通号数】公開・登録公報2018-042

【出願番号】特願2018-509890(P2018-509890)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 01 L 23/15 (2006.01)

【F I】

H 01 L 23/12 B

H 01 L 23/14 C

【手続補正書】

【提出日】令和1年7月18日(2019.7.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

システムオンチップ(SOC)ウェハと、

第1および第2の面ならびにそれらを通る複数のビアを有するインダクタウェハであって、前記ビアが前記インダクタウェハ中で複数の側壁を形成し、前記インダクタウェハの前記第1の面が前記SOCウェハに隣接して配設され、および電気的に接続されている、インダクタウェハと、

前記インダクタウェハの前記第1の面の少なくとも一部の上の磁気層と、

前記磁気層上、前記インダクタウェハの前記第2の面の少なくとも一部の上、および前記インダクタウェハ中の前記ビアにより形成された前記側壁のうちの少なくともいくつかの上に配設された導電層であって、それによりインダクタを形成している、導電層とを備える、デバイス。

【請求項2】

前記磁気層が薄膜磁気層を備える、請求項1に記載のデバイス。

【請求項3】

前記導電層が銅めっきを備える、請求項1に記載のデバイス。

【請求項4】

前記SOCウェハと前記インダクタウェハとの間に配設される導電体をさらに備える、請求項1に記載のデバイス。

【請求項5】

前記インダクタウェハがガラスウェハを含むか、または

前記インダクタウェハが石英ウェハを含む、請求項1に記載のデバイス。

【請求項6】

ダイと、

第1および第2の面ならびにそれらを通る複数のビアを有するインダクタウェハであって、前記ビアが前記インダクタウェハ中で複数の側壁を形成し、前記インダクタウェハの前記第1の面が前記ダイに隣接して配設されている、インダクタウェハと、

前記インダクタウェハの前記第1の面の少なくとも一部の上の磁気層と、

前記インダクタウェハ中の前記ビアのうちの少なくともいくつかの中に配設される複数の導電体であって、前記インダクタウェハの前記第1の面に隣接する第1の端部および前記インダクタウェハの前記第2の面に隣接する第2の端部をそれぞれ有している、複数の導電体と、

を備える、電圧レギュレータ、ならびに

前記電圧レギュレータから電源電圧を受け取るように構成されるシステムオンチップ(SOC)パッケージであって、前記導電体の前記第1の端部と前記第2の端部のうちの少なくとも一方に接続された少なくとも1つの導電体を有している、SOCパッケージを備える、デバイス。

【請求項7】

前記SOCパッケージに結合されたプリント回路板(PCB)をさらに備える、請求項6に記載のデバイス。

【請求項8】

前記磁気層が薄膜磁気層を備える、請求項6に記載のデバイス。

【請求項9】

前記電圧レギュレータが前記インダクタウェハの前記第1および第2の面上に配設された複数の追加導電体をさらに備え、前記インダクタウェハの前記第1および第2の面上の前記追加導電体ならびに前記インダクタウェハ中の前記ビアのうちの少なくともいくつかの中の前記導電体がインダクタのコイルを形成する、請求項6に記載のデバイス。

【請求項10】

前記コイルが少なくとも部分的に前記磁気層を取り囲む、請求項9に記載のデバイス。

【請求項11】

デバイスを作る方法であって、

第1の面および第2の面を有するインダクタウェハを提供するステップと、

前記インダクタウェハの前記第1の面および前記第2の面を通る複数のビアを形成するステップであって、前記ビアが、前記インダクタウェハ内の複数の側壁により画定される、ステップと、

前記インダクタウェハの前記第1の面の少なくとも一部の上にパターン形成された磁気層を形成するステップと、

前記パターン形成された磁気層上の導電層を、前記パターン形成された磁気層、前記インダクタウェハの前記第2の面の少なくとも一部、および前記ビアの前記側壁のうちの少なくともいくつかを覆って形成するステップと、

SOCウェハを前記インダクタウェハと接合するステップとを含む、方法。

【請求項12】

前記導電層を形成するステップが、銅のセミアディティブめっきを形成するステップを含む、請求項11に記載の方法。

【請求項13】

前記パターン形成された磁気層を形成するステップが、前記インダクタウェハの前記第1の面の少なくとも一部の上に磁気材料をスパッタリングするステップを含む、請求項11に記載の方法。

【請求項14】

デバイスを作る方法であって、

システムオンチップ(SOC)パッケージを提供するステップ、および

前記SOCパッケージ上に電圧レギュレータを形成するステップであって、

SOCダイを提供するステップと、

第1および第2の面を有するインダクタウェハを提供するステップであって、前記インダクタウェハの前記第1の面が前記SOCダイに隣接して配設される、ステップと、

前記インダクタウェハの前記第1の面および前記第2の面を通る複数のビアを形成するステップであって、前記ビアが前記インダクタウェハ中で複数の側壁により画定される

、ステップと、

前記インダクタウェハ中の前記ピアのうちの少なくともいくつかの中に配設される複数の導電体を形成するステップであって、前記導電体が、前記インダクタウェハの前記第1の面に隣接する第1の端部および前記インダクタウェハの前記第2の面に隣接する第2の端部をそれぞれ有する、ステップと
を含むステップ
を含み、

前記SOCパッケージが前記電圧レギュレータから電源電圧を受け取るように構成され、前記SOCパッケージが前記導電体の前記第1の端部と前記第2の端部のうちの少なくとも一方に接続される少なくとも1つの導電体を有する、方法。

【請求項15】

前記インダクタウェハ上にパターン形成された磁気層を形成するステップをさらに含む、請求項14に記載の方法。