

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年12月21日 (21.12.2007)

PCT

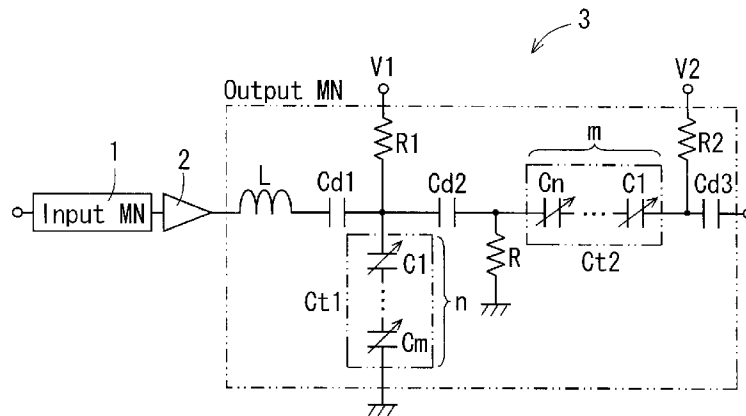
(10) 国際公開番号  
WO 2007/145259 A1

- (51) 国際特許分類: H03H 7/00 (2006.01) H03H 5/12 (2006.01) 6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).  
H03H 7/20 (2006.01) H01G 7/06 (2006.01)  
H03H 7/38 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061933 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 勝田 宏 (KATTA, Hiroshi) [JP/JP]; 〒6190237 京都府相楽郡精華町光台3丁目5番地3号 京セラ株式会社中央研究所内 Kyoto (JP).
- (22) 国際出願日: 2007年6月13日 (13.06.2007)
- (25) 国際出願の言語: 日本語 (74) 代理人: 西教 圭一郎, 外(SAIKYO, Keiichiro et al.); 〒5410051 大阪府大阪市中央区備後町3丁目2番6号 敷島ビル Osaka (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2006-163026 2006年6月13日 (13.06.2006) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
- (71) 出願人 (米国を除く全ての指定国について): 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒

[ 続葉有 ]

(54) Title: VARIABLE CAPACITANCE CIRCUIT

(54) 発明の名称: 可変容量回路



(57) Abstract: It is possible to provide a variable capacitance circuit of a small size capable of reducing distortion and current consumption and satisfying the power resistance at a low cost. The variable capacitance circuit includes: a first variable capacitance element unit formed by connecting  $n$  ( $n$  is a natural number not smaller than 2) variable capacitance capacitors including at least one variable capacitance element having a dielectric layer whose dielectric constant changes in accordance with an applied DC voltage and a pair of electrodes sandwiching the dielectric layer, the  $n$  first variable capacitance element units being connected in series when viewed from high frequency and in parallel when viewed from DC current; and a second variable capacitance element unit to which voltage amplitude smaller than voltage amplitude of a high-frequency signal applied to the first variable capacitance element unit is applied and which includes one variable capacitance element or  $m$  ( $m$  is a natural number smaller than  $n$ ) variable capacitance capacitors which are connected in series.

(57) 要約: 本発明は、低歪み化と消費電流低減化をともに満足させ、さらに、耐電力、低コスト化、回路の小型化を満足させる可変容量回路に関する。直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる可変容量素子1個以上から構成される可変

[ 続葉有 ]



WO 2007/145259 A1



KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

容量コンデンサが $n$ 個 (ただし $n$ は2以上の自然数)、高周波的には直列に、直流的には並列に接続されてなる第1可変容量素子ユニットと、前記第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さい電圧振幅が印加されるとともに、1個の前記可変容量素子からなる、または $m$ 個 (ただし $m$ は $n$ より小さい自然数) の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニットと、を含む。

## 明 細 書

### 可変容量回路

### 技術分野

- [0001] 本発明は、携帯電話等の無線通信機器に使用される直流電圧により誘電率が変化する誘電体を有し、容量が変化することにより、インピーダンスや共振周波数等を変化させ、回路の特性を可変することができる可変容量素子を用いた可変容量回路に関し、特に、低歪み、低消費電流等の特性に優れた可変容量回路に関する。

### 背景技術

- [0002] 従来から、コンデンサ、抵抗、インダクタ、伝送線路等のインピーダンス素子と可変容量ダイオードとを組み合わせ、インピーダンスや共振周波数等を変化させることで、所望の回路特性への合わせ込み、周波数帯域の切替え、および使用環境における特性の変化を軽減できる回路が知られている。

また、可変容量ダイオードに換えて、直流電圧により誘電率が変化する薄膜誘電体層を用いた可変容量素子を用い高周波でも損失が小さい回路が知られている。

さらに、複数の可変容量素子を直流的に並列接続し、かつ高周波的に直列接続した可変容量素子ユニットを用いて、高周波でも損失が小さく、耐電力、低歪み等の特性に優れた回路が開示されている(特開2005-101773号公報参照)。

しかしながら、可変容量ダイオードを使用した回路は、可変容量ダイオードの耐電力が低く、また容量の非線形性による歪みが大きいため、取扱い電力が小さい受信機や受信回路にしか用いることができない、すなわち、取扱い電力が大きい送信機や送信回路には用いることができず、さらに、高周波での損失が大きいという問題点がある。

直流電圧により誘電率が変化する薄膜誘電体層を有する可変容量素子を用いた回路においては、高周波でも可変容量素子における損失を少なくすることができるため、回路の損失を少なくすることができるが、可変容量素子は、高周波電圧によっても容量変動が生じるため、高周波電圧が高い場合、波形歪みや相互変調歪み等の歪みが大きくなるというような問題点がある。

前記歪みを低減するためには、可変容量素子の高周波電界強度を下げ、高周波電圧による容量変動を小さくする必要があり、そうするためには誘電体層の厚みを大きくすることが有効であるが、誘電体層の厚みを大きくすると直流電界強度も小さくなるため、容量変化率も下がり、回路のインピーダンスや共振周波数等の制御幅が小さくなるという問題点がある。

高周波信号では可変容量素子に電流が流れやすくなるため、可変容量素子を可変容量回路で使用する場合、使用中に損失抵抗により可変容量素子が発熱して壊れ、高周波信号に対する回路の耐電力が低くなるという問題点がある。このような耐電力の問題に対しても誘電体層の厚みを大きくし、単位体積当りの発熱量を小さくすることが有効であるが、誘電体層の厚みを大きくすると直流電界強度も小さくなるため、容量変化率も下がり、回路のインピーダンスや共振周波数等の制御幅が小さくなるという問題点がある。

特開2005-101773号公報には、直流電圧により誘電率が変化する薄膜誘電体層を用いた可変容量素子を複数、直流的に並列接続し、かつ高周波的に直列接続してなる可変容量素子ユニットを用いた回路が開示されている。この回路は、複数の可変容量素子が直流的に並列接続されたものであるため、各々の可変容量素子に所定の直流電圧を印加することができ、これにより、直流電圧による各々の可変容量素子の容量変化率を最大限に利用して所望のインピーダンスを制御することができる。また、可変容量素子ユニットは複数の可変容量素子が高周波的に直列接続されているため、可変容量素子に印加される高周波電圧が各々の可変容量素子に分圧されるので、個々の可変容量素子に印加される高周波電圧は分圧されて減少することとなり、可変容量素子ユニットの高周波信号に対する容量変動を小さく抑えることができる。そのため、特開2005-101773号公報に開示されている回路は、回路の波形歪みや相互変調歪み等を抑制することができる。さらに、複数の可変容量素子が高周波的に直列接続されているため、可変容量素子の誘電体層の膜厚を大きくすると同様の効果が得られ、可変容量素子ユニットの損失抵抗による単位体積あたりの発熱量を小さくすることができ、回路の耐電力を向上できるものである。

しかしながら、その一方で、特開2005-101773号公報に開示されている回路に

における可変容量素子ユニットは、可変容量素子の数が多いため、個々の可変容量素子に印加される高周波電圧を低減できるが、その場合、可変容量素子の数が多いことで、直流的には可変容量素子が並列接続されていることにより消費電流が増加する傾向があり、さらには、使用する可変容量素子数が多いと、可変容量回路が大型化してコストがかかる傾向がある。

可変容量素子数を増やせば、回路の波形歪みや相互変調歪み等を低減することはできる一方で、消費電流は増加するというように、前記可変容量素子ユニットを有する回路への要求特性のなかでも、低歪み化と消費電流低減化は二律背反の関係にあるため、とくにそれらとともに満足することは困難であり、さらに、可変容量素子数の増加に起因するコストの増大および可変容量回路の大型化を十分に抑制することまでも達成した可変容量回路について満足する報告がされていない。

#### 発明の開示

[0003] 本発明は、以上のような従来の技術における問題点に鑑みて案出されたものであり、その目的は低歪み化と消費電流低減化とともに満足させ、さらに、耐電力、低コスト化、回路の小型化を満足させる可変容量回路を提供することである。

本発明は、容量値が制御される可変容量回路であって、第1の可変容量部と第2の可変容量部とを含み、前記第1の可変容量部が、直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる可変容量素子1個以上から構成される可変容量コンデンサが $n$ 個(ただし $n$ は2以上の自然数)、高周波的には直列に、かつ、直流的には並列に接続されてなる第1可変容量素子ユニットであり、前記第2の可変容量部が、前記第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さい電圧振幅が印加されるとともに、直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる1個の前記可変容量素子からなる、または $m$ 個(ただし $m$ は $n$ より小さい自然数)の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニットである、ことを特徴とする可変容量回路である。

また本発明は、容量値が制御される可変容量回路であって、第1の可変容量部と第2の可変容量部とを含み、前記第1の可変容量部が、直列に接続される $n$ 個(ただ

し $n$ は2以上の自然数)の可変容量コンデンサであって、各可変容量コンデンサは1個以上の可変容量素子から構成され、該可変容量素子は、直流電圧の印加に応じて誘電率が変化する誘電体層と、該誘電体層を挟持する一対の電極とからなる、 $n$ 個の可変容量コンデンサと、直流電圧の高電位側の第1バイアスラインおよび直流電圧の低電位側の第2バイアスラインであって、第1バイアスラインおよび第2バイアスラインとが複数の可変容量コンデンサの両端および各コンデンサ間に交互に接続される、第1バイアスラインおよび第2バイアスラインとを含む、第1可変容量素子ユニットであり、前記第2の可変容量部が、前記第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さい電圧振幅が印加されるとともに、直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる1個の可変容量素子からなる、または $m$ 個(ただし $m$ は $n$ より小さい自然数)の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニットと、を含むことを特徴とする可変容量回路である。

本発明は、複数の可変容量部であって、それぞれが1または複数の可変容量素子を有する、複数の可変容量部における電圧振幅値をそれぞれ測定して、前記可変容量部における前記電圧振幅値の大小を比較する工程と、前記複数の可変容量部のうち、電圧振幅値の異なる2つの可変容量部を選択し、電圧振幅値の小さい方の可変容量回路における可変容量素子数を減らす工程と、を含むことを特徴とする可変容量回路の可変容量素子数の調整方法である。

本発明によれば、可変容量素子1個以上から構成される可変容量コンデンサが $n$ 個、高周波的には直列に、かつ、直流的には並列に接続されてなる第1可変容量素子ユニットを有し、さらに、第1可変容量素子ユニットよりも小さい電圧振幅が印加されると第1可変容量素子ユニットよりも可変容量素子数の歪みへの依存性が非常に小さく、可変容量素子数を大きく減少させた第2可変容量素子ユニットを有することにより、歪みの発生を抑制したうえで消費電流をも少なくでき、耐電力に優れ、低損失、かつ低消費電流である可変容量回路を提供することができ、さらに、該可変容量回路にかかるコストの低減および該可変容量回路の小型化を達成することができる。

図面の簡単な説明

[0004] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

図1は、本発明の一実施形態に従う可変容量回路を示す等価回路図である。

図2は、図1に示す出力整合回路の隣接チャネル漏洩電力(ACPR1)の計算結果であり、ACPR1に対する第1可変容量素子ユニットCt1中の可変容量コンデンサ数の依存性を示す図である。

図3は、図1に示す出力整合回路の隣接チャネル漏洩電力(ACPR1)の計算結果であり、ACPR1に対する第2可変容量素子ユニットCt2中の可変容量素子数の依存性を示す図である。

図4Aおよび図4Bは、図4Aは、可変容量素子が5個直列接続された可変容量素子ユニットの実施の形態の一例を示す透視状態の平面図であり、図4Bは、図4AのA-A'線断面図である。

図5Aおよび図5Bは、本発明の一実施形態に従う可変容量素子ユニットを示す等価回路図である。

図6は、第2可変容量素子ユニットの一例を示す透視状態の図である。

#### 発明を実施するための最良の形態

[0005] 以下図面を参考にして本発明の好適な実施形態を詳細に説明する。

本発明の可変容量回路は、直流電圧の印加により容量が変化する第1の可変容量部と第2の可変容量部とを含む。ここで、前記第1の可変容量部は、可変容量素子1個以上から構成される可変容量コンデンサがn個(ただしnは2以上の自然数)、高周波的には直列に、かつ、直流的には並列に接続されてなる第1可変容量素子ユニットを示しており、また、前記第2の可変容量部は、1個の前記可変容量素子からなる、またはm個(ただしmはnより小さい自然数)の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニットとを含むものであり、第2可変容量素子ユニットは、第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さい電圧振幅が印加されるとともに、第1可変容量素子ユニットよりも小さい可変容量コンデンサ数を示す。

本発明の可変容量回路は、第1可変容量素子ユニットおよび第2可変容量素子ユ

ニットを含むものであり、これらのユニットの容量値を制御したものである。第1可変容量素子ユニットおよび第2可変容量素子ユニットの容量値を制御するとは、どちらか一方の容量値の容量値を変化させ、もう一方の容量値を変化させない場合も、さらに、どちらの容量値も変化させない場合も含む。

第1可変容量素子ユニットおよび第2可変容量素子ユニットの容量値を制御することにより、従来は一つの可変容量素子ユニットでは得られなかった可変容量回路の使用条件または特性を得ることが可能となる。ここで、可変容量回路の使用条件とは、可変容量回路の回路毎に多様であり、例えば、周波数条件、温度条件、使用電力条件などが挙げられる。また、可変容量回路の特性についても同様に、可変容量回路の回路毎に多様であり、例えば、可変容量回路が整合回路の場合はインピーダンス特性、可変容量回路が共振回路の場合は通過特性および減衰特性、可変容量回路が移相回路の場合は位相特性のことをいう。

また本発明において、第2可変容量素子ユニットが、前記 $m$ 個の可変容量素子が直列に接続されてなり、前記第2可変容量素子ユニットは、前記可変容量素子1個以上から構成される可変容量コンデンサが $o$ 個(ただし $o$ は $n$ より小さい自然数)、高周波的には直列に、かつ、直流的には並列に接続されてなることが好ましい。

また本発明において、第2可変容量素子ユニットが、 $m$ 個の可変容量素子が直列に接続されてなる可変容量素子ユニットであり、

前記第2可変容量素子ユニットは、

直列に接続される $o$ 個(ただし $o$ は $n$ より小さい自然数)の可変容量コンデンサであって、各可変容量コンデンサは1個以上の可変容量素子から構成される、 $o$ 個の可変容量コンデンサと、

直流電圧の高電位側の第1バイアスラインおよび直流電圧の低電位側の第2バイアスラインであって、第1バイアスラインおよび第2バイアスラインとが複数の可変容量コンデンサの両端および各コンデンサ間に交互に接続される、第1バイアスラインおよび第2バイアスラインとを含むことが好ましい。

また本発明において、前記可変容量回路中において、第1可変容量素子ユニットに印加される高周波信号の電圧振幅は最大であり、第2可変容量素子ユニットに印

加される高周波信号の電圧振幅は最小であることが好ましい。

また本発明において、前記可変容量回路の入力側および出力側にはそれぞれ回路が接続されており、前記可変容量素子の容量変化を用いて、前記入力側の回路と前記出力側の回路とのインピーダンスを整合させるための整合回路として前記可変容量回路を機能させることが好ましい。

また本発明において、前記可変容量素子の容量変化を用いて、高周波信号の共振周波数を変化させるための共振回路として前記可変容量回路を機能させることが好ましい。

本発明において、前記可変容量回路の入力側および出力側にそれぞれ回路が接続されており、前記可変容量素子の容量変化を用いて、前記入力側の回路からの高周波信号と前記出力側の回路への高周波信号との位相差を変化させるための移相回路として前記可変容量回路を機能させることが好ましい。

<第1可変容量素子ユニットおよび第2可変容量素子ユニットの可変容量素子数(可変容量コンデンサ数)の比較>

本発明の可変容量回路は、第2可変容量素子ユニットに印加される高周波信号の電圧振幅が、第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さいことを満足したうえで、さらに、第2可変容量素子ユニットにおける前記可変容量素子数 $m$ (第2可変容量素子ユニット $A'$ の場合は可変容量コンデンサ数 $o$ )が、第1可変容量素子ユニットにおける前記可変容量コンデンサ数 $n$ よりも少ないことを満足するものをいう。ここで、印加される高周波信号とは、300MHz以上の周波数信号をいい、本発明の可変容量回路に印加される高周波信号のなかでも主信号のものをいう。例えば、本発明の可変容量回路の入力側に、トランジスタのような非線形デバイスを接続されている場合、該非線形デバイスからは、主信号となる高周波信号と高調波信号等の高周波信号とが可変容量回路に印加されることになるが、この場合、主信号を、本発明の「印加される高周波信号」という。

本発明は、第1可変容量素子ユニットおよび第2可変容量素子ユニットにおいて、印加される高周波信号の電圧振幅がそれぞれ異なり、第1可変容量素子ユニットの電圧振幅よりも第2可変容量素子ユニットの電圧振幅が小さい場合に、第2可変容量

素子ユニットにおける可変容量素子数を、第1可変容量素子ユニットにおける可変容量コンデンサよりも少なくした可変容量回路に関するものである。そして、このように電圧振幅の大小をもとにして第1可変容量素子ユニットおよび第2可変容量素子ユニットの可変容量素子数を制御し、可変容量回路に使用する可変容量素子の総数を減少させることができる。

具体的には、高周波信号の電圧振幅が小さいほど、可変容量素子ユニット中の各可変容量素子に印加される電圧振幅は分圧されて小さくなり、それにより各可変容量素子における歪みが小さくなるため、その可変容量素子ユニットにおける可変容量素子数は少なくてすむことになる。

そのため、各可変容量素子ユニットにおける高周波信号の電圧振幅を測定または計算し、それらの大小を比較することにより、可変容量回路特性に対する可変容量素子数の依存性の小さい方のユニットの素子数を少なくできるものである。

上記のように、第2可変容量素子ユニットにおける前記可変容量素子数 $m$ を第1可変容量素子ユニットにおける前記可変容量コンデンサ数 $n$ よりも少ないものとするためには、以下に示す(1)～(3)のステップを含有する可変容量素子数の調整方法を用いることがとくに好ましい。

前記調整方法としては、(1)複数の可変容量素子ユニットそれぞれに印加される高周波信号の電圧振幅値を測定(シミュレーションによる計算も含む)し、得られた電圧振幅値の大小を比較するステップと、(2)第1可変容量素子ユニット中の可変容量コンデンサ数の可変容量回路特性に対する依存性と、前記第1可変容量素子ユニットよりも高周波信号の電圧振幅の低い第2可変容量素子ユニット中の可変容量素子数の依存性とを比較するステップと、(3)前記依存性をもとにして前記第2可変容量素子ユニット中の可変容量素子の最適素子数を算出するステップと、からなることが好ましい。なお、印加される高周波信号とは、前記したように、本発明の可変容量回路に印加される高周波信号のなかでも主信号のものをいう。

上記ステップ(1)における複数の可変容量素子ユニットは、可変容量素子が直列に接続されてなるものをいい、可変容量素子1個以上から構成される可変容量コンデンサが高周波的には直列に、かつ、直流的には並列に接続されてなる可変容量素

子ユニットも含む。

上記ステップ(1)における複数の可変容量素子ユニットは、それらを有する可変容量回路が所望の特性を得ることが可能なように可変容量回路中に設計されればよく、可変容量回路中における可変容量素子ユニット同士の位置関係、または、可変容量素子ユニットと他の成分(インダクタや抵抗など)との位置関係はとくに限定されない。ここで、所望な特性とは、例えば、回路の種類により要求される特性であり、増幅器における整合回路であれば、歪の大きさ(線形性)、消費電流、増幅率(gain)などを示す。なお、前述の可変容量回路は、当業者により一般的におこなわれている回路設計工程により設計されたものであり、具体的には、所望な特性が得られるように、シミュレーションおよび/または実測により各回路特性(各可変容量素子ユニットの容量値 $C_t$ および回路定数 $L$ )を決める工程を経て設計されたものである。

ステップ(1)中において、複数の可変容量素子ユニットは、シミュレーションおよび/または実測により得られたそれぞれの容量値と適合するものが回路中に設計される。この場合、容量値が適合するのであれば、可変容量素子ユニットの代わりに同様の容量値を示す容量素子(固定容量素子)を用いてもよい。容量素子を用いた場合、次のステップ(2)の前に、同様の容量値を有する可変容量素子ユニットに置換すればよい。

上記ステップ(1)において、複数の可変容量素子ユニットそれぞれに印加される高周波信号の電圧振幅値を測定する場合、その電圧振幅値は、可変容量素子ユニットの両端にオシロスコープを接続することで測定される。

また、上記ステップ(1)において、複数の可変容量素子ユニットそれぞれに印加される高周波信号の電圧振幅値を計算する場合、その電圧振幅値は、回路シミュレータを用いることで計算される。

そして、前述のように測定または計算されたそれぞれの可変容量素子ユニットにおける電圧振幅値を比較して、その大小を確認する。

上記ステップ(2)における第1可変容量素子ユニットは、可変容量素子が高周波的には直列に、かつ、直流的には並列に接続されてなる可変容量素子ユニットをいい、該接続を有するものであれば任意であるが、とくに、所望とする歪みや耐電力性等が

得られることから、複数の可変容量素子ユニットのなかでも電圧振幅値が最大のものを第1可変容量素子ユニットとすることが好ましい。

上記ステップ(2)における可変容量回路特性としては、例えば、隣接チャネル漏洩電力(ACPR)、3次相互変調歪み(IM3)などの歪み特性、または、受信感度、ビットエラーレートなどの変復調特性などが挙げられる。

上記ステップ(2)において、ある第1可変容量素子ユニット中の可変容量素子コンデンサ数の可変容量回路特性に対する依存性は、例えば、第1可変容量素子ユニット中の可変容量コンデンサ数と、該コンデンサ数の場合の前記可変容量回路特性とをプロットし、その傾きの大きさ(絶対値)からもとめることができる。また、同様にして、第2可変容量素子ユニット中の可変容量素子数の可変容量回路特性に対する依存性についてももとめることができる。この依存性は、コンデンサ数を設定した第1可変容量素子ユニットおよび第2可変容量素子ユニットを有する可変容量回路を実際作製したうえで可変容量回路特性を測定してもとめてもよいし、シミュレーションなどの計算によりもとめてもよい。

また、上記ステップ(2)において、第2可変容量素子ユニットは、第1可変容量素子ユニットよりも高周波信号の電圧振幅が低いものをいい、該要件を満たしていれば任意に前記可変容量素子ユニットから任意に選択することができるが、とくに、消費電流の十分な低減効果を得られるため、複数の可変容量素子ユニットのなかでも電圧振幅値が最小のものを第2可変容量素子ユニットとすることが好ましい。

上記ステップ(3)においては、ステップ(2)において求めた依存性のうち、依存性の低い可変容量素子ユニットにおける可変容量素子数を、可変容量回路特性が所望の特性より低下しない数まで減少させることをいう。なお、ステップ(2)において依存性を確認せずに、ステップ(1)における電圧振幅値の比較した結果をもとにして、電圧振幅値の大小の異なる2つの可変容量ユニットを選択し、電圧振幅値の小さい方の可変容量回路における可変容量素子数を減少させてもよい。

前記した調整方法の具体例を以下に示す。

<具体例>

以下に、具体的に、第2可変容量素子ユニットの可変容量素子数(可変容量コンデ

ンサ数)の算出法について述べるが、該算出法は以下の例に限定されるものではない。

算出は、可変容量回路の出力整合回路の歪み(この場合は歪特性の指標の一つである隣接チャネル漏洩電力(ACPR1))を計算し、ACPR1に対する、第1可変容量素子ユニットCt1中のコンデンサ数および第2可変容量素子ユニットCt2中のコンデンサ数のそれぞれの依存性について回路シミュレータにより計算することをおこなう。

図1の第1可変容量素子ユニットCt1および第2可変容量素子ユニットCt2に入力される高周波電圧は、使用される回路定数等により異なってくる。可変容量素子ユニットに入力される高周波電圧は、回路シミュレータ等で計算することができる。なお、図1は、符号1で示される入力整合回路(Input MN)と、符号2で示されるトランジスタと、符号3で示される出力整合回路(Output MN)と、からなり、出力整合回路3が、Ct1で示される第1可変容量素子ユニットと、Ct2で示される第2可変容量素子ユニットと、インダクタLと、第1～第3直流制限容量素子Cd1～Cd3と、第1および第2バイアス供給回路R1, R2と、から構成される高周波電力増幅器を示している。

さらに詳しくは、高周波電力増幅器において、入力整合回路1、トランジスタ2および出力整合回路3が、この順で直列に電氣的に接続される。出力整合回路3において、インダクタL、第1直流制限容量素子Cd1、第2直流制限容量素子Cd2、第2可変容量素子ユニットCt2および第3直流制限容量素子Cd3が、この順で直列に電氣的に接続される。トランジスタ2はインダクタLに電氣的に接続される。第1直流制限容量素子Cd1と第2直流制限容量素子Cd2との接続点には、第1バイアス供給回路R1が電氣的に接続されるとともに、第1可変容量素子ユニットCt1の入力端子が電氣的に接続され、第1可変容量素子ユニットCt1の出力端子は接地されている。第2直流制限容量素子Cd2と第2可変容量素子ユニットCt2との接続点には電気抵抗Rの一端が電氣的に接続され、電気抵抗Rの他端は接地されている。第2可変容量素子ユニットCt2と第3直流制限容量素子Cd3との接続点には、第2バイアス供給回路R2が電氣的に接続される。

Agilent Technologies社の回路シミュレータを用いて、回路定数=0.6nH、Ct1(

直流制御電圧0V) = 4.1 pF、Ct2(直流制御電圧0V) = 4.1 pF、出力整合回路3に入力される高周波信号を周波数1880MHz、入力電力+30.5dBmのcdma信号としてシミュレーションした結果、第2可変容量素子ユニットCt2に印加される高周波電圧は最大2.0V、第1可変容量素子ユニットCt1に印加される高周波電圧は、最大16.8Vであった(ステップ1)。

また、出力整合回路3の歪みは、可変容量素子の電圧—容量特性を測定し、その結果をJ.Appl.Phys.33(9),2826(1962)やJ.Mat.Sci.,Materials in Electronics 11,645(2000)等にて示されているバイアス方程式を用いてフィッティングを行い、可変容量素子ユニットとしてモデル化し、回路シミュレータを用いて計算することができる。

第1可変容量素子ユニットCt1の可変容量コンデンサ数および第2可変容量素子ユニットCt2の可変容量素子数をそれぞれ、5個、11個および22個とした場合の出力整合回路3の歪みの指標の1つである隣接チャネル漏洩電力(ACPR1)を計算した結果を図2および図3に示す。

図2において第1可変容量素子ユニットCt1は、可変容量コンデンサ数を増やすことでACPR1が低減(改善)しており、ACPR1への依存性が大きいものに対して、図3における第2可変容量素子ユニットCt2は、可変容量素子数に対して大きな変化はなく、ACPR1への依存性が非常に小さいことがわかる(ステップ2)。また、図2からわかるように、第1可変容量素子ユニットCt1の可変容量コンデンサ数が11個以上であれば、第2可変容量素子ユニットCt2の可変容量素子数が5個以上ではほぼ等しい結果となっていることが算出される(ステップ3)。

例えば、出力整合回路3の所望のACPR1特性が-50dBc(以下)とする場合、通常は、Ct1の可変容量コンデンサ数を11個とすると、Ct2の可変容量素子数についても共に11個とすることにより歪みの低減を図るところであるが、高周波信号の電圧振幅の小さいCt2は、図3からも明らかなようにACPR1への可変容量素子数の依存性が非常に小さいため、第2可変容量素子ユニットCt2の可変容量素子数を5個と、通常約半分に抑えることができ、消費電流を低減できる。

このように、第1可変容量素子ユニットと第2可変容量素子ユニットとを有する本発明の可変容量回路は、各可変容量素子に印加される高周波電圧を減少させて波形

歪みや相互変調歪み等を抑制するだけでなく、さらに、消費電流をも抑制することが可能となる。

<本発明の可変容量回路の好ましい態様>

本発明の可変容量回路中において、前記可変容量素子が高周波的には直列に、直流的には並列に接続されてなる可変容量素子ユニットが複数個存在する場合、個々の前記可変容量素子ユニットに印加される高周波信号の電圧振幅は、前記第1可変容量素子ユニットにおいて最大となることが好ましく、さらに、前記可変容量回路が、1個の前記可変容量素子からなる、または複数の前記可変容量素子が直列に接続されてなる可変容量素子ユニットを複数個含有するとき、個々の前記可変容量素子ユニットに印加される高周波信号の電圧振幅は、前記第2可変容量素子ユニットにおいて最小となるが好ましい。ここで、印加される高周波信号とは、前記したように、本発明の可変容量回路に印加される高周波信号のなかでも主信号のものをいう。

上記のようにすることで、第1可変容量素子ユニットの高周波信号の電圧振幅が最大であり、さらに第2可変容量素子ユニットの高周波信号の電圧振幅が最小であるため、所望とする歪みや耐電力性等の高周波特性が得られるだけでなく、消費電流の十分な低減効果を得ることができる。

すなわち、可変容量回路中の複数の可変容量素子ユニットのうち、印加される高周波信号の電圧振幅が最大のものが第1可変容量素子ユニットであり、最小のものが第2可変容量素子ユニットであることで、歪みの発生を大きく抑制し、さらに、第2可変容量素子ユニットにおける可変容量素子数も十分に少なくなることで消費電力を十分に低減することができる。

<整合回路、共振回路および移相回路>

本発明の可変容量回路は、種々の機能を有しており様々な回路として使用できるが、とくに主として、整合回路、共振回路または移相回路として使用されることが好ましい。そうすることにより、可変容量回路が有する第1可変容量素子ユニットCt1および第2可変容量素子ユニットCt2が容量成分による特性の制御を容易とできるため、整合回路とする場合は、所望の周波数や温度、使用電力等において所望のインピーダンスに整合でき、共振回路とする場合は所望の周波数や温度、使用電力等に

において所望の特性の共振周波数に設定でき、移相回路とする場合は、所望の周波数や温度、使用電力等において所望とする位相差に変化させることができる。

例えば、整合回路として使用した場合、所望の周波数や温度、使用電力等において前記可変容量回路の入力側の回路と出力側の回路とのインピーダンスを所望の特性、例えば、高電力、高効率、低歪みなどに整合させ、共振回路として使用した場合、高周波信号の共振周波数を所望の周波数に変化させ、移相回路として使用した場合、入力側の回路からの高周波信号と出力側の回路への高周波信号との位相差を、所望とする大きさに変化させることができる。これとともに、消費電力を十分に低減させることができることで、移動端末などに使用された場合、そのバッテリーの消費電力量を抑制させ、さらには移動端末の低コスト化および小型化をも達成させた前記可変容量回路を提供することができる。

整合回路、共振回路または移相回路とする場合、本発明の可変容量回路の入力側と出力側にそれぞれ回路が接続されている必要がある。入力側と出力側に接続される回路としては、例えば、トランジスタ、発振器などの能動デバイス、フィルタやアンテナなどの受動デバイスなどがあげられる。

以下に、可変容量素子および可変容量素子ユニットについてそれぞれ詳細に説明する。

#### <可変容量素子>

可変容量素子は、誘電体層と該誘電体層を挟持する一对の電極とからなる。前記誘電体層とは、直流電圧により誘電率が変化する薄膜誘電体層をいう。誘電率が変化する薄膜誘電体層を有する可変容量素子を用いていることによって、高周波でも可変容量素子ユニットにおける損失を少なくすることができるため、可変容量回路の損失を少なくすることができる。

前記電極は、Au、Pt、Irなどの貴金属が好ましく、前記誘電体層は  $(\text{Ba}_x \text{Sr}_{1-x}) \text{Ti}_{1-y} \text{O}_{3-z}$  (BST) などにより形成されることが好ましい。

前記可変容量素子は、前記誘電体層および前記一对の電極を低誘電率の絶縁基板上に形成することが好ましい。なお、前記絶縁基板としては、平坦で絶縁性の高い、例えば、MgO、アルミナ、サファイア、 $\text{LaAlO}_3$  などの絶縁基板が好ましい。

前記可変容量素子は、前記絶縁基板上に、下部電極、誘電体層および上部電極を順次スパッタなどを用い被着し、それぞれ所望の形状に加工することで、誘電体層と該誘電体層を挟持する一对の電極とからなる可変容量素子を作製することができる。

<可変容量素子ユニット>

(第1可変容量素子ユニット)

第1可変容量素子ユニットは、前記可変容量素子1個以上から構成される可変容量コンデンサが $n$ 個(ただし、 $n$ は2以上の自然数)、高周波的には直列に、直流的には並列に接続されてなるものをいう。第1可変容量素子ユニットは、とくに、取扱いの容易さや、小型化、低コスト等という理由から、同一支持基板上に、可変容量素子と、バイアスラインと、薄膜抵抗とを有する第1可変容量素子ユニットであることが好ましい。ここで、図4Aおよび図4Bにおいて同一支持基板上に、可変容量素子と、バイアスラインと、薄膜抵抗とを有する第1可変容量素子ユニットの具体的な一例を示す。なお、図4Aは、本発明における可変容量素子ユニットの一例を示すものであり、C1~C5は可変容量素子、31~34は導体ライン、4は薄膜誘電体層、5は上部電極、61~66は薄膜抵抗、7は絶縁層、8は引き出し電極層、9は保護層、10は半田拡散防止層、11は支持基板、12は下部電極、111および112は半田端子部を示す。また、図4Bは、図4AのA-A'線における断面図である。

本発明において可変容量コンデンサとは、前記可変容量素子1個以上から構成されるものであって、該可変容量コンデンサが $n$ 個(ただし $n$ は2以上の自然数)接続されて第1可変容量素子ユニットを構成する場合に、 $n$ 個がそれぞれ高周波的には直列に接続されているという要件を満足したうえで、さらに、同じ数の $n$ 個がそれぞれ直流的には並列に接続された要件を満足するものをいう。

ここで、上記に示した本発明における可変容量コンデンサの具体例について、図1および図5に基づいて以下に挙げる。なお、図1および図5はあくまで一例に過ぎずこれに限られるものではない。

図5Aは、5個の可変容量素子を有する等価回路図であって、該可変容量素子から構成される可変容量コンデンサが5個、高周波的には直列に、かつ、直流的には並

列に接続されてなる可変容量素子ユニットCtの等価回路図である。なお、図5Aの等価回路は図4Aおよび図4Bのものを示している。

また、図5Bは、6個の可変容量素子を有する等価回路図であって、該可変容量素子から構成される可変容量コンデンサが5個、高周波的には直列に、かつ、直流的には並列に接続されてなる可変容量素子ユニットCtの等価回路図である。

なお、図5Aおよび図5Bにおいて、符号C1～C6はいずれも可変容量素子であり、B11～B13およびB31～B33は抵抗成分およびインダクタ成分の少なくとも一方を含む第1バイアスライン(同図では、抵抗成分R11～R13およびR31～R33を示す。)であり、B21～B23およびB41～B43は抵抗成分およびインダクタ成分の少なくとも一方を含む第2バイアスライン(同図では、抵抗成分R21～R23およびR41～R43を示す。)である。第1バイアスラインB11～B13およびB31～B33は印加される直流電圧の高電位側となり、第2バイアスラインB21～B23およびB41～B43は印加される直流電圧の低電位側になる。なお、図中においてB11～B13およびB31～B33には第1バイアスラインとして直流電圧の高電位側が印加され、B21～B23およびB41～B43には第2バイアスラインとして直流電圧の低電位側が印加されているが、それらとは逆に、B11～B13およびB31～B33に第2バイアスラインとして直流電圧の低電位側が印加され、B21～B23およびB41～B43に第1バイアスラインとして直流電圧の高電位側が印加されてもよい。

(図5Aにおける可変容量素子ユニットの場合の可変容量コンデンサ)

図5Aにおいて、可変容量素子ユニットCtは、入力端子INと、出力端子OUTと、5個の可変容量素子C1～C5と、3つの第1バイアスラインB11～B13と、3つの第2バイアスラインB21～B23とを含む。5個の可変容量素子C1～C5は、入力端子INと出力端子OUTとの間に直列接続される。第1バイアスラインB11～B13は、並列接続される。第1バイアスラインB11は、入力端子INと第1可変容量素子C1との接続点に電氣的に接続される。第1バイアスラインB12は、第2可変容量素子C2と第3可変容量素子C3との接続点に電氣的に接続される。第1バイアスラインB13は、第4可変容量素子C4と第5可変容量素子C5との接続点に電氣的に接続される。第2バイアスラインB21～B23は、並列接続される。第2バイアスラインB21は、第5可変容量素子C

5と出力端子OUTとの接続点に電氣的に接続される。第2バイアスラインB22は、第3可変容量素子C3と第4可変容量素子C4との接続点に電氣的に接続される。第2バイアスラインB23は、第1可変容量素子C1と第2可変容量素子C2との接続点に電氣的に接続される。

すなわち第1バイアスラインB11は、第1可変容量素子C1の入力側端子に電氣的に接続される。第1バイアスラインB12は、第3可変容量素子C3の入力側端子に電氣的に接続される。第1バイアスラインB13は、第5可変容量素子C5の入力側端子に電氣的に接続される。第2バイアスラインB21は、第5可変容量素子C5の出力側端子に電氣的に接続される。第2バイアスラインB22は、第3可変容量素子C3の出力側端子に電氣的に接続される。第2バイアスラインB23は、第1可変容量素子C1の出力側端子に電氣的に接続される。図5Bに示される構成の場合、後述するように、第1～第5可変容量素子C1～C5を第1～第5可変容量コンデンサとそれぞれみなすことができる。したがって、

第1バイアスラインB11～B13および第2バイアスラインB21～B23は、複数の可変容量コンデンサの両端および各コンデンサ間に交互に接続される。すなわち、第1バイアスラインB11～B13は奇数番目の可変容量コンデンサの入力側端子に電氣的に接続され、第2バイアスラインB21～B23は奇数番目の可変容量コンデンサの出力側端子に電氣的に接続される。さらに詳しくは、第1バイアスラインB11～B13は奇数番目の可変容量コンデンサの入力側端子同士を電氣的に接続し、第2バイアスラインB21～B23は奇数番目の可変容量コンデンサの出力側端子同士を電氣的に接続する。

第1可変容量素子ユニットに該当する図5Aの可変容量素子ユニットCtに高周波信号を印加する場合、可変容量素子ユニットCtの入力端子INと出力端子OUTとの間には、高周波信号が、直列接続された可変容量素子C1～C5を介して印加されることになる。このとき、第1バイアスラインB11～B13および第2バイアスラインB21～B23の抵抗成分R11～R13およびR21～R23は、可変容量素子C1～C5の高周波信号の周波数領域でのインピーダンスに対して大きなインピーダンス成分となっており、高周波帯のインピーダンスに悪影響を与えない。このように、可変容量素子ユニット

Ctにおいて、5個の可変容量素子C1～C5は、高周波的には直列接続された可変容量素子と見ることができる。

一方、図1において、直流電圧を第1可変容量素子ユニットCt1に印加する場合、図5AのCtを図1のCt1とし、図5Aの可変容量素子ユニットの入力端子INをバイアス端子V1側に用い、出力端子OUTをグランド側に用いると、図1をも参照して、可変容量素子C1の容量成分を制御する直流電圧は、バイアス端子V1から第1バイアス供給回路R1の抵抗成分を介して供給され、第1可変容量素子C1と、第2バイアスラインB23、B21とを介して、バイアス端子V1とグランドとの間に印加される。この可変容量素子C1に印加される電圧に応じて、第1可変容量素子C1は所定の誘電率となり、その結果、所望の容量成分が得られることになる。第2～第5可変容量素子C2～C5にも、それぞれ第1可変容量素子C1と同様に、第1バイアスラインB11～B13および第2バイアスラインB21～B23を介して直流電圧が印加される。すなわち第2可変容量素子C2の容量成分を制御する直流電圧は、第1バイアスラインB11、B12と、第2可変容量素子C2と、第2バイアスラインB23、B21とを介して、バイアス端子V1とグランドとの間に印加される。第3可変容量素子C3の容量成分を制御する直流電圧は、第1バイアスラインB11、B12と、第3可変容量素子C3と、第2バイアスラインB22、B21とを介して、バイアス端子V1とグランドとの間に印加される。第4可変容量素子C4の容量成分を制御する直流電圧は、第1バイアスラインB11、B13と、第4可変容量素子C4と、第2バイアスラインB23、B21とを介して、バイアス端子V1とグランドとの間に印加される。第5可変容量素子C5の容量成分を制御する直流電圧は、第1バイアスラインB11、B13と、第5可変容量素子C5とを介して、バイアス端子V1とグランドとの間に印加される。このように、直流電圧を可変容量素子ユニットCtに印加する場合、5個の可変容量素子C1～C5のそれぞれに第1可変容量素子ユニットCt1に印加されたのと同じ大きさの直流電圧が印加されることになるため、可変容量素子C1～C5は直流的には並列接続された可変容量素子と見ることができる。

つまり、図5Aの回路において、5個の可変容量素子がそれぞれ、高周波的には直列に、かつ直流的には並列に接続されているので、本発明においては、C1、C2、C3、C4およびC5がそれぞれ1つの可変容量コンデンサとなる。よって、図5Aの可変

容量素子ユニットは、可変容量コンデンサが5個、高周波的には直列に、かつ直流的には並列に接続されたものである。

(図5Bにおける可変容量素子ユニットの場合の可変容量コンデンサ)

図5Bにおいて、可変容量素子ユニットCtは、入力端子INと、出力端子OUTと、6個の可変容量素子C1～C6と、3つの第1バイアスラインB31～B33と、3つの第2バイアスラインB41～B43とを含む。6個の可変容量素子C1～C6は、入力端子INと出力端子OUTとの接続点に直列接続される。第1バイアスラインB31～B33は、並列接続される。第1バイアスラインB31は、入力端子INと第1可変容量素子C1との接続点に電氣的に接続される。第1バイアスラインB32は、第3可変容量素子C3と第4可変容量素子C4との接続点に電氣的に接続される。第1バイアスラインB33は、第5可変容量素子C5と第6可変容量素子C6との接続点に電氣的に接続される。第2バイアスラインB41～B43は、並列接続される。第2バイアスラインB41は、第6可変容量素子C6と出力端子OUTとの接続点に電氣的に接続される。第2バイアスラインB42は、第4可変容量素子C4と第5可変容量素子C5との接続点に電氣的に接続される。第2バイアスラインB43は、第2可変容量素子C2と第3可変容量素子C3との接続点に電氣的に接続される。

すなわち第1バイアスラインB31は、第1可変容量素子C1の入力側端子に電氣的に接続される。第1バイアスラインB32は、第4可変容量素子C4の入力側端子に電氣的に接続される。第1バイアスラインB33は、第6可変容量素子C6の入力側端子に電氣的に接続される。第2バイアスラインB41は、第6可変容量素子C6の出力側端子に電氣的に接続される。第2バイアスラインB42は、第4可変容量素子C4の出力側端子に電氣的に接続される。第2バイアスラインB43は、第2可変容量素子C2の出力側端子に電氣的に接続される。図5Bに示される構成の場合、後述するように、第1可変容量素子C1と第2可変容量素子C2とからなる群を第1可変容量コンデンサとみなすことができ、第3～第6可変容量素子C3～C6を第2～第5可変容量コンデンサとそれぞれみなすことができる。したがって、第1バイアスラインB31～B33および第2バイアスラインB41～B43は、複数の可変容量コンデンサの両端および各可変容量コンデンサ間に交互に接続される。すなわち、第1バイアスラインB31～B3

3は奇数番目の可変容量コンデンサの入力側端子に電氣的に接続され、第2バイアスラインB41～B43は奇数番目の可変容量コンデンサの出力側端子に電氣的に接続される。さらに詳しくは、第1バイアスラインB31～B33は奇数番目の可変容量コンデンサの入力側端子同士を電氣的に接続し、第2バイアスラインB41～B43は奇数番目の可変容量コンデンサの出力側端子同士を電氣的に接続する。

第1可変容量素子ユニットに該当する図5Bの可変容量素子ユニットCtに高周波信号を印加する場合、前記した図5Aの場合と同様の理由により、可変容量素子ユニットCtの入力端子INと出力端子OUTとの間には、高周波信号が、直列接続された可変容量素子C1～C6を介して流れることになる。このように、可変容量素子ユニットCtにおいて、6個の可変容量素子C1～C6は、高周波的には直列接続された可変容量素子と見ることができる。

一方、図1において直流電圧を第1可変容量素子ユニットCt1に印加する場合、図5BのCtを図1のCt1とし、図5Bの可変容量素子ユニットの入力端子INをバイアス端子V1側に用い、出力端子側OUTをグランド側に用いると、図1をも参照して、可変容量素子C1およびC2の容量成分を制御する直流電圧は、バイアス端子V1から第1バイアス供給回路R1の抵抗成分を介して供給され、第1可変容量素子C1と、第2可変容量素子C2と、第2バイアスラインB43、B41とを介して、バイアス端子V1とグランドとの間に印加される。第3～第6可変容量素子C3～C6にも、それぞれ図5Aの場合と同様に、第1バイアスラインB31～B33および第2バイアスラインB41～B43を介して直流電圧が印加される。すなわち第3可変容量素子C3の容量成分を制御する直流電圧は、第1バイアスラインB31、B32と、第3可変容量素子C3と、第2バイアスラインB43、B41とを介して、バイアス端子V1とグランドとの間に印加される。第4可変容量素子C4の容量成分を制御する直流電圧は、第1バイアスラインB31、B32と、第4可変容量素子C4と、第2バイアスラインB42、B41とを介して、バイアス端子V1とグランドとの間に印加される。第5可変容量素子C5の容量成分を制御する直流電圧は、第1バイアスラインB31、B33と、第5可変容量素子C5と、第2バイアスラインB43、B41とを介して、バイアス端子V1とグランドとの間に印加される。第6可変容量素子C6の容量成分を制御する直流電圧は、第1バイアスラインB31、B33と、第6可変

容量素子C6とを介して、バイアス端子V1とグランドとの間に印加される。このように、直流電圧を可変容量素子ユニットCtに印加する場合、C1およびC2からなる群と、C3と、C4と、C5と、C6とがCt1に印加された直流電圧と同じ大きさの直流電圧が印加されることになり、直流的には並列接続されていると見ることができる。

この場合、高周波的な直列接続の場合と直流的な並列接続の場合の可変容量コンデンサの数が同数となるように可変容量コンデンサを決定すると、C1およびC2からなる群を1つの可変容量コンデンサとし、また、C3、C4、C5およびC6をそれぞれ1つ1つのコンデンサとすることで、高周波的な直列接続の場合と直流的な並列接続の場合の可変容量コンデンサの数が同数となる。よって、図5Bの可変容量素子ユニットは、5個の可変容量コンデンサが、高周波的には直列に、かつ直流的には並列に接続されたものである。

第1可変容量素子ユニットは、可変容量コンデンサが直流的には並列に接続されてなることにより、直流的に同じ大きさの直流電圧が印加され、所定の容量成分を得ることができる。その結果、可変容量コンデンサの容量を所望の値に制御するための直流電圧を、安定してそれぞれ別々に可変容量コンデンサに供給することができ、直流電圧の印加による可変容量コンデンサの薄膜誘電体層における誘電率を所望通りに変化させることができる。このように第1可変容量素子ユニットは、容量成分の制御が容易な可変容量素子ユニットとなっており、これにより、可変容量素子ユニットによって、例えば、所望の特性のインピーダンスに設定するなどすることができ、これを用いた本発明の可変容量回路の特性を可変とすることができる。

また、第1可変容量素子ユニットは、可変容量コンデンサが高周波的には直列に接続されてなることにより、可変容量素子ユニットCtに入力される高周波信号、つまり可変容量コンデンサに印加される高周波信号は、図5Aのように、抵抗成分R11～R13およびR21～R23が、高周波信号の周波数領域でのインピーダンスに対して大きなインピーダンス成分となっていることから、第1バイアスラインB11～B13および第2バイアスラインB21～B23を介して漏れることがない。例えば、図5Aにおいて、可変容量コンデンサCtを周波数1GHzで使用し、可変容量素子C1～C5の容量を5pFとした場合には、この周波数の1/10(100MHz)からインピーダンスに悪影響を与えな

いように図1の薄膜抵抗61～66を可変容量素子C1～C5の100MHzでのインピーダンスの10倍以上の抵抗値に設定するものとする、必要な第1および第2バイアスラインB11, B12, B13, B21, B22, B23の抵抗値は、約3.2kΩ以上であればよい。

このように、直流電圧が安定して可変容量素子C1～C5に独立に印加されるようになっており、直流電圧による各々の可変容量素子C1～C5の容量変化率を最大限に利用することができるものであり、インピーダンスや共振周波数等を制御することができる。

したがって、これら直列接続された可変容量コンデンサに印加される高周波電圧は各々の可変容量コンデンサにそれぞれ分圧されるので、個々の可変容量コンデンサに印加される高周波電圧は減少することとなる。このことから、高周波信号に対する容量変動は小さく抑えることができ、可変容量回路として、波形歪みや相互変調歪み等を抑制することができる。

また、可変容量コンデンサを直列接続したことにより、高周波的には容量素子の誘電体層の層厚を厚くしたのと同じ効果があり、可変容量素子ユニットの損失抵抗による単位体積当りの発熱量を小さくすることができ、可変容量回路として、耐電力を向上することができる。

(第2可変容量素子ユニット)

第2可変容量素子ユニットとしては、 $m$ 個(ただし $m$ は $n$ より小さい自然数)の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニット(第2可変容量素子ユニットAとする)、または1個の前記可変容量素子からなる第2可変容量素子ユニット(第2可変容量素子ユニットBとする)のいずれかをいう。なお、 $m$ は自然数としているが、ここでいう自然数は0を含めないものである。

第2可変容量素子ユニットAは、上記の要件を満たしていればよいが、特に、取扱いの容易さや、小型化、低コスト等という利点があることから、例えば、図6のように同一支持基板上に、 $m$ 個の可変容量素子を有するものが好ましい。なお、図6における第2可変容量素子ユニットはバイアスラインを含まない5個の可変容量素子からなるものを示しているが、これに限定されるものではない。

第2可変容量素子ユニットAは、例えば、直流制限容量素子など可変容量素子以外の容量素子が可変容量素子の直列接続中に存在する場合は、それらの容量素子も含めたものを第2可変容量素子ユニットAとし、該ユニットAの高周波信号の電圧振幅を測定する。

第2可変容量素子ユニットAとしては、可変容量素子が直列接続されてなるものなかでも特に、図5Aおよび図5Bに示される可変容量素子ユニットと同様に、前記可変容量素子1個以上から構成される可変容量コンデンサが $o$ 個(ただし $o$ は $n$ より小さい自然数)、高周波的には直列に、かつ、直流的には並列に接続されてなるもの(第2可変容量素子ユニットA'とする)が好ましい。すなわち、第2可変容量素子ユニットは、直列に接続される $o$ 個(ただし $o$ は $n$ より小さい自然数)の可変容量コンデンサであって、各可変容量コンデンサは1個以上の可変容量素子から構成される、 $o$ 個の可変容量コンデンサと、直流電圧の高電位側の第1バイアスラインおよび直流電圧の低電位側の第2バイアスラインであって、第1バイアスラインと第2バイアスラインとが複数の可変容量コンデンサの両端および各可変容量コンデンサ間に交互に接続される、第1バイアスラインおよび第2バイアスラインとを含むことが好ましい。特に、図5Aおよび図5Bに示される可変容量素子ユニットと同様に、第1バイアスラインは奇数番目の可変容量コンデンサの入力側端子同士を接続し、第2バイアスラインは奇数番目の可変容量コンデンサの出力側端子同士を接続することが好ましい。そうすることで、同じ直流電圧における容量変化率を高くすることができ、それによりインピーダンスや共振周波数の制御幅(可変幅)を大きくすることができるという効果が得られるので好適である。なお、第2可変容量素子ユニットA'は、前記した第1可変容量素子ユニットと同様である。

第2可変容量素子ユニットBは、前記1個の可変容量素子からなるものをいう。ここで、前記1個の可変容量素子からなる第2可変容量素子ユニットとは、前記可変容量素子1個が、他の可変容量素子と隣接していない状態をいう。第2可変容量素子ユニットBは、可変容量素子が1個から構成されるため、小型化と同時に消費電流を更に低減できるという利点がある。

このように、第2可変容量素子ユニットとして、第1可変容量素子ユニットと同様に、

高周波的には直列に、かつ、直流的には並列に接続された前記可変容量コンデンサからなるものを用いる場合、前記第2可変容量素子ユニットに印加される直流電圧と同じ大きさの直流電圧が前記可変容量コンデンサの各々に印加されるため、容量変化率を最大限に利用することができることにより、歪みの発生を抑制したうえで消費電流をも少なくでき、耐電力に優れ、低損失、かつ低消費電流でさらに、容量変化率が大きい可変容量回路とすることができる。

なお、本発明は以上の実施の形態の例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更を加えることは何ら差し支えない。例えば、上述の実施形態では、出力整合回路の構成をLCローパス型、LCハイパス型、 $\pi$ 型、T型、LC共振型等を組み合わせた多段構成にしたように変形しても構わない。また、可変容量回路の構成として、フィルタやTxフィルタとRxフィルタを組み合わせたデュプレクサやアンテナと整合回路を組み合わせたアンテナモジュール等にしても構わない。

本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

## 請求の範囲

- [1] 容量値が制御される可変容量回路であって、  
第1の可変容量部と第2の可変容量部とを含み、  
前記第1の可変容量部が、直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる可変容量素子1個以上から構成される可変容量コンデンサが $n$ 個(ただし $n$ は2以上の自然数)、高周波的には直列に、かつ、直流的には並列に接続されてなる第1可変容量素子ユニットであり、さらに、  
前記第2の可変容量部が、前記第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さい電圧振幅が印加されるとともに、直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる1個の可変容量素子からなる、または $m$ 個(ただし $m$ は $n$ より小さい自然数)の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニットである、  
ことを特徴とする可変容量回路。
- [2] 第2可変容量素子ユニットが、前記 $m$ 個の可変容量素子が直列に接続されてなり、  
前記第2可変容量素子ユニットは、前記可変容量素子1個以上から構成される可変容量コンデンサが $o$ 個(ただし $o$ は $n$ より小さい自然数)、高周波的には直列に、かつ、直流的には並列に接続されてなることを特徴とする請求項1記載の可変容量回路。
- [3] 前記可変容量回路中において、  
第1可変容量素子ユニットに印加される高周波信号の電圧振幅は最大であり、  
第2可変容量素子ユニットに印加される高周波信号の電圧振幅は最小であることを特徴とする請求項1または2記載の可変容量回路。
- [4] 入力側および出力側にそれぞれ回路が接続されており、  
前記可変容量素子の容量変化を用いて、整合回路として機能させることを特徴とする請求項1～3のいずれかに記載の可変容量回路。
- [5] 前記可変容量素子の容量変化を用いて、共振回路として機能させることを特徴とする請求項1～3のいずれかに記載の可変容量回路。
- [6] 入力側および出力側にそれぞれ回路が接続されており、  
前記可変容量素子の容量変化を用いて、移相回路として機能させることを特徴とする

る請求項1～3記載のいずれかに記載の可変容量回路。

[7] 容量値が制御される可変容量回路であって、

第1の可変容量部と第2の可変容量部とを含み、

前記第1の可変容量部が、

直列に接続される $n$ 個(ただし $n$ は2以上の自然数)の可変容量コンデンサであって、各可変容量コンデンサは1個以上の可変容量素子から構成され、該可変容量素子は、直流電圧の印加に応じて誘電率が変化する誘電体層と、該誘電体層を挟持する一対の電極とからなる、 $n$ 個の可変容量コンデンサと、

直流電圧の高電位側の第1バイアスラインおよび直流電圧の低電位側の第2バイアスラインであって、第1バイアスラインおよび第2バイアスラインとが複数の可変容量コンデンサの両端および各コンデンサ間に交互に接続される、第1バイアスラインおよび第2バイアスラインと、

を含む第1可変容量素子ユニットであり、

前記第2の可変容量部が、

前記第1可変容量素子ユニットに印加される高周波信号の電圧振幅よりも小さい電圧振幅が印加されるとともに、直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる1個の可変容量素子からなる、または $m$ 個(ただし $m$ は $n$ より小さい自然数)の前記可変容量素子が直列に接続されてなる第2可変容量素子ユニットである、  
ことを特徴とする可変容量回路。

[8] 第2可変容量素子ユニットが、 $m$ 個の可変容量素子が直列に接続されてなる可変容量素子ユニットであり、

前記第2可変容量素子ユニットは、

直列に接続される $o$ 個(ただし $o$ は $n$ より小さい自然数)の可変容量コンデンサであって、各可変容量コンデンサは1個以上の可変容量素子から構成される、 $o$ 個の可変容量コンデンサと、

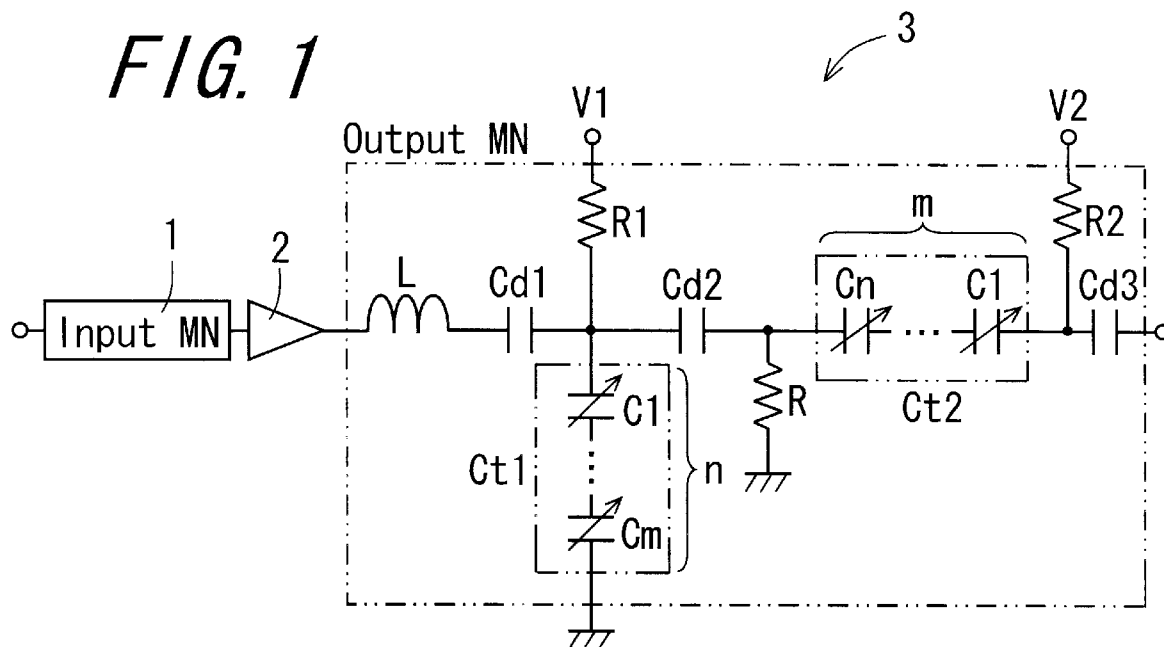
直流電圧の高電位側の第1バイアスラインおよび直流電圧の低電位側の第2バイアスラインであって、第1バイアスラインおよび第2バイアスラインとが複数の可変容量

コンデンサの両端および各コンデンサ間に交互に接続される、第1バイアスラインおよび第2バイアスラインとを含むことを特徴とする請求項7記載の可変容量回路。

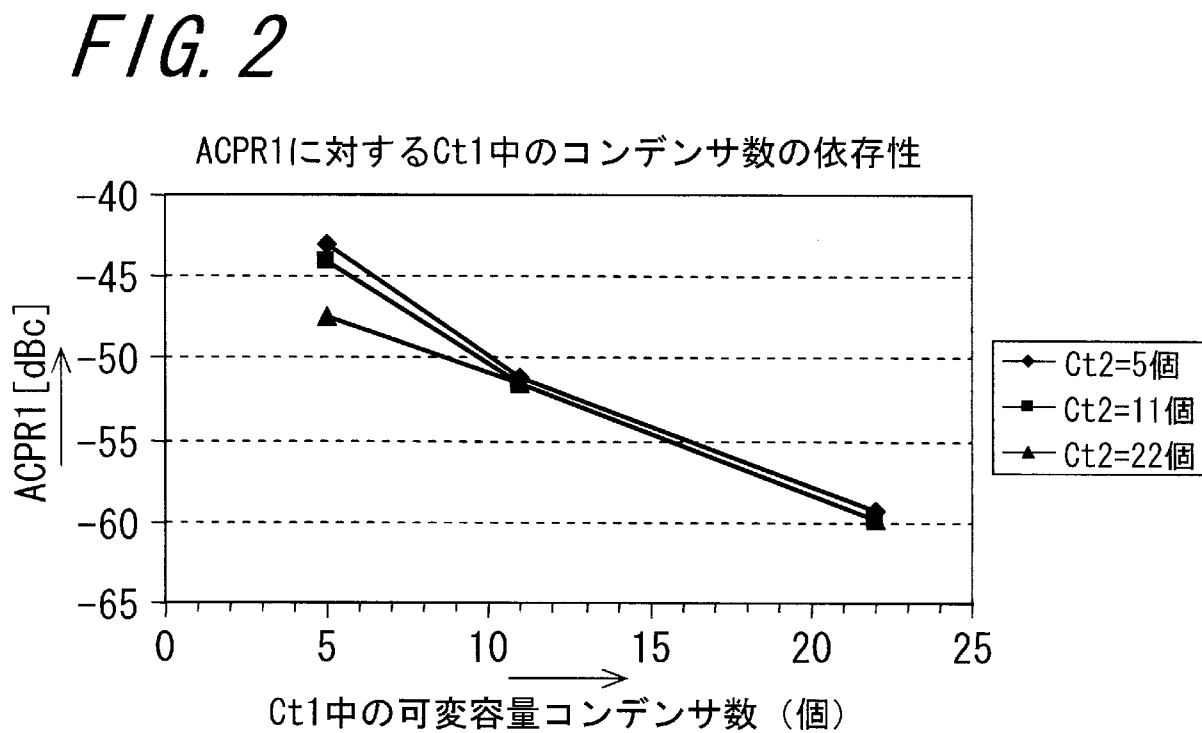
- [9] 前記可変容量回路中において、  
第1可変容量素子ユニットに印加される高周波信号の電圧振幅は最大であり、  
第2可変容量素子ユニットに印加される高周波信号の電圧振幅は最小であることを特徴とする請求項7または8記載の可変容量回路。
- [10] 入力側および出力側にそれぞれ回路が接続されており、  
前記可変容量素子の容量変化を用いて、整合回路として機能させることを特徴とする請求項7～9のいずれかに記載の可変容量回路。
- [11] 前記可変容量素子の容量変化を用いて、共振回路として機能させることを特徴とする請求項7～9のいずれかに記載の可変容量回路。
- [12] 入力側および出力側にそれぞれ回路が接続されており、  
前記可変容量素子の容量変化を用いて、移相回路として機能させることを特徴とする請求項7～9記載のいずれかに記載の可変容量回路。
- [13] 複数の可変容量部であって、それぞれが1または複数の可変容量素子を有する、複数の可変容量部における電圧振幅値をそれぞれ測定して、前記可変容量部における前記電圧振幅値の大小を比較する工程と、  
前記複数の可変容量部のうち、電圧振幅値の異なる2つの可変容量部を選択し、電圧振幅値の小さい方の可変容量回路における可変容量素子数を減らす工程と、  
を含むことを特徴とする可変容量回路の可変容量素子数の調整方法。
- [14] 前記複数の可変容量部のうち、電圧振幅値の異なる2つの可変容量部を選択する際に、電圧振幅値が最大の可変容量部と最小の可変容量部とを選択することを特徴とする請求項13記載の可変容量回路の可変容量素子数の調整方法。
- [15] 前記可変容量部が、  
直流電圧の印加に応じて誘電率が変化する誘電体層と該誘電体層を挟持する一対の電極とからなる可変容量素子1個以上から構成される、 $n$ 個(ただし $n$ は2以上の自然数)の可変容量コンデンサと、  
直流電圧の高電位側の第1バイアスラインおよび直流電圧の低電位側の第2バイ

アスラインであって、第1バイアスラインおよび第2バイアスラインとが複数の可変容量コンデンサの両端および各コンデンサ間に交互に接続される、第1バイアスラインおよび第2バイアスラインと、  
を含むことを特徴とする請求項13または14記載の可変容量回路の可変容量素子数の調整方法。

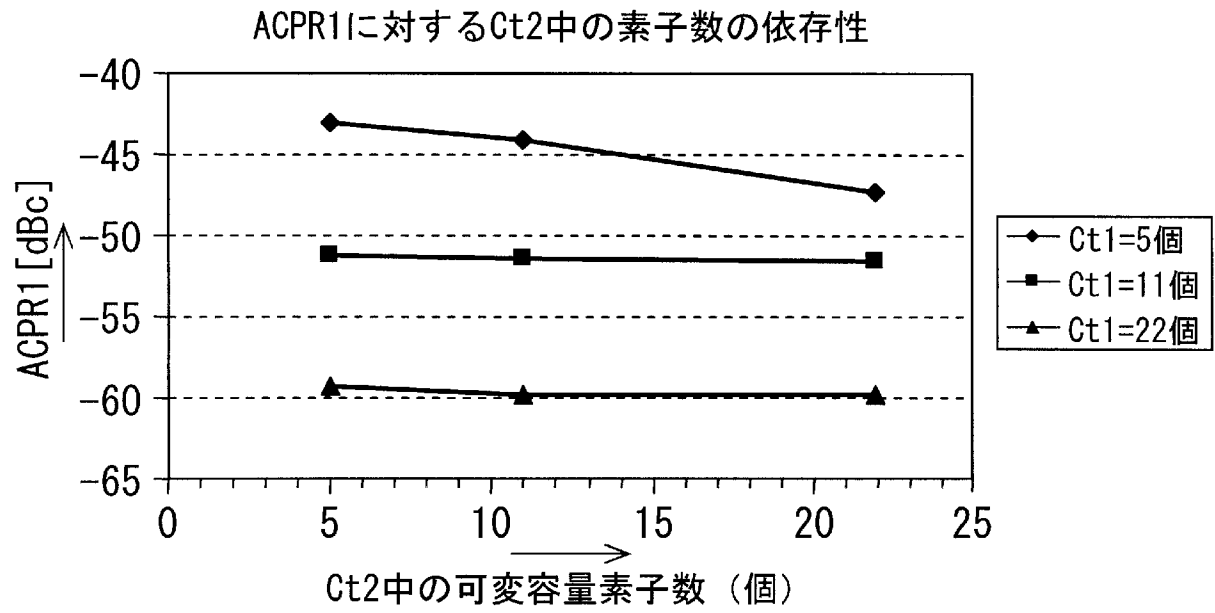
[図1]



[図2]

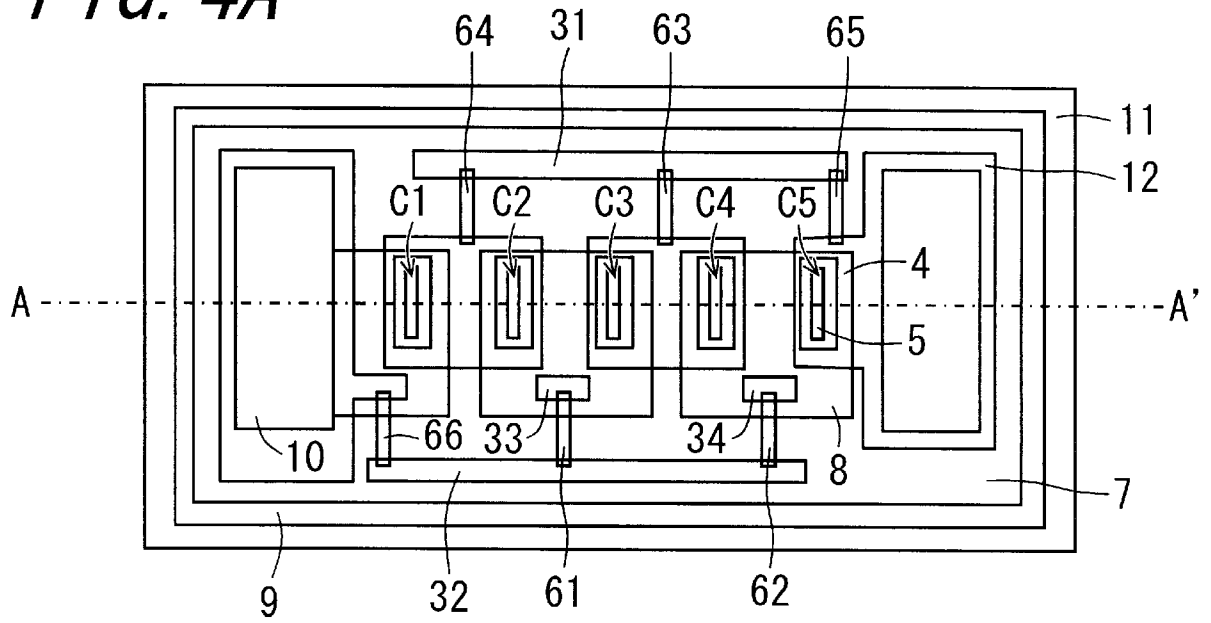


[図3]

*FIG. 3*

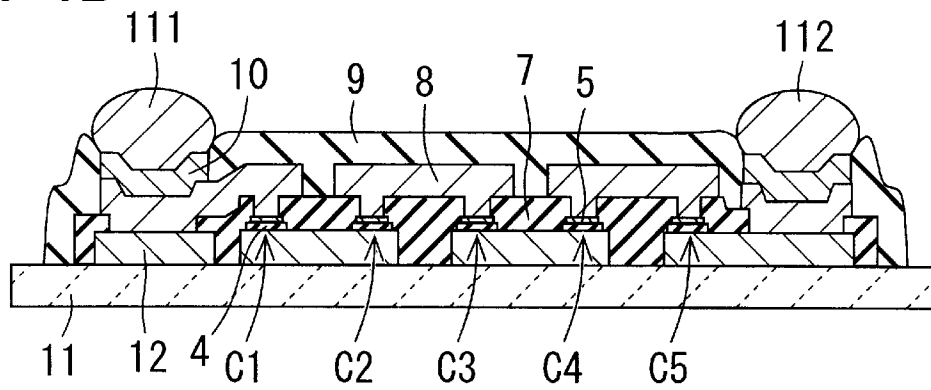
[図4A]

FIG. 4A

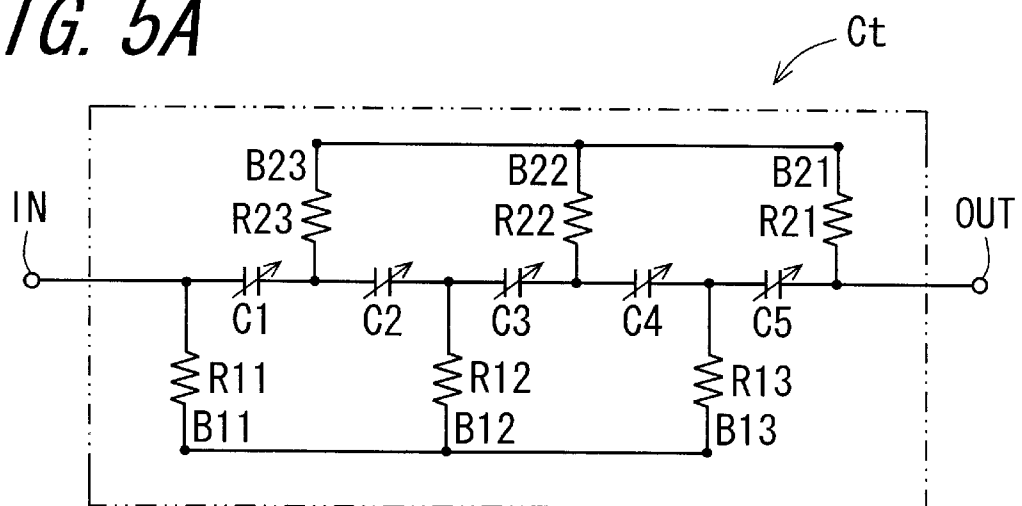


[図4B]

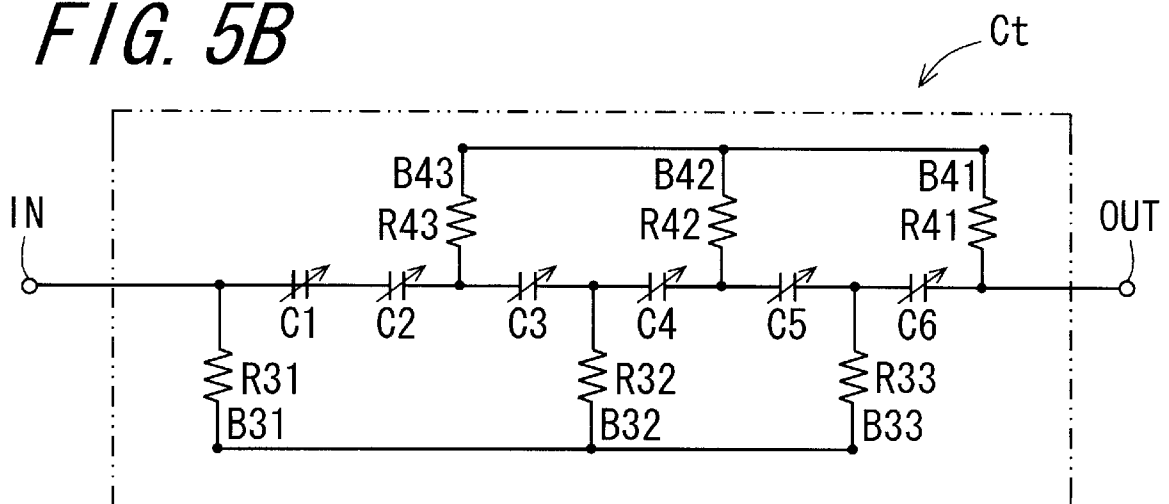
FIG. 4B



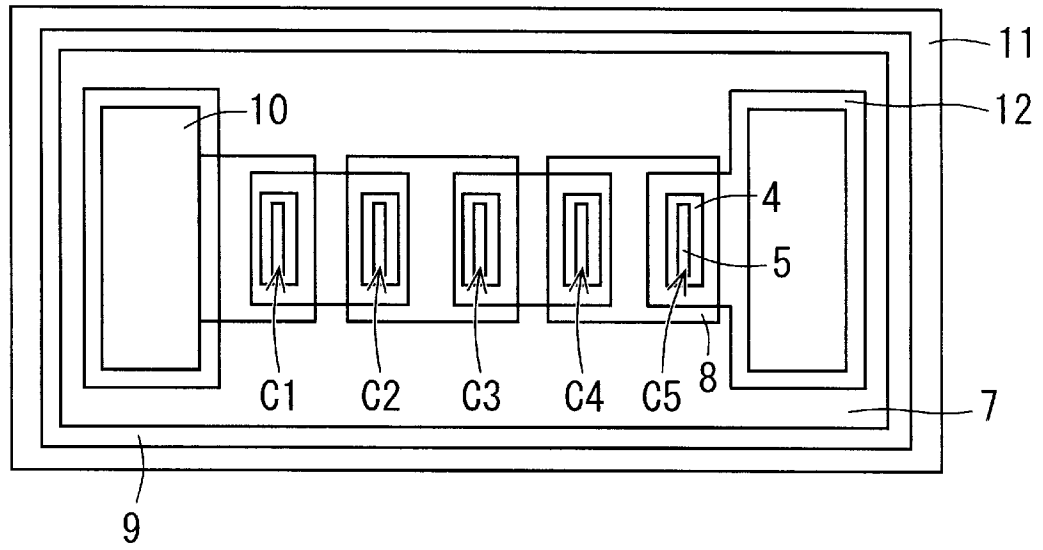
[図5A]

*FIG. 5A*

[図5B]

*FIG. 5B*

[図6]

*FIG. 6*

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061933

A. CLASSIFICATION OF SUBJECT MATTER H03H7/00(2006.01)i, H03H7/20(2006.01)i, H03H7/38(2006.01)i, H03H5/12(2006.01)i, H01G7/06(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03H5/00-7/54, H01G7/00-7/06		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-150466 A (Kyocera Corp.), 09 June, 2005 (09.06.05), Full text; all drawings & US 2005-0122660 A1	1-15
A	JP 2005-184270 A (Kyocera Corp.), 07 July, 2005 (07.07.05), Full text; all drawings & US 2005-0104680 A1	1-15
A	JP 2005-508096 A (Agile Materials & Technologies, Inc.), 24 March, 2005 (24.03.05), Full text; all drawings & US 6674321 B1 & US 2004-0207456 A1 & EP 1451927 A & WO 03-038996 A2 & CN 1596506 A	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 September, 2007 (11.09.07)		Date of mailing of the international search report 25 September, 2007 (25.09.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/061933

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-111387 A (Toyo Communication Equipment Co., Ltd.), 20 April, 2001 (20.04.01), Full text; all drawings (Family: none)	1-15

<p>A. 発明の属する分野の分類（国際特許分類（I P C））                  Int.Cl. H03H7/00(2006.01)i, H03H7/20(2006.01)i, H03H7/38(2006.01)i, H03H5/12(2006.01)i, H01G7/06(2006.01)i</p>												
<p>B. 調査を行った分野                  調査を行った最小限資料（国際特許分類（I P C））                  Int.Cl. H03H5/00-7/54, H01G7/00-7/06</p>												
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年		
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2007年											
日本国実用新案登録公報	1996-2007年											
日本国登録実用新案公報	1994-2007年											
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>J P 2 0 0 5 - 1 5 0 4 6 6 A (京セラ株式会社) 2005.06.09, 全文, 全図 &amp; U S 2 0 0 5 - 0 1 2 2 6 6 0 A 1</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>J P 2 0 0 5 - 1 8 4 2 7 0 A (京セラ株式会社) 2005.07.07, 全文, 全図 &amp; U S 2 0 0 5 - 0 1 0 4 6 8 0 A 1</td> <td>1-15</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	A	J P 2 0 0 5 - 1 5 0 4 6 6 A (京セラ株式会社) 2005.06.09, 全文, 全図 & U S 2 0 0 5 - 0 1 2 2 6 6 0 A 1	1-15	A	J P 2 0 0 5 - 1 8 4 2 7 0 A (京セラ株式会社) 2005.07.07, 全文, 全図 & U S 2 0 0 5 - 0 1 0 4 6 8 0 A 1	1-15	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号										
A	J P 2 0 0 5 - 1 5 0 4 6 6 A (京セラ株式会社) 2005.06.09, 全文, 全図 & U S 2 0 0 5 - 0 1 2 2 6 6 0 A 1	1-15										
A	J P 2 0 0 5 - 1 8 4 2 7 0 A (京セラ株式会社) 2005.07.07, 全文, 全図 & U S 2 0 0 5 - 0 1 0 4 6 8 0 A 1	1-15										
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>												
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&amp;」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの											
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの											
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの											
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献											
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願												
<p>国際調査を完了した日 11.09.2007</p>	<p>国際調査報告の発送日 25.09.2007</p>											
<p>国際調査機関の名称及びあて先                  日本国特許庁（I S A / J P）                  郵便番号100-8915                  東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官（権限のある職員）                  白井 孝治                  電話番号 03-3581-1101 内線 3576</p>	<table border="1"> <tr> <td>5W</td> <td>8843</td> </tr> </table>	5W	8843								
5W	8843											

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-508096 A (アジャイル マテリアルス アンド テクノロジーズ インク.) 2005.03.24, 全文, 全図 & US 6674321 B1, & US 2004-0207456 A1, & EP 1451927 A, & WO 03-038996 A2, & CN 1596506 A	1-15
A	JP 2001-111387 A (東洋通信機株式会社) 2001.04.20, 全文, 全図 (ファミリーなし)	1-15