

申請日期	90.3.28
案號	P0107333
類別	H03K19/00, H03M1/00

A4  
C4

(以上各欄由本局填註)

578375

<div style="border: 1px solid black; padding: 5px; display: inline-block;">公告本</div> <b>發明專利說明書</b> <del>新</del> 型									
一、發明名稱	<table border="1" style="width: 100%;"> <tr> <td style="width: 15%;">中文</td> <td>氣泡除錯電路</td> </tr> <tr> <td>英文</td> <td></td> </tr> </table>	中文	氣泡除錯電路	英文					
中文	氣泡除錯電路								
英文									
二、發明人	<table border="1" style="width: 100%;"> <tr> <td style="width: 15%;">姓名</td> <td>1 李朝政 2 邱寶成</td> </tr> <tr> <td>國籍</td> <td>中華民國</td> </tr> <tr> <td>住、居所</td> <td>新竹科學園區工業東九路二號</td> </tr> </table>	姓名	1 李朝政 2 邱寶成	國籍	中華民國	住、居所	新竹科學園區工業東九路二號		
姓名	1 李朝政 2 邱寶成								
國籍	中華民國								
住、居所	新竹科學園區工業東九路二號								
三、申請人	<table border="1" style="width: 100%;"> <tr> <td style="width: 15%;">姓名 (名稱)</td> <td>瑞昱半導體股份有限公司</td> </tr> <tr> <td>國籍</td> <td>中華民國</td> </tr> <tr> <td>住、居所 (事務所)</td> <td>新竹科學園區工業東九路 2 號</td> </tr> <tr> <td>代表人 姓名</td> <td>葉博任</td> </tr> </table>	姓名 (名稱)	瑞昱半導體股份有限公司	國籍	中華民國	住、居所 (事務所)	新竹科學園區工業東九路 2 號	代表人 姓名	葉博任
姓名 (名稱)	瑞昱半導體股份有限公司								
國籍	中華民國								
住、居所 (事務所)	新竹科學園區工業東九路 2 號								
代表人 姓名	葉博任								

裝

訂

線

## 五、發明說明 ( / )

本發明係有關一種類比/數位轉換器中的氣泡除錯電路，可將類比/數位轉換器之比較器所產生具有氣泡的一組溫度計碼，利用氣泡除錯電路獲得最佳的 1-0 轉態點。

在深次微米(Deep submicron technology)製程中，隨著元件的縮小，通道長度(channel length)也隨之下降，因此每個元件可容忍的崩潰電壓(breakdown voltage)也下降，故元件的工作電壓必須隨之調整下降，才能使電路的可靠度上升，元件的良率提高。 $\lambda=3.5 \mu\text{m}$ 的元件可承受 3.3V 的工作電壓，但製程推進至 $\lambda=2.5 \mu\text{m}$ 時，3.3V 的工作電壓則會造成電路的可靠度的問題，因此  $2.5 \mu\text{m}$  製程的元件必須調降工作電壓至 2.5V 以維持其可靠度。

在製程持續進步時，表示愈先進的製程其工作電壓也愈低，工作電壓的下降比例約正比於通道長度縮小的比例，此為物理上的自然限制。如 $\lambda=3.5 \mu\text{m}$ 縮小至 $\lambda=2.5 \mu\text{m}$ ，工作電壓由 3.3V 降至 2.5V。但影響低電壓工作範圍的另一個因素是臨界電壓  $V_t$ (threshold voltage)並非等比例調降，如 $\lambda=3.5 \mu\text{m}$ 縮小至 $\lambda=2.5 \mu\text{m}$ (比例為 0.09)，但  $V_t$  的改變由 0.7V 降至 0.56V(比例為 0.8)。因此對電路設計而言，等效線性電壓範圍(linear voltage range)便縮小了，例如等效線性電壓由 1.5V 降至 1V。

在一個類比數位轉換器(analog to digital converter)之中，(1)訊號範圍  $V_r$ (signal range 或 full range)，(2)解析度 N 位元(N bits)，及(3)元件的隨機漂移電壓(random offset voltage)是類比數位轉換器最主要的瓶頸。當實作一個訊號

## 五、發明說明(2)

範圍為  $V_{fl}$ ，而解析度為  $N$  個位元時，其最小解析電壓  $V_{LSB}$  (least significant bit voltage) 可表示為：

$$V_{LSB} = \frac{V_{fl}}{2^N}。$$

而實際電路至少能夠解析(或可說分辨)，一個  $V_{LSB}$  這麼少的電壓(嚴格來說應須分辨  $1/2 V_{LSB}$ )，才能夠達到  $N$  位元類比數位轉換器的要求，由上式得知  $V_{LSB}$  正比於  $V_{fl}$ ，而  $V_{fl}$  須得界於線性電壓範圍之內，故當製程進步時，工作電壓下降，則  $V_{fl}$  等效下降， $V_{LSB}$  也下降。

$V_{LSB}$  下降最大的瓶頸是 MOS 的隨機漂移電壓  $V_{os}$  及熱雜訊(thermal noise)  $V_n$ ，當  $V_{LSB} < V_{os}$  或  $V_{LSB} < V_n$ ，任何電路(或可說某種放大器或比較器)均無法正確辨明訊號的大小。此時，須藉助某些自動除錯(auto correction)或漂移校正(offset calibration)的電路來達成較高的解析度。舉例而言， $3.5 \mu m$  製程工作於  $3.3V$  的工作電壓，訊號範圍  $V_{fl}=1.5V$ 。此時，一個 8 位元類比數位轉換器的  $V_{LSB} = \frac{1.5}{2^8}$  約為  $5.86mV$ ，而  $3.5 \mu m$  製程  $W/L = 10/0.35$  的隨機漂移電壓  $V_{os} \cong 10mV \sim 20mV$  ( $3\sigma = 99\%$ )，顯而易見的是  $V_{LSB}$  甚小於  $V_{os}$ 。因此，對於快閃式(flash)類比數位轉換器而言，氣泡的產生機率將大增，且數個氣泡同時出現亦極為可能。

氣泡的產生所造成的影響包括：(1)後級唯讀記憶體(read only memory, ROM)解碼的錯誤，(2)訊號雜訊比下降，(3)誤碼率(bit error rate)提高，而此三項影響又以(1)與(3)項最為嚴重。超過一個氣泡以上，且無法加以更正，將導致

## 五、發明說明 ( 3 )

預先設定(preset)的解碼器輸入產生超過一個 1，致使輸出二進位碼錯誤，而且流經電晶體的電流大增(因為下拉(pull-low)的 NMOS 導通)，而誤碼率將使整個資料取樣(data sampling)無法通過規格，最終結果將使良率下降，成本上升。因此，具有較高除錯能力的電路對一個類比數位轉換器在日益進步的製程中是十分迫切需要的。

第 1 圖繪示習知之快閃類比/數位轉換器方塊圖。在第 1 圖中，快閃類比/數位轉換器 10 中之比較器 12 的輸出通常為溫度計碼，比較器的輸入電位若比參考電位高，則輸出邏輯 1(即高準位)；反之，若輸入電位比參考電位低，則輸出邏輯 0(即低電位)。第 2 圖繪示類比訊號轉換為數位訊號。在第 2 圖中，在正常(理想)情況時，類比訊號在時間點 t 由一連串的比較器 12 輸出會類似溫度計的方式，所有的 0 會在輸入電位之上，1 會在輸入電位之下，以形成溫度計碼的形式，1 到 0 的交界可反映出輸入電位的大小。溫度計碼會經 1-0 轉態偵測電路(未繪示)轉換為 1-OF-N 碼，再由 ROM 14 解碼為二進位碼。

由於(1)高扭轉率輸入(high slew rate input)，(2)時脈分佈的差異，或(3)製程漂移，比較器的隨機輸入偏移電壓(random input offset voltage)或比較器反應時間的微小差異，都可能造成一個或多個 1 出現在一連串的 0 之中，或一個或多個 0 出現在一連串的 1 之中(此即為氣泡錯誤(bubble error))。比較器輸出若出現此錯誤，則會有兩個(或以上)的 1-0 轉態點，使其後的解碼過程發生錯誤，造成類

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明（4）

種氣泡發生時的結果。第 5A 圖為溫度計碼之六種組合，第 5B 圖為以 001 為測試條件之三端輸入邏輯元件所判別之結果，第 5C 圖為以 011 為測試條件之三端輸入邏輯元件所判別之結果。當氣泡數超過一個時，三端輸入邏輯元件便無法正確地除錯。此外，當氣泡數為 1，但氣泡深度超過 2 時，三端輸入邏輯元件只能單向除錯。以第 5B 至 5C 圖為例，三端輸入邏輯元件以 001 為測試條件可更正(a)列、(b)列與(d)列溫度計碼，但無法更正(c)列、(e)列與(f)列溫度計碼，因為(c)列與(e)列溫度計碼所產生的氣泡深度超過 2，(f)列溫度計碼產生二個氣泡。三端輸入邏輯元件以 011 為測試條件可更正(a)列、(c)列與(e)列溫度計碼，但無法更正(b)列、(d)列與(f)列溫度計碼，因為(b)列與(d)列溫度計碼所產生的氣泡深度超過 2，(f)列溫度計碼產生二個氣泡。所以，三端輸入邏輯元件的除錯深度只能單向(向上/向下)做深度為 2 且只產生一個氣泡的偵測。

因此，本發明的目的在於提供一種氣泡除錯電路，可使氣泡除錯的範圍加大，判別出溫度計碼之 1-0 轉態點的最佳位置，以降低 ROM 解碼所造成錯誤的誤碼率。

為達上述與其他之目的，本發明提出一種氣泡除錯電路，係由數個氣泡除錯單元組成，這些氣泡除錯單元接收一個類比數位轉換器中的數個比較器所輸出的數個溫度計碼，這些氣泡除錯單元將判別這些溫度計碼的結果輸出一組經除錯之判別碼至轉態偵測電路(可由數個習知的互斥-或閘(EXCLUSIVE-OR Gate)或由前述的三端輸入邏輯元

## 五、發明說明 ( 5 )

比/數位轉換器的誤碼率上升，訊號雜訊比下降。採用三端輸入邏輯元件參考三個連續的溫度計碼，便可解決一個氣泡的錯誤碼所產生的問題。

第 3A 圖繪示習知以 001 為判別 1-0 轉態點的三端輸入邏輯元件圖，當輸入至三端輸入的及閘 30 的溫度計碼為 001 時，則及閘 30 輸出訊號 1，表示偵測到 1-0 轉態點；反之，則及閘 30 輸出訊號 0。

第 3B 圖繪示習知以 011 為判別 1-0 轉態點的三端輸入邏輯元件圖，當輸入至三端輸入的及閘 32 的溫度計碼為 011 時，則及閘 32 輸出訊號 1，表示偵測到 1-0 轉態點；反之，則及閘 32 輸出訊號 0。

透過上述之三端輸入邏輯元件，溫度計碼會轉換為 1-OF-N 碼，再加以解碼為二進位碼。

第 4 圖繪示習知以三端輸入邏輯元件判別氣泡發生時的結果。三端輸入邏輯元件的缺點在於判別 1-0 轉態點並非是最佳的判斷。舉例而言，在第 4 圖中，三端輸入邏輯元件通常以 011 或 001(參考第 3A 圖及第 3B 圖)為判別 1-0 轉態點，其判別結果對應於第 4 圖的(a)列與(b)列溫度計碼。當比較器 40 與比較器 42 所輸出的溫度計碼產生氣泡時，通常三端輸入邏輯元件無法明確指出比較器 40 與比較器 42 中那一個比較器出錯。以第 4 圖為例，(a)列與(b)列溫度計碼所判別的 1-0 轉態點並非是最適切的，而(c)列溫度計碼才是最佳的推測。

第 5B 與 5C 圖繪示以習知三端輸入邏輯元件判別數

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(6)

件構成)以獲得一組 1-OF-N 碼，再將此 1-OF-N 碼輸入至一個解碼器，此解碼器將此組 1-OF-N 碼解碼為一個二進位碼。其中任一氣泡除錯單元自該數個溫度計碼中選取相鄰的  $2m+1$  個溫度計碼，其中  $m$  為自然數，判斷此  $2m+1$  個溫度計碼所出現之狀態為多數者，並根據所出現之多數狀態輸出一判別碼。

因此，本發明的目的係提供一種氣泡除錯電路，利用選舉模式將少數的訊號 0 或訊號 1 視為氣泡，判別出溫度計碼之 1-0 轉態點的最佳位置，以降低 ROM 解碼所造成錯誤的誤碼率，並可使氣泡除錯的範圍加大，以因應半導體製程尺寸縮小所造成氣泡數目增加。

為使本發明上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式詳細說明如下：

圖式之簡單說明：

第 1 圖繪示快閃類比/數位轉換器方塊圖；

第 2 圖繪示類比訊號轉換為數位訊號；

第 3A 圖繪示習知以 001 為判別 1-0 轉態點的三端輸入邏輯元件圖；

第 3B 圖繪示習知以 011 為判別 1-0 轉態點的三端輸入邏輯元件圖；

第 4 圖繪示習知以三端輸入邏輯元件判別氣泡發生時的結果；

第 5A 圖繪示溫度計碼之六種組合；

第 5B 圖繪示以 001 為測試條件之習知三端輸入邏輯

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(7)

元件所判別的結果；

第 5C 圖繪示以 011 為測試條件之習知三端輸入邏輯元件所判別的結果；

第 5D 圖繪示以本發明之氣泡除錯單元參考三個溫度計碼所獲得之氣泡除錯結果；

第 5E 圖繪示以本發明之氣泡除錯單元參考五個溫度計碼所獲得之氣泡除錯結果；

第 6 圖繪示本發明之氣泡除錯電路方塊圖；

第 7A 圖繪示本發明之氣泡除錯單元的第一個實施例；

第 7B 圖繪示本發明之氣泡除錯單元的第二個實施例；

第 8 圖繪示本發明之氣泡除錯單元的真值表；以及

第 9 圖繪示本發明之氣泡除錯單元的第三個實施例。

標號說明：

10：類比/數位轉換器(Analog/Digital Converter)

12，40，42：比較器(Comparator)

14：ROM

30，32：及閘(OR Gate)

60：氣泡除錯電路(Average Bubble Correction Circuit)

62，64，66，70，110：氣泡除錯單元(Bubble Correction Cell)

72~96，112~128：反及閘(NAND Gate)

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 8 )

98, 130 : 反或閘(NOR Gate)

100, 132 : 反閘(NOT Gate)

102, 134 : 第一階偵測器(1<sup>st</sup> Detector)

104, 136 : 第二階偵測器(2<sup>nd</sup> Detector)

108 : 轉態偵測電路

109 : 解碼器

### 實施例

第 6 圖繪示本發明之氣泡除錯電路方塊圖。在第 6 圖中，氣泡除錯電路 60 是由數個氣泡除錯單元所組成，本實施例是以第 n 級氣泡除錯單元 62 偵測五個溫度計碼為例。第 n 級氣泡除錯單元 62 接收類比數位轉換器(未繪示)中的比較器(未繪示)所輸出的五個溫度計碼  $A_{n+2} \sim A_{n-2}$  (分別為 0 或 1)，並且接收第 n+1 級氣泡除錯單元 64 之 d3 端與 ud4 端及第 n-1 級氣泡除錯單元 66 之 u3 端與 ud4 端所輸出的訊號，第 n 級氣泡除錯單元 62 將判別這些溫度計碼與訊號的結果輸出一個判別碼  $E_n$ 。例如，當  $(A_{n+2}, A_{n+1}, A_n, A_{n-1}, A_{n-2})$  之集合中 1 為多數時，則第 n 級氣泡除錯單元所輸出之判別碼  $E_n$  可為 1 或 0；反之，當  $(A_{n+2}, A_{n+1}, A_n, A_{n-1}, A_{n-2})$  之集合中 0 為多數時，則判別碼  $E_n$  可為 0 或 1。可將此一判別模式以方程式表示如下：

$$\begin{cases} E_n = 1 & \text{if } A_{n+2} + A_{n+1} + A_n + A_{n-1} + A_{n-2} \geq 3 \\ E_n = 0 & \text{otherwise} \end{cases}$$

，其中  $A_j$  為第 j 個溫度計碼， $A_j$  的值屬於  $\{0, 1\}$  集合。

$$\left( \text{或} \begin{cases} E_n = 0 & \text{if } A_{n+2} + A_{n+1} + A_n + A_{n-1} + A_{n-2} \geq 3 \\ E_n = 1 & \text{otherwise} \end{cases} \right)$$

## 五、發明說明（9）

其後，將各級氣泡除錯單元所得之判別碼輸入至一轉態偵測電路 108 以獲得一組 1-OF-N 碼，再將此 1-OF-N 碼輸入一解碼器 109 加以解碼，並輸出一個二進位碼以供後級電路使用。

在第  $n$  級氣泡除錯單元中，爲了判定所選取之五個溫度計碼究竟是 0 或 1 的狀態爲多數，可將此五個溫度計碼任取三個爲一組，共可分成十組。當其中有任何一組的所有溫度計碼邏輯值爲相同時，則以該邏輯值(或其互補值)爲判別碼輸出。

更廣泛地，當第  $n$  級氣泡除錯單元選取  $2m+1$  個溫度計碼時( $m$  爲任何自然數)，爲了獲得判別碼，則可任取  $m+1$  個爲一組，共分成  $C(2m+1, m+1)$  組，當其中有任何一組的所有溫度計碼邏輯值爲相同時，則以該邏輯值(或其互補值)爲判別碼輸出。

第 7A 與 7B 圖繪示本發明之氣泡除錯單元的二個實施例。在第 7A 圖中，氣泡除錯單元 70 包括第一階偵測器 102 與第二階偵測器 104。第一階偵測器 102 是由反及閘 72、反及閘 74、反及閘 76、反及閘 78、反及閘 80、反及閘 82、反及閘 84、反及閘 86、反及閘 88 與反及閘 90 所組成，第二階偵測器 104 是由反及閘 92、反及閘 94、反及閘 96、反或閘 98 與反閘 100 所組成。

反及閘 72 的第一輸入端接收溫度計碼  $A_n$ ，第二輸入端接收溫度計碼  $A_{n-1}$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{72}$ 。反及閘 74 的第一輸入端接收

## 五、發明說明 ( / 〇 )

溫度計碼  $A_{n+1}$ ，第二輸入端接收溫度計碼  $A_{n-1}$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{74}$ 。反及閘 76 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_{n-1}$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{76}$ 。反及閘 78 的第一輸入端接收溫度計碼  $A_{n+1}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{78}$ 。反及閘 80 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{80}$ 。反及閘 82 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_{n+1}$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{82}$ 。反及閘 84 的第一輸入端接收溫度計碼  $A_{n+1}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-1}$ ，並輸出一個反及閘邏輯訊號  $L_{84}$ 。反及閘 86 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-1}$ ，並輸出一個反及閘邏輯訊號  $L_{86}$ 。反及閘 88 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_{n+1}$ ，第三輸入端接收溫度計碼  $A_{n-1}$ ，並輸出一個反及閘邏輯訊號  $L_{88}$ 。反及閘 90 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_{n+1}$ ，第三輸入端接收溫度計碼  $A_n$ ，並輸出端輸出一個反及閘邏輯訊號  $L_{90}$ 。

反及閘 92 的第一輸入端接收反及閘邏輯訊號  $L_{72}$ ，第二輸入端接收反及閘邏輯訊號  $L_{74}$ ，第三輸入端接收反及閘

## 五、發明說明 ( 11 )

邏輯訊號  $L_{76}$ ，並輸出一個反及閘邏輯訊號  $L_{92}$ 。反及閘 94 的第一輸入端接收反及閘邏輯訊號  $L_{78}$ ，第二輸入端接收反及閘邏輯訊號  $L_{80}$ ，第三輸入端接收反及閘邏輯訊號  $L_{82}$ ，第四輸入端接收反及閘邏輯訊號  $L_{84}$ ，並輸出一個反及閘邏輯訊號  $L_{94}$ 。反及閘 96 的第一輸入端接收反及閘邏輯訊號  $L_{86}$ ，第二輸入端接收反及閘邏輯訊號  $L_{88}$ ，第三輸入端接收反及閘邏輯訊號  $L_{90}$ ，並輸出一個反及閘邏輯訊號  $L_{96}$ 。反或閘 98 的第一輸入端接收反及閘邏輯訊號  $L_{92}$ ，第二輸入端接收反及閘邏輯訊號  $L_{94}$ ，第三輸入端接收反及閘邏輯訊號  $L_{96}$ ，並輸出一個反或閘邏輯訊號  $L_{98}$ 。反閘 100 的輸入端接收反或閘邏輯訊號  $L_{98}$ ，並輸出一個判別碼  $E_n$ 。

在第 7A 圖中，其中第一階偵測器 102 若以邏輯"1"為判斷條件時，在第一階偵測器 102 中所有的反及閘亦可使用及閘(AND Gate)取代之。第一階偵測器 102 若以邏輯"0"為判斷條件時，在第一階偵測器 102 中所有的反及閘可以使用或閘(OR Gate)與反或閘的二者之一取代之，如第 7B 圖所示。

第 8 圖繪示本發明之氣泡除錯單元的真值表。本實施例之氣泡除錯單元以五個比較器所輸出的溫度計碼來做雙向、深度為 2 且具有兩個氣泡的除錯(對一個或兩個氣泡而言，可除錯的深度沒有限制，如第 5 圖的(d)列與(f)之溫度計碼)，進而判別 1-0 轉態點為最佳之落點。所利用之氣泡除錯電路是利用選舉模式(vote mode)來判別溫度計碼的 1-0 轉態點，如第 8 圖的真值表所示，在第 n 個氣泡除錯

## 五、發明說明 ( / 2 )

單元中，當所輸入之訊號 1 的數目多於訊號 0 的數目，則第  $n$  個氣泡除錯單元輸出之判別碼  $E_n$  為 1，反之，則第  $n$  個氣泡除錯單元輸出之判別碼  $E_n$  為 0。其選舉模式的決策方式可說明如下：

若  $E_n$  為第  $n$  個經除錯之判別碼， $A_j$  為第  $j$  個比較器輸出(即第  $j$  個溫度計碼)， $A_j$  的值屬於  $\{0, 1\}$  集合，

$$\begin{cases} E_n = 1 & \text{if } A_{n+2} + A_{n+1} + A_n + A_{n-1} + A_{n-2} \geq 3 \\ E_n = 0 & \text{otherwise} \end{cases}$$

此種決策方式可解決第 5A 圖之(a)列、(b)列、(c)列、(d)列、(e)列及(f)列中的氣泡錯誤，其結果如第 5E 圖所示。其意義即為任何五個溫度計碼中間之氣泡若不超過兩個，不論氣泡之深度或方向為何，皆可正確地除錯，並做最好的 1-0 轉態點判別。

第 9 圖繪示本發明之氣泡除錯單元的第三個實施例。第 7A 圖的電路可進一步簡化為第 9 圖，在氣泡除錯單元 105 中之上下兩個參考輸出的部份邏輯可以共用。第  $n$  級氣泡除錯單元 110 的簡化電路包括第一階偵測器 134 與第二階偵測器 136，第一階偵測器 134 是由反及閘 112、反及閘 114、反及閘 116、反及閘 118、反及閘 120 與反及閘 122 所組成，第二階偵測器 136 是由反及閘 124、反及閘 126、反及閘 128、反或閘 130 與反閘 132 所組成。

反及閘 112 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-1}$ ，並輸出一個反及閘邏輯訊號  $L_{112}$ 。反及閘 114 的第一輸入端接

裝訂線

## 五、發明說明(13)

收溫度計碼  $A_{n+1}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-1}$ ，並輸出一個反及閘邏輯訊號  $L_{114}$ 。反及閘 116 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_{n+1}$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{116}$ 。反及閘 118 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{118}$ 。反及閘 120 的第一輸入端接收溫度計碼  $A_{n+1}$ ，第二輸入端接收溫度計碼  $A_n$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{120}$ 。反及閘 122 的第一輸入端接收溫度計碼  $A_{n+2}$ ，第二輸入端接收溫度計碼  $A_{n-1}$ ，第三輸入端接收溫度計碼  $A_{n-2}$ ，並輸出一個反及閘邏輯訊號  $L_{122}$ 。

反及閘 124 的第一輸入端接收第  $n+1$  級氣泡除錯單元(未繪示)輸入至反及閘 124 之 u1 端的訊號，第二輸入端接收第  $n+1$  級氣泡除錯單元(未繪示)輸入至反及閘 124 之 u2 端的訊號，第三輸入端接收反及閘邏輯訊號  $L_{112}$ ，並輸出一個反及閘邏輯訊號  $L_{124}$ 。反及閘 126 的第一輸入端接收反及閘邏輯訊號  $L_{114}$ ，第二輸入端接收反及閘邏輯訊號  $L_{116}$ ，第三輸入端接收反及閘邏輯訊號  $L_{118}$ ，第四輸入端接收反及閘邏輯訊號  $L_{120}$ ，並輸出一個反及閘邏輯訊號  $L_{126}$ 。反及閘 128 的第一輸入端接收反及閘邏輯訊號  $L_{122}$ ，第二輸入端接收第  $n-1$  級氣泡除錯單元(未繪示)輸入至反及閘 128 之 d2 端的訊號，第三輸入端接收第  $n-1$  級氣泡除錯單元(未繪示)輸入至反及閘 128 之 d1 端的訊號，並輸出一個反及閘邏輯

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (14)

訊號  $L_{128}$ 。反或閘 130 的第一輸入端接收反及閘邏輯訊號  $L_{124}$ ，第二輸入端接收反及閘邏輯訊號  $L_{126}$ ，第三輸入端接收反及閘邏輯訊號  $L_{128}$ ，並輸出一個反或閘邏輯訊號  $L_{130}$ 。反閘 132 的輸入端接收反或閘邏輯訊號  $L_{132}$ ，並輸出一個判別碼  $E_n$ 。

本發明的除錯範圍可繼續擴大(即氣泡除錯單元參考的溫度計碼之數目增加)，而其基本精神不變，其描述如下：

$p=(2k+1)$  表示參考  $p$  個溫度計碼，而  $k$  為最多可被更正的氣泡數(在此須注意：一連串的位元中，少數的 0 或 1 才被稱為氣泡，因此  $k < \frac{p}{2}$ )。

$b_i$  表示未經除錯的溫度計碼， $b_i \in \{0,1\}$ 。

$E_n$  為第  $n$  個氣泡單元所輸出之判別碼，則

$$\begin{cases} E_n = 1, & \text{if } \sum_{i=n-k}^{n+k} b_i \geq k+1 \\ E_n = 0, & \text{otherwise} \end{cases}$$

$$\left( \text{或} \begin{cases} E_n = 0, & \text{if } \sum_{i=n-k}^{n+k} b_i \geq k+1 \\ E_n = 1, & \text{otherwise} \end{cases} \right)$$

因此，本發明的特徵係提供一種氣泡除錯電路，利用選舉模式將少數的訊號 0 或訊號 1 視為氣泡，判別出溫度計碼之 1-0 轉態點的最佳位置，以降低 ROM 解碼所造成錯誤的誤碼率，並可使氣泡除錯的範圍加大，以因應半導體製程尺寸縮小所造成氣泡數目增加。

如前所述，此一多數決模式，當氣泡除錯單元所參考

## 五、發明說明(15)

的溫度計碼為五個時，可更正之氣泡數為二，且對不超過兩個的氣泡可除錯之雙向深度並沒有限制；當氣泡除錯單元所參考的溫度計碼為七個時，可更正之氣泡數為三，且對不超過三個的氣泡可除錯之雙向深度並沒有限制；餘皆可依此類推。即使是在氣泡除錯單元所參考的溫度計碼為三個時，可更正之氣泡數雖僅為一，但對一個氣泡可除錯之雙向深度沒有限制，亦較習知之三端輸入邏輯元件為佳，此點可由第 5D 圖得知。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要 (發明之名稱： 氣泡除錯電路 )

一種氣泡除錯電路，接收複數個溫度計碼加以氣泡除錯，包括至少一個氣泡除錯單元，其中任一氣泡除錯單元自該複數個溫度計碼中選取相鄰的  $2m+1$  個溫度計碼，其中  $m$  為自然數，判斷此  $2m+1$  個溫度計碼所出現之狀態為多數者，並根據所出現之多數狀態輸出一判別碼。

(請先閱讀背面之注意事項再填寫本頁各欄)

## 英文發明摘要 (發明之名稱： )

訂

線

## 六、申請專利範圍

1.一種氣泡除錯電路，接收複數個溫度計碼加以氣泡除錯，包括至少一個氣泡除錯單元，其中任一氣泡除錯單元自該複數個溫度計碼中選取相鄰的  $2m+1$  個溫度計碼，其中  $m$  為自然數，判斷此  $2m+1$  個溫度計碼所出現之狀態為多數者，並根據所出現之多數狀態輸出一判別碼。

2.如申請專利範圍第 1 項所述之氣泡除錯電路，其中該判別碼為該  $2m+1$  個溫度計碼所出現之狀態為多數者。

3.如申請專利範圍第 1 項所述之氣泡除錯電路，其中該判別碼為該  $2m+1$  個溫度計碼所出現之狀態為少數者。

4.如申請專利範圍第 1 項所述之氣泡除錯電路，其中該氣泡除錯單元將所選取之  $2m+1$  個溫度計碼中分別取  $m+1$  個為一組，共分為  $C(2m+1, m+1)$  組，當其中有任何一組的所有溫度計碼邏輯值為相同時，則該邏輯值乃出現狀態為多數者。

5.一種氣泡除錯電路，接收複數個溫度計碼加以氣泡除錯，包括至少一個氣泡除錯單元，其中任一氣泡除錯單元自該複數個溫度計碼中選取相鄰的五個溫度計碼，判斷此五個溫度計碼所出現之狀態為多數者，並根據所出現之多數狀態輸出一判別碼。

6.如申請專利範圍第 5 項所述之氣泡除錯電路，其中該第  $n$  級氣泡除錯單元包括：

一第一邏輯元件，包括三個輸入端，該第一邏輯元件的第一輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第一邏輯元件的第二輸入端接收該些溫度計碼的第  $n-1$  個

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

溫度計碼，該第一邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第一邏輯訊號；

一 第二邏輯元件，包括三個輸入端，該第二邏輯元件的第一輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第二邏輯元件的第二輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，該第二邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第二邏輯訊號；

一 第三邏輯元件，包括三個輸入端，該第三邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第三邏輯元件的第二輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，該第三邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第三邏輯訊號；

一 第四邏輯元件，包括三個輸入端，該第四邏輯元件的第一輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第四邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第四邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第四邏輯訊號；

一 第五邏輯元件，包括三個輸入端，該第五邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第五邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第五邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第五邏輯訊號；

一 第六邏輯元件，包括三個輸入端，該第六邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，

## 六、申請專利範圍

該第六邏輯元件的第二輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第六邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第六邏輯訊號；

一第七邏輯元件，包括三個輸入端，該第七邏輯元件的第一輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第七邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第七邏輯元件的第三輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，並輸出一第七邏輯訊號；

一第八邏輯元件，包括三個輸入端，該第八邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第八邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第八邏輯元件的第三輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，並輸出一第八邏輯訊號；

一第九邏輯元件，包括三個輸入端，該第九邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第九邏輯元件的第二輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第九邏輯元件的第三輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，並輸出一第九邏輯訊號；

一第十邏輯元件，包括三個輸入端，該第十邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第十邏輯元件的第二輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第十邏輯元件的第三輸入端接收該些溫度計碼的第  $n$  個溫度計碼，並輸出一第十邏輯訊號；以及

一判別器，當該第一至第十邏輯元件若有任一邏輯元

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

件之三個輸入端所接收的溫度計碼均為相同時，即以該溫度計碼之邏輯值為判別碼輸出。

7.如申請專利範圍第 6 項所述之氣泡除錯電路，其中該判別器包括：

一第十一邏輯元件，包括三個輸入端，該第十一邏輯元件的第一輸入端接收該第一邏輯元件所輸出之該第一邏輯訊號，該第十一邏輯元件的第二輸入端接收該第二邏輯元件所輸出之該第二邏輯訊號，該第十一邏輯元件的第三輸入端接收該第三邏輯元件所輸出之該第三邏輯訊號，並輸出一第十一邏輯訊號；

一第十二邏輯元件，包括四個輸入端，該第十二邏輯元件的第一輸入端接收該第四邏輯元件所輸出之該第四邏輯訊號，該第十二邏輯元件的第二輸入端接收該第五邏輯元件所輸出之該第五邏輯訊號，該第十二邏輯元件的第三輸入端接收該第六邏輯元件所輸出之該第六邏輯訊號，該第十二邏輯元件的第四輸入端接收該第七邏輯元件所輸出之該第七邏輯訊號，並輸出一第十二邏輯訊號；

一第十三邏輯元件，包括三個輸入端，該第十三邏輯元件的第一輸入端接收該第八邏輯元件所輸出之該第八邏輯訊號，該第十三邏輯元件的第二輸入端接收該第九邏輯元件所輸出之該第九邏輯訊號，該第十三邏輯元件的第三輸入端接收該第十邏輯元件所輸出之該第十邏輯訊號，並輸出一第十三邏輯訊號；

一第十四邏輯元件，包括三個輸入端，該第十四邏

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

輯元件的第一輸入端接收該第十一邏輯元件所輸出之該第十一邏輯訊號，該第十四邏輯元件的第二輸入端接收該第十二邏輯元件所輸出之該第十二邏輯訊號，該第十四邏輯元件的第三輸入端接收該第十三邏輯元件所輸出之該第十三邏輯訊號，並輸出一第十四邏輯訊號；以及

一第十五邏輯元件，該第十五邏輯元件的輸入端接收該第十四邏輯元件所輸出之該第十四邏輯訊號，並輸出該判別碼。

8.如申請專利範圍第 6 項所述之氣泡除錯電路，其中該第一邏輯元件、該第二邏輯元件、該第三邏輯元件、該第四邏輯元件、該第五邏輯元件、該第六邏輯元件、該第七邏輯元件、該第八邏輯元件、該第九邏輯元件與該第十邏輯元件均為反及閘。

9.如申請專利範圍第 7 項所述之氣泡除錯電路，其中該第十一邏輯元件、該第十二邏輯元件與該第十三邏輯元件均為反及閘，該第十四邏輯元件為一反或閘，該第十五邏輯元件為一反閘。

10.如申請專利範圍第 6 項所述之氣泡除錯電路，其中該第一邏輯元件、該第二邏輯元件、該第三邏輯元件、該第四邏輯元件、該第五邏輯元件、該第六邏輯元件、該第七邏輯元件、該第八邏輯元件、該第九邏輯元件與該第十邏輯元件均為反或閘。

11.如申請專利範圍第 7 項所述之氣泡除錯電路，其中該第十一邏輯元件、該第十二邏輯元件與該第十三邏輯

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

元件均為反或閘，該第十四邏輯元件為一反及閘，該第十五邏輯元件為一反閘。

12.如申請專利範圍第 5 項所述之氣泡除錯電路，其中該第  $n$  級氣泡除錯單元包括：

一第一邏輯元件，包括三個輸入端，該第一邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第一邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第一邏輯元件的第三輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，並輸出一第一邏輯訊號；

一第二邏輯元件，包括三個輸入端，該第二邏輯元件的第一輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第二邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第二邏輯元件的第三輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，並輸出一第二邏輯訊號；

一第三邏輯元件，包括三個輸入端，該第三邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第三邏輯元件的第二輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第三邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第三邏輯訊號；

一第四邏輯元件，包括三個輸入端，該第四邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第四邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第四邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第四邏輯訊號；

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

一 第五邏輯元件，包括三個輸入端，該第五邏輯元件的第一輸入端接收該些溫度計碼的第  $n+1$  個溫度計碼，該第五邏輯元件的第二輸入端接收該些溫度計碼的第  $n$  個溫度計碼，該第五邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第五邏輯訊號；

一 第六邏輯元件，包括三個輸入端，該第六邏輯元件的第一輸入端接收該些溫度計碼的第  $n+2$  個溫度計碼，該第六邏輯元件的第二輸入端接收該些溫度計碼的第  $n-1$  個溫度計碼，該第六邏輯元件的第三輸入端接收該些溫度計碼的第  $n-2$  個溫度計碼，並輸出一第六邏輯訊號；以及

一 判別器，當該第一至第六邏輯元件若有任一邏輯元件之三個輸入端所接收的溫度計碼均為相同時，即以該溫度計碼之邏輯值為判別碼輸出。

13.如申請專利範圍第 12 項所述之氣泡除錯電路，其中該判別器包括：

一 第七邏輯元件，包括三個輸入端，該第七邏輯元件的第一輸入端接收第  $n+1$  級氣泡除錯單元之一第一輸入訊號，該第七邏輯元件的第二輸入端接收第  $n+1$  級氣泡除錯單元之一第二輸入訊號，該第七邏輯元件的第三輸入端接收該第一邏輯元件所輸出之該第一邏輯訊號，並輸出一第七邏輯訊號；

一 第八邏輯元件，包括四個輸入端，該第八邏輯元件的第一輸入端接收該第二邏輯元件所輸出之該第二邏輯訊號，該第八邏輯元件的第二輸入端接收該第三邏輯元件

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

所輸出之該第三邏輯訊號，該第八邏輯元件的第三輸入端接收該第四邏輯元件所輸出之該第四邏輯訊號，該第八邏輯元件的第四輸入端接收該第五邏輯元件所輸出之該第五邏輯訊號，並輸出一第八邏輯訊號；

一第九邏輯元件，包括三個輸入端，該第九邏輯元件的第一輸入端接收該第六邏輯元件所輸出之該第六邏輯訊號，該第九邏輯元件的第二輸入端接收第  $n-1$  級氣泡除錯單元之該第一輸入訊號，該第九邏輯元件的第三輸入端接收第  $n-1$  級氣泡除錯單元之該第二輸入訊號，並輸出一第九邏輯訊號；

一第十邏輯元件，包括三個輸入端，該第十邏輯元件的第一輸入端接收該第七邏輯元件所輸出之該第七邏輯訊號，該第十邏輯元件的第二輸入端接收該第八邏輯元件所輸出之該第八邏輯訊號，該第十邏輯元件的第三輸入端接收該第九邏輯元件所輸出之該第九邏輯訊號，並輸出一第十邏輯信號；以及

一第十一邏輯元件，該第十一邏輯元件的輸入端接收該第十邏輯元件所輸出之該第十邏輯訊號，並輸出該判別碼。

14.如申請專利範圍第 12 項所述之氣泡除錯電路，其中該第一邏輯元件、該第二邏輯元件、該第三邏輯元件、該第四邏輯元件、該第五邏輯元件與該第六邏輯元件均為反及閘。

15.如申請專利範圍第 13 項所述之氣泡除錯電路，其

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

中該第七邏輯元件、該第八邏輯元件與該第九邏輯元件均為反及閘，該第十邏輯元件為一反或閘，該第十一邏輯元件為一反閘。

16.一種氣泡除錯電路，接收複數個溫度計碼加以氣泡除錯，包括：

至少一個氣泡除錯單元，其中任一氣泡除錯單元自該複數個溫度計碼中選取相鄰的  $2m+1$  個溫度計碼，其中  $m$  為自然數，判斷此  $2m+1$  個溫度計碼所出現之狀態為多數者，並根據所出現之多數狀態輸出一判別碼；

一轉態偵測電路，接收各氣泡除錯單元所輸出之判別碼，將其轉換為一組 1-OF-N 碼；以及

一解碼器，接收該轉態偵測電路所輸出之 1-OF-N 碼，將其轉換為一個二進位碼輸出。

17.一種氣泡除錯方法，其步驟包括

接收複數個溫度計碼；

自該複數個溫度計碼中選取相鄰的  $2m+1$  個溫度計碼，其中  $m$  為自然數；

判斷前述  $2m+1$  個溫度計碼所出現之狀態為多數者；以及

根據所出現之多數狀態輸出一判別碼。

18.如申請專利範圍第 17 項所述之氣泡除錯方法，其中該判別碼為該  $2m+1$  個溫度計碼所出現之狀態為多數者。

19.如申請專利範圍第 17 項所述之氣泡除錯方法，其

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

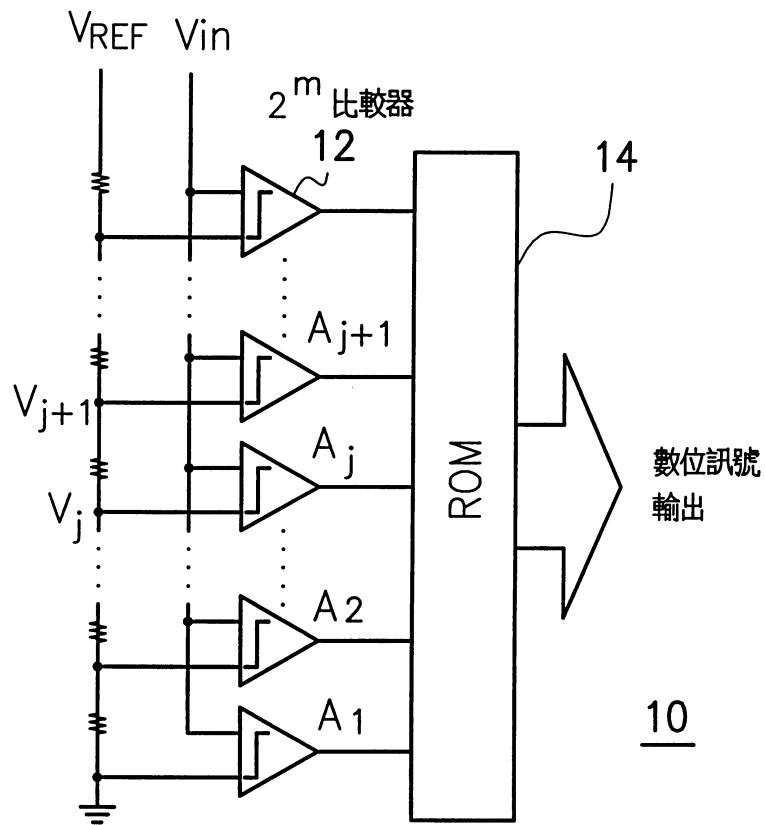
## 六、申請專利範圍

中該判別碼為該  $2m+1$  個溫度計碼所出現之狀態為少數者。

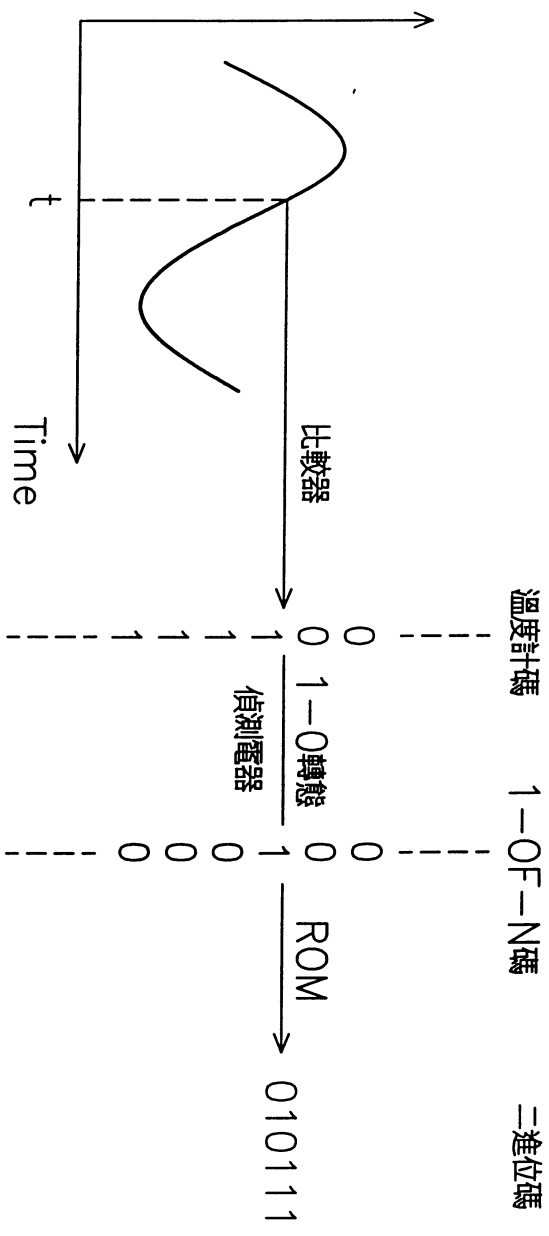
(請先閱讀背面之注意事項再填寫本頁)

訂

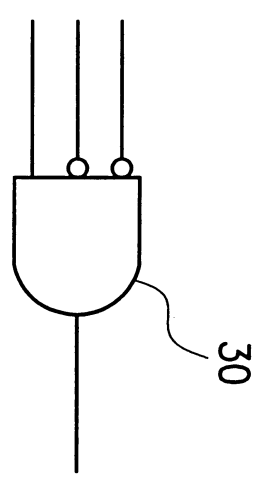
線



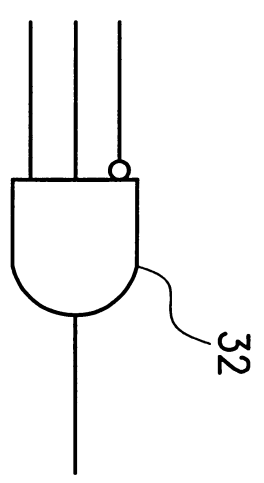
第 1 圖



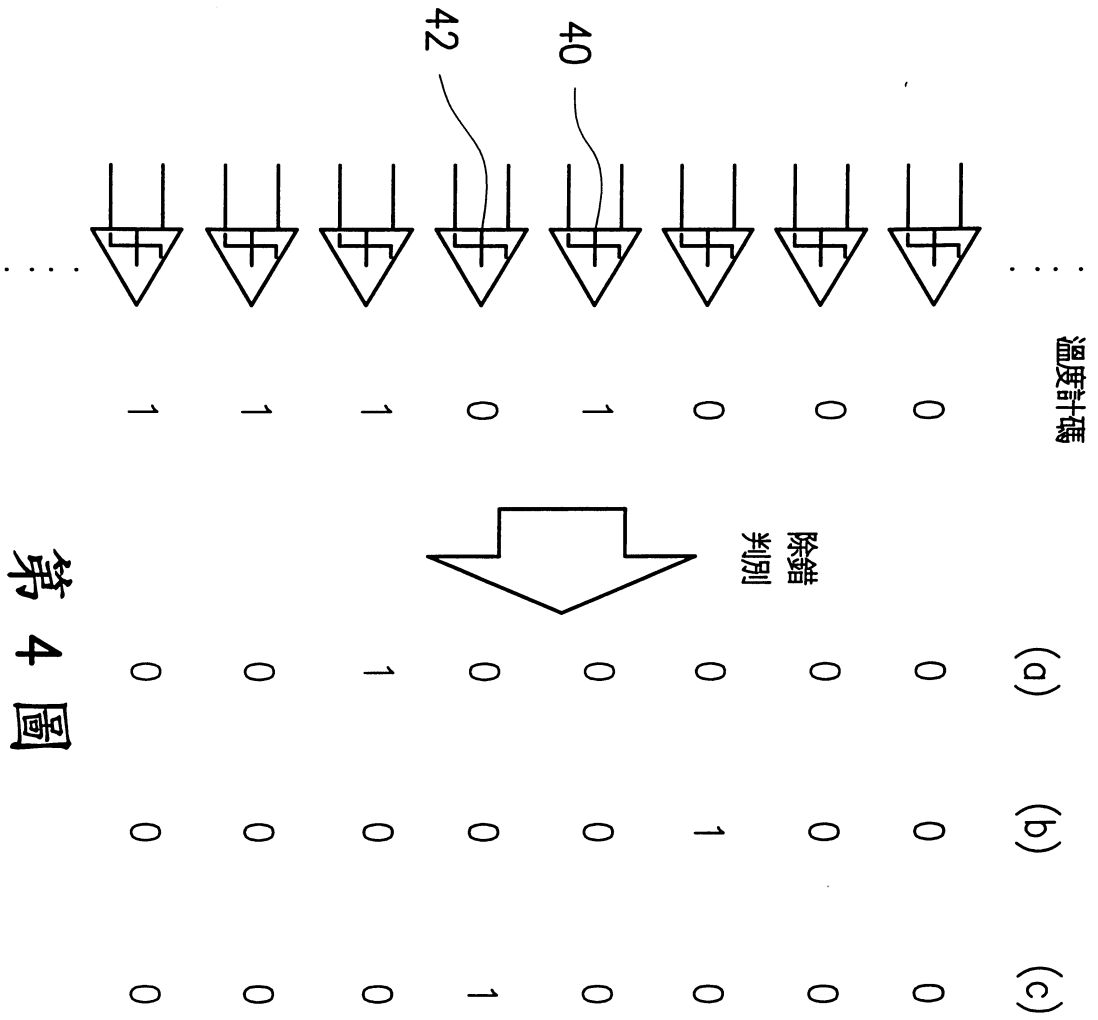
第 2 圖




第 3A 圖



第 3B 圖




第 4 圖

	(a)	(b)	(c)	(d)	(e)	(f)
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	1	0
	0	0	0	0	0	0
	0	0	1	0	0	0
	0	0	0	0	1	1
	1	0	0	0	1	1
	-----					
 最佳落點	0	1	1	1	0	0
	1	1	1	1	0	0
	1	0	1	1	1	1
	1	1	1	1	1	1
	1	1	1	0	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1

第5A圖

	(a)	(b)	(c)	(d)	(e)	(f)
	0	0	0	0	0	0
	0	0	0	0	1	0
	0	0	0	0	0	0
	0	0	1	0	0	0
	0	0	0	0	0	1
	1	0	0	0	0	0
	0	1	1	1	1	0
	-----					
最佳落點	0	0	0	0	0	0
	0	0	0	0	0	1
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0

第5B圖

	(a)	(b)	(c)	(d)	(e)	(f)
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	0	0	1
1	0	0	0	0	0	0
<hr style="border-top: 1px dashed black;"/>						
 最佳落點	0	1	1	1	1	0
1	0	0	0	0	0	0
0	0	0	0	0	0	1
0	1	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	0	1	0	0
0	0	0	0	0	0	0

第 5C 圖

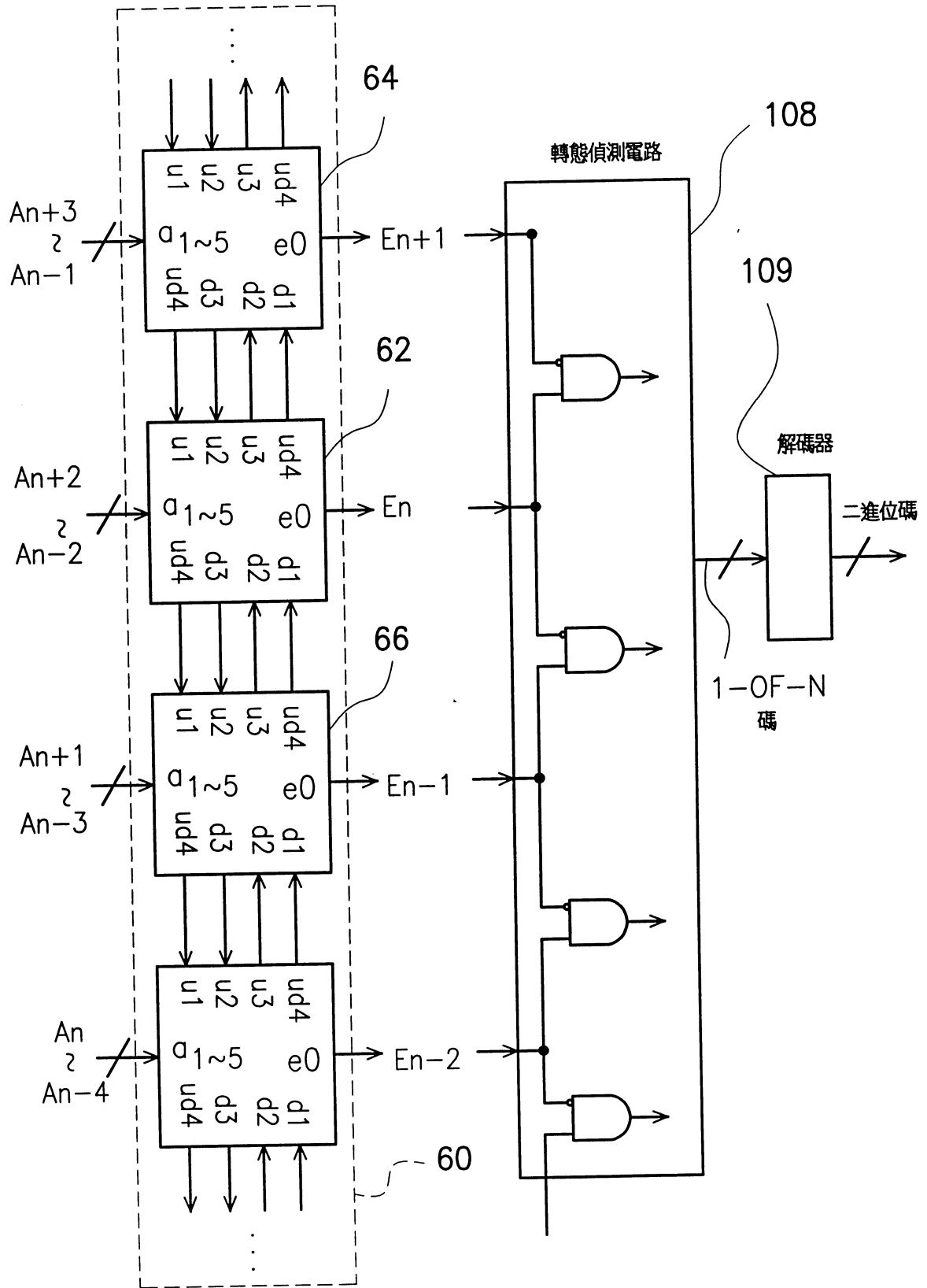
	(a)	(b)	(c)	(d)	(e)	(f)
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	1	1
	0	0	0	0	1	1
	-----					
最佳落點	1	1	1	1	0	1
	1	1	1	1	0	0
	1	1	1	1	1	1
	1	1	1	1	1	1
	1	1	1	0	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1

第5D圖

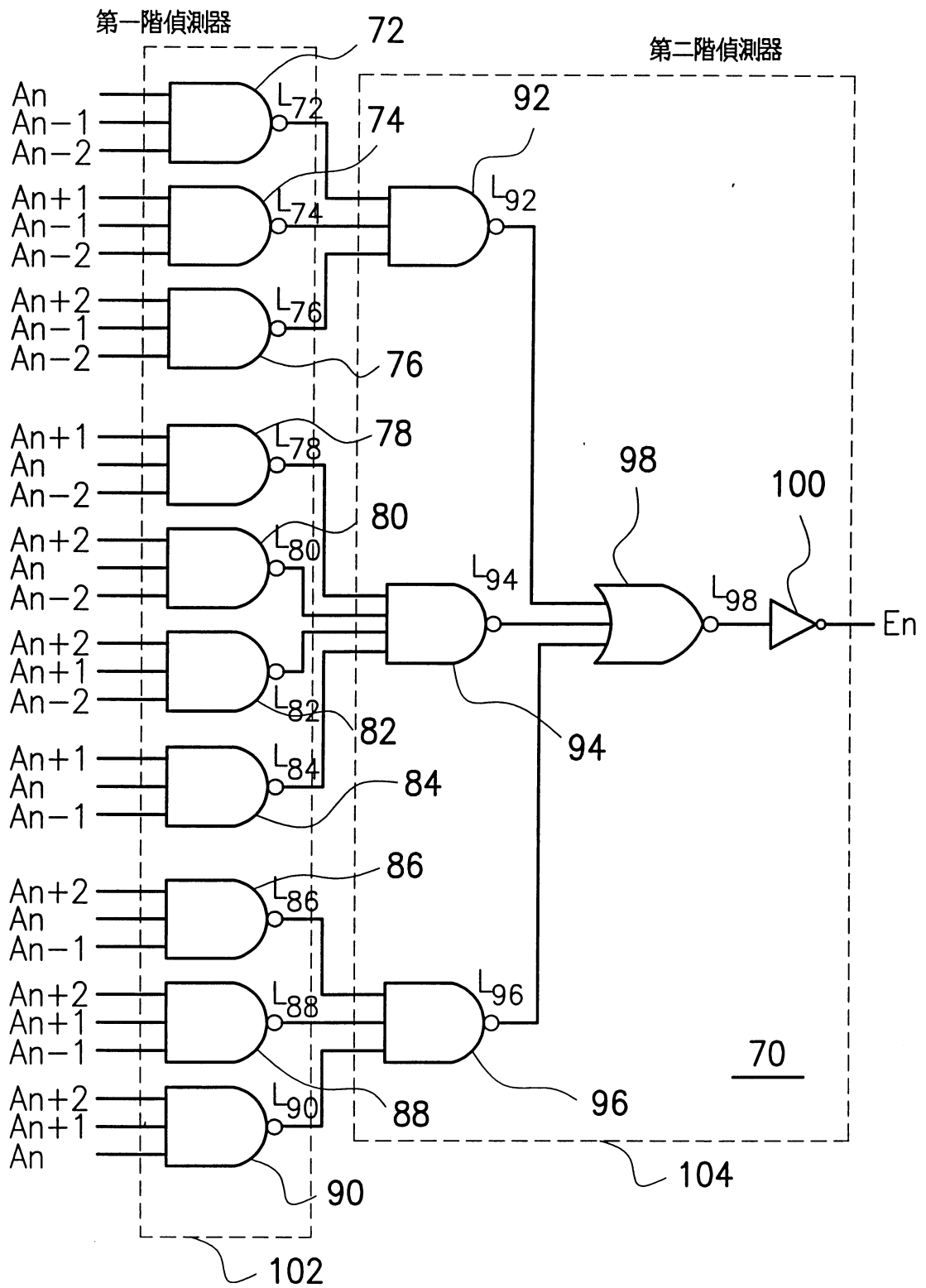
	(a)	(b)	(c)	(d)	(e)	(f)
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	0	0	0	0
	0	0	1	0	0	0
	-----					
最佳落點	0	0	1	1	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1
	1	1	1	1	1	1

第5E圖

6669TW

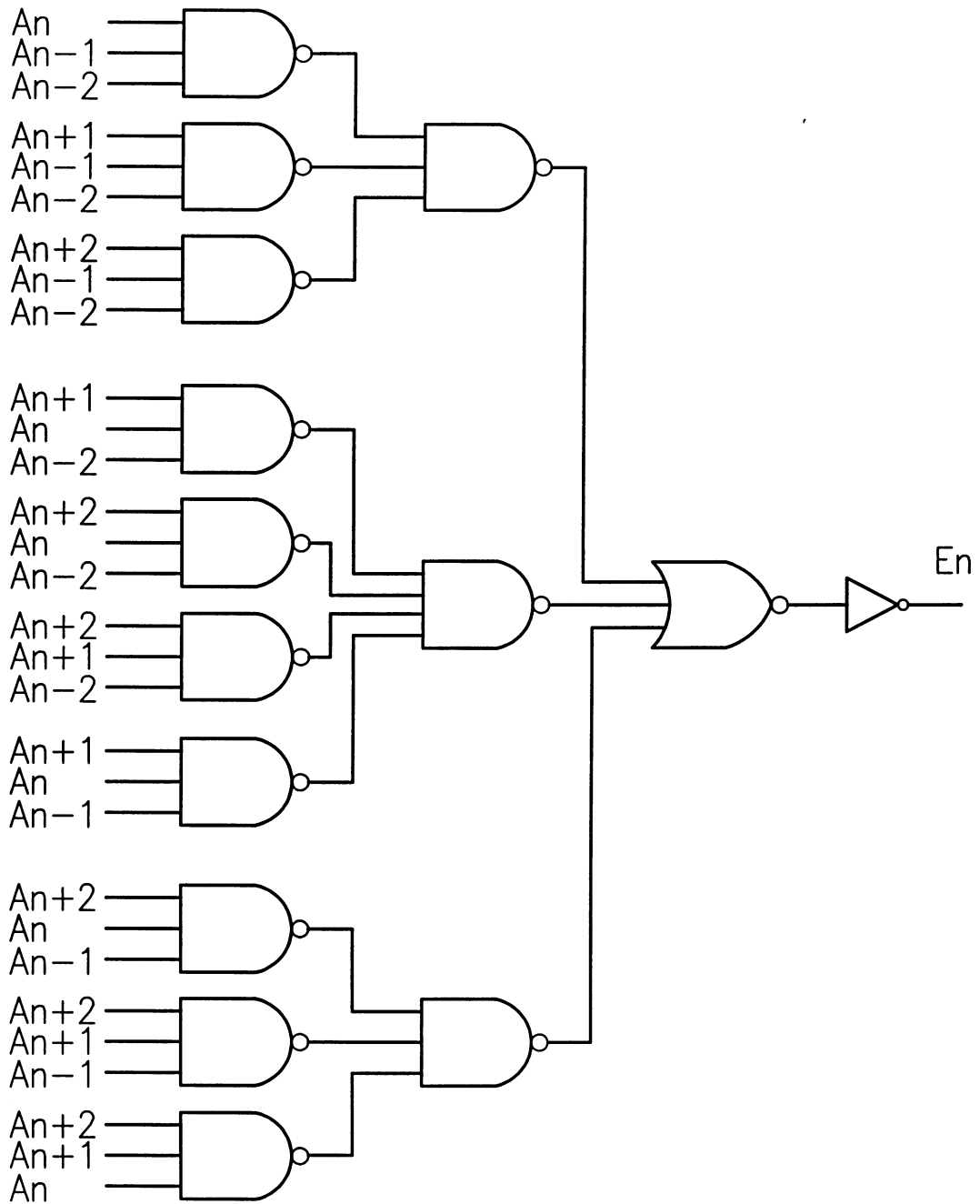


第 6 圖



第7A圖

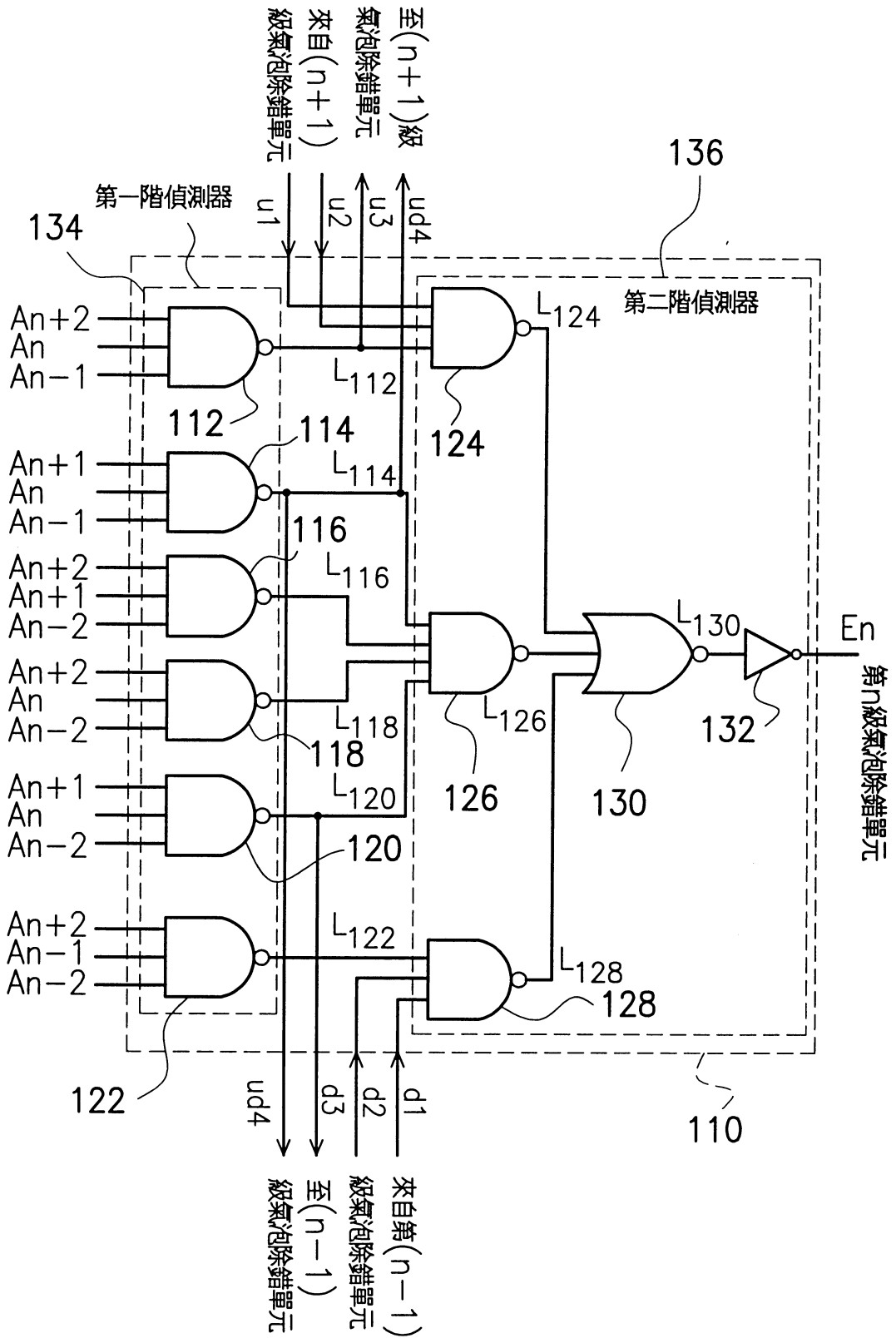
6669TW



第7B圖

$A_{n-2}$	$A_{n-1}$	$A_n$	$A_{n+1}$	$A_{n+2}$	$E_n$
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	1
0	1	1	0	0	0
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	1	1

第 8 圖



第 9 圖