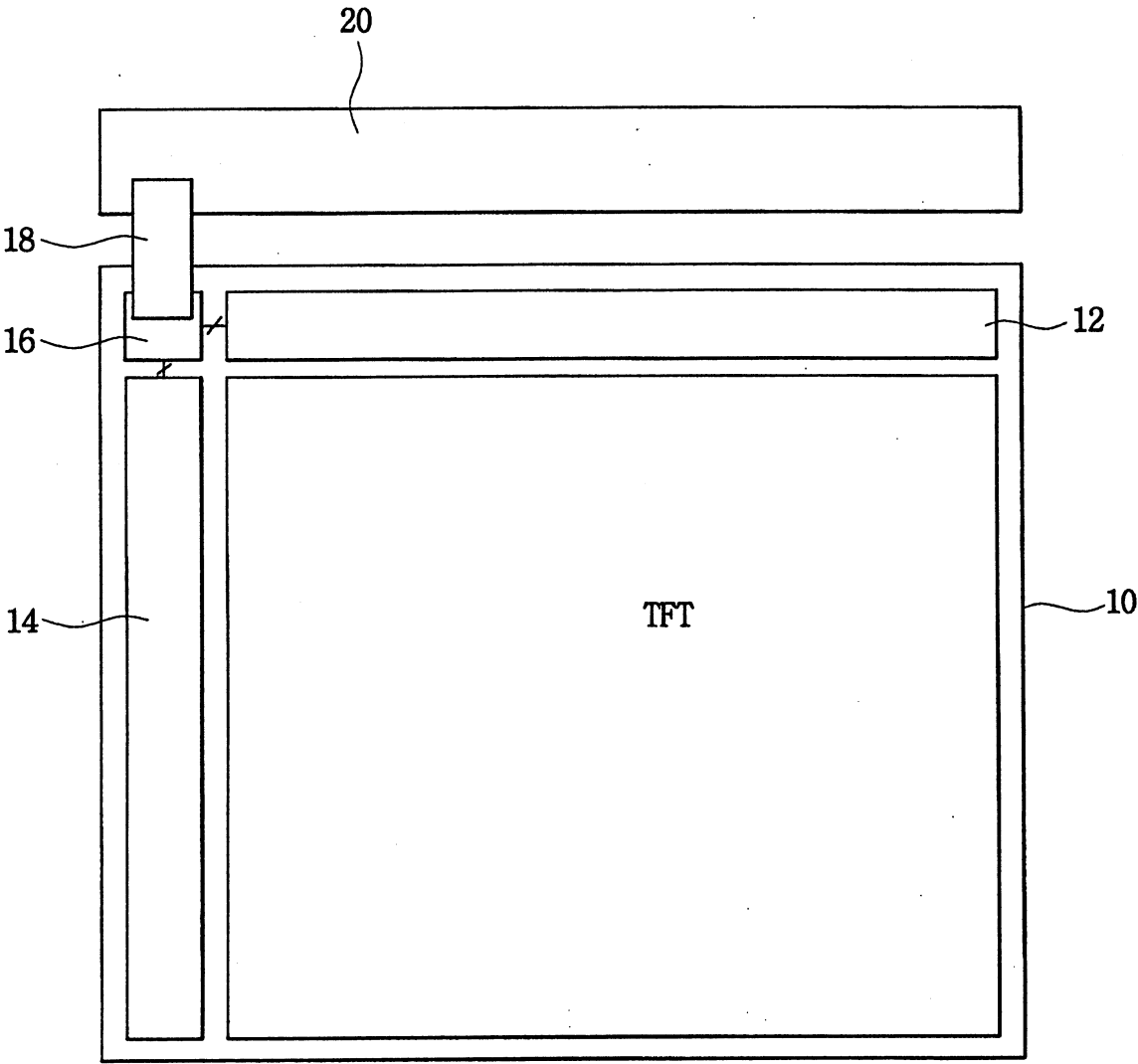
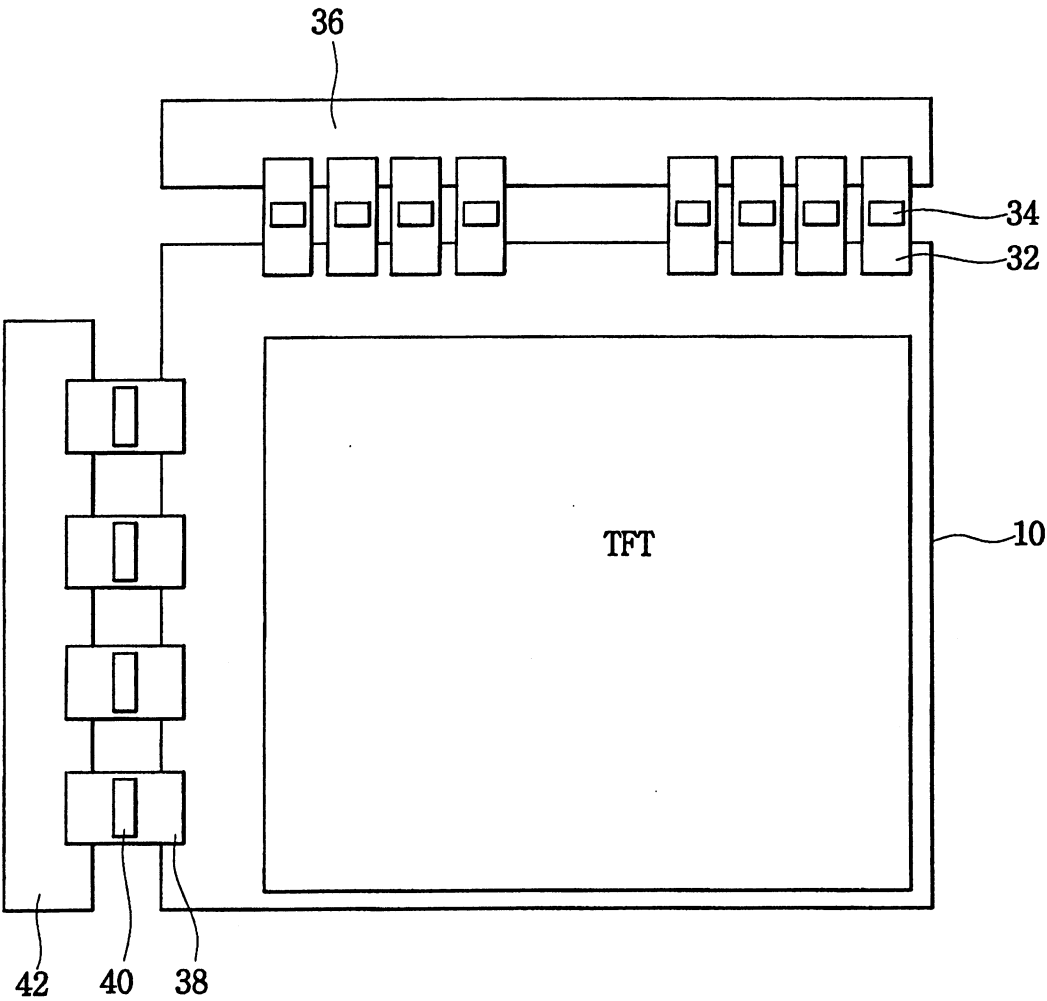


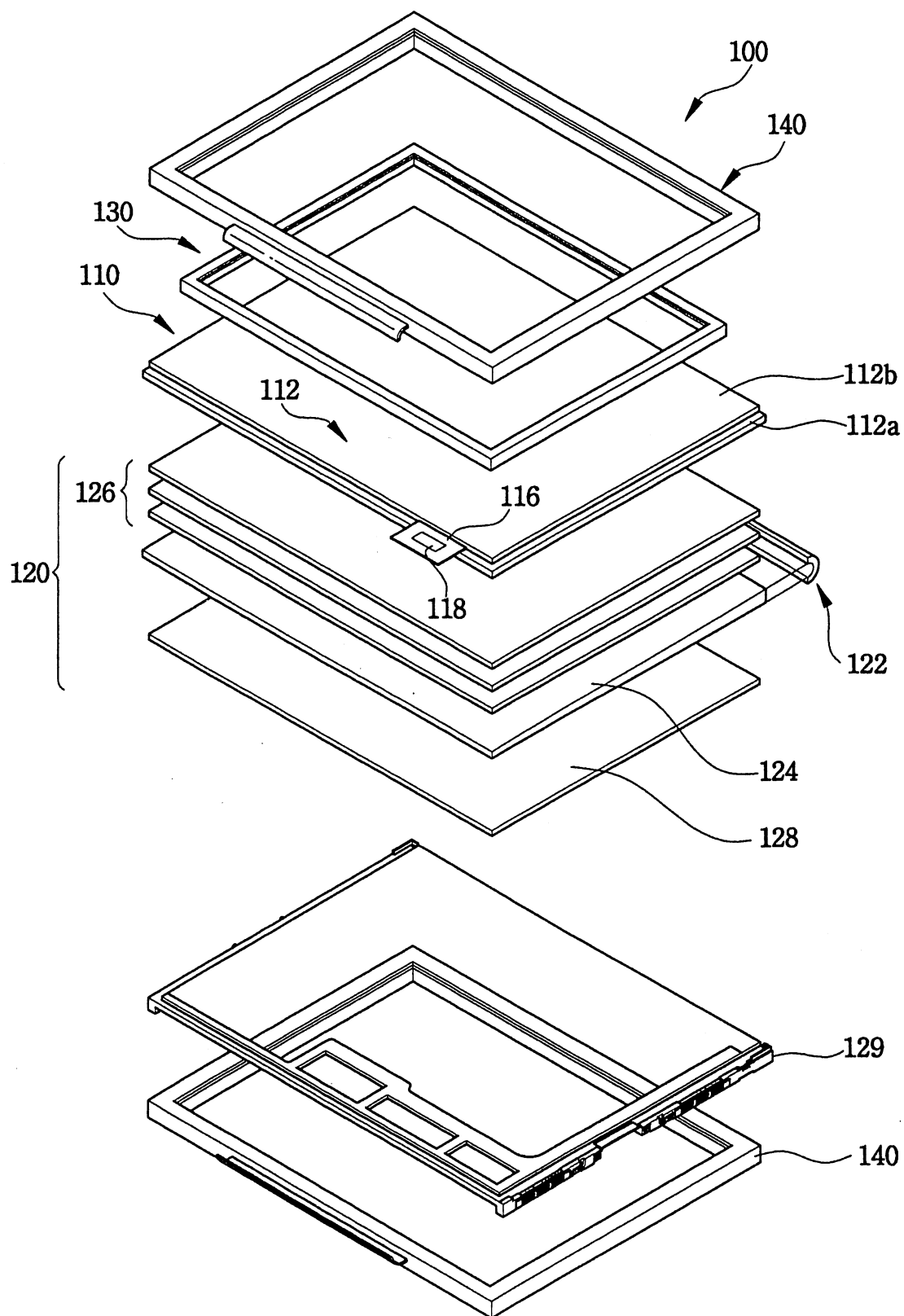
第 1 圖



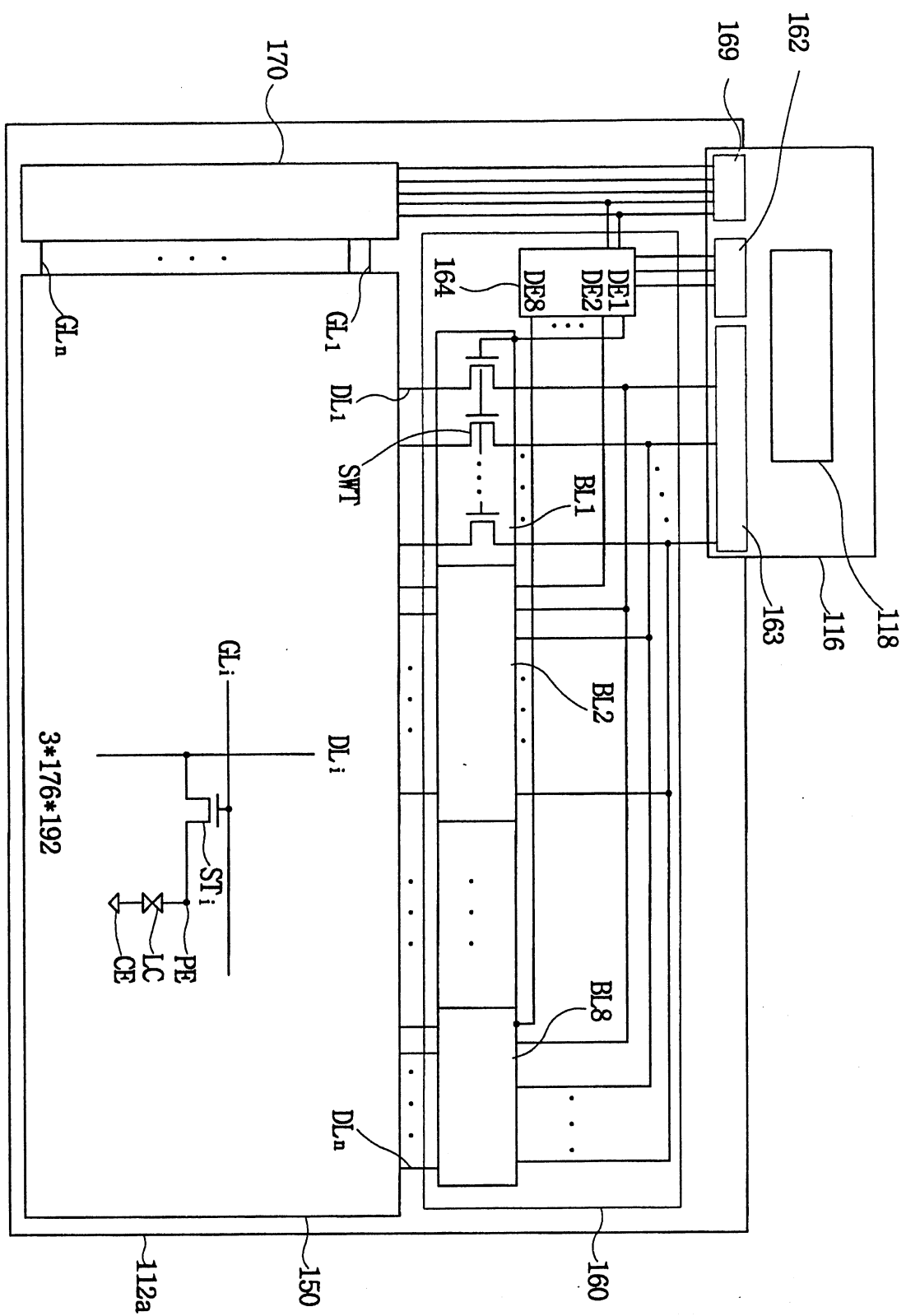
第 2 圖



第 3 圖

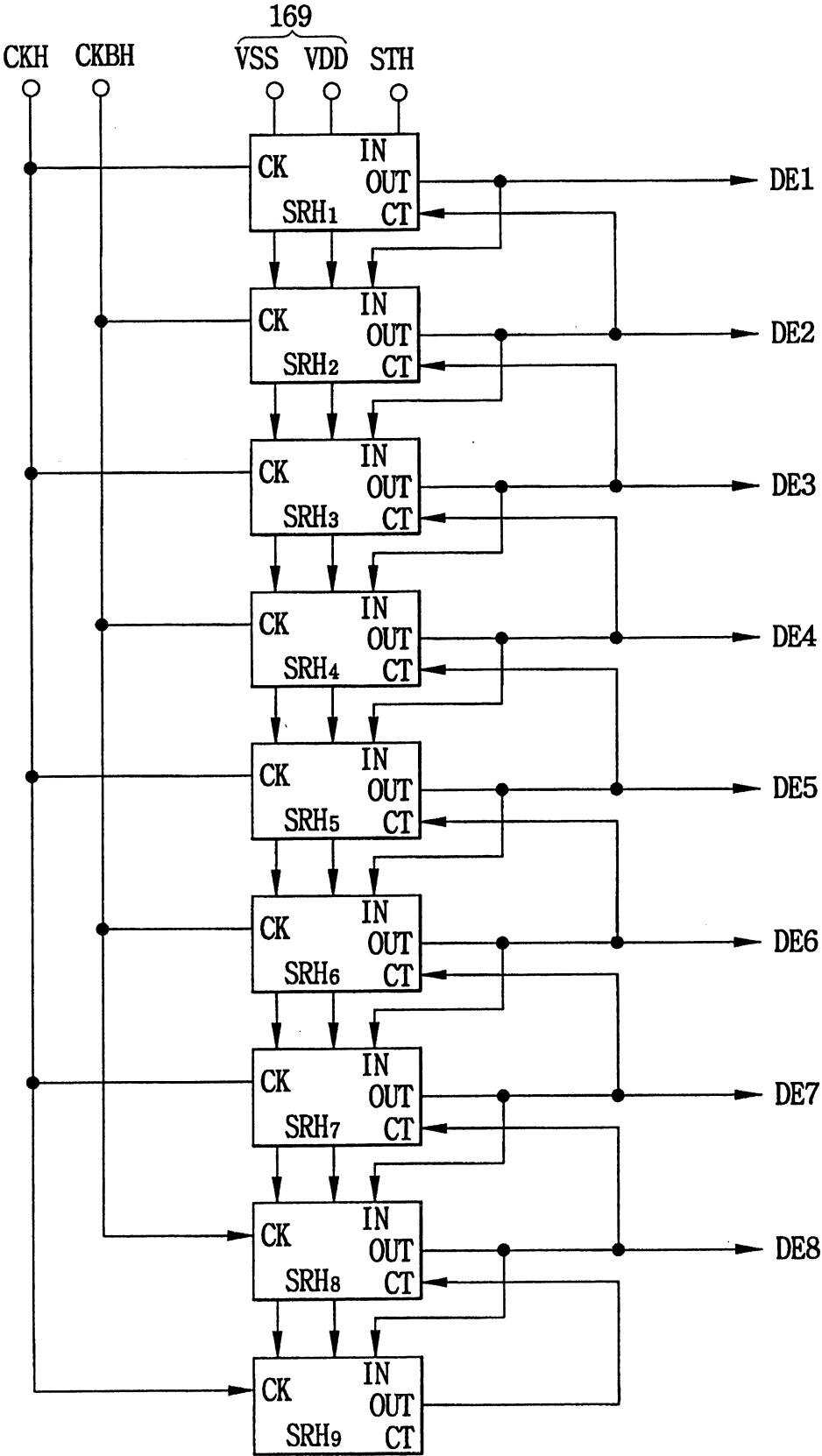


第 4 圖

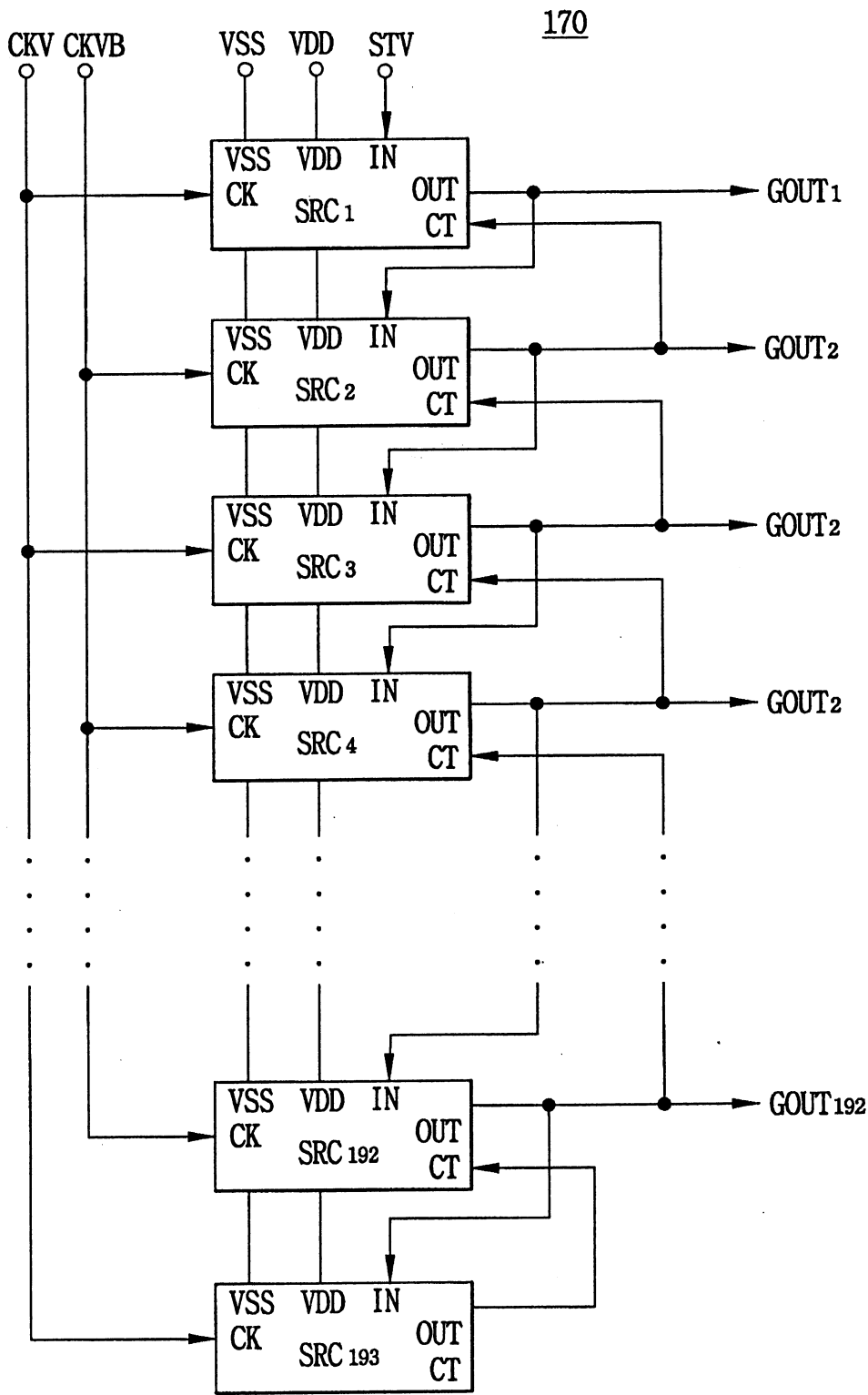


第 5 圖

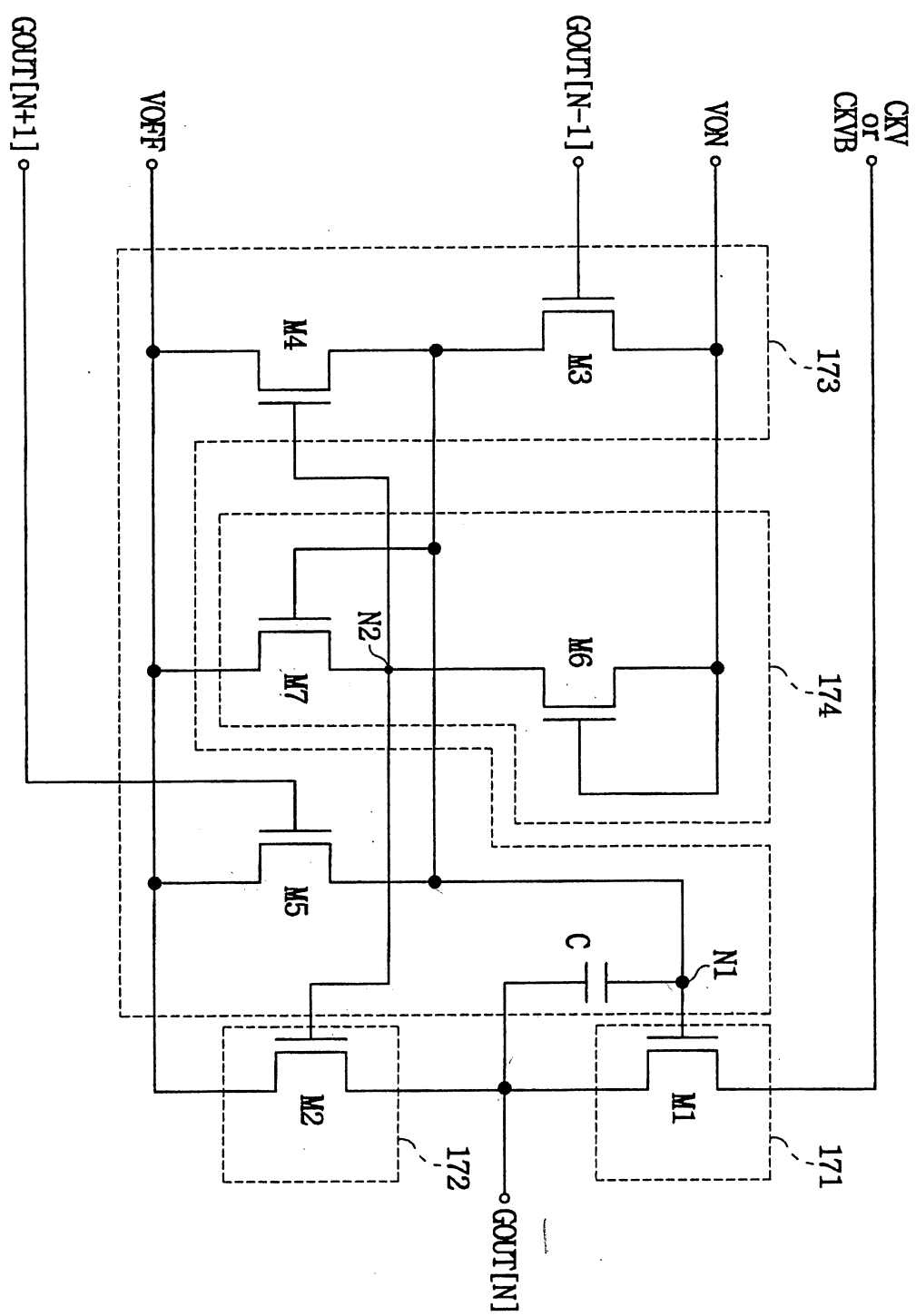
164

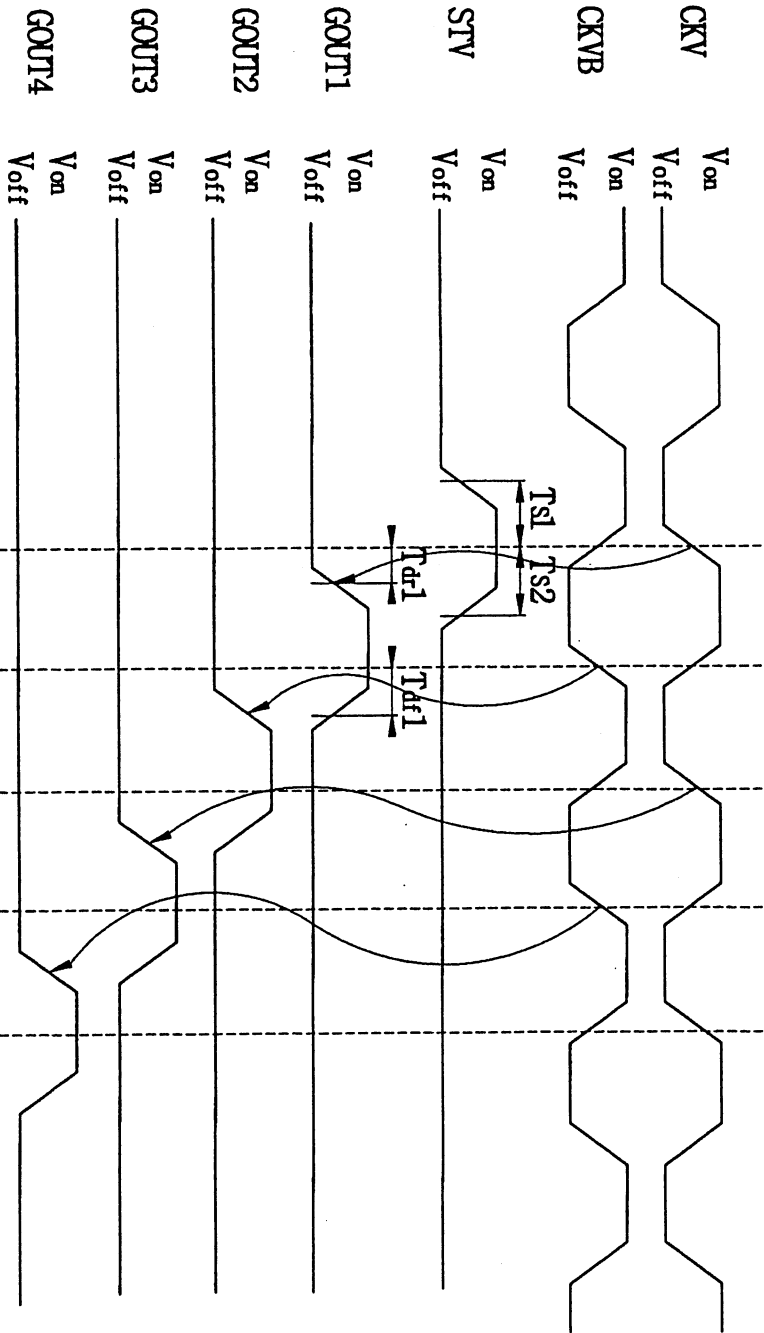


第 6 圖



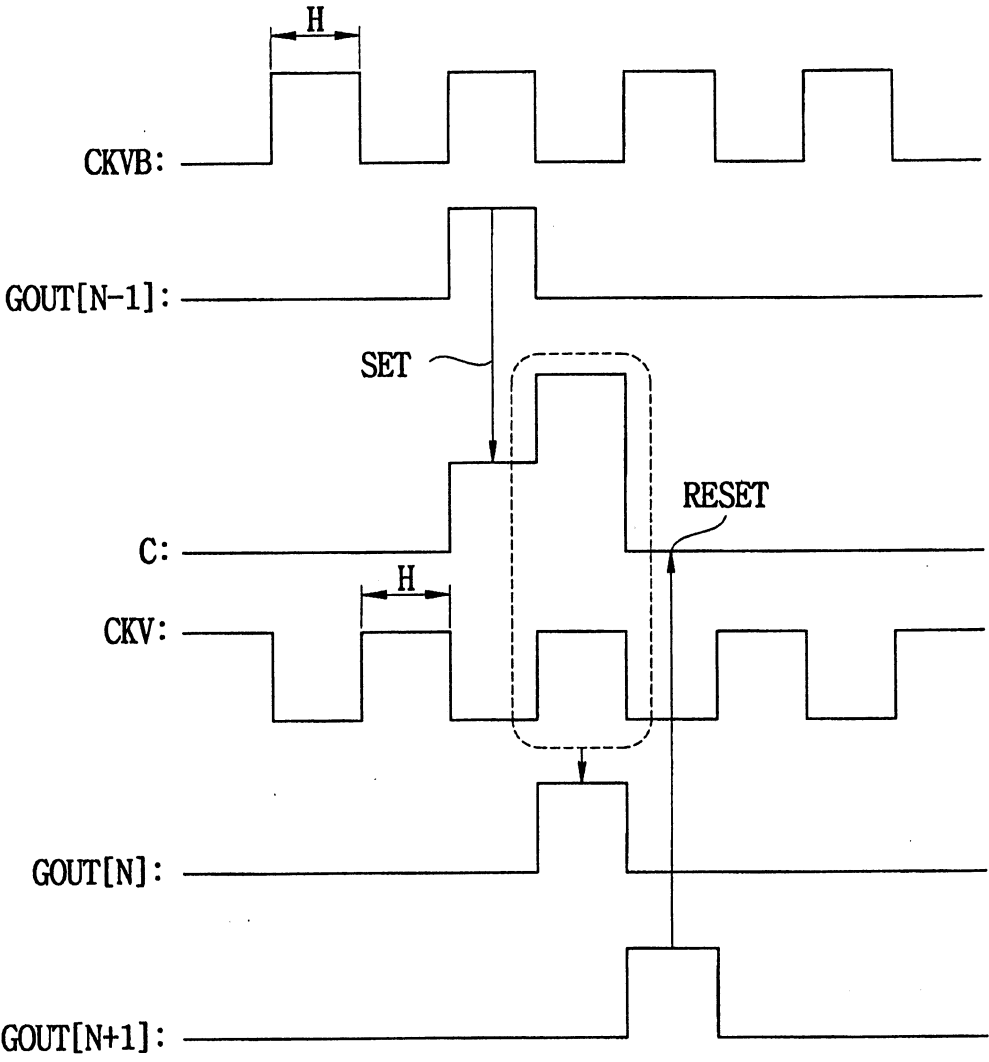
第七回



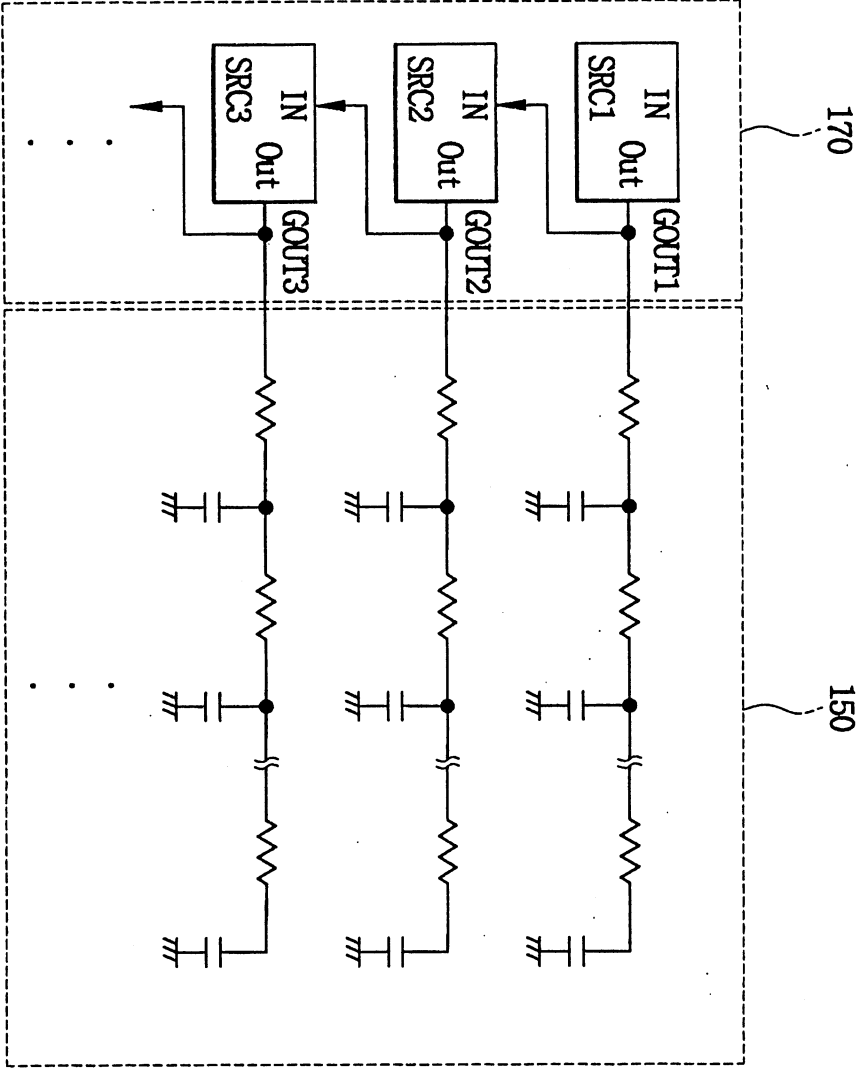


第 8 圖

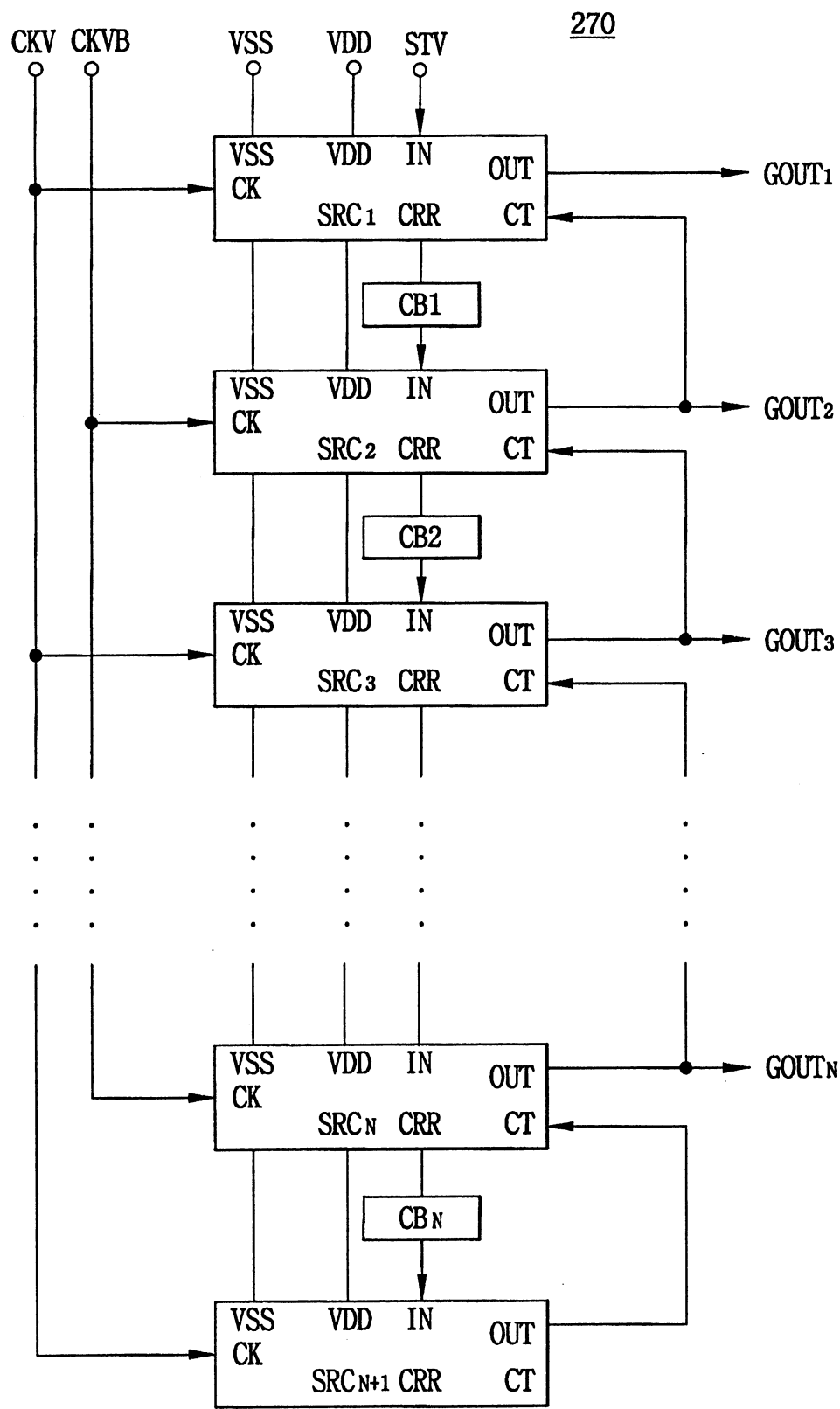
第 9 圖



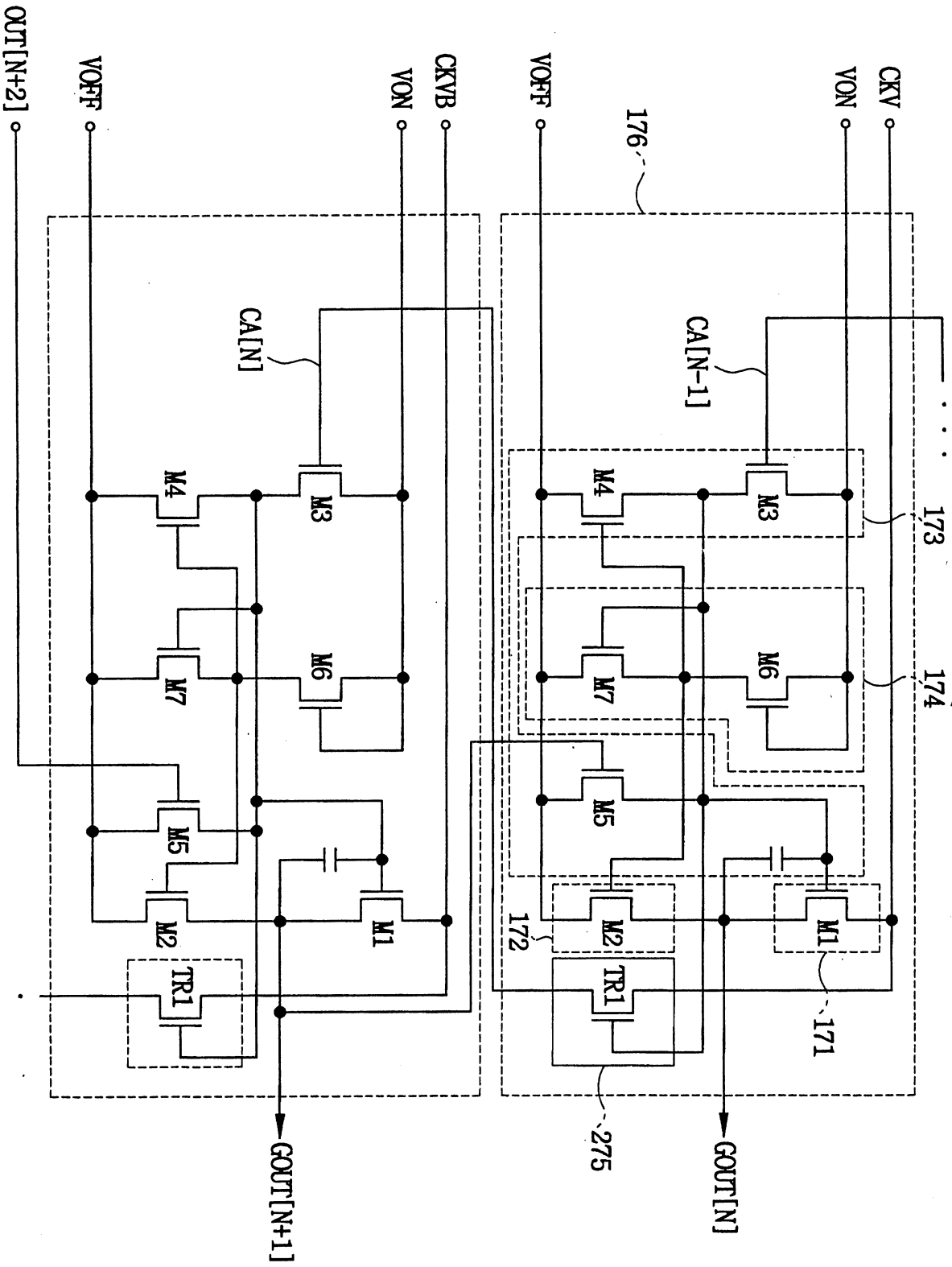
第 10 圖



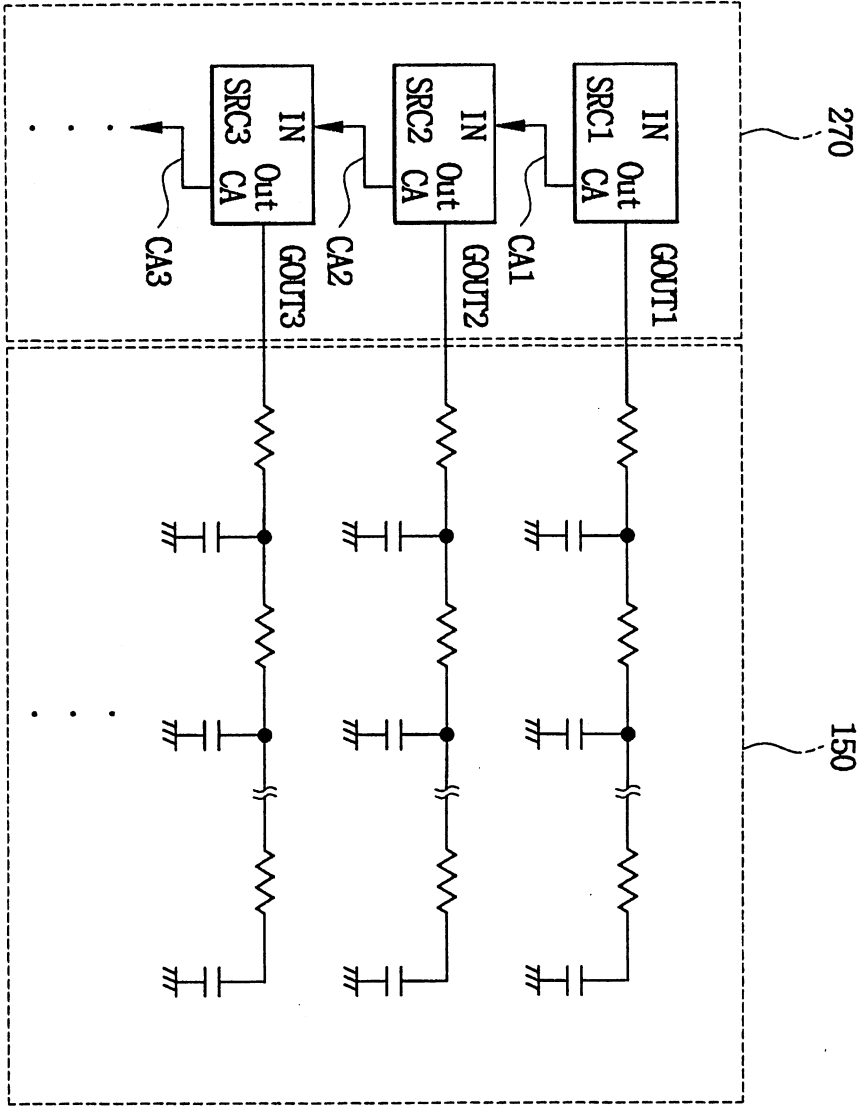
第 11 圖



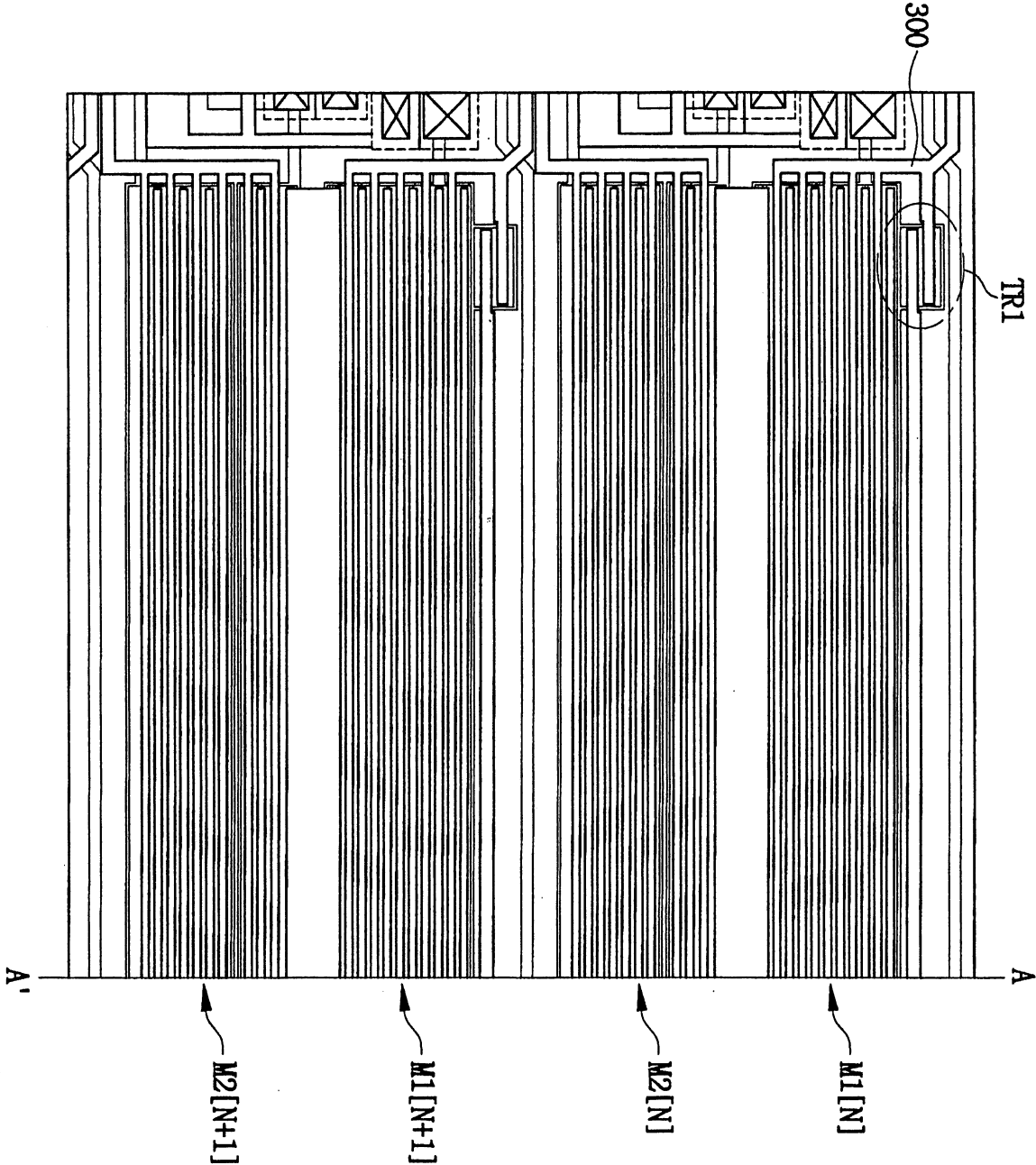
第 13 圖



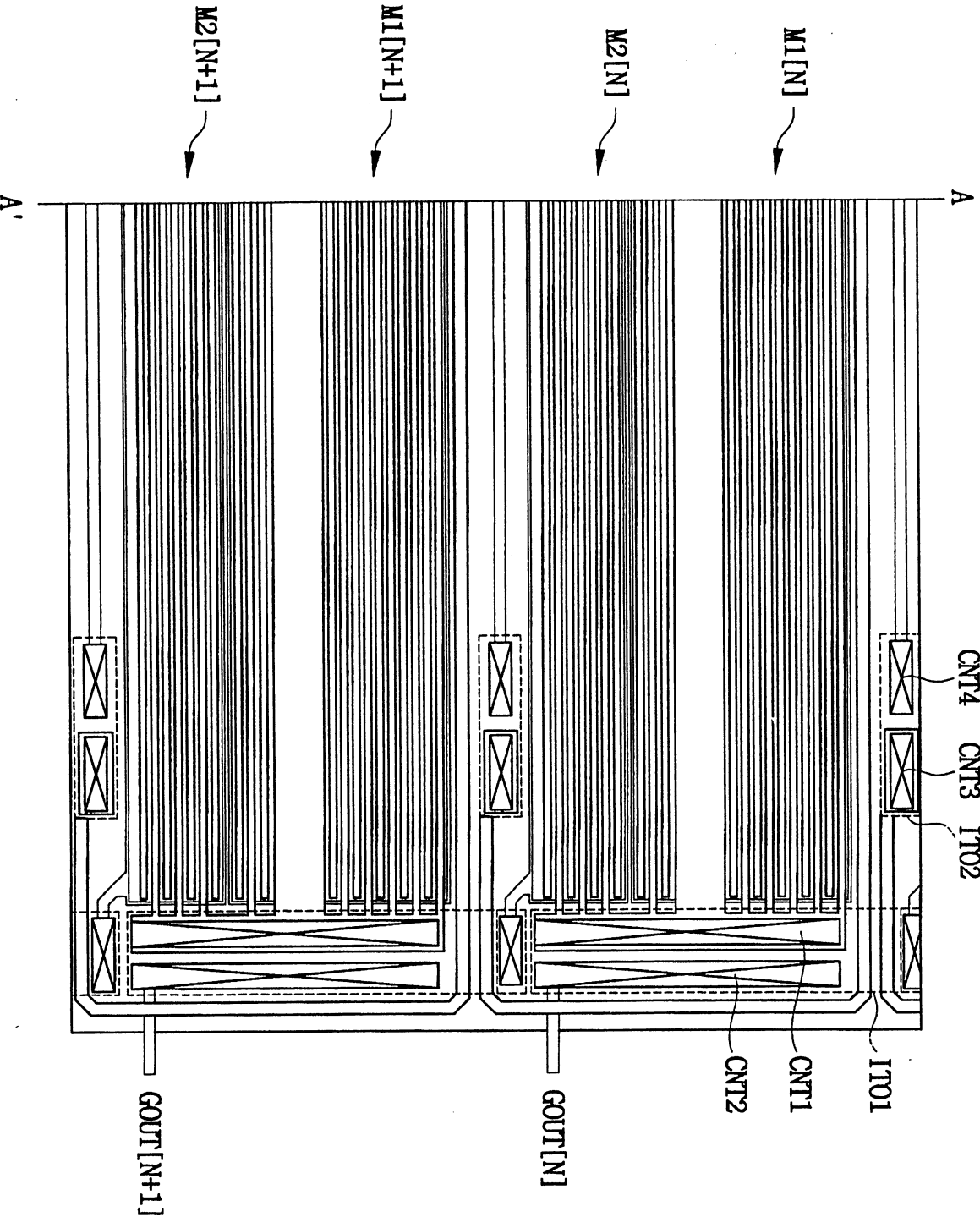
第14圖



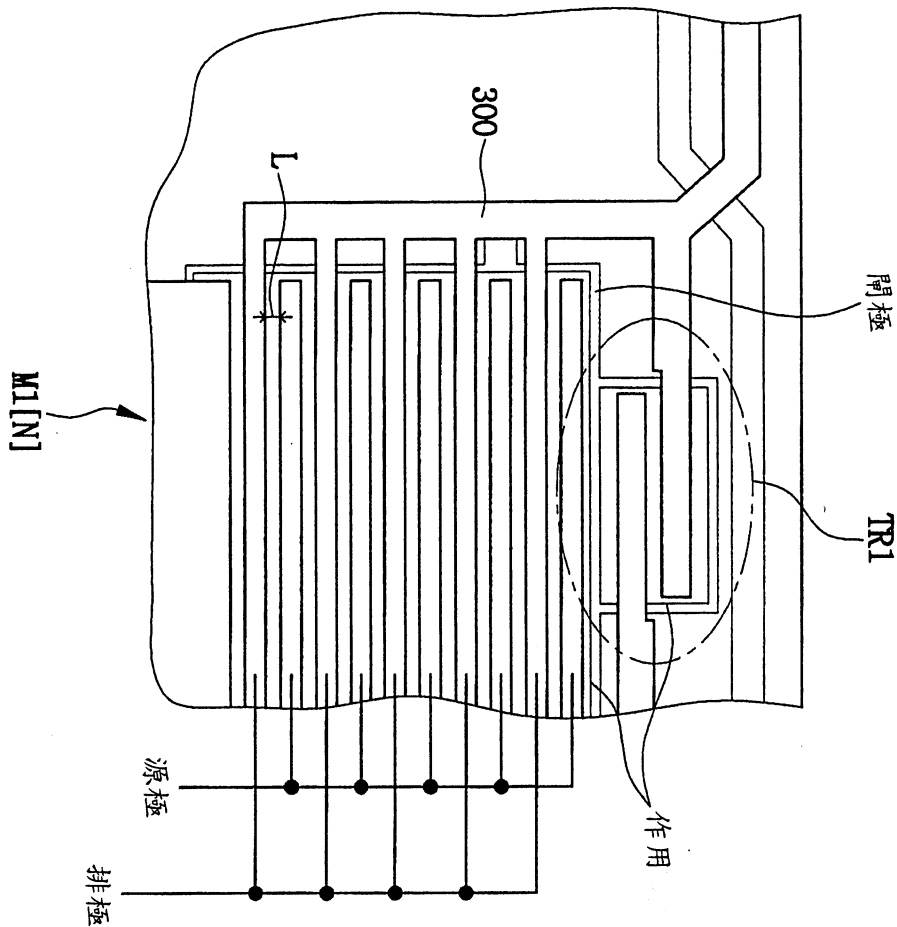
第15A圖



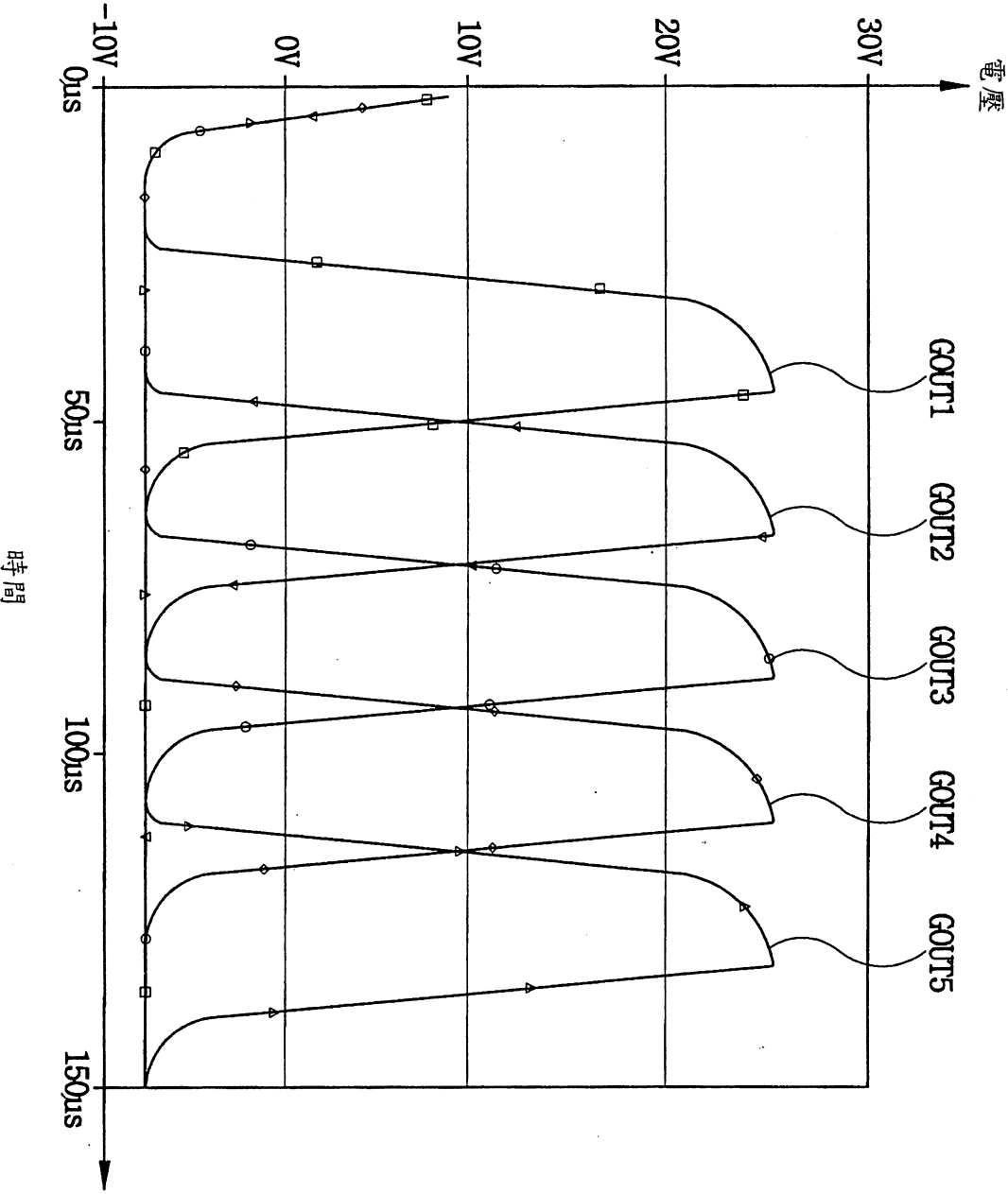
第15B 圖



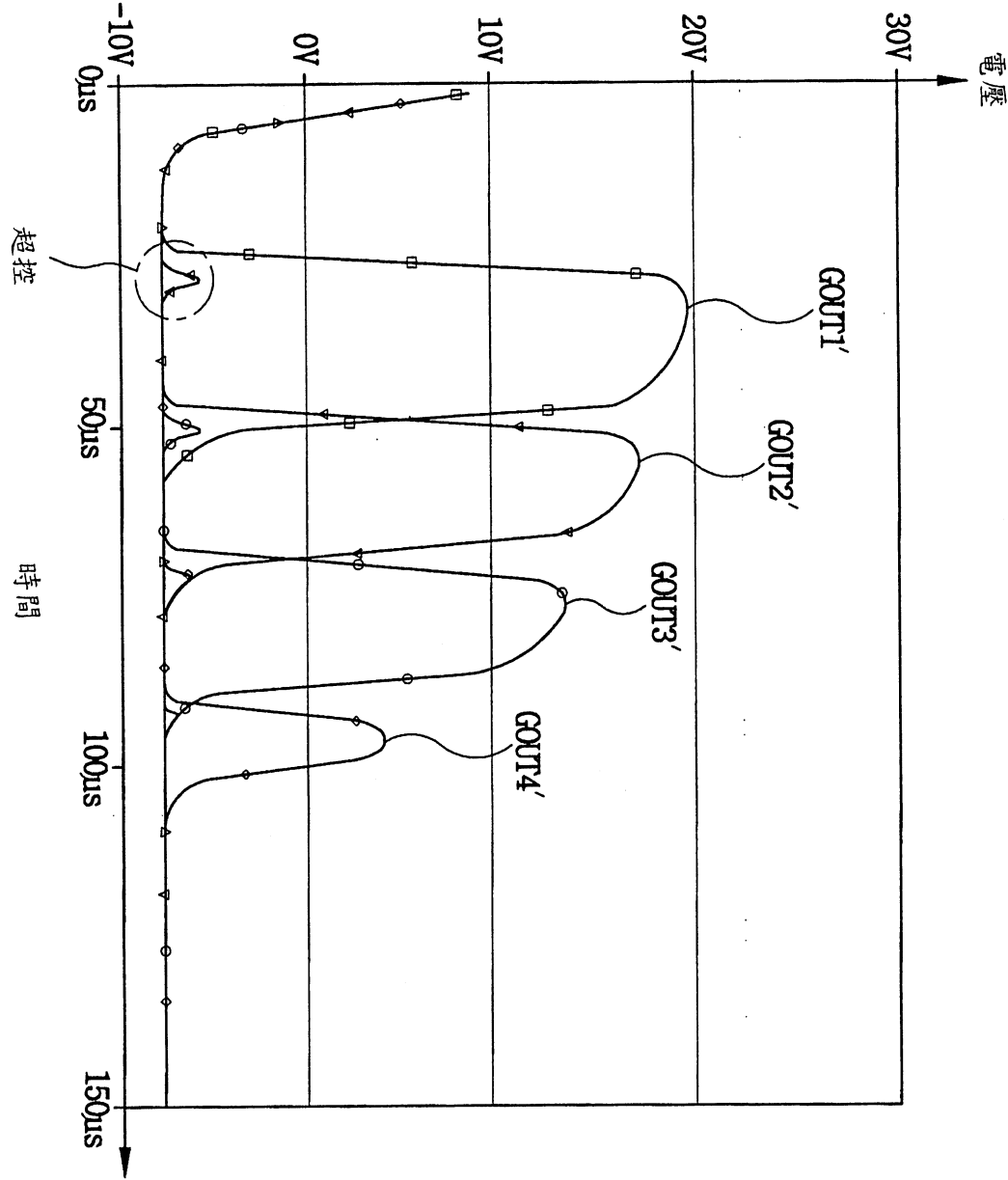
第15C圖



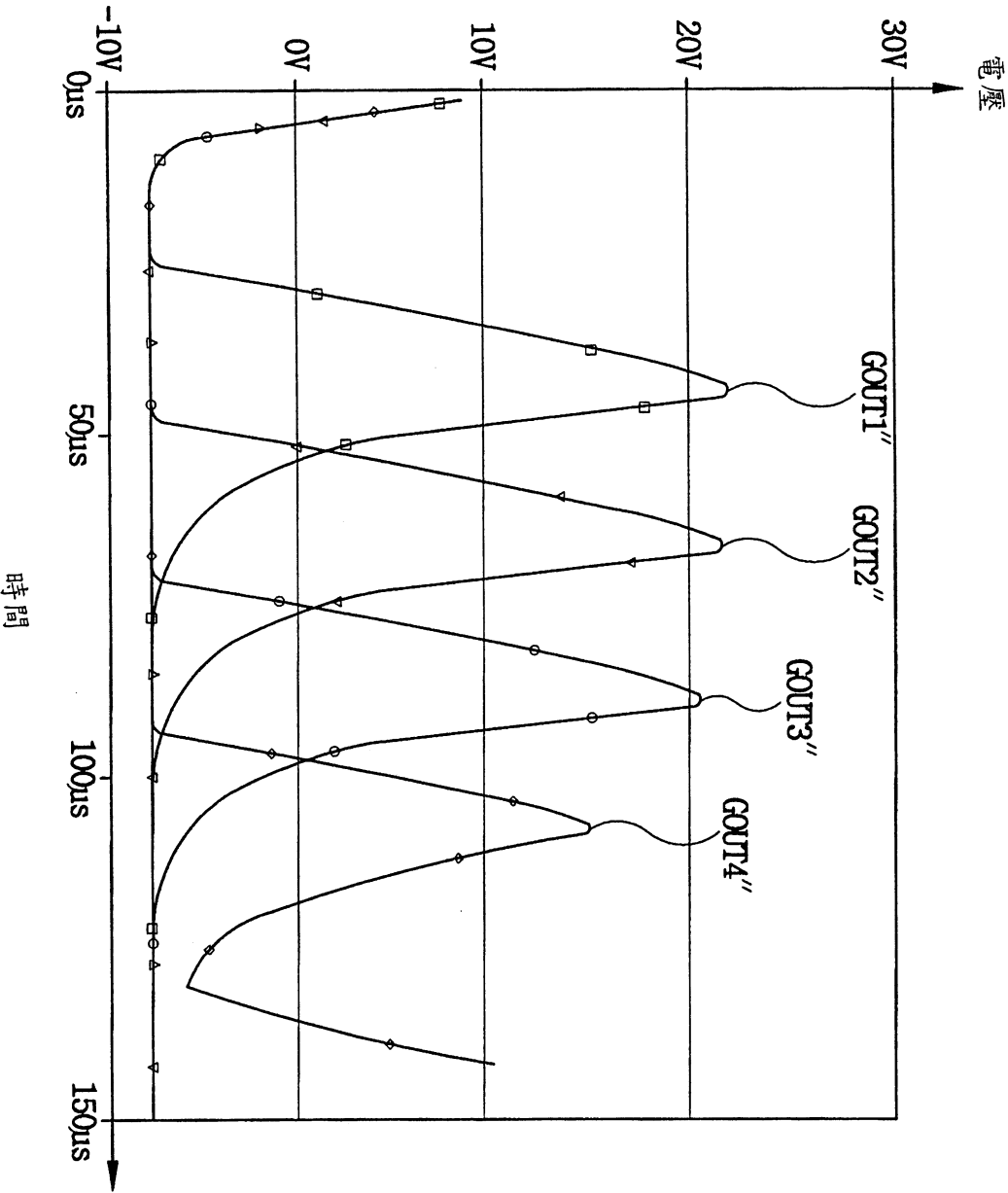
第 16A 圖



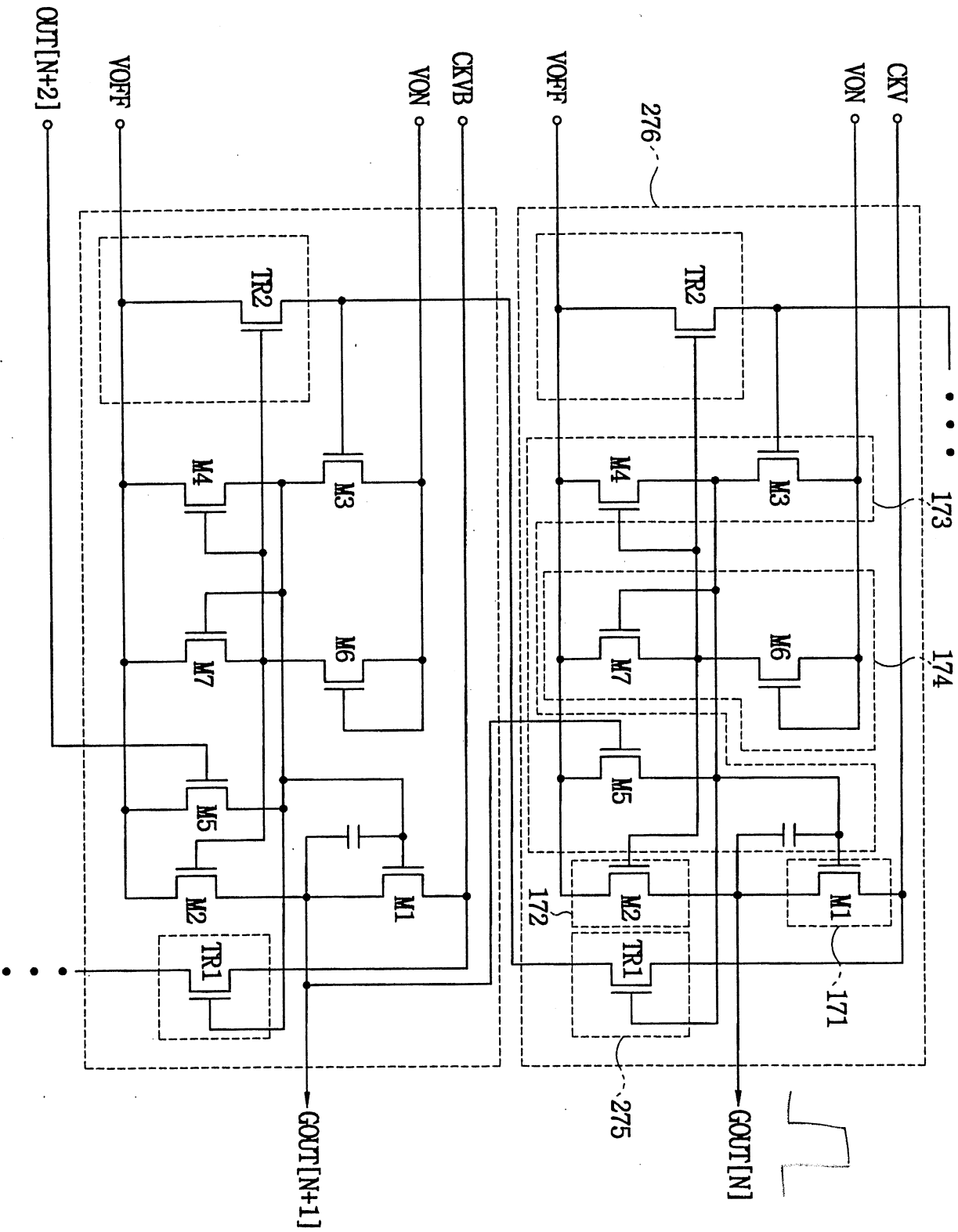
第 16B 圖



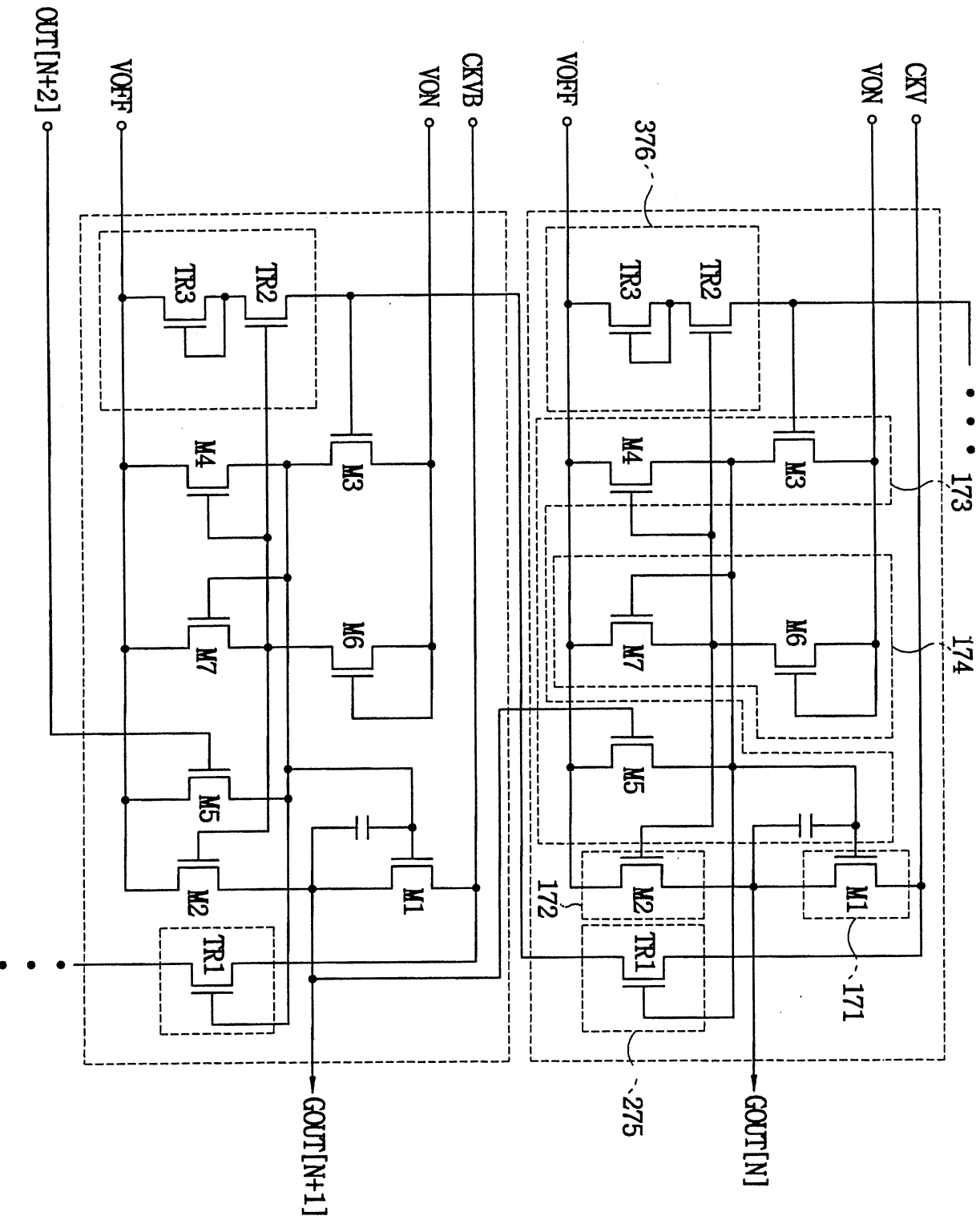
第 16C 圖



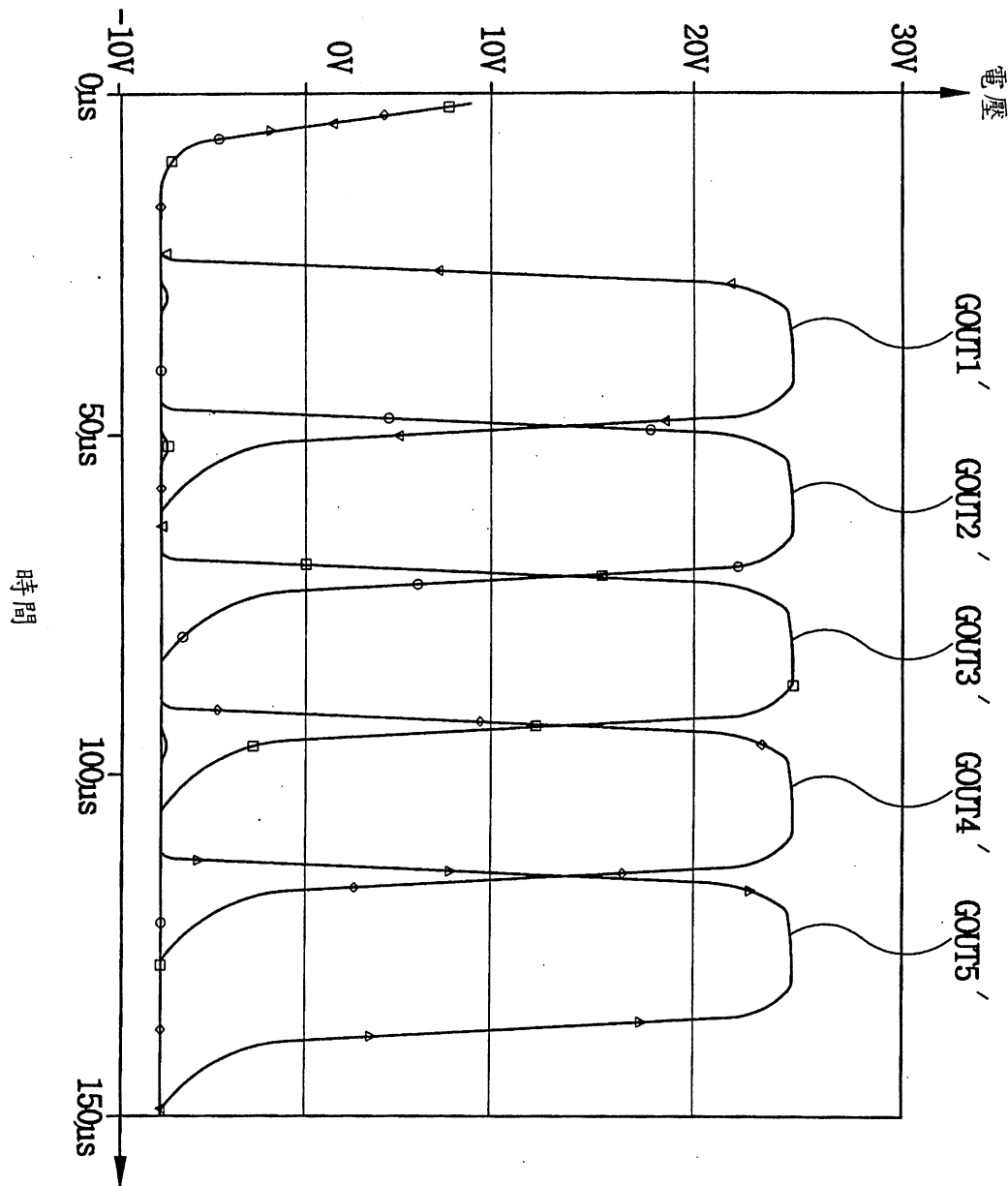
第 17 圖



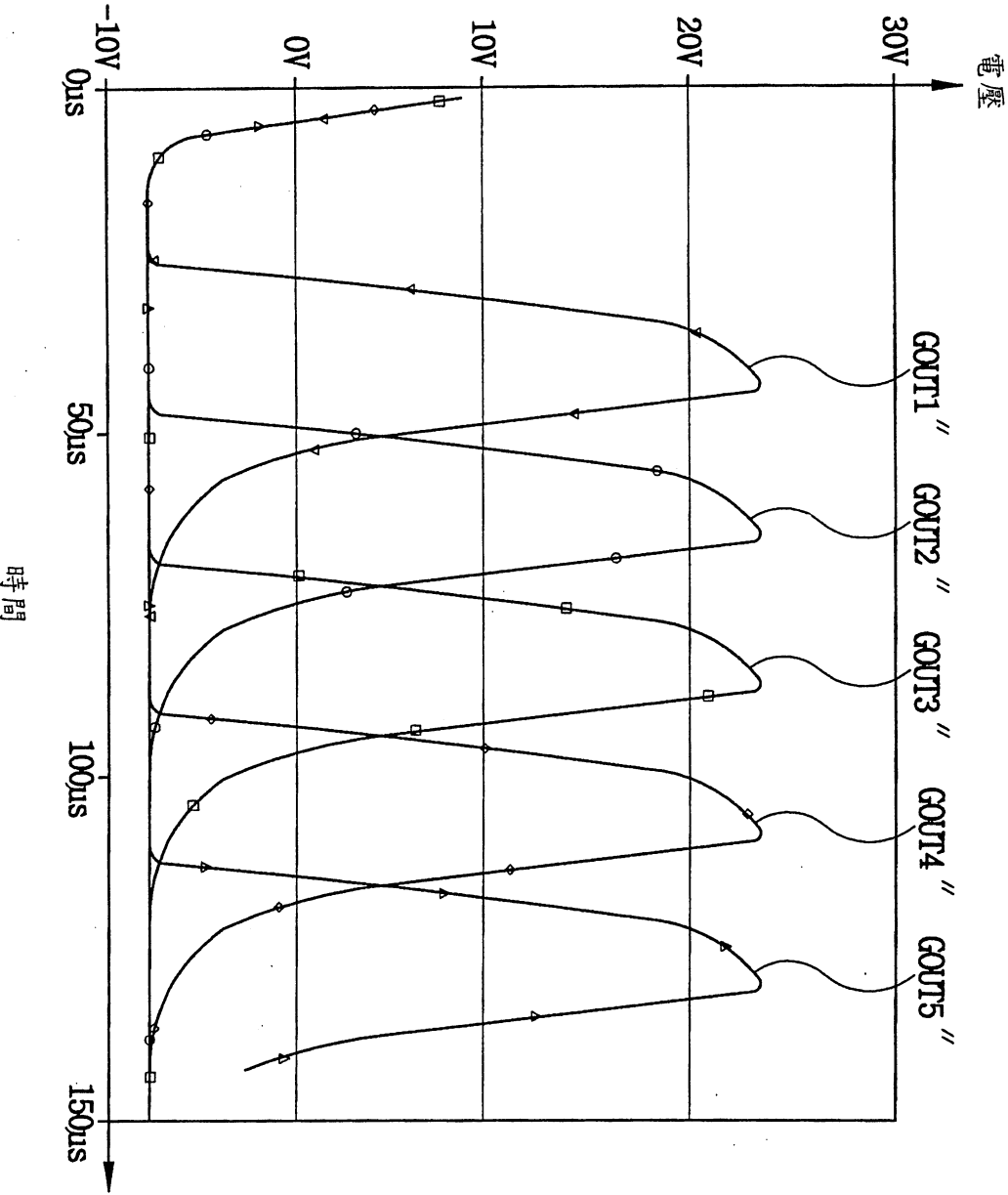
第 18 圖



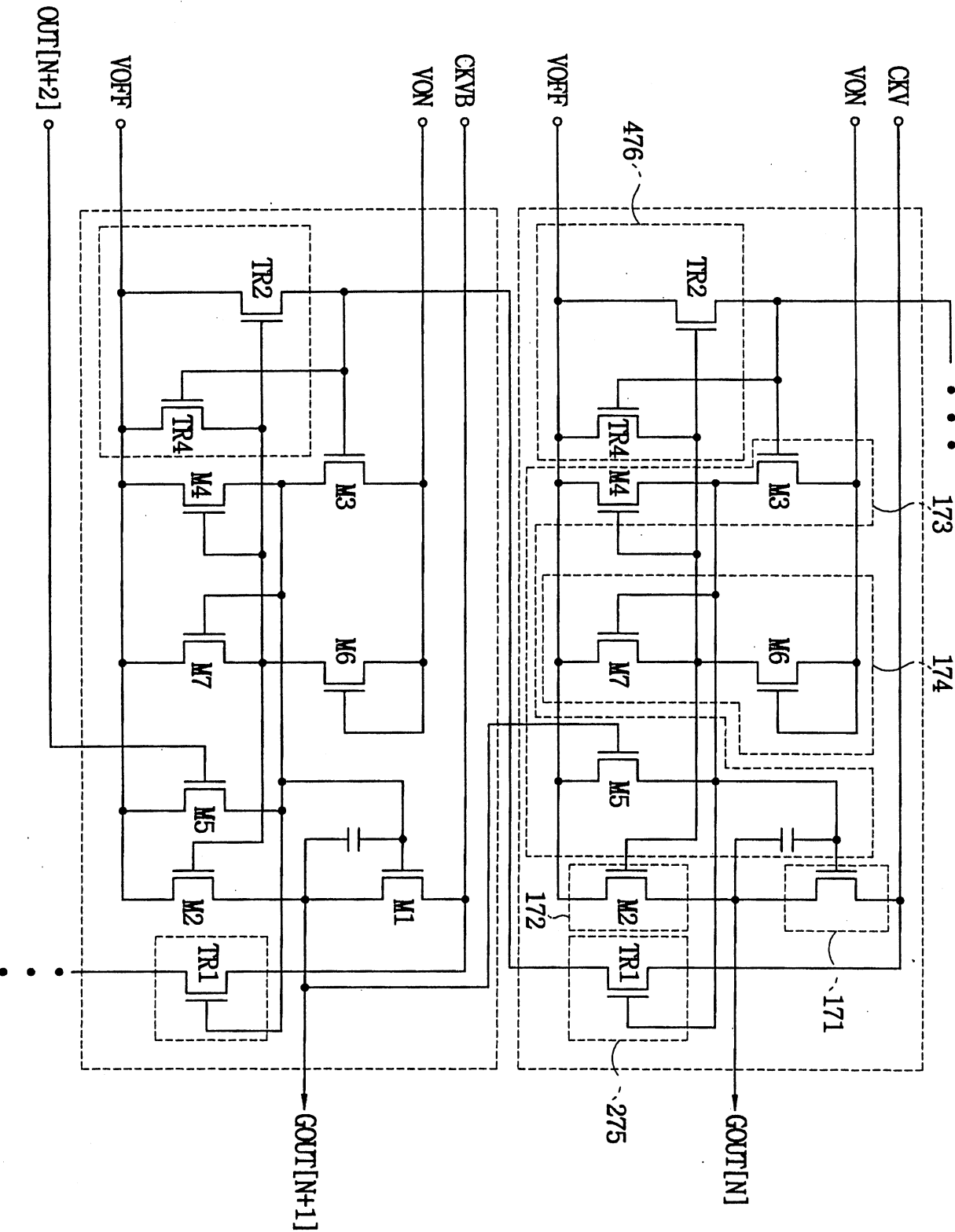
第19A圖



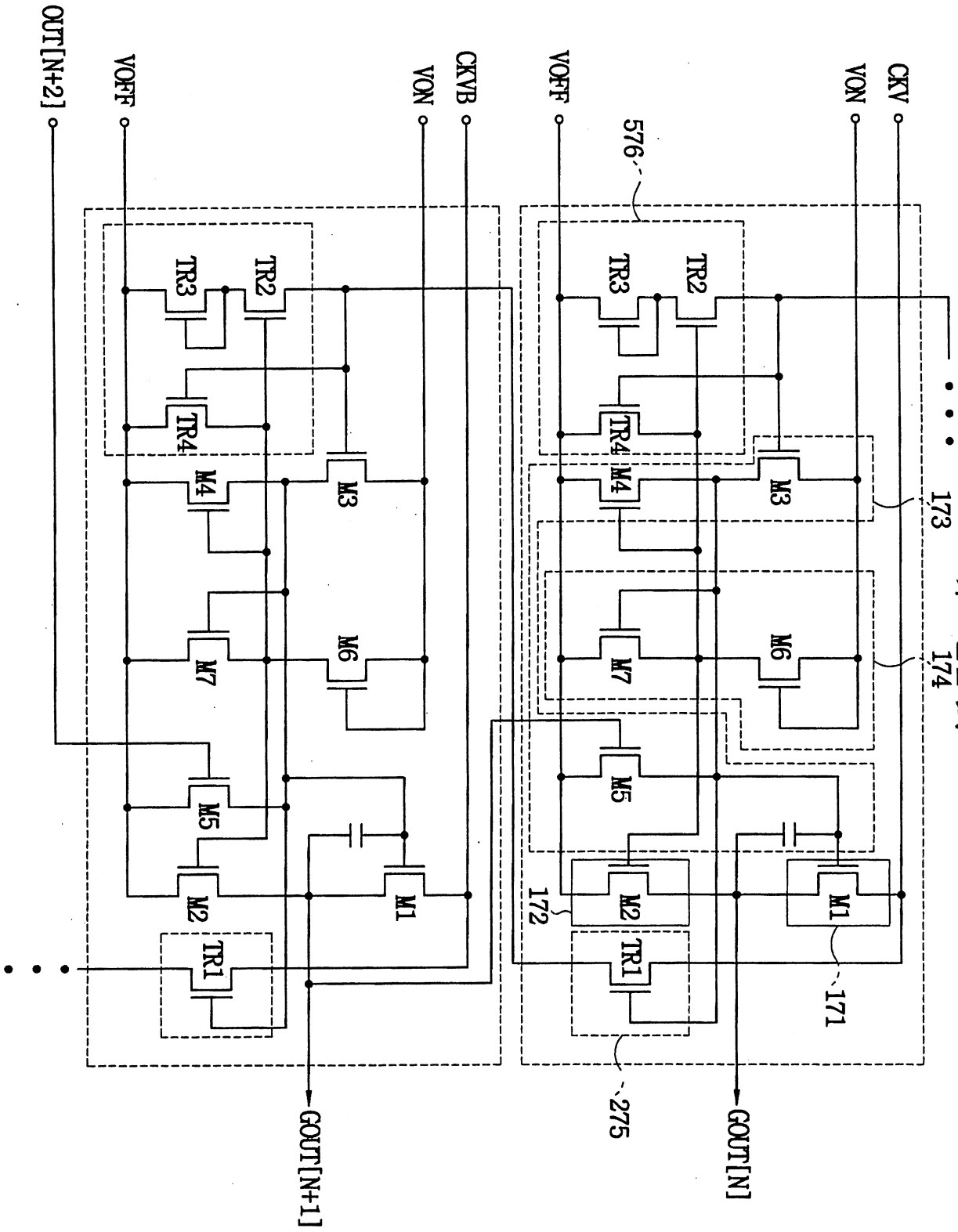
第 19B 圖



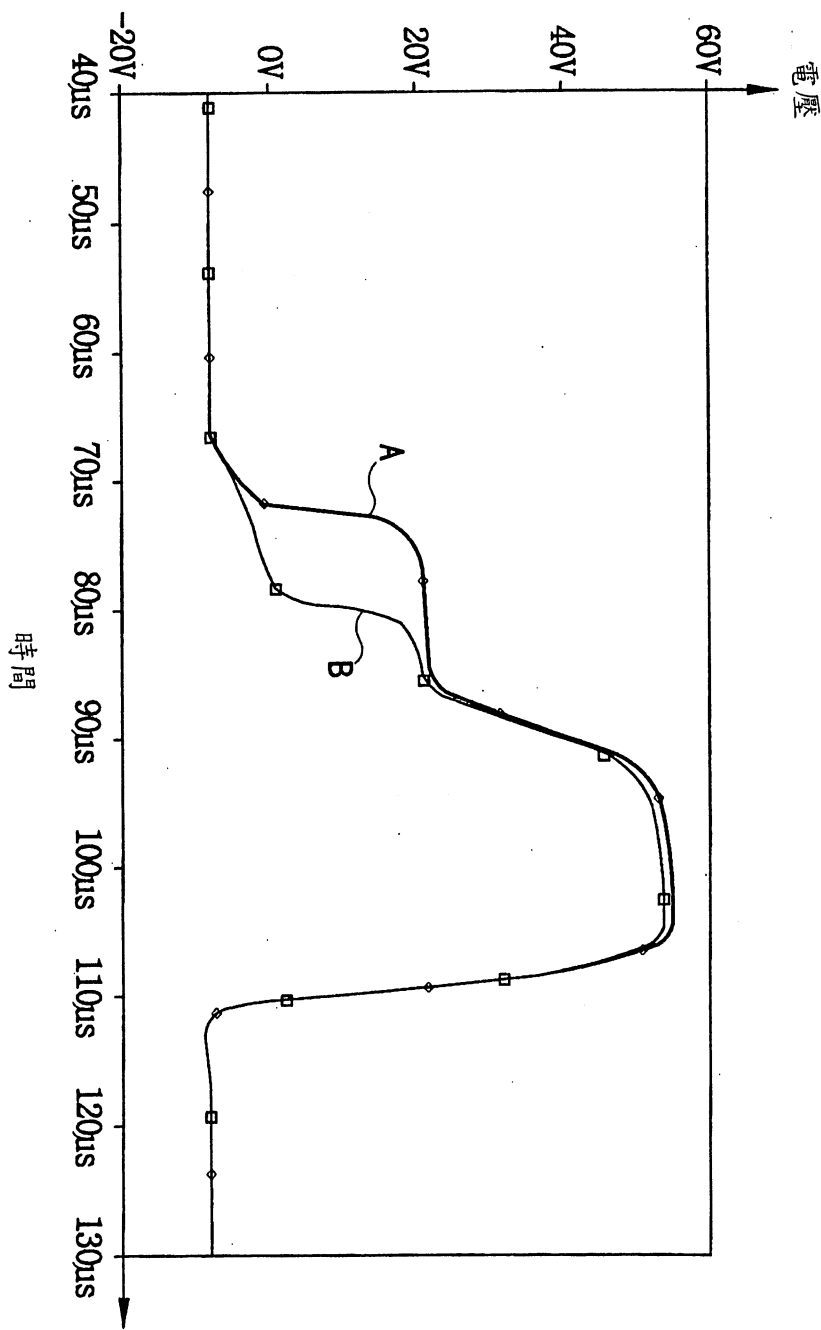
第 20 圖



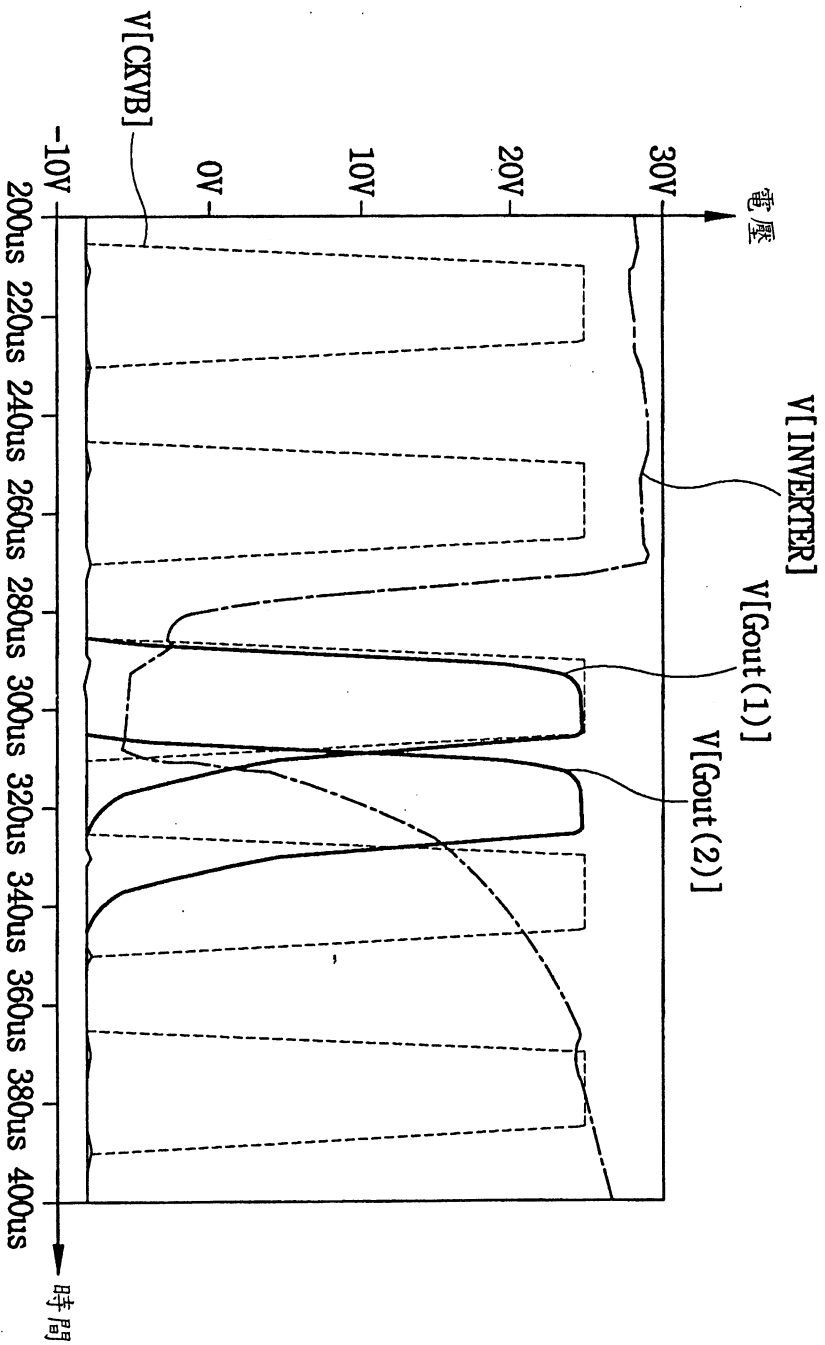
第 21 圖



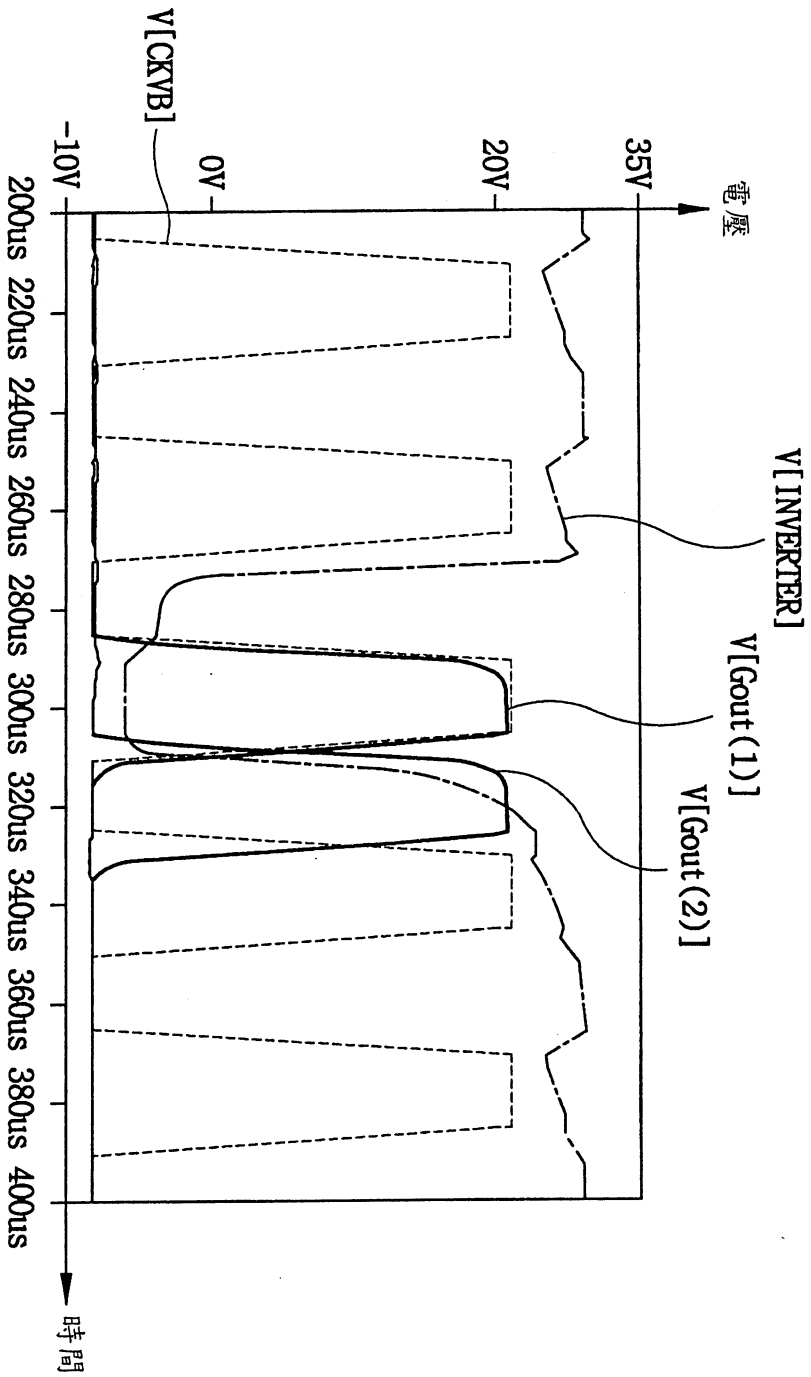
第 22 圖



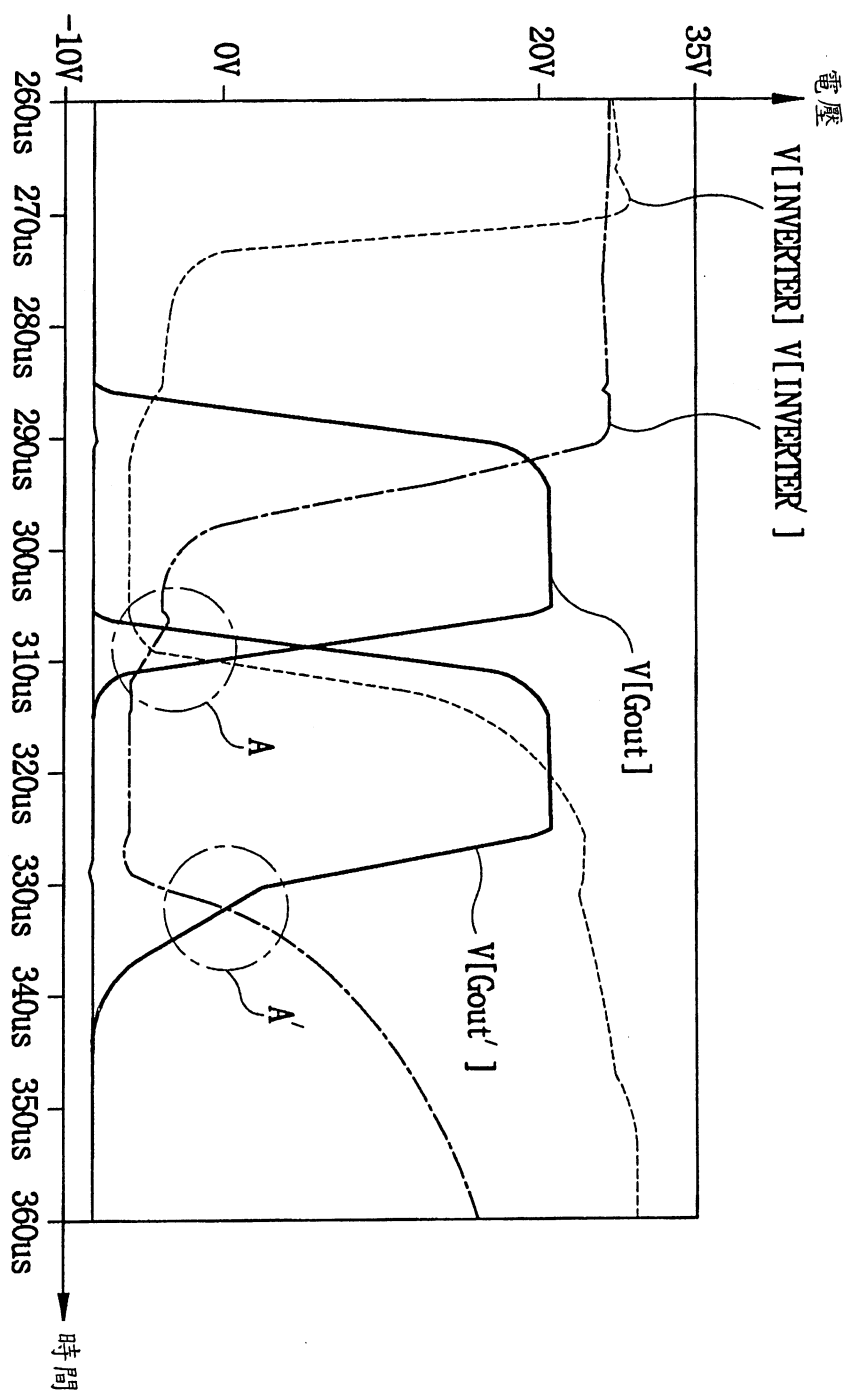
第 23 圖



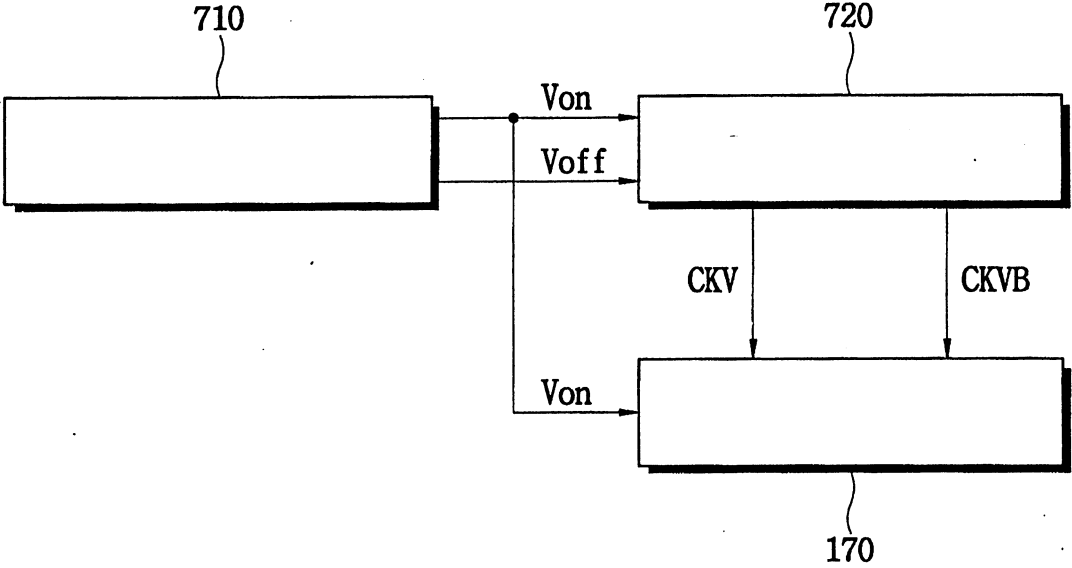
第 25 圖



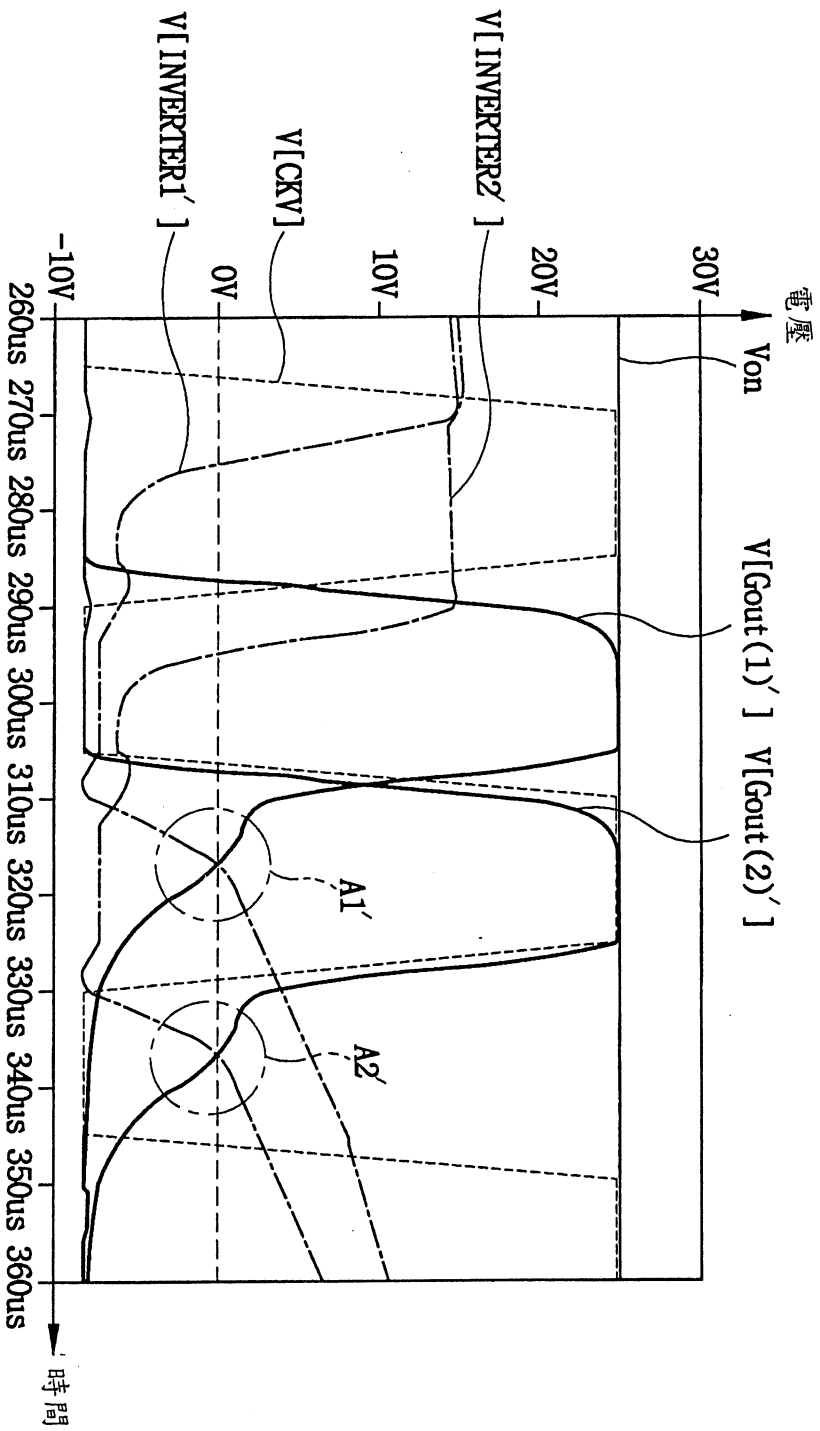
第 26 圖



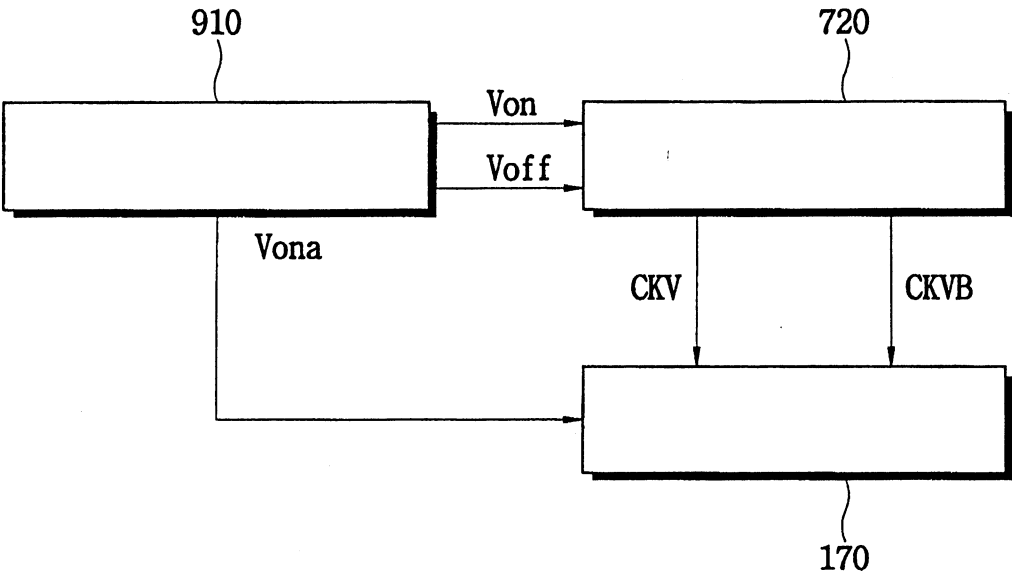
第 27 圖



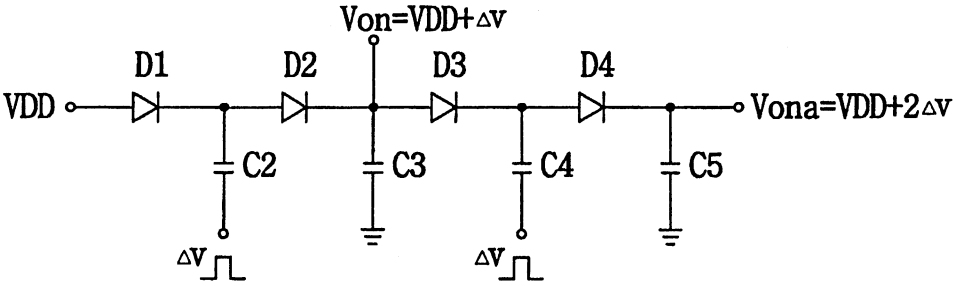
第28圖



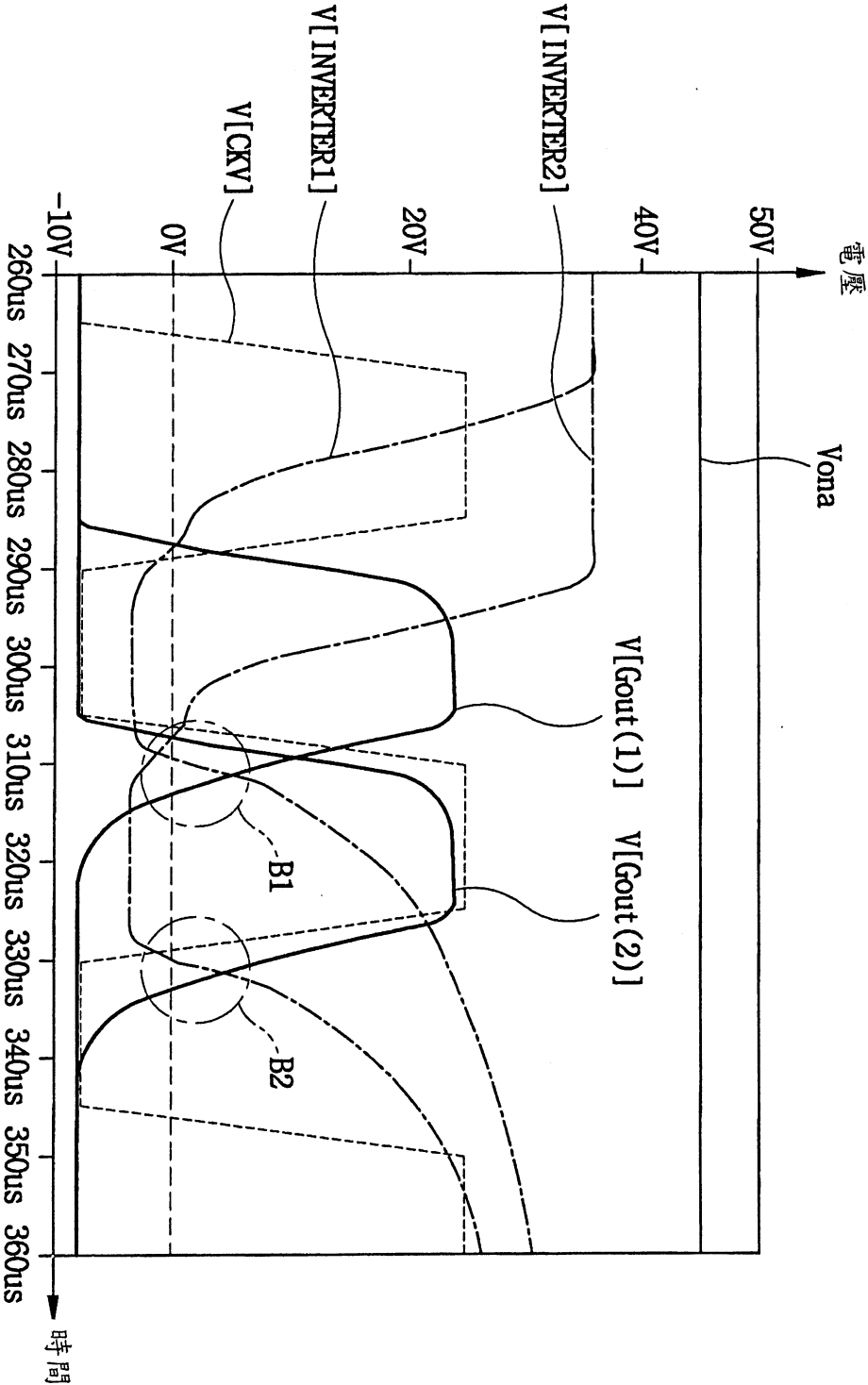
第 29 圖



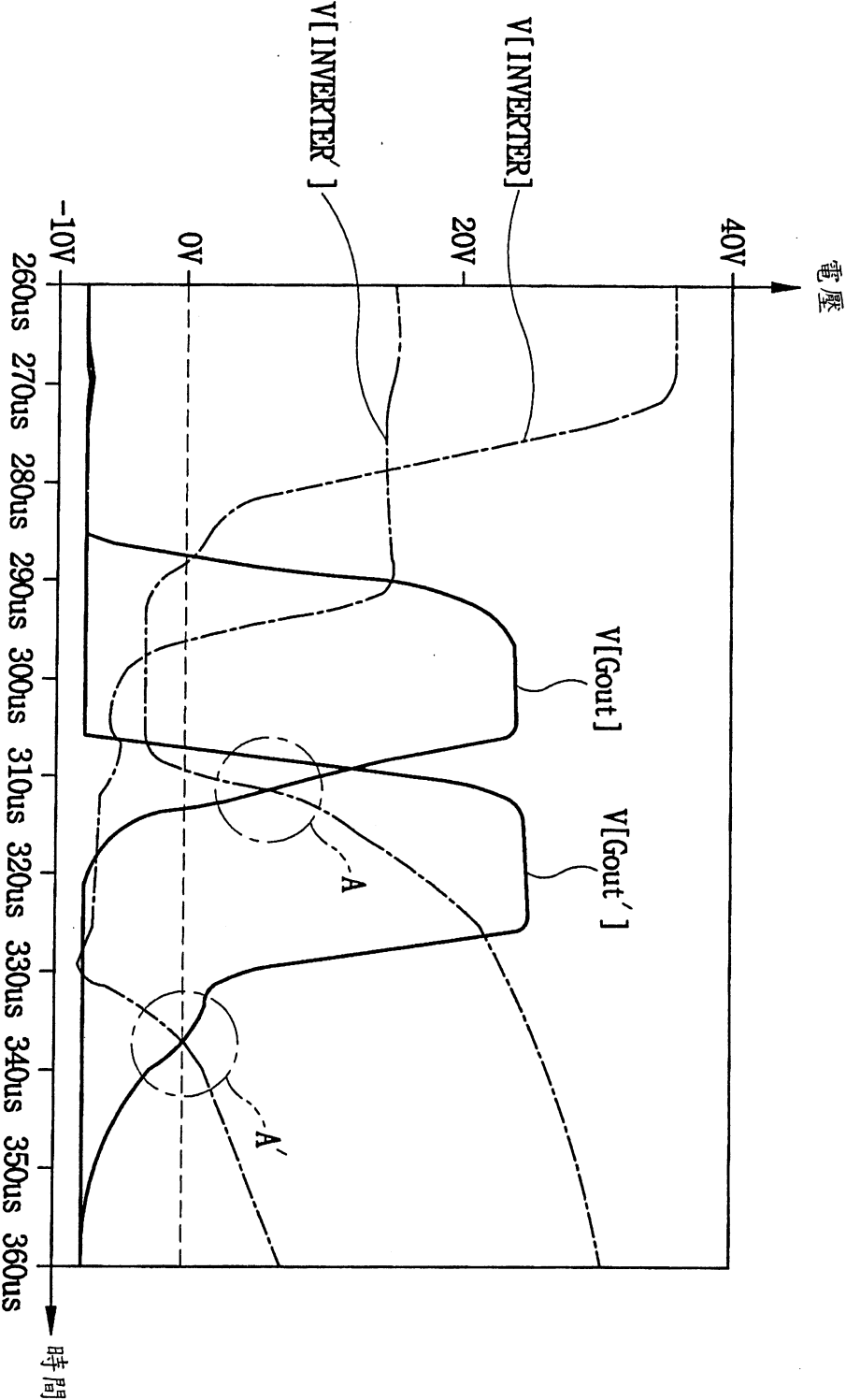
第 30 圖



第 31 圖



第 32 圖



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92116116

※申請日期：92.6.13

※IPC 分類：4096 3/6 (2006.01)

壹、發明名稱：(中文/英文)

用以驅動移位暫存器之方法、移位暫存器、及設有此移位暫存器之液晶顯示器裝置

Method of Driving a Shift Register, a Shift Register, a Liquid

Crystal Display Device Having the Shift Register

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

Samsung Electronics Co., Ltd.

代表人：(中文/英文)

尹 種龍 / YUN, Jong-Yong

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市八達區梅灘洞416番地

416, Maetan-dong, Paldal-Gu, Suwon-Si, Gyeong Gi-Do, Republic
of Korea

國 籍：(中文/英文)

韓 國 / Korea

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 文 勝煥 / MOON, Seung-Hwan

2. 李 栢遠 / LEE, Back-Won

住居所地址：(中文/英文)

1. 大韓民國京畿道龍仁市水枝邑上峴里現代I公園6次公寓205棟1504號

205-1504 HyunDai I-PARK 6cha Apt., Sanghyun-Ri, Suji-Eup,
Yongin-Si, Gyeong Gi-Do, Korea

2. 大韓民國漢城市銅雀區舍堂1洞1035-10番地

#1035-10, Sadang1-Dong, Dongjak-Gu, Seoul, Korea

國 籍：(中文/英文)

1、2 韓 國 / Korea

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 韓國；2002,06,15；2002-33455
2. 韓國；2002,07,02；2002-37946
3. 韓國；2002,07,06；2002-39129
4. 韓國；2003,02,04；2003-6683
- 5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明係關於一種驅動移位暫存器之方法、一種移位
5 暫存器、以及一種具有該移位暫存器之液晶顯示器(LCD)
裝置。尤其是，本發明係關於一種驅動移位暫存器之方法，
該移位暫存器可以被使用於具有大顯示屏幕非結晶矽薄膜
電晶體液晶顯示器裝置(非結晶矽TFT LCD)、一種移位暫存
器、以及一種具有該移位暫存器之液晶顯示器(LCD)裝置。

10 【先前技術】

發明背景

TFT LCD裝置被分類成為非結晶矽TFT LCD(或a-Si
TFT LCD)裝置和多矽TFT LCD裝置。多矽TFT LCD(或
Poly-Si TFT LCD)裝置具有較低的電力消耗和低價格，但與
15 非結晶矽TFT LCD裝置比較其製造程序複雜。因此，多矽
TFT LCD被使用於具有小顯示屏幕例如手機之顯示器裝
置。

非結晶矽TFT LCD裝置可以提供大顯示屏幕和高產量
(或高產能)，並且被使用於具有大顯示屏幕，例如膝上型電
20 腦、LCD監視器或高畫質電視(HDTV)之顯示器裝置。

第1圖是展示習見的多矽薄膜電晶體LCD之分解圖，並
且第2圖是展示習見的非結晶矽薄膜電晶體LCD之分解圖。

如第1圖展示，多矽TFT LCD裝置包含形成於一玻璃基
片10上面之多矽TFT像素陣列。一組資料驅動器電路12和一

組閘驅動器電路14被形成於玻璃基片10上面。積體印刷電
路板20利用薄膜電纜線18被連接到一端點部份16，以至於
用以製造多矽TFT LCD裝置之成本可以被減低，多矽TFT
LCD裝置之厚度可以被減低，並且電力消耗可以被最小
5 化，因為資料驅動器電路12和閘驅動器電路14被整合於玻
璃基片10上面。

但是，如第2圖中展示，非結晶矽TFT LCD裝置中，一
組資料驅動器晶片34經由薄膜上晶片(COF)被裝設在彈性
印刷電路板32上面，並且一組資料印刷電路板36經由該彈
10 性印刷電路板32被連接到非結晶矽TFT像素陣列上面之一
組資料線端點。一組閘驅動器晶片40經由該薄膜上晶片
(COF)被裝設在彈性印刷電路板32上面，並且一組閘印刷電
路板42經由彈性印刷電路板40被連接到非結晶矽TFT像素
陣列上面之一組閘線端點。

15 就產量(或產能)而言非結晶矽TFT LCD裝置具有其優
點，但就製造成本和厚度而言具有其缺點。

此外，被使用以顯示影像於具有高解析度之大顯示屏
幕上面之非結晶矽TFT LCD裝置中，閘驅動器電路需要快
速地將累積在連接到像素之閘線的電荷放電(或被充電)。該
20 等閘線具有電容性負載。

但是，當習見的閘驅動器電路被使用於具有大顯示屏
幕之非結晶矽TFT LCD裝置時可能發生顯示品質惡化。

【發明內容】

發明概要

因此，本發明主要在克服由於相關技術之限制和缺點之一組或多組問題。

本發明之一論點在提供一種移位暫存器，其可以驅動一組被使用以顯示影像於具有高解析度之大顯示屏幕上之非結晶矽TFT LCD裝置。

本發明之另一論點在提供一種具有上述移位暫存器之液晶顯示器裝置。

本發明之再另一論點在提供一種驅動上述移位暫存器之方法。

10 在本發明之一論點中，提供一組包含多數個串接級之移位暫存器。該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號。各該等串接級包含一組進位緩衝器、一組拉升部分、一組拉降部分、一組拉升驅動器部份以及一組拉降驅動器部份。該進位緩衝器提供具有對應至第一時脈信號或第二時脈信號之進位信號給予下一級，並且該第二時脈信號具有相對於第一時脈信號之被反相相位。該拉升部份提供對應至第一時脈信號或第二時脈信號之一組第一掃描線驅動信號給予輸出端點。拉降部份提供一組第一

15 電源電壓給予輸出端點。拉升驅動器部份反應於被提供自先前級之進位信號而導通拉升部份並且反應於下一級之第二掃描線驅動信號而截止拉升部份。拉降驅動器部份反應於被提供自先前級之進位信號而截止拉降部份並且反應於下一級之第二掃描線驅動信號而導通拉升部份。

20

在本發明之另一論點中，提供一種液晶顯示器裝置，其包含一組顯示胞元陣列、一組資料驅動器電路以及一組閘驅動器電路。該顯示胞元陣列被形成於一透明基片上面並且包含多數個閘線、多數個資料線和多數個切換元件。

- 5 該等切換元件被耦合至該等閘線和該等資料線。該資料驅動器電路提供一組影像信號給予各資料線。該閘驅動器電路包含一組移位暫存器、並且該移位暫存器包含多數個串接級。該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇該等閘線之多數個閘線驅動信號。
- 10 號。各該等串接級包含一組進位緩衝器、一組拉升部分、一組拉降部分、一組拉升驅動器部份以及一組拉降驅動器部份。該進位緩衝器提供對應至第一時脈信號或第二時脈信號之進位信號給予下一級，並且該第二時脈信號具有相對於第一時脈信號之被反相相位。該拉升部份提供對應至
- 15 第一時脈信號或第二時脈信號之一組第一閘極驅動信號給予輸出端點。該拉降部份提供一組第一電源電壓給予輸出端點。該拉升驅動器部份反應於被提供自先前級之進位信號而導通拉升部份並且反應於下一級之第二閘線驅動信號而截止拉升部份。該拉降驅動器部份反應於被提供自先前
- 20 級之進位信號而截止拉降部份並且反應於下一級之第二閘線驅動信號而導通拉升部份。

在本發明之進一步地另一論點中，提供一種驅動移位暫存器之方法。該移位暫存器包含多數個串接級。該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地

產生用以選擇多數條掃描線之多數個掃描線驅動信號。一組下一級被提供對應至該第一時脈信號或該第二時脈信號之進位信號，並且該第二時脈信號具有相對於該第一時脈信號之被反相相位。接著，反應於被輸出自先前級之進位信號，對應至第一時脈信號或第二時脈信號之一組第一掃描線驅動信號被產生。被輸出自目前級之第一掃描線驅動信號之第一電壓位準反應於被輸出自下一級之第二掃描線驅動信號而被降低。

在本發明之再另一論點中，提供一種包含多數個串接級之移位暫存器。一組第一串接級接收一組掃描開始信號，並且該串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號。各該等串接級包含一組第一進位緩衝器、一組拉升部分、一組拉降部分、一組拉升驅動器部分、以及一組拉降驅動器部份和一組第二進位緩衝器。該第一進位緩衝器提供對應至第一時脈信號或第二時脈信號之第一進位信號給予下一級，並且該第二時脈信號具有相對於第一時脈信號之被反相相位。該拉升部份提供對應至第一時脈信號或第二時脈信號之第一掃描線驅動信號給予第一輸出端點。該拉降部份提供第一電源電壓給予第一輸出端點。該拉升驅動器部份反應於被輸出自先前級第一進位緩衝器之一組第二進位信號而導通拉升部份並且反應於下一級之一組第二掃描線驅動信號而截止拉升部份。該拉降驅動器部份反應於被提供自先前級之第一進位緩衝器之第一進位信

號而截止拉降部份並且反應於下一級之第二掃描線驅動信號而導通拉升部份。該第二進位緩衝器降低第二進位信號之第一電壓位準，並且該第一進位信號是被輸出自將被施加至拉升部份之先前級之第一進位緩衝器。

- 5 在本發明之再另一論點中，提供一種液晶顯示器裝置，其包含一組顯示胞元陣列、一組資料驅動器電路以及一組閘驅動器電路。該顯示胞元陣列被形成於一組透明基片上面並且包含多數個閘線、多數個資料線和多數個切換元件。該等切換元件被耦合至該等閘線和該等資料線。該
- 10 資料驅動器電路提供一組影像信號給予各該等資料線。該閘驅動器電路包含一組移位暫存器，並且該移位暫存器包含多數個串接級。該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇該等閘線之多數個閘線驅動信號。各該等串接級包含一組第一進位緩衝器，
- 15 一組拉升部分、一組拉降部分、一組拉升驅動器部分、以及一組拉降驅動器部份和一組第二進位緩衝器。該第一進位緩衝器提供對應至第一時脈信號或第二時脈信號之第一進位信號給予下一級，並且該第二時脈信號具有相對於第一時脈信號之被反相相位。該拉升部份提供對應至該第一
- 20 時脈信號或該第二時脈信號之一組第一掃描線驅動信號給予第一輸出端點。該拉降部份提供第一一組第一電源電壓給予輸出端點。該拉升驅動器部份反應於被輸出自先前級之第一進位緩衝器之一組第二進位信號而導通拉升部份並且反應於下一級之一組第二掃描線驅動信號而截止拉升部

份。該拉降驅動器部份反應於被提供自先前級之第一進位緩衝器之第一進位信號而截止拉降部份並且反應於下一級之第二掃描線驅動信號而導通拉升部份。該第二進位緩衝器降低第二進位信號之一組第一電壓位準，並且該第一進位信號被輸出自將被施加至拉升部分先前級之第一進位緩衝器。

在本發明之再另一論點中，提供一種移位暫存器，其包含多數個串接級。該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號。各該等串接級包含一組拉升切換元件、一組第一拉升驅動器切換元件、一組第二拉升驅動器切換元件、一組第一拉降切換元件、一組拉降驅動器切換元件以及一組第二拉降切換元件。該拉升切換元件提供對應至第一時脈信號或第二時脈信號之一組第一掃描線驅動信號給予各該等串接級之輸出端點。第一拉升驅動器切換元件反應於被輸出自先前級之一組掃描開始信號或一組第二掃描線驅動信號而導通拉升切換元件。該第二拉升驅動器切換元件反應於被輸出自下一級之第三掃描線驅動信號而截止拉升切換元件。該第一拉降切換元件提供第一電源電壓給予輸出端點。拉降驅動器切換元件反應於被輸出自先前級之掃描開始信號或第二掃描線驅動信號而截止拉降切換元件。該第二拉降切換元件反應於第三掃描線驅動信號而被導通以提供第一電源電壓給予輸出端點。

在本發明之再另一論點中，提供一種液晶顯示器裝

置，其包含一組顯示胞元陣列、一組資料驅動器電路和一組閘驅動器電路。該顯示胞元陣列被形成於一組透明基片上面並且包含多數個閘線、多數個資料線和多數個切換元件。該等切換元件被耦合至該等閘線和該等資料線。該資料驅動器電路提供一組影像信號給予各該等資料線。該閘驅動器電路包含一組移位暫存器，並且該移位暫存器包含多數個串接級。該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇該等閘線之多數個閘線驅動信號。各該等串接級包含一組拉升切換元件、一組第一拉升驅動器切換元件、一組第二拉升驅動器切換元件、一組第一拉降切換元件、一組拉降驅動器切換元件以及一組第二拉降切換元件。該拉升切換元件提供對應至第一時脈信號或第二時脈信號之一組第一閘線驅動信號給予各該等串接級之輸出端點。該第一拉升驅動器切換元件反應於被輸出自先前級之一組掃描開始信號或一組第二閘線驅動信號而導通拉升切換元件。該第二拉升驅動器切換元件反應於被輸出自下一級之第三閘線驅動信號而截止拉升切換元件。該第一拉降切換元件提供第一電源電壓給予一輸出端點。該拉降驅動器切換元件反應於被輸出自先前級之掃描開始信號或第二閘線驅動信號而截止拉降切換元件。該第二拉降切換元件反應於該第三閘線驅動信號而被導通以提供第一電源電壓給予輸出端點。

在本發明之再另一論點中，提供一種移位暫存器，其包含多數個串接級。該等串接級接收一組第一時脈信號和

一組第二時脈信號以順序地產生用以選擇多數條掃描線之
 多數個掃描線驅動信號。各該等串接級包含一組第一拉升
 驅動器切換元件、一組拉升切換元件、一組第一拉降切換
 元件、一組第二拉降切換元件、一組電容器、一組第二拉
 5 升驅動器切換元件、一組第三拉升驅動器切換元件、一組
 第一拉升驅動器切換元件以及一組第二拉降驅動器切換元
 件。第一拉升驅動器切換元件之第一電極接收一組第二電
 源電壓，第一拉升驅動器切換元件之第二電極接收被輸出
 自先前級之一組掃描開始信號或一組第一掃描線驅動信
 10 號，並且第一拉升驅動器切換元件之第三電極被耦合至一
 組第一節點。拉升切換元件之第四電極接收第一時脈信號
 或第二時脈信號，拉升切換元件之第五電極被耦合至第一
 節點，並且拉升切換元件之第六電極被耦合至一組輸出端
 點。第一拉降切換元件之第七電極被耦合至輸出端點，第
 15 一拉降切換元件之第八電極被耦合至一組第二節點，並且
 第一拉降切換元件之第九電極接收一組第一電源電壓。第
 二拉降切換元件之第十電極被耦合至輸出端點，第二拉降
 切換元件之第十一電極接收被輸出自下一級之一組第二開
 線驅動信號，並且第二拉降切換元件之第十二電極接收第
 20 一電源電壓。電容器被耦合在第一節點和輸出端點之間。
 第二拉升驅動器切換元件之第十三電極被耦合至第一節
 點，第二拉升驅動器切換元件之第十四電極接收被輸出自
 下一級之第二開線驅動信號，並且第二拉升驅動器切換元
 件之第十五電極接收第一電源電壓。第三拉升驅動器切換

元件之第十六電極被耦合至第一節點，第三拉升驅動器切
換元件之第十七電極被耦合至第二節點，並且第三拉升驅
動器切換元件之第十八電極接收第一電源電壓。第一拉升
5 驅動器切換元件之第十九電極和第一拉升驅動器切換元件
之第二十電極彼此共同地耦合以接收第二電源電壓，並且
第一拉升驅動器切換元件之第二十一電極被耦合至第二節
點。第二拉降驅動器切換元件之第二十二電極被耦合至第
二節點，第二拉降驅動器切換元件之第二十三電極被耦合
至第一節點，並且第二拉降驅動器切換元件之第二十四電
10 極接收第一電源電壓。

在本發明之再另一論點中，提供一種驅動移位暫存器
之方法。該移位暫存器包含多數個串接級，並且該等串接
級接收一組第一時脈信號和一組第二時脈信號以順序地產
生用以選擇多數條掃描線之多數個掃描線驅動信號。該第
15 一時脈信號或該第二時脈信號被接收，並且各該等串接級
具有該第一時脈信號或該第二時脈信號。該第一時脈信號
和該第二時脈信號具有大致地對應至第一電源電壓之第一
電壓位準之一組第一電壓位準。第二電源電壓被產生，並
且各該等串接級具有第二電源電壓。該第二電源電壓具有
20 比第一電壓位準較高一預定電壓位準之一組第二電壓位
準。用以選擇耦合至目前級之第一掃描線之第一掃描線驅
動信號被產生。第一掃描線驅動信號之第三電壓位準反應
於被輸出自下一級之第二掃描線驅動信號被降低至較低於
第三電壓位準之第四電壓位準。第一掃描線被提供具有第

四電壓位準之第一掃描線驅動信號。在降低第一掃描線驅動信號之第三電壓位準之後，當拉降切換元件之輸出信號之電壓位準從第五電壓位準被改變至較高於第五電壓位準之第六電壓位準時，第一掃描線驅動信號之第四電壓位準

5 保持經過預定週期。

在本發明之再另一論點中，提供一種驅動移位暫存器之方法。該移位暫存器包含多數個串接級，並且該等串接級交互地接收產生自一組時脈產生器之一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線

10 之多數個掃描線驅動信號。該第一和該第二時脈信號具有大致地對應至第一電源電壓之第一電壓位準之第一電壓位準。各該等串接級包含一組拉升切換元件、一組第一拉升驅動器切換元件、一組第二拉升驅動器切換元件、一組拉降切換元件以及一組拉降驅動器切換元件。該拉升切換元

15 件提供對應至第一時脈信號或第二時脈信號之一組第一掃描線驅動信號給予各該等串接級之輸出端點。該第一拉升驅動器切換元件反應於被輸出自先前級之一組掃描開始信號或一組第二掃描線驅動信號而導通拉升切換元件。該第二拉升驅動器切換元件反應於被輸出自下一級之一組第三

20 掃描線驅動信號而截止拉升切換元件。該拉降切換元件提供第三電源電壓給予輸出端點。該拉降驅動器切換元件反應於被輸出自先前級之掃描開始信號或第二掃描線驅動信號而截止拉降切換元件。該第一時脈信號或該第二時脈信號被接收，並且各該等串接級具有第一時脈信號或第二時

脈信號。一組第二電源電壓被產生，並且各該等串接級具有第二電源電壓。該第二電源電壓具有比第一電壓位準較高一預定電壓位準之一組第二電壓位準。一組用以選擇耦合至目前級之第一掃描線之第一掃描線驅動信號在第一時脈信號或第二時脈信號之高位準週期時被產生。第一掃描線驅動信號之第三電壓位準反應於被輸出自下一級之第三掃描線驅動信號而被降低至較低於第三電壓位準之第四電壓位準。該第一掃描線被提供具有第四電壓位準之第一掃描線驅動信號。在降低第一掃描線驅動信號之第三電壓位準之後，當拉降切換元件之輸出信號之電壓位準從第五電壓位準被改變至較高於第五電壓位準之第六電壓位準時，該第一掃描線驅動信號之第四電壓位準被保持經過預定週期。

如上所述，依據本發明之移位暫存器，該移位暫存器包含多數個串接級和用以產生進位信號之進位緩衝器電晶體。由於閘線RC延遲之信號延遲可以在具有大屏幕尺寸和大解析度之液晶顯示器裝置中被最小化。

進位信號與被輸出自目前級輸出端點之輸出信號無關並且利用配置於目前級之進位緩衝器電晶體被傳送至閘線。因此，由於閘線之RC負載效應可以被防止。

此外，因為下一級不是利用閘線驅動信號被重置而是利用時脈信號被重置，影像顯示品質不會被降低。

此外，在具有大屏幕尺寸和大解析度之液晶顯示器裝置中，移位暫存器是與薄膜電晶體之臨限電壓變化無關，

並且因此即使當由於週邊溫度變化使薄膜電晶體之臨限電壓變化時移位暫存器可以輸出正常之閘線驅動信號並且由於薄膜電晶體之臨限電壓變化引起之移位暫存器異常操作可以被防止。

- 5 此外，因為移位暫存器是與薄膜電晶體之臨限電壓的變化無關，具有大屏幕尺寸和大解析度之液晶顯示器裝置可以被強化。

此外，移位暫存器之可靠度可以在整個寬範圍週邊溫度被強化。

- 10 此外，因為臨限電壓變化之容忍度可以被增加，製造移位暫存器之產量可以被增加。

- 此外，移位暫存器之各該等串接級之拉降電晶體被分割成為一組第一拉降電晶體和一組第二拉降電晶體。因此，構成移位暫存器反相器之電容性負載之拉降電晶體的
- 15 電晶體尺寸可以被減低，反相器之操作速率可以被增加，並且因此影像顯示品質不會被降低。

- 此外，較大於被施加至一組時脈產生器之電源電壓Von之電源電壓Vona被施加至移位暫存器，並且因此即使在具有大屏幕尺寸和大解析度之液晶顯示器裝置中之影像顯示
- 20 品質不會被降低。

圖式簡單說明

本發明之上述和其他的優點將可參考附圖從其較佳實施例之詳細說明而成為更明顯，其中：

第1圖是展示一種習見的多矽薄膜電晶體LCD之分解

圖；

第2圖是展示一種習見的非結晶矽薄膜電晶體LCD之分解圖；

第3圖是展示依據本發明一組實施範例之非結晶矽薄膜電晶體LCD之分解透視圖；

第4圖是展示第3圖之非結晶矽薄膜電晶體基片之分解圖；

第5圖是展示第4圖之資料驅動器電路之方塊圖；

第6圖是展示被使用於第4圖開驅動器電路中之一組移位暫存器之方塊圖；

第7圖是展示第6圖之移位暫存器之串接級的電路圖；

第8圖是展示被輸出自第7圖之串接級之掃描線驅動信號的圖形；

第9圖是展示被輸出自第6圖之移位暫存器之掃描線驅動信號的圖形；

第10圖是展示第6圖之移位暫存器和開線之分解圖。

第11圖是展示依據本發明之第一實施範例之移位暫存器被使用於一組開驅動器電路中之方塊圖；

第12圖是展示第11圖移位暫存器中第N串接級之電路圖；

第13圖是展示第11圖移位暫存器中最後級和假性串接級之電路圖；

第14圖是展示第11圖移位暫存器和開線之分解圖。

第15A和15B圖是展示第11圖移位暫存器串接級中拉

升部分，拉降部份和進位緩衝器之佈局；

第15C圖是展示第15A圖移位暫存器中進位緩衝器之放大圖；

第16A，16B和16C圖是展示被輸出自第7圖移位暫存器
5 之閘線驅動信號之圖形；

第17圖是展示依據本發明第二實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第18圖是展示依據本發明第三實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第19A和19B圖是展示第18圖移位暫存器之輸出的圖形；
10

第20圖是展示依據本發明第四實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第21圖是展示依據本發明第五實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；
15

第22圖是展示在第21圖電容器之電壓量測的圖形；

第23圖是展示被輸出自第7圖移位暫存器之閘線驅動信號的圖形；

第24圖是展示依據本發明第六實施範例被使用於閘驅動器電路中之一組移位暫存器之單元串接級的方塊圖；
20

第25圖是展示被輸出自第24圖之移位暫存器之閘線驅動信號的圖形；

第26圖是展示被輸出自第7圖之移位暫存器之閘線驅動信號和被輸出自第24圖之移位暫存器之閘線驅動信號的

圖形；

第27圖是展示依據本發明第七實施範例之電源供應和時脈產生器之方塊圖；

第28圖是展示當相同於被施加至第27圖時脈產生器之
5 電源電壓的電源電壓被施加至移位暫存器時，被輸出自移位暫存器之閘線驅動信號的圖形；

第29圖是展示依據本發明第七實施範例之電源供應和時脈產生器之方塊圖；

第30圖是展示第29圖之DC-至-DC轉換器範例之電路
10 圖；

第31圖是展示當第29圖之電源供應和時脈產生器驅動移位暫存器時，被輸出自移位暫存器之閘線驅動信號的圖形；以及

第32圖是展示當第29和28圖之電源供應和時脈產生器
15 驅動移位暫存器時，被輸出自移位暫存器之閘線驅動信號的圖形。

【實施方式】

較佳實施例之詳細說明

在此處之後，本發明之較佳實施例將參考附圖被詳細
20 說明。

第3圖是展示依據本發明一組實施範例之非結晶矽薄膜電晶體LCD之分解透視圖。

參看第3圖，液晶顯示器裝置100包含一組液晶顯示面板組件110、一組背光組件120、一組框架130以及一組覆蓋

殼140。

液晶顯示面板組件110包含一組液晶顯示面板112、一組彈性印刷電路板116以及一組積體控制晶片118。液晶顯示面板112包含一組TFT基片112a和一組色彩濾波器基片112b。

一組顯示胞元陣列、一組資料驅動器電路、一組閘驅動器電路以及外部連接端點被形成於TFT基片112a上面。色彩濾波器和透明共同電極被形成於色彩濾波器基片112b上面。色彩濾波器基片112b面向TFT基片112a，並且液晶被充填在色彩濾波器基片112b和TFT基片112a之間。

積體控制晶片118經由彈性印刷電路116電氣地連接到薄膜電晶體形成於TFT基片112a之顯示胞元陣列上面。資料信號、資料時序信號、閘極時序信號和用以驅動閘驅動器電路之電源電壓被供應至形成於TFT基片112a上面之資料驅動器電路和閘驅動器電路。顯示胞元陣列包含多數個閘線、多數個資料線和多數個切換元件，並且切換元件分別地連接到各資料線和各閘線。閘驅動器電路與閘線連接，並且驅動切換元件。資料驅動器電路與資料線連接，並且提供影像信號給予資料線。

背光組件120包含一組燈組件122、一組導光平板124、光學薄片126、一組反射平板128和一組模框129。

第4圖是展示第3圖非結晶矽薄膜電晶體基片之分解圖。

參看第4圖，一組顯示胞元陣列150、一組資料驅動器

電路160、一組閘驅動器電路170和用以連接資料驅動器電路160至積體控制晶片118之一組外部連接端點162和163以及用以連接閘驅動器電路170至積體控制晶片118之另一外部連接端點169，以其中TFT被形成於TFT基片112a上面之

5 相同處理程序被形成於TFT基片112a上面。

顯示胞元陣列150包含m組資料線DL1、DL2、...、DLm和n組閘線GL1、GL2、...、GLn。資料線DL1，DL2，...，DLm延伸於行方向，並且閘線GL1、GL2、...、GLn延伸於列方向。例如，具有2-吋屏幕尺寸之液晶顯示面板被揭露。

10 該液晶顯示面板具有176資料線和192閘線，因而提供點解析度 $525(176 \times 3) \times 192$ 。

切換電晶體(ST；或切換元件)形成於在資料線和閘線之間相交處。切換電晶體ST_i之汲極連接到一組資料線DL_i，切換電晶體ST_i之閘極連接到一組閘線GL_i，並且切換

15 電晶體ST_i之源極連接到一組像素電極PE。液晶LC被配置在像素電極PE和共同電極CE之間。共同電極CE形成於色彩濾波器基片112b上面。

因此，被施加至像素電極PE和共同電極CE之電壓改變液晶分子之對齊角度，傳送經由液晶分子之光數量被調

20 整，並且一組影像可以被顯示。

資料驅動器電路160包含一組移位暫存器164和528組切換電晶體(SWT)。各8組資料線塊BL₁、BL₂、...、BL₈包含66組切換電晶體(SWT)。

各資料線塊之66組輸入端點共同地連接到外部連接端

點163，並且66組輸出端點分別地被連接到66組對應的資料線。外部連接端點163具有66組資料輸入端點。方塊選擇端點被連接到移位暫存器164之一組輸出端點。

5 528組切換電晶體(SWT)之源極分別地被連接到對應的資料線，528組切換電晶體(SWT)之汲極分別地被連接到對應的資料輸入端點，並且528組切換電晶體(SWT)之閘極連接到該方塊選擇端點。各528組切換電晶體(SWT)是非結晶矽TFT MOS電晶體。

10 因此，528組資料線之66組資料線被分割成為8塊，並且8組方塊選擇信號可以順序地選擇各塊。

移位暫存器164經由具有三組端點之外部連接端點162接收一組第一時脈CKH、一組第二時脈CKHB和一組方塊選擇開始信號STH。各移位暫存器164之輸出端點被連接到對應的資料線塊之方塊選擇端點。

15 第5圖是展示第4圖資料驅動器電路之一組方塊圖。

參看第5圖，依據本發明之移位暫存器164包含，例如，彼此串接之9組串接級 SRH_1 、 SRH_2 、 $\dots$ 、 SRH_9 。各該等串接級之輸出端點OUT被連接到下一級之輸入端點IN。該等串接級包含8組串接級 SRH_1 、 SRH_2 、 $\dots$ 、 SRH_8 和一組假性串接級(SRH_9)。該8組串接級 SRH_1 、 SRH_2 、 $\dots$ 、 SRH_8 對應至8組資料線塊。各該等串接級包含一組輸入端點IN、一組輸出端點OUT、一組控制端點CT、一組時脈端點CK、一組第一電源電壓端點VSS和一組第二電源電壓端點VDD。8組串接級 SRH_1 、 SRH_2 、 $\dots$ 、 SRH_8 分別地提供方塊選擇開始信

20

號 DE_1 、 DE_2 、 $\dots$ 、 DE_8 給予各資料線塊 BL_1 、 BL_2 、 $\dots$ 、 BL_8 之方塊選擇端點。方塊選擇開始信號 DE_1 、 DE_2 、 $\dots$ 、 DE_8 是用以選擇各該等資料線塊之一組引動信號。

- 第一時脈CKH被施加至奇數串接級 SRH_1 、 SRH_3 、
 5 SRH_5 、 SRH_7 、和 SRH_9 ，並且第二時脈CKHB被施加至偶數串接級 SRH_2 、 SRH_4 、 SRH_6 、 SRH_8 。第一時脈CKH具有相對於第二時脈CKHB之被反相相位。例如，第一時脈CKH和第二時脈CKHB之責務週期是較低於1/66毫秒。

- 下一級之輸出信號(或閘線驅動信號)被施加至一組控制
 10 端點CT作為一組控制信號。

各該等串接級之輸出信號順序地具有一組作用週期(或一組高位準週期)，對應至作用週期之資料線方塊被選擇。

- 假性串接級 SRH_9 提供一組控制信號給予先前級(SRH_8)
 15 之控制端點CT。

第6圖是展示被使用於第4圖閘驅動器電路中之移位暫存器之一組方塊圖。

- 參看第6圖，閘驅動器電路170包含一組移位暫存器，
 並且該移位暫存器，多數個串接級 SRC_1 、 SRC_2 、 $\dots$ 、 SRC_{192}
 20 和一組假性串接級 SRC_{193} 彼此串接。各該等串接級之輸出端點OUT連接到下一級之輸入端點IN。該等串接級包含192組串接級 SRC_1 、 SRC_2 、 $\dots$ 、 SRC_{192} 以及一組假性串接級 SRC_{193} 。

各該等串接級包含一組輸入端點IN、一組輸出端點

OUT、一組控制端點CT、一組時脈信號輸入端點CK、一組第一電源電壓端點VSS以及一組第二電源電壓端點VDD。

第一串接級SRC₁經由輸入端點IN接收一組掃描開始信號STV。該掃描開始信號STV是一組與垂直同步化信號Vsync同步之脈波。各該等串接級SRC₁、SRC₂、...、SRC₁₉₂分別地產生閘線驅動信號GOUT₁、GOUT₂、...、GOUT₁₉₂，並且閘線驅動信號GOUT₁、GOUT₂、...、GOUT₁₉₂分別地被連接到該等閘線，以便選擇該等閘線。

一組第一時脈信號ckv被施加至奇數串接級(SRC₁，SRC₃，SRC₅，...)，並且第二時脈信號ckvb被施加至偶數串接級(SRC₂，SRC₄，SRC₆，...)。第一時脈ckv具有相對於第二時脈ckvb之被反相相位。例如，第一時脈ckv和第二時脈ckvb之責務週期是大約16.6/192毫秒。

被使用於資料驅動器電路之移位暫存器164中之時脈責務週期是大約8倍較大於被使用閘驅動器電路之移位暫存器170中之時脈。

下一級SRC₂，SRC₃，SRC₄之輸出信號GOUT₁，GOUT₂，...，GOUT₁₉₂分別地被施加至該等串接級SRC₁，SRC₂，SRC₃之控制端點CT，作為一組控制信號。

各該等串接級之輸出信號順序地具有一組作用週期(或一組高位準週期)，並且對應至該作用週期之閘線被選擇。

假性串接級SRC₁₉₃重置(或不引動)最後級(SRC₁₉₂)。明確地說，假性串接級SRC₁₉₃最後級(SRC₁₉₂)輸出信號之電壓

位準從高電壓位準(HIGH)降低至低電壓位準(LOW)。

第7圖是展示第6圖移位暫存器之串接級的電路圖，並且第8圖是展示被輸出自第7圖串接級之掃描線驅動信號的圖形。

- 5 參看第7圖，各該等串接級移位暫存器170包含一組拉升部份171、一組拉降部份172、一組拉升驅動器部份173以及一組拉降驅動器部份174。

- 10 拉升部份171包含一組第一NMOS電晶體M1，其汲極被連接到一組時脈信號輸入端點CK，閘極被連接到一組第一節點N1並且源極被連接到一組輸出端點GOUT[N]。

拉降部份172包含一組第二NMOS電晶體M2，其汲極被連接到一組輸出端點OUT，閘極被連接到一組第二節點N2並且源極被連接到一組第一電源電壓端點VSS。

- 15 拉升驅動器部份173包含一組電容器C和NMOS電晶體M3、M4和M5。電容器C被連接在第一節點N1和輸出端點GOUT[N]之間。第三NMOS電晶體M3具有連接到一組第二電源電壓VON之汲極，連接到先前級之輸出端點GOUT[N-1]之閘極，以及連接到第一節點N1之源極。電晶體M4具有連接到第一節點N1之汲極，連接到第二節點N2之閘極以及連接到第一電源電壓VOFF之源極。電晶體M5具有連接到第一節點N1之汲極，連接到第二節點N2之閘極以及連接到第一電源電壓VOFF之源極。電晶體M3具有大約較電晶體M5兩倍大之電晶體尺寸。
- 20

拉降驅動器部份174包含兩組NMOS電晶體M6和M7。

電晶體M6具有共同地彼此連接以被連接到第二電源電壓VON之汲極和閘極，連接到第二節點N2之源極。電晶體M7具有連接到第二節點N2之汲極，連接到第一節點N1之閘極以及連接到第一電源電壓VOFF之源極。電晶體M6具有大約較電晶體M7之十六倍大之電晶體尺寸。

如第8圖中所展示，當第一和第二時脈信號ckv和ckvb以及掃描開始信號STV被供應至移位暫存器170時，第一串接級SRC₁反應於掃描開始信號STV之前緣將第一時脈信號ckv之高位準週期延遲經過預定時間Tdr1，因而輸出一組延遲輸出信號GOUT₁。

如上所述，形成於玻璃基片上面之移位暫存器接收掃描開始信號STV，第一時脈ckv和第二時脈ckvb，並且驅動被形成於TFT基片上面之TFT閘。

在此處之後，各該等串接級移位暫存器之操作將被說明。

第9圖是展示被輸出自第6圖移位暫存器之掃描線驅動信號的圖形。

參看第9圖，移位暫存器接收一組第一時脈信號ckv或一組第二時脈信號ckvb並且順序地提供多數個閘線驅動信號(GOUT₁，GOUT₂，GOUT₃，...)給予多數個閘線。第二時脈ckvb具有相對於第一時脈ckv之被反相相位。第一和第二時脈信號擺動於2H週期中，如第9圖所展示。被輸出自時序控制器(未展示)之信號具有從0伏特至3伏特範圍之電壓並且被放大至具有從-8伏特至24伏特範圍之電壓，以至於

第一和第二時脈信號被取得。

再參看至第7圖，先前級之輸出信號(或閘線驅動信號) $GOUT_{N-1}$ 將電容器C充電並且設定(或引動)目前級。下一級之輸出信號(或閘線驅動信號) $GOUT_{N+1}$ 將電容器C放電並且重置(或不引動)目前級。

當第一時脈信號ckv，第二時脈信號ckvb和掃描開始信號STV被施加至第一串接級時，第一時脈信號ckv之高位準週期反應於一組掃描開始信號STV之上升邊緣被延遲預定週期而被輸出於輸出端點作為一組輸出信號GOUT[1]。

電容器C反應於經由輸入端點IN被輸入電晶體M1之閘極之掃描開始信號STV的上升邊緣而開始被充電。當在電容器C之被充電電壓Vc1是較大於電晶體M1之臨限電壓時，拉升電晶體M1被導通，並且第一時脈信號ckv之高位準週期被輸出於輸出端點OUT。

當第一時脈信號CKV之高位準週期在輸出端點OUT被輸出時，這輸出電壓，或第一時脈信號ckv之高位準週期，被套取於電容器C並且因而拉升電晶體M1之閘極電壓上升超過導通電壓Von。因此，NMOS拉升電晶體M1保持一完全導通狀態。因為電晶體M3之電晶體尺寸是大約2倍較大於電晶體M4，即使當電晶體M4利用掃描開始信號STV被導通時，電晶體M2被導通。

同時，在掃描開始信號STV輸入拉降驅動器部份174之前，第二節點N2之電壓利用電晶體M6而上升至第二電源電壓Von，並且電晶體M2被導通。因此，輸出端點OUT之輸

出信號大致地具有第一電源電壓 V_{off} 。當掃描開始信號 STV 被輸入至拉降驅動器部份 174 時，電晶體被導通，並且第二節點 N2 之電壓大致地降至第一電源電壓 V_{off} 。因為電晶體 M7 之電晶體尺寸是大約 16 倍較大於電晶體 M6，即使電晶體 M6 被導通，第二節點 N2 大致地保持第一電源電壓 V_{off} 。因此，拉降電晶體 M2 被切斷。

當掃描開始信號 STV 被施加至拉降驅動器部份 174 時，拉降電晶體 M2 被切斷，並且第一時脈信號 ckv 被延遲第一時脈信號 ckv 之責務週期而將被輸出於輸出端點。

當從輸出端點 OUT 被輸出之輸出信號之電壓降至截止電壓 V_{off} (或 V_{ss}) 時，電晶體 M7 被切斷。因為僅第二電源電壓 V_{on} 經由電晶體 M6 被提供至第二節點 N2，第二節點 N2 之電壓開始從第一電源電壓 V_{off} 上升至第二電源電壓 V_{on} 。當第二節點之電壓開始上升時，電晶體 M4 被導通，並且電容器電荷經由電晶體 M4 被放電。因此，拉升電晶體 M1 開始被切斷。

接著，因為被輸出自下一級之輸出信號 $GOUT[N+1]$ 上升至導通電壓 V_{on} ，電晶體 M5 被導通。因為電晶體 M5 之電晶體尺寸是大約 2 倍較大於電晶體 M4，第一節點 N1 之電壓比其中僅電晶體 M4 被導通之情況較快速地降至第一電源電壓 V_{off} 。

此外，當第二節點 N2 之電壓上升至第二電源電壓 V_{on} 時，拉降電晶體 M2 被導通，並且被輸出自輸出端點 OUT 之輸出電壓從導通電壓 V_{on} 改變至截止電壓 V_{off} 。

因為第二節點N2連接到電晶體M6，即使被施加至控制端點CT之下一級之輸出信號GOUT[N+1]降至低電壓位準並且電晶體M5被切斷，第二節點N2保持第二電源電壓Von。因此，防止由於拉降電晶體之截止M2之故障。

- 5 如第8圖所展示，輸出信號GOUT[1]、GOUT[2]、GOUT[3]、GOUT[4]、…順序地被產生。

如上所述，電容器C反應於先前級之輸出信號而被充電，被施加至拉升部份或拉降部份之時脈信號被輸出作為目前級之輸出信號。當下一級之輸出信號在連接到下一級
10 輸出端點之閘線被產生時，下一級之輸出信號導通放電電晶體M5並且將電容器C放電，因而終止移位暫存器之操作週期。

如上所述之移位暫存器被使用作為具有小型或中型顯示尺寸之液晶顯示器裝置中之閘驅動器電路，但不會被使用作為具有大型顯示屏幕之液晶顯示器裝置中之閘驅動器
15 電路，因為由於電阻和電容之RC延遲存在於閘線中。

如第6圖中所展示，各該等串接級接收具有2H週期之一組第一時脈ckv或一組第二時脈ckvb並且施加第一時脈ckv或第二時脈ckvb至閘線。

- 20 尤其是，一組第N組串接級經由一輸入端點接收一組第(N-1)組閘導通電壓(或一組第(N-1)組閘線驅動信號)並且反應於該第(N-1)組閘導通電壓而產生一組第N組閘導通電壓(或一組第N組閘線驅動信號)。第N組串接級經由一組控制端點接收一組第N+1組閘線驅動信號並且反應於一組第

N+1組閘線驅動信號而提供一組閘極截止電壓給予閘線。

因為第(N-1)組閘導通電壓是電氣地耦合至一組第(N-1)組閘極線，第(N-1)組閘線之負載電氣地影響第N組串接級之輸入端點。因此，信號延遲被產生並且各串接級被閘線負載所影響。

如第10圖中所展示，各閘線具有多數個電阻性元件以及多數個電容性元件，並且第N組串接級之輸入端點接收第(N-1)組串接級之第(N-1)組輸出信號。因為第N組串接級之輸入端點連接到第(N-1)組閘線，信號延遲(例如RC延遲)可能由於閘線RC負載而發生。

此外，因為各該等串接級是彼此串接，信號延遲可能因此隨著N增加而增加，因為先前閘線(第一閘線，第二閘線，…，第(N-1)閘線)的RC負載連接到先前級(第一串接級，第二串接級，…，第(N-1)串接級)。因此，顯示品質可能嚴重地降低。在具有小型或中型屏幕尺寸之液晶顯示器裝置中，信號延遲不會導致上述嚴重地降低顯示品質，因為閘線RC負載小並且閘極導通電壓所展示之週期長。但是，在具有大型顯示屏幕尺寸之液晶顯示器裝置中，信號延遲可能導致上述嚴重地被降低之顯示品質。

一組取代被輸出自先前級之閘線驅動信號之外部信號可以被使用以引動(或設定)下一級。

第11圖是展示依據本發明第一實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖。

參看第11圖，依據本發明第一實施範例之閘驅動器電

路包含彼此串接之多數個串接級 SRC_1 、 SRC_2 、 SRC_3 、 $\dots$ 、 SRC_N 、 SRC_{N+1} 以及多數個進位緩衝器 CB_1 、 CB_2 、 $\dots$ 、 CB_N 。進位緩衝器 CB_1 、 CB_2 、 $\dots$ 、 CB_N 被介於在兩組相鄰串接級之間。各該等串接級之輸出端點OUT連接到下一級之一組
 5 輸入端點IN。該等串接級包含N組串接級 SRC_1 、 SRC_2 、 $\dots$ 、 SRC_N 以及一組假性串接級 SRC_{N+1} 。

各該等串接級包含一組輸入端點IN、一組輸出端點OUT、一組控制端點CT、一組時脈信號輸入端點CK、一組第一電源電壓端點VSS、一組第二電源電壓端點VDD以及
 10 一組進位輸出端點CRR。

第一串接級 SRC_1 經由輸入端點IN接收一組掃描開始信號STV。掃描開始信號STV是與供應自一組外部圖形控制器(未展示)之一組垂直同步化信號Vsync同步之脈波信號。

該等串接級 SRC_2 、 $\dots$ 、 SRC_N 經由一組進位緩衝器接收
 15 供應自先前級之進位輸出端點CRR之一組進位電壓。

各該等串接級 SRC_1 、 SRC_2 、 $\dots$ 、 SRC_{192} 分別地產生閘線驅動信號 $GOUT_1$ 、 $GOUT_2$ 、 $\dots$ 、 $GOUT_{192}$ 並且閘線驅動信號 $GOUT_1$ 、 $GOUT_2$ 、 $\dots$ 、 $GOUT_{192}$ 分別地連接到閘線，以便選擇閘線。

20 一組第一時脈信號ckv被施加至奇數串接級(SRC_1 、 SRC_3 、 SRC_5 、 $\dots$)，並且第二時脈信號ckvb被施加至偶數串接級(SRH_2 、 SRH_4 、 SRH_6 、 $\dots$)。第一時脈ckv具有相對於第二時脈ckvb之被反相相位。例如，第一時脈ckv和第二時脈ckvb之責務週期是大約16.6/192毫秒。

被使用於資料驅動器電路之移位暫存器164中之時脈責務週期是大約8倍較大於被使用閘驅動器電路之移位暫存器170中之時脈。

- 下一級 SRC_2 、 SRC_3 、 SRC_4 之輸出信號 $GOUT_2$ 、 $\dots$ 、
 5 $GOUT_{192}$ 分別地被施加至該等串接級 SRC_1 、 SRC_2 、 SRC_3 之控制端點CT作為一組控制信號。

- 進位緩衝器 CB_1 、 CB_2 、 $\dots$ 、 CB_N 使用供應自一組外部電源之時脈信號作為取代被輸出自先前級之閘線驅動信號之進位信號以便引動(或設定)下一級。進位緩衝器 CB_1 、
 10 CB_2 、 $\dots$ 、 CB_N 可以被安裝在各該等串接級內。

第12圖是展示第11圖移位暫存器中第N組串接級之電路圖。

- 參看第12圖，各該等串接級移位暫存器包含一組拉升部份171、一組拉降部份172、一組拉升驅動器部份173、一
 15 組拉降驅動器部份174以及一組進位緩衝器275。

拉升部份171包含一組第一NMOS電晶體M1，其汲極連接到一組時脈信號輸入端點CK，閘極連接到一組第一節點N1並且源極連接到一組輸出端點GOUT[N]。

- 拉降部份172包含一組第二NMOS電晶體M2，其汲極連
 20 接到輸出端點GOUT[N]，閘極連接到一組第二節點N2並且源極連接到一組第一電源電壓端點VSS。

拉升驅動器部份173包含一組電容器C和NMOS電晶體M3、M4和M5。電容器C連接在第一節點N1和輸出端點GOUT[N]之間。第三NMOS電晶體M3具有連接到一組第二

電源電壓VON之汲極，連接到先前級輸出端點GOUT[N-1]之閘極，以及連接到第一節點N1之源極。電晶體M4具有連接到第一節點N1之汲極，連接到第二節點N2之閘極以及連接到第一電源電壓VOFF之源極。電晶體M5具有連接到第一節點N1之汲極，連接到第二節點N2之閘極以及連接到第一電源電壓VOFF之源極。電晶體M3具有大約兩倍較大於電晶體M5之電晶體尺寸。

拉降驅動器部份174包含兩組NMOS電晶體M6和M7。電晶體M6具有彼此共同地連接之汲極和閘極而連接到第二電源電壓VON，連接到第二節點N2之源極。電晶體M7具有連接到第二節點N2之汲極，連接到第一節點N1之閘極以及連接到第一電源電壓VOFF之源極。電晶體M6具有大約十六倍較大於電晶體M7之電晶體尺寸。

進位緩衝器275包含一組進位緩衝器電晶體TR1並且輸出第一時脈ckv或第二時脈ckvb至下一級。尤其是，進位緩衝器電晶體TR1之閘極連接到拉降驅動器部份174之一組輸入端點，進位緩衝器電晶體TR1之汲極連接到時脈端點CKV或CKVB，並且進位緩衝器電晶體TR1之源極連接到下一級拉升部份173之第三電晶體M3之閘極。

先前級進位緩衝器電晶體TR1接收第一時脈ckv或第二時脈ckvb並且傳送第一時脈ckv或第二時脈ckvb至目前級作為一組進位信號。因為具有大致均勻電壓位準之時脈信號被使用作為進位信號，由於閘線RC負載之RC延遲不會發生。

第13圖是展示第11圖移位暫存器中最後級和假性級之電路圖。

參看第13圖，各該等串接級移位暫存器包含一組拉升部份171、一組拉降部份172、一組拉升驅動器部份173、一組拉降驅動器部份174以及一組進位緩衝器275。第13圖中，相同參考號碼指示第12圖中之相同元件，並且因此相同元件之詳細說明將被省略。

如第13圖中所展示，因為先前級之輸出信號被閘線RC負載影響，先前級之輸出信號不被施加至各該等串接級之輸入端點，時脈信號被施加至各該等串接級之輸入端點作為進位信號。因此，因為被使用作為進位信號之時脈信號是與先前級之輸出信號無關，由於閘線RC負載之RC延遲不會發生。

在此處之後，第13圖之上方級被稱為先前級 SRC_N ，第13圖下方級被稱為目前級 SRC_{N+1} 以便說明本發明移位暫存器之操作。

先前級 SRC_N 之進位緩衝器電晶體TR1接收第一時脈ckv(或拉升電晶體M1之控制信號)用以致動(或設定)目前級 SRC_{N+1} ，並且主要地傳送第一時脈ckv至目前級 SRC_{N+1} 作為進位信號。因為具有大致地均勻電壓位準之時脈信號ckv被使用作為進位信號，由於閘線RC負載之RC延遲不會發生。

在進位信號CA[N]被施加至第三電晶體M3之閘極之前，第三電晶體M3保持在截止狀態。當進位信號CA[N]被

施加至第三電晶體M3之閘極時，在預定週期之後，第三電晶體M3被導通以形成一電流通道，經由該處第二電源電壓Von充電於電容器C。

當具有低位準，或第一電源電壓Voff之電壓位準，之時脈ckv被施加至第三電晶體M3之閘極時，第三電晶體M3被切斷。

第14圖是展示第11圖移位暫存器和閘線之分解圖。

參看第14圖，各該等串接級(SRC_1 、 SRC_2 、 SRC_3 、...)分別經由各該等串接級輸出端點順序地施加多數個閘線驅動信號($GOUT_1$ 、 $GOUT_2$ 、 $GOUT_3$ 、...)，以便選擇液晶顯示面板150之閘線。

此外，各該等串接級(SRC_1 ， SRC_2 ， SRC_3 ，...)經由一組進位輸出端點CA順序地施加一組進位信號至下一級之輸入端點。該進位信號是一組第一時脈ckv或一組第二時脈ckvb。第一時脈ckv或第二時脈ckvb是供應自一組外部電源並且是無關於各該等串接級。第二時脈ckvb具有相對於第一時脈ckv之被反相相位。

因為，取代被輸出自先前級輸出端點OUT之一組閘線驅動信號，被輸出自先前級進位輸出端點之進位信號被施加至目前級輸入端點以便引動目前級，由於閘線RC負載之顯示品質惡化可以被防止。

第15A和15B圖是展示第11圖移位暫存器串接級中一組拉升部分、一組拉降部份和一組進位緩衝器之佈局，並且第15C圖是展示第15A圖移位暫存器中進位緩衝器之放

大圖。

第12圖之拉升NMOS電晶體M1和拉降NMOS電晶體M2具有較大於拉升驅動器NMOS電晶體M3、M4、M5和拉降驅動器NMOS電晶體M6、M7之電晶體尺寸以便驅動連接
5 到拉升電晶體M1和拉降電晶體M2之閘線。

如第15A，15B和15C圖中所展示，一組閘極接線和一組作用圖型順序地形成於絕緣基片上面預定區域中，並且多數個汲極電極和多數個源極電極以‘分支’形狀(或‘手指’形狀)形成於閘極接線上面，以至於拉升電晶體(M1[N]和
10 M1[N+1])和拉降電晶體(M2[N]和M2[N+1])被形成。閘極接線包含一組閘極電極(或多數閘極電極)和閘線(或多數閘線)。M1[N]是第N組串接級之拉升電晶體M1，並且M1[N+1]是第N+1組串接級之拉升電晶體M1。M2[N]是第N組串接級之拉降電晶體M2，並且M2[N+1]是第N+1組串接級之拉降
15 電晶體M2。在本發明‘分支’形狀中，汲極電極從一組主要汲極接線被分支並且各汲極電極被塞進入汲極電極之分支。例如，作用圖型由非結晶矽組成。在此處之後，第N組串接級被稱為目前級，並且第N+1組串接級被稱為下一級。

20 尤其是，拉升電晶體(M1[N]和M1[N+1])之閘極接線被形成於第一預定區域中，其中第一預定面積被形成。例如，第一預定區域可以具有矩形形狀。拉升電晶體(M1[N]和M1[N+1])之作用圖型形成於拉升電晶體(M1[N]和M1[N+1])之閘極接線上面。拉升電晶體(M1[N]和M1[N+1])之汲極電

極從延伸於往下方向之主要汲極接線300被分支並且形成於拉升電晶體(M1[N]和M1[N+1])之作用圖型上面。各拉升電晶體(M1[N]和M1[N+1])之源極電極形成在汲極電極之分支(或汲極線)之間。亦即，各源極電極之分支(或源極線)形成在汲極電極之分支(或汲極線)之間。拉升電晶體(M1[N]和M1[N+1])之源極電極可以進一步地形成在拉升電晶體(M1[N]和M1[N+1])之汲極電極外部。各拉升電晶體(M1[N]和M1[N+1])之源極電極經由接觸洞孔(CNT1，CNT2)電氣地連接到閘線。例如，各汲極線寬度可以是大約5微米，並且各閘線寬度可以是大約5微米。例如，主要汲極線寬度可以是大於大約5微米。在汲極線和源極線之間距離(L)越小，薄膜電晶體(TFT)之性質越佳。例如，在汲極線和源極線之間距離(L)越小，電晶體尺寸(W/L)越大。

尤其是，拉降電晶體(M2[N]和M2[N+1])之閘極接線形成於第二預定區域中，其中第二預定面積被定義。例如，第二預定區域可以具有矩形形狀。拉降電晶體(M2[N]和M2[N+1])之作用圖型形成於拉降電晶體(M2[N]和M2[N+1])之閘極接線上面。拉降電晶體(M2[N]和M2[N+1])之汲極電極從延伸於向上方向之主要汲極接線300被分支並且形成於拉降電晶體(M2[N]和M2[N+1])之作用圖型上面。各拉降電晶體(M2[N]和M2[N+1])之汲極電極經由接觸洞孔(CNT1，CNT2)電氣地連接到閘線。各拉降電晶體(M2[N]和M2[N+1])之源極電極形成在汲極電極之分支(或汲極線)之間。亦即，各源極電極之分支(或源極線)形成在汲極電極

之分支(或汲極線)之間。拉升電晶體($M2[N]$ 和 $M2[N+1]$)之源極電極可以進一步地形成在拉升電晶體($M2[N]$ 和 $M2[N+1]$)之汲極電極外部。

- 尤其是，多數個拉升電晶體($M1[N]$ 和 $M1[N+1]$)之源極
- 5 電極和多數個汲極拉降電晶體($M2[N]$ 和 $M2[N+1]$)之電極共同地連接到第一接觸洞孔CNT1以便拉升電晶體($M1[N]$ 和 $M1[N+1]$)之源極電極和多數個拉降電晶體($M2[N]$ 和 $M2[N+1]$)之汲極電極可以共同地連接到閘線。因為拉升電晶體($M1[N]$ 和 $M1[N+1]$)之源極電極高度或拉降電晶體
- 10 ($M2[N]$ 和 $M2[N+1]$)之源極電極高度是不同於閘線高度，拉升電晶體($M1[N]$ 和 $M1[N+1]$)或拉降電晶體($M2[N]$ 和 $M2[N+1]$)之源極電極利用形成在第一銦錫氧化物(ITO1)層和第二接觸洞孔CNT2之間的橋電路而連接到閘線。第一銦錫氧化物(ITO1)層包含一傳導材料。第一銦錫氧化物(ITO1)
- 15 層連接到一組第一接觸洞孔CNT1。

進位緩衝器電晶體TR1形成在相鄰於拉升電晶體M1之位置以便供應被施加至目前級拉升電晶體M1之汲極電極的第一時脈ckv或第二時脈ckvb至下一級之第三電晶體M3的閘極電極。

- 20 尤其是，進位緩衝器電晶體TR1之閘極電極是共同地連接到拉升電晶體($M1[N]$ 和 $M1[N+1]$)之閘極電極。進位緩衝器電晶體TR1之汲極電極可以從拉升電晶體($M1[N]$ 和 $M1[N+1]$)之主要汲極接線被分支。進位緩衝器電晶體TR1之源極電極改道(或旁通)拉升電晶體($M1[N]$ 和 $M1[N+1]$)以

及拉降電晶體(M2[N]和M2[N+1])以延伸至下一級第三電晶體M3之閘極電極。

因為進位緩衝器電晶體TR1之源極電極之分支(或源極線)高度是不同於閘極連接到下一級第三電晶體M3之閘極電極的接線高度，進位緩衝器電晶體TR1之源極電極利用形成在第二銦錫氧化物(ITO2)層和第四接觸洞孔CNT4之間的橋電路被連接到第三電晶體M3之閘極電極之閘極接線。第二銦錫氧化物(ITO2)層包含一傳導材料。第二銦錫氧化物(ITO2)層經由第三接觸洞孔CNT3連接到進位緩衝器電晶體TR1之源極線。

第7和8圖之移位暫存器被使用於具有小型或中型屏幕尺寸例如525(176x3)x192之液晶顯示面板中，但第7和8圖之移位暫存器，因為信號延遲問題，不會被使用於具有大型屏幕尺寸之液晶顯示面板中。

15 拉升或拉降電晶體(M1或M2)之電晶體尺寸需要被增加以便第7和8圖之移位暫存器可以被使用於具有大屏幕尺寸之液晶顯示面板中。但是，因為移位暫存器之晶片區域的限制，拉升或拉降電晶體(M1或M2)之電晶體尺寸之增加有其限制。

20 因此，製造液晶顯示器裝置之可靠度和產量無法被保證，因為薄膜電晶體之臨限電壓由於拉升或拉降電晶體(M1或M2)之電晶體尺寸限制和非結晶矽薄膜電晶體之性質而變化。

第16A，16B和16C圖是展示被輸出自第7圖移位暫存器

之閘線驅動信號的圖形。

參看第16A圖，當移位暫存器之薄膜電晶體具有室溫中之正常臨限電壓時，閘線驅動信號($GOUT_1$ 、 $GOUT_2$ 、 $GOUT_3$ 、 $\dots$)相似於方形波形並且具有大約25伏特之均勻峰值電壓位準。

參看第16B圖，移位暫存器之薄膜電晶體之臨限電壓隨著溫度增加而減少，閘線驅動信號($GOUT'_1$ 、 $GOUT'_2$ 、 $GOUT'_3$ 、 $\dots$)相似於方形波形，但閘線驅動信號($GOUT'_1$ 、 $GOUT'_2$ 、 $GOUT'_3$ 、 $\dots$)具有減少之峰值電壓位準。亦即，
10 第一閘線驅動信號 $GOUT'_1$ 之峰值電壓位準大約是20伏特，並且第二閘線驅動信號 $GOUT'_2$ 之峰值電壓位準是較低於20伏特。

如第16B圖中所展示，波形如火花之一組超控信號被施加至特定閘線。由於該超控信號，閘線驅動信號($GOUT'_1$ 、 $GOUT'_2$ 、 $GOUT'_3$ 、 $\dots$)具有減少之峰值電壓位準，以至於
15 產生具有異常波形之閘線驅動信號。

參看第16C圖，移位暫存器之薄膜電晶體的臨限電壓隨著溫度減少而增加，閘線驅動信號($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、 $\dots$)不是相似於方形波形，並且閘線驅動信號
20 ($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、 $\dots$)具有減少峰值電壓位準。亦即，第一閘線驅動信號 $GOUT''_1$ 之峰值電壓位準是大約22伏特，並且第二閘線驅動信號 $GOUT''_2$ 之峰值電壓位準是較低於22伏特。

當移位暫存器之薄膜電晶體具有室溫之正常臨限電壓

時，移位暫存器正常操作，並且被輸出自移位暫存器之閘線驅動信號相似於方形波形並且具有均勻峰值電壓位準。

但是，當移位暫存器之薄膜電晶體的臨限電壓隨著溫度減少(或增加)而變化時，被輸出自移位暫存器之閘線驅動信號具有異常波形，或均勻峰值電壓位準。因此，具有異常波形之閘線驅動信號並不正常地導通配置於液晶顯示面板上面之切換裝置(切換元件)，並且液晶顯示器裝置之顯示品質被降低。

如第6圖中所展示，移位暫存器具有一組電路結構，其中被輸出自先前級之閘線驅動信號影響被輸出自目前級之閘線驅動信號，當移位暫存器之薄膜電晶體的臨限電壓變化時，某些串接級不會輸出一組閘線驅動信號並且各該等串接級被移位暫存器順序地驅動，尤其是在具有大顯示屏幕尺寸之液晶顯示器裝置中。

第17圖是展示依據本發明第二實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖。

參看第17圖，各該等串接級移位暫存器包含一組拉升部份171、一組拉降部份172、一組拉升驅動器部份173、一組拉降驅動器部份174、一組第一進位緩衝器275以及一組第二進位緩衝器276。第17圖中，相同參考號碼指示第7圖中相同元件，並且因此相同元件之詳細說明將被省略。

第一進位緩衝器275包含一組第一進位緩衝器電晶體TR1並且輸出第一時脈ckv或第二時脈ckvb至下一級。

尤其是，第一進位緩衝器電晶體TR1之閘極連接到拉

降驅動器部份174之輸入端點，第一進位緩衝器電晶體TR1之汲極連接到時脈端點CKV或CKVB，並且進位緩衝器電晶體TR1之源極連接到下一級之第二進位緩衝器276。

第二進位緩衝器276包含利用拉降驅動器部份174，或一組反相器所控制之一組第二進位緩衝器電晶體TR2。尤其是，緩衝器電晶體M3利用供應自第一進位緩衝器275而將被施加至拉升部份171第一時脈ckv或第二時脈ckvb而導通，接著拉降驅動器部份174(或反相器)之輸出電壓具有低電壓位準，並且第二進位緩衝器276被切斷。因此，當進位信號被傳送至第二進位緩衝器電晶體TR2時進位信號之電壓位準不會被降低。

第二進位緩衝器電晶體TR2之汲極連接到目前級拉升驅動器部份173之輸入端點並且同時也連接到第一進位緩衝器電晶體TR1之源極。第二進位緩衝器電晶體TR2之閘極連接到第二電晶體M2之閘極，或拉降部份172，並且第二進位緩衝器電晶體TR2之源極經由第一電源電壓端點VOFF接收第一電源電壓。

此外，在1H週期之後，當拉降驅動器部份174被導通時第二進位緩衝器電晶體TR2保持導通狀態，並且施加第一電源電壓Voff至緩衝器電晶體M3以便截止緩衝器電晶體M3。第一電源電壓端點VOFF是相同於第5圖之電源電壓端點VSS。

因為取代被輸出自先前級之閘線驅動信號之時脈信號被使用作為進位信號，被輸出自各該等串接級之閘線驅動

信號與先前級之閘線驅動信號無關。

在此處之後，第17圖之上方級被稱為先前級 SRC_N ，第17圖之下方級被稱為目前級 SRC_{N+1} 以便說明本發明移位暫存器之操作。

- 5 先前級 SRC_N 之進位緩衝器電晶體TR1接收第一時脈ckv或第二時脈ckvb並且傳送第一時脈ckv或第二時脈ckvb至目前級 SRC_{N+1} 作為進位信號。因為具有大致地均勻電壓位準之時脈信號被使用作為進位信號，由於閘線RC負載之RC延遲不會發生。
- 10 在進位信號CA[N]被施加至第三電晶體M3之閘極之前第三電晶體M3保持在截止狀態。當進位信號CA[N]被施加至第三電晶體M3之閘極時，在預定週期之後，第三電晶體M3被導通以形成一組電流通路，經由該處第二電源電壓Von充電於電容器C。
- 15 當目前級拉升驅動器部份173之電容器C被充電時，第二進位緩衝器電晶體TR2被切斷。當目前級具有閒置狀態時，被施加至第二進位緩衝器電晶體TR2之電源電壓Voff被施加至緩衝器電晶體M3之閘極並且保持緩衝器電晶體M3之截止狀態。
- 20 尤其是，目前級拉升驅動器部份173之第三電晶體M3保持截止狀態並且當進位信號經由先前級第一進位緩衝器電晶體TR1被施加至第三電晶體M3時被改變至閒置狀態。因此，第三電晶體M3之閘極具有對應至利用第一進位緩衝器電晶體TR1之電阻和第二電晶體M2之電阻所形成分壓之

電壓位準。

當第二進位緩衝器電晶體TR2被切斷並且進位信號，例如時脈信號，被施加至緩衝器電晶體M3之閘極時，緩衝器電晶體M3被導通，並且電壓Von被施加至電容器C。

5 第18圖是展示依據本發明第三實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖。

參看第18圖，各該等串接級移位暫存器包含一組拉升部份171、一組拉降部份172、一組拉升驅動器部份173、一組拉降驅動器部份174、一組第一進位緩衝器275以及一組
10 第二進位緩衝器376。第18圖中，相同參考號碼指示第7圖中相同元件，並且因此相同元件之詳細說明將被省略。

第一進位緩衝器275包含一組第一進位緩衝器電晶體TR1並且輸出第一時脈ckv或第二時脈ckvb至下一級。

尤其是，第一進位緩衝器電晶體TR1之閘極連接到拉
15 降驅動器部份174之輸入端點，第一進位緩衝器電晶體TR1之汲極連接到時脈端點CKV或CKVB，並且進位緩衝器電晶體TR1之源極連接到下一級之第二進位緩衝器376。

第二進位緩衝器376包含第二和第三進位緩衝器電晶體TR2和TR3。尤其是，當拉降驅動器部份174(或反相器)
20 之輸出具有低電壓位準時第二進位緩衝器376被切斷。因此，當進位信號被傳送至第二進位緩衝器376時，進位信號之電壓位準不會被降低。此外，在1H週期之後，當拉降驅動器部份174導通時第二進位緩衝器376保持導通狀態以便截止緩衝器電晶體M3。

第二進位緩衝器電晶體TR2之汲極連接到目前級拉升
 驅動器部份173之輸入端點並且同時也連接到先前級第一
 進位緩衝器電晶體TR1之源極。第二進位緩衝器電晶體TR2
 之閘極連接到第二電晶體M2之閘極，或拉降部份172，並
 5 且第二進位緩衝器電晶體TR2之源極連接到第三進位緩衝
 器電晶體TR3之汲極。第一電源電壓端點VOFF是相同於第5
 圖之電源電壓端點VSS。

在此處之後，第18圖之上方級被稱為先前級 SRC_N ，並
 且第18圖之下方級被稱為目前級 SRC_{N+1} 以便說明本發明移
 10 位暫存器之操作。

先前級 SRC_N 進位緩衝器之電晶體TR1接收第一時脈
 ckv並且傳送第一時脈ckv至目前級 SRC_{N+1} 作為一進位信
 號。因為時脈信號具有大致地均勻電壓位準，由於閘線RC
 負載之RC延遲不會發生。

15 當目前級拉升驅動器部份173之電容器C被充電時，第
 二進位緩衝器電晶體TR2被切斷。當目前級具有閒置狀態
 時，第三進位緩衝器電晶體TR3之電壓($V_{off}+V_{th}$)被施加至
 緩衝器電晶體M3之閘極並且保持緩衝器電晶體M3之截止
 狀態。

20 尤其是，目前級拉升驅動器部份173之第三電晶體M3
 保持截止狀態並且當進位信號經由先前級第一進位緩衝器
 電晶體TR1被施加至第三電晶體M3時被改變至閒置狀態。
 因此，第三電晶體M3之閘極具有對應至利用第一進位緩衝
 器電晶體TR1之電阻，第二進位緩衝器電晶體TR2之電阻以

及第三進位緩衝器電晶體TR3之臨限電壓所形成分壓之電壓位準。

- 當第二進位緩衝器電晶體TR2被切斷並且進位信號被施加至緩衝器電晶體M3之閘極時，緩衝器電晶體M3導通，
- 5 並且電壓Von被施加至電容器C。

當具有低電壓位準，例如電壓位準Voff，之時脈被施加至緩衝器電晶體M3之閘極時，緩衝器電晶體被切斷。緩衝器電晶體M3之導通或截止時間點取決於被施加至緩衝器電晶體M3之閘極的電壓之電壓位準。

- 10 緩衝器電晶體M3之導通或截止之時間點是成反比例於緩衝器電晶體M3之臨限電壓。當緩衝器電晶體M3之臨限電壓由於週邊溫度增加而減少時，緩衝器電晶體M3之導通或截止之時間點成為比緩衝器電晶體M3具有正常臨限電壓之情況較早。當緩衝器電晶體M3之臨限電壓由於週邊溫
- 15 度減少而增加時，緩衝器電晶體M3之導通或截止之時間點被延遲。因此，在電容器C被充電之電荷依據週邊溫度之變化而改變，並且閘線驅動信號依據在電容器C被充電電荷之電壓而變化。

- 超控信號之產生可以被防止。當臨限電壓成為較低並且
- 20 且第二進位緩衝器電晶體TR2不完全地切斷時，該超控信號是產生。該超控信號可以導通先前級之放電電晶體M5並且降低先前級拉升電晶體M1之輸出電壓，以至於被輸出自先前級之閘線驅動信號可以被降低。

依據本發明第三實施範例，緩衝器電晶體M3之閘極具

有對應至利用第二和第三進位緩衝器電晶體TR1之電阻、緩衝器電晶體M3之臨限以及第一進位緩衝器電晶體TR1之電阻所形成分壓之電壓位準。即使緩衝器電晶體M3之臨限電壓依據週邊溫度變化而改變，第三進位緩衝器電晶體TR3
 5 之臨限電壓也依據週邊溫度變化而改變，進位信號之電壓位準取決於週邊溫度，並且進位信號被施加至緩衝器電晶體M3之閘極，因而消除由於臨限電壓變化之影響。閘線驅動信號之電壓位準之變化可以被防止。

第19A和19B圖是展示第18圖之移位暫存器輸出的圖
 10 形。

如第16A圖中所展示，當移位暫存器之薄膜電晶體具有室溫之正常臨限電壓時，閘線驅動信號($GOUT_1$ ， $GOUT_2$ ， $GOUT_3$ ， $\dots$)相似於方形波形。

參看第19A圖，移位暫存器之薄膜電晶體之臨限電壓隨著溫度增加而減少，閘線驅動信號($GOUT'_1$ 、 $GOUT'_2$ 、 $GOUT'_3$ 、 $\dots$)相似於方形波形，並且閘線驅動信號($GOUT'_1$ 、 $GOUT'_2$ 、 $GOUT'_3$ 、 $\dots$)是大約25伏特。第19A圖中展示之超控信號電壓位準是更小於第16B圖中展示之超控信號。正常閘線驅動信號被輸出。

20 參看第19B圖，移位暫存器之薄膜電晶體之臨限電壓隨著溫度減少而增加，閘線驅動信號($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、 $\dots$)相似於方形波形，閘線驅動信號($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、 $\dots$)具有大約25伏特之均勻電壓位準。第19B圖之閘線驅動信號($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、 $\dots$)

是更相似於方形波形，並且閘線驅動信號($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、...)之電壓位準比第16C圖之閘線驅動信號($GOUT''_1$ 、 $GOUT''_2$ 、 $GOUT''_3$ 、...)更均勻。

如第19A和19B圖中所展示，因為各該等串接級中移位
5 暫存器包含進位緩衝器，即使當薄膜電晶體之臨限電壓由於週邊溫度變化而變化時，移位暫存器仍可以輸出正常閘線驅動信號。

依據本發明第三實施範例，因為各該等串接級包含第一、第二和第三進位緩衝器電晶體TR1、TR2和TR3，目前
10 級接收具有均勻電壓位準之第一時脈ckv或第二時脈ckvb作為進位信號，並且被輸出自目前級之閘線驅動信號可以與被輸出自先前級之閘線驅動信號無關。進位信號補償臨限電壓之變化。因此，移位暫存器是無關於薄膜電晶體之臨限電壓的變化，並且用以製造具有大屏幕尺寸和大解析
15 度之液晶顯示器裝置之可靠度、產能和產量可以被強化。

第20圖是展示依據本發明第四實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖。

參看第20圖，各該等串接級移位暫存器包含一組拉升部份171、一組拉降部份172、一組拉升驅動器部份173、一
20 組拉降驅動器部份174、一組第一進位緩衝器275以及一組第二進位緩衝器476。第20圖中，相同參考號碼指示第7圖中之相同元件，並且因此相同元件之詳細說明將被省略。

第二進位緩衝器476包含第二和第四進位緩衝器電晶體TR2和TR4。尤其是，當拉降驅動器部份174(或反相器)

之輸出具有低電壓位準時第二進位緩衝器476被切斷。因此，當進位信號被傳送至第二進位緩衝器476時進位信號之電壓位準不會被降低。此外，在1H週期之後，當拉降驅動器部份174被導通以截止緩衝器電晶體M3時，第二進位緩衝器476保持導通狀態。

第二進位緩衝器電晶體TR2之汲極連接到目前級拉升驅動器部份173之輸入端點並且也連接到先前級第一進位緩衝器電晶體TR1之源極。第二進位緩衝器電晶體TR2之閘極連接到第二電晶體M2之閘極，或拉降部份172，並且第二進位緩衝器電晶體TR2之源極經由第一電源電壓端點VOFF接收第一電源電壓Voff。第一電源電壓端點VOFF是相同於第5圖之電源電壓端點VSS。

第四進位緩衝器電晶體TR4之汲極連接到第二進位緩衝器電晶體TR2之閘極，第四進位緩衝器電晶體TR4之閘極連接到第二進位緩衝器電晶體TR2之汲極，並且第四進位緩衝器電晶體TR4之源極經由第一電源電壓端點VOFF接收第一電源電壓Voff。

在此處之後，第20圖之上方級被稱為先前級 SRC_N ，並且第20圖之下方級被稱為目前級 SRC_{N+1} 以便說明依據本發明第四實施範例之移位暫存器之操作。

先前級 SRC_N 之進位緩衝器電晶體TR1接收第一時脈ckv並且傳送第一時脈ckv至目前級 SRC_{N+1} 作為進位信號。因為時脈信號具有大致均勻電壓位準，由於閘線RC負載之RC延遲不會發生。

當目前級拉升驅動器部份173之電容器C被充電時，第二進位緩衝器電晶體TR2被切斷。當目前級是在閒置狀態時，第二進位緩衝器電晶體TR2之電壓(V_{off})被施加至緩衝器電晶體M3之閘極並且保持緩衝器電晶體M3之截止狀態。

5 尤其是，目前級拉升驅動器部份173之第三電晶體M3保持截止狀態。當進位信號經由先前級第一進位緩衝器電晶體TR1被施加至第三電晶體M3時，第三電晶體M3之閘極具有對應至利用第一進位緩衝器電晶體TR1電阻和第二進位緩衝器電晶體TR2電阻所形成分壓之電壓位準。

10 當第二進位緩衝器電晶體TR2被切斷，並且進位信號被施加至緩衝器電晶體M3之閘極時，緩衝器電晶體M3被導通，並且電流通道形成在緩衝器電晶體M3和電容器C之間以至於電壓 V_{on} 被施加至電容器C。

當具有低電壓位準，例如電壓位準 V_{off} ，之時脈被施加至緩衝器電晶體M3之閘極時，緩衝器電晶體M3被切斷。

當產生自先前級之進位信號被施加至第四進位緩衝器電晶體TR4之閘極時，第四進位緩衝器電晶體TR4被導通，因而快速地降低第二進位緩衝器電晶體TR2之閘極電壓位準。亦即，第四進位緩衝器電晶體TR4增加第二進位緩衝器
20 電晶體TR2之切換速率。因此，進位緩衝器之操作速率可以被增加。

第21圖是展示依據本發明第五實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖。

參看第21圖，各該等串接級移位暫存器包含一組拉升

部份171、一組拉降部份172、一組拉升驅動器部份173、一組拉降驅動器部份174、一組第一進位緩衝器275以及一組第二進位緩衝器576。第21圖中，相同參考號碼指示第7圖中相同元件，並且因此相同元件之詳細說明將被省略。

- 5 第一進位緩衝器275包含一組第一進位緩衝器電晶體TR1並且輸出第一時脈ckv或第二時脈ckvb至下一級。尤其是，第一進位緩衝器電晶體TR1之閘極連接到拉降驅動器部份174之輸入端點，第一進位緩衝器電晶體TR1之汲極連接到時脈端點CKV或CKVB，並且進位緩衝器電晶體TR1之源極連接到下一級之第二進位緩衝器576。

15 第二進位緩衝器576包含第二、第三和第四進位緩衝器電晶體TR2、TR3和TR4。尤其是，當拉降驅動器部份174(或an反相器)輸出具有低電壓位準時第二進位緩衝器576被切斷。因此，當進位信號被傳送至第二進位緩衝器576時進位信號之電壓位準不會被降低。此外，在1H週期之後，當拉降驅動器部份174導通以截止緩衝器電晶體M3時，第二進位緩衝器576保持導通狀態。

20 第二進位緩衝器電晶體TR2之汲極連接到目前級拉升驅動器部份173之輸入端點並且同時也連接到先前級第一進位緩衝器電晶體TR1之源極。第二進位緩衝器電晶體TR2之閘極連接到第二電晶體M2之閘極，或拉降部份172，並且第二進位緩衝器電晶體TR2之源極連接到第三進位緩衝器電晶體TR3之汲極。

第三進位緩衝器電晶體TR3之汲極和閘極共同地彼此

連接並且連接到第二進位緩衝器電晶體TR2之源極，以及第三進位緩衝器電晶體TR3之源極。第三進位緩衝器電晶體TR3之源極經由第一電源電壓端點VOFF接收第一電源電壓Voff。第一電源電壓端點VOFF是相同於第5圖之電源電壓端點VSS。

第四進位緩衝器電晶體TR4之汲極連接到第二進位緩衝器電晶體TR2之閘極，第四進位緩衝器電晶體TR4之閘極連接到第二進位緩衝器電晶體TR2之汲極，並且第四進位緩衝器電晶體TR4之源極經由第一電源電壓端點VOFF接收第一電源電壓Voff。

當產生自先前級之進位信號被施加至第四進位緩衝器電晶體TR4之閘極時，第四進位緩衝器電晶體TR4被導通，因而快速地降低第二進位緩衝器電晶體TR2之閘極的電壓位準。亦即，第四進位緩衝器電晶體TR4增加第二進位緩衝器電晶體TR2之切換速率。因此，進位緩衝器之操作速率可以被增加。

依據本發明第五實施範例，因為進位緩衝器進一步地包含用以第二進位緩衝器電晶體TR2之控制導通或截止之第四進位緩衝器電晶體TR4，第二進位緩衝器電晶體TR2之切換速率可以被增加。

第22圖是展示在第21圖之電容器所量測電壓之圖形。尤其是，‘A’部份代表當進位緩衝器具有第四進位緩衝器電晶體TR4時在電容器之電壓量測，並且‘B’部份代表當進位緩衝器不具有第四進位緩衝器電晶體TR4時在電容器之電

壓量測。

如第22圖中所展示，當第四進位緩衝器電晶體TR4被添加至進位緩衝器時，第二進位緩衝器電晶體TR2之截止時間可以被減低，第三電晶體M3之導通或截止時間可以被減低，以至於在電容器之電壓量測可以被增加。因此，具有第四進位緩衝器電晶體TR4之進位緩衝器可以被使用於具有大顯示屏幕尺寸和高位解析度之液晶顯示器裝置中，第三電晶體M3之導通或截止可以被一組最大電壓所控制，並且移位暫存器之性能可以被增強。

如本發明之上述實施例，取代被輸出自先前級輸出端點OUT之輸出信號(或閘線驅動信號)，用以產生無關於先前級輸出信號之進位信號的進位緩衝器被配置於各該等串接級中，因而防止移位暫存器由於薄膜電晶體之臨限電壓的變化之異常操作。此外，移位暫存器之可靠度可以在寬範圍週邊溫度被強化，並且因為臨限電壓變化之容忍性可以被增加，所以製造移位暫存器之產能可以增加。

第23圖是展示被輸出自第7圖移位暫存器之閘線驅動信號的圖形。第23圖代表當時脈信號V[CKVB]被施加至各該等串接級時，被輸出自拉降驅動器部份(或反相器)之輸出電壓(或在節點N2之電壓)波形。V[GOUT(1)]代表依據被輸出自反相器之輸出電壓變化之第一串接級輸出電壓，並且V[GOUT(2)]代表依據反相器輸出電壓之變化之第二串接級輸出電壓。

參看第23圖，被輸出自反相器之輸出電壓具有相對緩

慢斜率，或從低電壓位準至高電壓位準緩慢上升。亦即，反相器之操作速率緩慢。

反相器之斜率取決於反相器電阻和拉降電晶體M2之寄生電容C1。R×C1值越大，反相器斜率越慢，並且反相器
5 操作速率越慢。

尤其是，當開驅動器電路，或移位暫存器驅動連接到配置於具有大顯示屏幕尺寸之液晶顯示面板上面之薄膜電晶體的閘線時，拉升和拉降電晶體M1和M2之寄生電容增加，因為拉升和拉降電晶體M1和M2之電晶體尺寸增加。電
10 晶體尺寸被稱為電晶體通道寬度(W)對於電晶體通道長度(L)之比率(W/L)。因此，R×C1增加並且反相器斜率緩慢。

反相器尺寸需要被增加以便增加反相器操作速率。為了增加反相器尺寸，需大佈局面積並且反相器電力消耗增加。因此，反相器尺寸需要被最小化。但是，當反相器被
15 設計具有最小尺寸時，反相器操作速率緩慢。

如第23圖中所展示，當反相器操作速率緩慢時，尤其是反相器輸出電壓是從低電壓位準緩慢改變至高電壓位準時，閘線驅動信號-例如V[Gout(1)]，V[Gout(2)]-之脈波寬度是較大於1H。1H被稱為時脈信號之脈波寬度。被輸出自
20 資料驅動器電路160之灰階電壓脈波寬度也是1H。

例如，連接到第一閘線輸出端點OUT之像素被施加至連接到連接下一級之下一閘線的資料線之灰階電壓所影響。因此，當脈波寬度V[Gout(1)]是較大於1H時，影像顯示品質降低。一般，灰階電壓最小值是大約0伏特，閘線驅

動信號V[Gout(n)]之有效脈波寬度，最好是，小於或等於1H。開線驅動信號V[Gout(n)]之有效脈波寬度指示具有電壓位準較大於0伏特之開線驅動信號V[Gout(n)]部份之脈波寬度。尤其是，為了減低影像顯示品質惡化，當反相器電壓位準是從低位準改變至高位準時，開線驅動信號之電壓位準需要被快速地從高位準改變至低位準，並且有效脈波開線驅動信號V[Gout(n)]之寬度，最好是，小於或等於1H。

在此處之後將說明一種移位暫存器，其具有在佈局區域限制之下之反相器最小尺寸並且可以防止影像顯示品質之惡化。

第24圖是展示依據本發明第六實施範例被使用於開驅動器電路中之單元串接級移位暫存器之方塊圖。

參看第24圖，該單元串接級包含一組緩衝器電晶體802、一組保持電晶體806、一組放電電晶體804、一組反相器808、一組拉升電晶體810以及一組拉降電晶體812。第24圖之單元串接級與第7圖之單元串接級具有一些差異。

第一，第24圖之反相器808之尺寸、拉升電晶體M1之尺寸以及拉降電晶體M2之尺寸是相同於第7圖。但是，拉降電晶體M2被分割成一組第一拉降電晶體M2a和一組第二拉降電晶體M2b。例如，當第7圖拉降電晶體M2之電晶體尺寸是1時，在第一拉降電晶體M2a和第二拉降電晶體M2b之間電晶體尺寸之比率可以是0.1：0.9。最好是，第二拉降電晶體M2b之電晶體尺寸是較大於第一拉降電晶體M2a。

第二，第一拉降電晶體M2a是利用反相器808輸出電壓

所驅動，第二拉降電晶體M2b是利用第二拉升驅動器電晶體M5和被輸出自下一級之閘線驅動信號V[Gout(n+1)]所驅動。第二拉升驅動器電晶體M5將在電容器C被充電之電荷放電。

5 因為第二拉降電晶體M2b是利用被輸出自下一級之閘線驅動信號V[Gout(n+1)]所驅動，閘線驅動信號V[Gout(n)]之有效脈波寬度可以小於或等於1H。此外，具有電容性負載之第一拉降電晶體M2a之電晶體尺寸，被減低並且反相器操作速率增加。

10 第25圖是展示被輸出自第24圖移位暫存器之閘線驅動信號之圖形。尤其是，第25圖展示當在第一拉降電晶體M2a和第二拉降電晶體M2b之間電晶體尺寸比率是大約0.1：0.9時，被輸出自移位暫存器之閘線驅動信號。

參看第25圖，被輸出自第25圖移位暫存器之閘線驅動
15 信號V[Gout(n)]之有效脈波寬度是小於或等於1H，並且第25圖反相器輸出電壓之斜率是比第23圖反相器輸出電壓之斜率更陡。第25圖反相器之操作速率是比第23圖反相器更快。

第26圖是展示被輸出自第7圖移位暫存器之閘線驅動
20 信號和被輸出自第24圖移位暫存器之閘線驅動信號的圖形。第26圖同時地展示第23圖和第25圖反相器之輸出電壓。第23圖反相器之輸出電壓是V[反相器']，第23圖移位暫存器之輸出電壓是V[Gout']，第25圖反相器之輸出電壓是V[反相器]，並且第25圖移位暫存器之輸出電壓是V[Gout]。

參看第26圖，第24圖反相器808輸出電壓 $V[\text{反相器}]$ 之輸出電壓上升邊緣斜率是較大於第23圖反相器之輸出電壓 $V[\text{反相器}']$ 。參看第26圖之‘A’和‘A’，第24圖移位暫存器之輸出電壓 $V[\text{Gout}]$ 電壓位準是第23圖移位暫存器輸出電壓 $V[\text{Gout}']$ 之電壓位準更快速地從高位準改變至低位準，以至於閘線驅動信號 $V[\text{Gout}(n)]$ 之有效脈波寬度可以小於或等於 $1H$ 。

第27圖是展示依據本發明第七實施範例之電源供應和時脈產生器之方塊圖。

參看第27圖，電源供應可以是一組DC-至-DC轉換器710，並且DC-至-DC轉換器710之輸出電源電壓 V_{on} 被施加至時脈產生器720和移位暫存器170。時脈產生器720接收電源電壓 V_{on} 和 V_{off} 並且產生時脈信號 ckv 和 $ckvb$ 以提供時脈信號 ckv 和 $ckvb$ 給予移位暫存器170。亦即，時脈產生器720和移位暫存器170被相同電源電壓 V_{on} 驅動。

第28圖是展示當如同被施加至第27圖時脈產生器之電源電壓的相同電源電壓被施加至移位暫存器時，被輸出自移位暫存器閘線驅動信號之圖形。

參看第28圖，當相同電源電壓 V_{on} 被施加至時脈產生器720和移位暫存器170時，被輸出自第一串接級之閘線驅動信號 $V[\text{Gout}(1)']$ 之變化是依據第一串接級之反相器808(或拉降驅動電晶體M6和M7)之輸出電壓而變化，並且被輸出自第二串接級之閘線驅動信號 $V[\text{Gout}(2)']$ 之變化是依據第二串接級之反相器808(或拉降驅動電晶體M6和M7)之輸出

電壓而變化。

當相同電源電壓 V_{on} 被施加至時脈產生器 720 和移位暫存器 170 時，時脈信號之最大電壓位準是大致地相同於電源電壓 V_{on} 之高位準。

- 5 當相同電源電壓 V_{on} 被施加至具有大顯示屏幕尺寸之液晶顯示器裝置中時脈產生器 720 和移位暫存器 170 時，影像顯示品質可能由於閘線電容性負載之增加而被降低。

- 如第 28 圖中所展示，閘線驅動信號 $V[Gout(1)']$ 之脈波寬度較大於 $1H$ (時脈信號之脈波寬度)。一般，灰階電壓之
 10 最小值大約是 0 伏特，閘線驅動信號 $V[Gout(n)]$ 之有效脈波寬度是，最好是，小於或等於 $1H$ 。尤其是，為了減低影像顯示品質惡化，當被輸出自反相器 808 之輸出電壓之電壓位準從低位準改變至高位準時閘線驅動信號之電壓位準需要快速地從高位準改變至低位準，並且閘線驅動信號
 15 $V[Gout(n)]$ 之有效脈波寬度是，最好是，小於或等於 $1H$ 。

- 因為反相器 808 (或拉降電晶體 M6 和 M7) 之操作速率緩慢，閘線驅動信號 $V[Gout(1)']$ 之脈波寬度是較大於 $1H$ 。如第 28 圖 A1' 和 A2' 部份中所展示，因為被輸出自反相器 808 之輸出電壓具有緩慢斜率，或從低位準至高位準緩慢上升，
 20 閘線驅動電壓 $V[Gout(1)']$ 和 $V[Gout(2)']$ 之電壓位準在 A1' 和 A2' 部份附近低位準之下緩慢下降。因此，閘線驅動電壓 $V[Gout(1)']$ 和 $V[Gout(2)']$ 之有效脈波寬度是較大於 $1H$ 。

當 $V[Gout(n)']$ 之有效脈波寬度是較大於 $1H$ 時，連接到

第N組閘線輸出端點OUT之像素被施加至連接到下一級之下一閘線(第n+1組閘線)的資料線之灰階電壓所影響。因此，影像顯示品質可能被降低。反相器808輸出電壓之電壓位準需要快速地從低位準改變至高位準以便 $V[Gout(n)']$ 之有效脈波寬度不會較大於1H。亦即，反相器輸出電壓之斜率需要較大。反相器輸出電壓之振幅可以被增加以便反相器輸出電壓之斜率可以被增加。

第29圖是展示依據本發明第七實施範例之電源供應和時脈產生器之方塊圖。

參看第29圖，一組DC-至-DC轉換器910產生一組電源電壓 V_{on} 並且施加該電源電壓 V_{on} 至時脈產生器720。DC-至-DC轉換器910產生另一電源電壓 V_{ona} 並且施加該電源電壓 V_{ona} 至移位暫存器170。電源電壓 V_{ona} 具有一組不同於電源電壓 V_{on} 之電壓位準。亦即，不同於電源電壓 V_{on} 之電源電壓 V_{ona} 被施加至移位暫存器170。

最好是，電源電壓 V_{ona} 之振幅較大於電源電壓 V_{on} 以保持反相器808之最大輸出電壓較大於第28圖反相器之最大輸出電壓。

第30圖是展示第29圖之DC-至-DC轉換器的範例電路圖。第30圖展示用以產生較大於電源電壓 V_{on} 之電源電壓 V_{ona} 之一組DC-至-DC轉換器。

參看第30圖，DC-至-DC轉換器接收直流電壓VDD並且利用一組電荷泵電路而產生電源電壓 $V_{on}(VDD + \Delta V)$ 和電源電壓 $V_{ona}(VDD + 2\Delta V)$ 。例如，電荷泵電路包含彼此串列

連接之多數個二極體D1、D2、D3和D4以及多數個電容器C2、C3、C4和C5。

直流電壓VDD被施加至二極體D1之陽極， ΔV 被施加至電容器C2，並且Von(VDD+ ΔV)被輸出自二極體D2之陰極。Von被施加至二極體D3之陽極， ΔV 被施加至電容器C4，並且Vona(VDD+2 ΔV)被輸出自二極體D4之陰極。因此，Vona(>Von)和Von可以利用電荷泵電路被產生。此外，Vona(>Von)和Von可以利用一組電壓位準移位器電路被產生。Von可以變化，並且Vona同時也可以無關於Von而變化。

當Vona(>Von)被施加至移位暫存器170時，如第7和29圖中所展示，反相器808被經由電晶體M6汲極被施加至移位暫存器之Vona所驅動。因此，被Vona驅動之反相器808之輸出電壓增加被Von驅動之反相器輸出電壓。此外，反相器輸出電壓之電壓位準快速地從低位準改變至高位準。因此，V[Gout(n)]之有效脈波寬度大致地為1H或不較大於1H，並且影像顯示品質不會被降低。

第31圖是展示當第29圖之電源供應和時脈產生器驅動移位暫存器時被輸出自移位暫存器之閘線驅動信號之圖形。

第28圖中，大約25伏特之Von被施加至反相器808，並且反相器808之最大輸出電壓大約是15伏特。第31圖中，大約45伏特之Von被施加至反相器808，並且反相器808之最大輸出電壓大約是35伏特。因此，關於反相器輸出電壓上升邊緣之B1和B1'部份，V[Gout(1)]和V[Gout(1)]之有效脈波

寬度較小於第28圖所示。

第32圖是展示當第29和28圖之電源供應和時脈產生器驅動移位暫存器時被輸出自移位暫存器之閘線驅動信號的圖形。

- 5 參看第32圖， $V[Gout']$ 代表當時脈產生器和移位暫存器被相同電源電壓 Von 驅動時之閘線驅動信號。 $V[Gout]$ 代表當 Von 被施加至時脈產生器並且較大於 Von 之 $Vona$ 被施加至移位暫存器時之閘線驅動信號。

- 關於反相器輸出電壓下降邊緣之A和A'部份， $V[Gout]$
10 之有效脈波寬度較窄於 $V[Gout']$ 。

雖然上面實施例討論用以驅動液晶顯示器裝置之閘線的移位暫存器，本發明同時也可以被採用於有機電致發光顯示器裝置。

雖然本發明實施範例和其優點已經被詳細說明，應該了解，各種改變、替代和更改可因此被形成而不脫離如利用

- 15 附加申請專利範圍所定義之本發明範疇。

【圖式簡單說明】

第1圖是展示一種習見的多矽薄膜電晶體LCD之分解圖；

- 第2圖是展示一種習見的非結晶矽薄膜電晶體LCD之
20 分解圖；

第3圖是展示依據本發明一組實施範例之非結晶矽薄膜電晶體LCD之分解透視圖；

第4圖是展示第3圖之非結晶矽薄膜電晶體基片之分解圖；

第5圖是展示第4圖之資料驅動器電路之方塊圖；

第6圖是展示被使用於第4圖閘驅動器電路中之一組移位暫存器之方塊圖；

第7圖是展示第6圖之移位暫存器之串接級的電路圖；

5 第8圖是展示被輸出自第7圖之串接級之掃描線驅動信號的圖形；

第9圖是展示被輸出自第6圖之移位暫存器之掃描線驅動信號的圖形；

第10圖是展示第6圖之移位暫存器和閘線之分解圖。

10 第11圖是展示依據本發明之第一實施範例之移位暫存器被使用於一組閘驅動器電路中之方塊圖；

第12圖是展示第11圖移位暫存器中第N串接級之電路圖；

15 第13圖是展示第11圖移位暫存器中最後級和假性串接級之電路圖；

第14圖是展示第11圖移位暫存器和閘線之分解圖。

第15A和15B圖是展示第11圖移位暫存器串接級中拉升部分，拉降部份和進位緩衝器之佈局；

20 第15C圖是展示第15A圖移位暫存器中進位緩衝器之放大圖；

第16A，16B和16C圖是展示被輸出自第7圖移位暫存器之閘線驅動信號之圖形；

第17圖是展示依據本發明第二實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第18圖是展示依據本發明第三實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第19A和19B圖是展示第18圖移位暫存器之輸出的圖形；

5 第20圖是展示依據本發明第四實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第21圖是展示依據本發明第五實施範例被使用於閘驅動器電路中之移位暫存器的方塊圖；

第22圖是展示在第21圖電容器之電壓量測的圖形；

10 第23圖是展示被輸出自第7圖移位暫存器之閘線驅動信號的圖形；

第24圖是展示依據本發明第六實施範例被使用於閘驅動器電路中之一組移位暫存器之單元串接級的方塊圖；

15 第25圖是展示被輸出自第24圖之移位暫存器之閘線驅動信號的圖形；

第26圖是展示被輸出自第7圖之移位暫存器之閘線驅動信號和被輸出自第24圖之移位暫存器之閘線驅動信號的圖形；

20 第27圖是展示依據本發明第七實施範例之電源供應和時脈產生器之方塊圖；

第28圖是展示當相同於被施加至第27圖時脈產生器之電源電壓的電源電壓被施加至移位暫存器時，被輸出自移位暫存器之閘線驅動信號的圖形；

第29圖是展示依據本發明第七實施範例之電源供應和

時脈產生器之方塊圖；

第30圖是展示第29圖之DC-至-DC轉換器範例之電路圖；

第31圖是展示當第29圖之電源供應和時脈產生器驅動
5 移位暫存器時，被輸出自移位暫存器之閘線驅動信號的圖形；以及

第32圖是展示當第29和28圖之電源供應和時脈產生器驅動移位暫存器時，被輸出自移位暫存器之閘線驅動信號的圖形。

10 【圖式之主要元件代表符號表】

10...玻璃基片	112a...TFT基片
12...資料驅動器電路	112b...色彩濾波器基片
14...閘驅動器電路	116...彈性印刷電路
16...端點部份	118...積體控制晶片
18...薄膜電纜線	120...背光組件
20...積體印刷電路板	122...燈組件
32...彈性印刷電路板	124...導光平板
34...資料驅動器晶片	126...光學薄片
36...資料印刷電路板	128...反射平板
40...閘驅動器晶片	129...模框
42...閘印刷電路板	130...框架
100...液晶顯示器裝置	140...覆蓋殼
110...液晶顯示面板組件	150...顯示胞元陣列
112...液晶顯示面板	160...資料驅動器電路

162...外部連接端點	376...第二進位緩衝器
163...外部連接端點	476...第二進位緩衝器
164...移位暫存器	576...第二進位緩衝器
169...外部連接端點	710...DC-至-DC轉換器
170...移位暫存器、閘極驅動器 電路	720...時脈產生器
171...拉升部份	802...緩衝器電晶體
172...拉降部份	804...放電電晶體
173...拉升驅動器部份	806...保持電晶體
174...拉降驅動器部份	808...反相器
275...第一進位緩衝器	810...拉升電晶體
276...第二進位緩衝器	812...拉降電晶體
300...主要汲極接線	910...DC-至-DC轉換器

伍、中文發明摘要：

在移位暫存器和具有此移位暫存器之LCD裝置中，其可以被採用於具有大屏幕尺寸和大解析度之液晶顯示器裝置，該移位暫存器包含彼此串接之串接級並且各該等串接級具有用以產生一組進位信號之進位緩衝器。該移位暫存器之各該等串接級之拉降電晶體被分割成為一組第一拉降電晶體和一組第二拉降電晶體。一組較大於被施加至一組時脈產生器之電源電壓 V_{on} 之電源電壓 V_{ona} 被施加至該移位暫存器。由於閘線之RC延遲之信號延遲可以被最小化，該移位暫存器是與TFT臨限電壓之變化無關，並且影像顯示品質不會被降低。

陸、英文發明摘要：

In a shift register and LCD device having the shift register that may be employed in the liquid crystal display device having a large screen size and a large resolution, the shift register includes stages cascade-connected with each other and each of the stages have a carry buffer for generating a carry signal. The pull-down transistor of each of the stages of the shift register is divided into a first pull-down transistor and a second pull-down transistor. A power voltage V_{ona} larger than the power voltage V_{on} applied to a clock generator is applied to the shift register. A signal delay due to the RC delay of the gate lines may be minimized, the shift register is independent of the variation of the threshold voltage of the TFTs, and image display quality may not be deteriorated.

拾、申請專利範圍：

1. 一種移位暫存器，其包含多數個串接級，該等串接級接收第一時脈信號和第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號，各該等串接級包含：

一組進位緩衝器，用以提供對應至該第一時脈信號或該第二時脈信號之一組進位信號給予下一級，該第二時脈信號具有一組相對於該第一時脈信號之被反相相位；

- 10 一組拉升部份，用以提供一組對應至該第一時脈信號或該第二時脈信號之一組第一掃描線驅動信號給予輸出端點；

一組拉降部份，用以提供一組第一電源電壓給予輸出端點；

- 15 一組拉升驅動器部份，用以反應於提供自一組先前級之該進位信號而導通該拉升部份，並且反應於下一級之一組第二掃描線驅動信號而截止該拉升部份；以及

一組拉降驅動器部份，用以反應於提供自該先前級之該進位信號而截止該拉降部份，並且反應於下一級之該第二掃描線驅動信號而導通該拉降部份。

- 20 2. 如申請專利範圍第1項之移位暫存器，其中該進位緩衝器包含一組第一電晶體，用以經由該第一電晶體之一組第一汲極接收該第一或該第二時脈信號，以反應於經由該第一電晶體之一組第一源極之該拉降驅動器部份的

一組輸出信號而輸出該進位信號至該下一級，並且該輸出信號被施加至該第一電晶體之一組第一閘極。

3. 如申請專利範圍第2項之移位暫存器，其中該第一電晶體被形成在相鄰於該拉升部份之位置以便供應該第一或該第二時脈信號至該下一級之拉升驅動器部份。

4. 如申請專利範圍第2項之移位暫存器，其中該拉升部份包含一組第二電晶體，

該拉降部份包含一組第三電晶體，並且該第三電晶體包含：

- 10 自該第二電晶體之一組第二閘極接線分出之該第一閘極；

該第一汲極自該第二電晶體之一組第二汲極所分出之一組主要接線分出；以及

- 15 該第一源極旁通於該拉升部份並且該拉降部份延伸至該下一級之拉降部份之第三閘極。

5. 如申請專利範圍第4項之移位暫存器，其中該第一電晶體之第一源極電極利用形成在第一源極線和第三汲極線之間之一組橋電路被連接到該第三電晶體之一組第三汲極電極。

- 20 6. 一種液晶顯示器裝置，其包含：

一組形成於一透明基片上面之顯示胞元陣列，該顯示胞元陣列包含多數個閘線、多數個資料線和多數個切換元件，該等切換元件耦合至該等閘線和該等資料線；

一組資料驅動器電路，用以提供一影像信號給予各

該等資料線；以及

一組包含一移位暫存器之閘驅動器電路，該移位暫存器包含多數個串接級，該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇閘線之多數個閘線驅動信號，各該等串接級包含：

一組進位緩衝器，用以提供對應至第一時脈信號或第二時脈信號之一進位信號給予下一級，該第二時脈信號具有相對於該第一時脈信號之被反相相位；

一組拉升部份，用以提供對應至該第一時脈信號或該第二時脈信號之第一閘線驅動信號給予一輸出端點；

一組拉降部份，用以提供一第一電源電壓給予該輸出端點；

一組拉升驅動器部份，用以反應於提供自一先前級之進位信號而導通該拉升部份並且反應於下一級之第二閘線驅動信號而截止拉升部份；以及

一組拉降驅動器部份，用以反應於提供自該先前級之進位信號而截止拉降部份，並且反應於下一級之第二閘線驅動信號而導通拉降部份。

7. 一種驅動移位暫存器之方法，該移位暫存器包含多數個串接級，該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號，該方法包含：

提供對應至該第一時脈信號或該第二時脈信號之一組進位信號給予下一級，該第二時脈信號具有相對於

該第一時脈信號之被反相相位；

反應於被輸出自一先前級之進位信號而產生對應至第一時脈信號或第二時脈信號之一組第一掃描線驅動信號；並且

5 反應於被輸出自下一級之一組第二掃描線驅動信號而降低被輸出自一組目前級之第一掃描線驅動信號的第一電壓位準。

8. 如申請專利範圍第7項之方法，其中該進位信號具有對應至該第一時脈信號或該第二時脈信號之一組第二電
10 壓位準並且是與產生自該掃描線之寄生電阻器和寄生電容器無關。

9. 如申請專利範圍第7項之方法，進一步地包含：在預定週期之後反應於該第一掃描線驅動信號之第一電壓位
15 準而降低被輸出自該先前級之進位信號的第二電壓位準。

10. 一種移位暫存器，其包含多數個串接級，一組第一串接級接收一組掃描開始信號，該等串接級接收第一時脈信號和
 第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號，各該等串接級包含：

20 一組第一進位緩衝器，用以提供對應至該第一時脈信號或該第二時脈信號之一組第一進位信號給予下一級，該第二時脈信號具有一組相對於該第一時脈信號之被反相相位；

一組拉升部份，用以提供一組對應至該第一時脈信

號或該第二時脈信號之一組第一掃描線驅動信號給予
一第一輸出端點；

一組拉降部份，用以提供一組第一電源電壓給予第
一輸出端點；

5 一組拉升驅動器部份，用以反應於一組第二進位信
號被輸出自先前級之第一進位緩衝器而導通拉升部份
並且反應於下一級之一組第二掃描線驅動信號而截止
拉升部份；

一組拉降驅動器部份，用以反應於提供自該先前級
10 之第一進位緩衝器之第一進位信號而截止拉降部份並
且反應於下一級之第二掃描線驅動信號而截止拉升部
份；以及

一組第二進位緩衝器，用以降低該第二進位信號之
一組第一電壓位準，被輸出自該先前級之第一進位緩衝
15 器之第一進位信號將被施加至該拉升部分。

11. 如申請專利範圍第10項之移位暫存器，其中該第一進位
緩衝器包含一組第一電晶體，用以經由該第一電晶體之
一組第一汲極電極而接收第一或第二時脈信號以經由
該第一電晶體之一組第一源極電極反應於該拉降驅動
20 器部份之一組輸出信號而輸出該進位信號至下一級，並
且該輸出信號被施加至該第一電晶體之一組第一閘極
電極。

12. 如申請專利範圍第10項之移位暫存器，其中該第二進位
緩衝器包含一組第二電晶體，並且該第二電晶體包含：

一組第二汲極電極，其耦合至先前級第一進位緩衝器之一組第二輸出端點以及拉升驅動器部分之一組輸入端點；

一組第二閘極電極，其耦合至該拉降部分；以及

5 一組第二源極電極，其用以接收該第一電源電壓。

13. 如申請專利範圍第10項之移位暫存器，其中該第二進位緩衝器包含：

一組第二電晶體，其具有耦合至該先前級第一進位緩衝器之一組第二輸出端點和該拉升驅動器部分之一組輸入端點之一組第二汲極電極，耦合至該拉降部分之一組第二閘極電極，以及用以接收第一電源電壓之一組第二源極電極；以及

一組第三電晶體，其具有共同地耦合至該第二源極電極之一組第三汲極電極和一組第三閘極電極，以及用以接收該第一電源電壓之一組第三源極電極。

14. 如申請專利範圍第10項之移位暫存器，其中該第二進位緩衝器包含：

一組第二電晶體，其具有耦合至先前級之第一進位緩衝器之一組第二輸出端點和該拉升驅動器部分之一組輸入端點之一組第二汲極電極，耦合至該拉降部分之一組第二閘極電極，以及用以接收第一電源電壓之一組第二源極電極；以及

一組第三電晶體，其具有耦合至第二電晶體之第二閘極電極之一組第三汲極電極，耦合至第二電晶體之第

二汲極電極之一組第三閘極電極，以及用以接收第一電源電壓之一組第三源極電極。

15. 如申請專利範圍第10項之移位暫存器，其中該第二進位緩衝器包含：

5 一組第二電晶體，其具有耦合至先前級之第一進位緩衝器之第二輸出端點和拉升驅動器部分之輸入端點之一組第二汲極電極，耦合至拉降部分之一組第二閘極電極，和用以接收第一電源電壓之一組第二源極電極；

10 一組第三電晶體，其具有共同地耦合至第二電晶體之第二源極電極之一組第三汲極電極和一組第三閘極電極，以及用以接收第一電源電壓之一組第三源極電極；以及

15 一組第四電晶體，其具有耦合至第二電晶體之第二閘極電極之一組第四汲極電極，耦合至第二電晶體之第二汲極電極之一組第四閘極電極，以及用以接收第一電源電壓之一組第四源極電極。

16. 一種液晶顯示器裝置，其包含：

20 一組形成於一透明基片上面之顯示胞元陣列，該顯示胞元陣列包含多數個閘線、多數個資料線和多數個切換元件，該等切換元件耦合至該等閘線和該等資料線；

 一組資料驅動器電路，用以提供一影像信號給予各該等資料線；以及

 一組包含一移位暫存器之閘驅動器電路，該移位暫存器包含多數個串接級，一組第一串接級接收一組掃描

開始信號，該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條閘線之多數個閘線驅動信號，各該等串接級包含：

5 一組第一進位緩衝器，用以提供對應至第一時脈信號或第二時脈信號之一組第一進位信號給予下一級，該第二時脈信號具有相對於該第一時脈信號之被反相相位；

10 一組拉升部份，用以提供對應至該第一時脈信號或該第二時脈信號之第一閘線驅動信號給予一第一輸出端點；

一組拉降部份，用以提供一第一電源電壓給予該第一輸出端點；

15 一組拉升驅動器部份，用以反應於被輸出自先前級之第一進位緩衝器之一組第二進位信號而導通該拉升部份並且反應於下一級之一組第二閘線驅動信號而截止該拉升部份；

20 一組拉降驅動器部份，用以反應於第一進位信號被提供自先前級之第一進位緩衝器而截止該拉降部份並且反應於下一級之第二閘線驅動信號而導通該拉降部份；以及

一組第二進位緩衝器，用以降低該第二進位信號之一組第一電壓位準，被輸出自先前級之第一進位緩衝器之第一進位信號將被施加至該拉升部分。

17. 一種移位暫存器，其包含多數個串接級，該等串接級接

收一第一時脈信號和一第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號，各該等串接級包含：

5 一組拉升切換元件，用以提供對應至第一時脈信號或第二時脈信號之第一掃描線驅動信號給予各該等串接級之一組輸出端點；

一組第一拉升驅動器切換元件，用以反應於被輸出自先前級之一組掃描開始信號或一組第二掃描線驅動信號而導通該拉升切換元件；

10 一組第二拉升驅動器切換元件，用以反應於被輸出自下一級之一組第三掃描線驅動信號而截止該拉升切換元件；

一組第一拉降切換元件，用以提供一組第一電源電壓給予該輸出端點；

15 一組拉降驅動器切換元件，用以反應於被輸出自先前級之掃描開始信號或第二掃描線驅動信號而截止該拉降切換元件；以及

20 一組第二拉降切換元件，該第二拉降切換元件反應於第三掃描線驅動信號被導通以提供第一電源電壓給予該輸出端點。

18. 如申請專利範圍第17項之移位暫存器，其中各該等串接級進一步地包含一組第三拉升驅動器切換元件，並且當該拉升切換元件被導通時該第三拉升驅動器切換元件被切斷且將拉升切換元件放電。

19. 如申請專利範圍第17項之移位暫存器，其中該第一和該第二拉降切換元件分別地包含非結晶矽 NMOS 薄膜電晶體。

20. 如申請專利範圍第19項之移位暫存器，其中該第二拉降
5 切換元件之第一電晶體尺寸是較大於第一拉降切換元件之第二電晶體尺寸。

21. 如申請專利範圍第20項之移位暫存器，其中該第二電晶體尺寸是大致地九倍較大於該第一電晶體尺寸。

22. 一種液晶顯示器裝置，其包含：

10 一組形成於一透明基片上面之顯示胞元陣列，該顯示胞元陣列包含多數個閘線、多數個資料線和多數個切換元件，該等切換元件耦合至該等閘線和該等資料線；
一組資料驅動器電路，用以提供一影像信號給予各該等資料線；以及

15 一組包含一移位暫存器之閘驅動器電路，該移位暫存器包含多數個串接級，該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條閘線之多數個閘線驅動信號，各該等串接級包含：

20 一組拉升切換元件，用以提供對應至該第一時脈信號或該第二時脈信號之一組第一閘線驅動信號給予各該等串接級之輸出端點；

一組第一拉升驅動器切換元件，用以反應於被輸出自先前級之一組掃描開始信號或一組第二閘線驅動信號而導通該拉升切換元件；

一組第二拉升驅動器切換元件，用以反應於被輸出
自下一級之一組第三閘線驅動信號而截止該拉升切換
元件；

5 一組第一拉降切換元件，用以提供一組第一電源電
壓給予該輸出端點；

一組拉降驅動器切換元件，用以反應於被輸出自先
前級之掃描開始信號或第二閘線驅動信號而截止該拉
降切換元件；以及

10 一組第二拉降切換元件，該第二拉降切換元件反應
於第三閘線驅動信號而被導通以提供該第一電源電壓
給予該輸出端點。

23. 一種移位暫存器，其包含多數個串接級，該等串接級接
收一第一時脈信號和一第二時脈信號以順序地產生用
以選擇多數條掃描線之多數個掃描線驅動信號，各該等
15 串接級包含：

一組第一拉升驅動器切換元件，其具有用以接收一
組第二電源電壓之一組第一電極，用以接收被輸出自先
前級之一組掃描開始信號或一組第一掃描線驅動信號
之一組第二電極，以及耦合至一組第一節點之一組第三
20 電極；

一組拉升切換元件，其具有用以接收該第一時脈信
號或該第二時脈信號之一組第四電極，耦合至該第一節
點之一組第五電極，以及耦合至一組輸出端點之一組第
六電極；

一組第一拉降切換元件，其具有耦合至該輸出端點之一組第七電極，耦合至一組第二節點之一組第八電極，以及用以接收一組第一電源電壓之一組第九電極；

5 一組第二拉降切換元件，其具有耦合至該輸出端點之一組第十電極，用以接收被輸出自下一級之一組第二開線驅動信號之一組第十一電極，以及用以接收該第一電源電壓之一組第十二電極；

一組電容器，其耦合在該第一節點和該輸出端點之間；

10 一組第二拉升驅動器切換元件，其具有耦合至該第一節點之一組第十三電極，用以接收被輸出自下一級之第二開線驅動信號之一組第十四電極，以及用以接收該第一電源電壓之一組第十五電極；

15 一組第三拉升驅動器切換元件，其具有耦合至該第一節點之一組第十六電極，耦合至該第二節點之一組第十七電極，以及用以接收該第一電源電壓之一組第十八電極；

20 一組第一拉升驅動器切換元件，其具有共同地彼此耦合以接收該第二電源電壓之一組第十九電極和一組第二十電極，以及耦合至該第二節點之一組第二十一電極；以及

一組第二拉降驅動器切換元件，其具有耦合至該第二節點之一組第二十二電極，耦合至該第一節點之一組第二十三電極，以及用以接收該第一電源電壓之一組第

二十四電極。

24. 如申請專利範圍第23項之移位暫存器，其中該第一和該第二拉降切換元件分別地包含非結晶矽 NMOS 薄膜電晶體。

5 25. 如申請專利範圍第24項之移位暫存器，其中該第一和該第二拉降切換元件分別地是NMOS電晶體，並且該第二拉降切換元件之第一電晶體尺寸是較大於該第一拉降切換元件之第二電晶體尺寸。

10 26. 如申請專利範圍第25項之移位暫存器，其中該第二電晶體尺寸是大致地九倍較大於該第一電晶體尺寸。

27. 一種驅動移位暫存器之方法，該移位暫存器包含多數個串接級，該等串接級接收一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號，該方法包含：

15 接收該第一時脈信號或該第二時脈信號以提供該第一時脈信號或該第二時脈信號給予各該等串接級，該第一時脈信號和該第二時脈信號具有大致地對應至一組第一電源電壓之第一電壓位準之第一電壓位準；

20 產生一組第二電源電壓以提供第二電源電壓給予各該等串接級，該第二電源電壓具有比該第一電壓位準較高一預定電壓位準之一組第二電壓位準；

產生用以選擇耦合至一目前級之一組第一掃描線之一組第一掃描線驅動信號；

反應於被輸出自下一級之一組第二掃描線驅動信

號，降低第一掃描線驅動信號之第三電壓位準至較低於該第三電壓位準之第四電壓位準；

提供具有該第四電壓位準之第一掃描線驅動信號給予該第一掃描線；並且

5 在降低該第一掃描線驅動信號之第三電壓位準之後，當一組拉降切換元件之輸出信號的電壓位準是從一組第五電壓位準改變至較高於該第五電壓位準之一組第六電壓位準時，保持該第一掃描線驅動信號之第四電壓位準經過一預定週期。

10 28. 如申請專利範圍第27項之方法，其中該第一電源電壓之第一電壓位準被提昇預定電壓位準以便產生具有第二電壓位準之第二電源電壓。

15 29. 如申請專利範圍第27項之方法，其中該第一電源電壓之第一電壓位準被調整為可變化，並且第一電源電壓之第二電壓位準無關於該第一電源電壓而被調整。

30. 如申請專利範圍第27項之方法，其中拉降切換元件之輸出信號之一組最大電壓位準是在該第一電壓位準和該第二電壓位準之間。

20 31. 一種驅動移位暫存器之方法，該等移位暫存器包含多數個串接級，該等串接級交互地接收產生自一組時脈產生器之一組第一時脈信號和一組第二時脈信號以順序地產生用以選擇多數條掃描線之多數個掃描線驅動信號，該等第一和第二時脈信號具有大致地對應至一組第一電源電壓之第一電壓位準之一組第一電壓位準，各該

等串接級包含：

一組拉升切換元件，用以提供對應至該第一時脈信號或該第二時脈信號之一組第一掃描線驅動信號給予各該等串接級之一輸出端點；

5 一組第一拉升驅動器切換元件，用以反應於被輸出自先前級之一組掃描開始信號或一組第二掃描線驅動信號而導通該拉升切換元件；

一組第二拉升驅動器切換元件，用以反應於被輸出自下一級之一組第三掃描線驅動信號而截止該拉升切
10 換元件；

一組拉降切換元件，用以提供一組第三電源電壓給予該輸出端點；以及

一組拉降驅動器切換元件，用以反應於被輸出自先前級之該掃描開始信號或第二掃描線驅動信號而截止
15 該拉降切換元件，其中該方法包含：

接收該第一時脈信號或該第二時脈信號以提供該第一時脈信號或該第二時脈信號給予各該等串接級；

產生一組第二電源電壓以提供該第二電源電壓給予各該等串接級，該第二電源電壓具有比該第一電壓位
20 準較高一預定電壓位準之一組第二電壓位準；

在該第一時脈信號或該第二時脈信號是一高位準週期時，產生用以選擇耦合至目前級之一組第一掃描線之一組第一掃描線驅動信號；

反應於被輸出自下一級之第三掃描線驅動信號，降

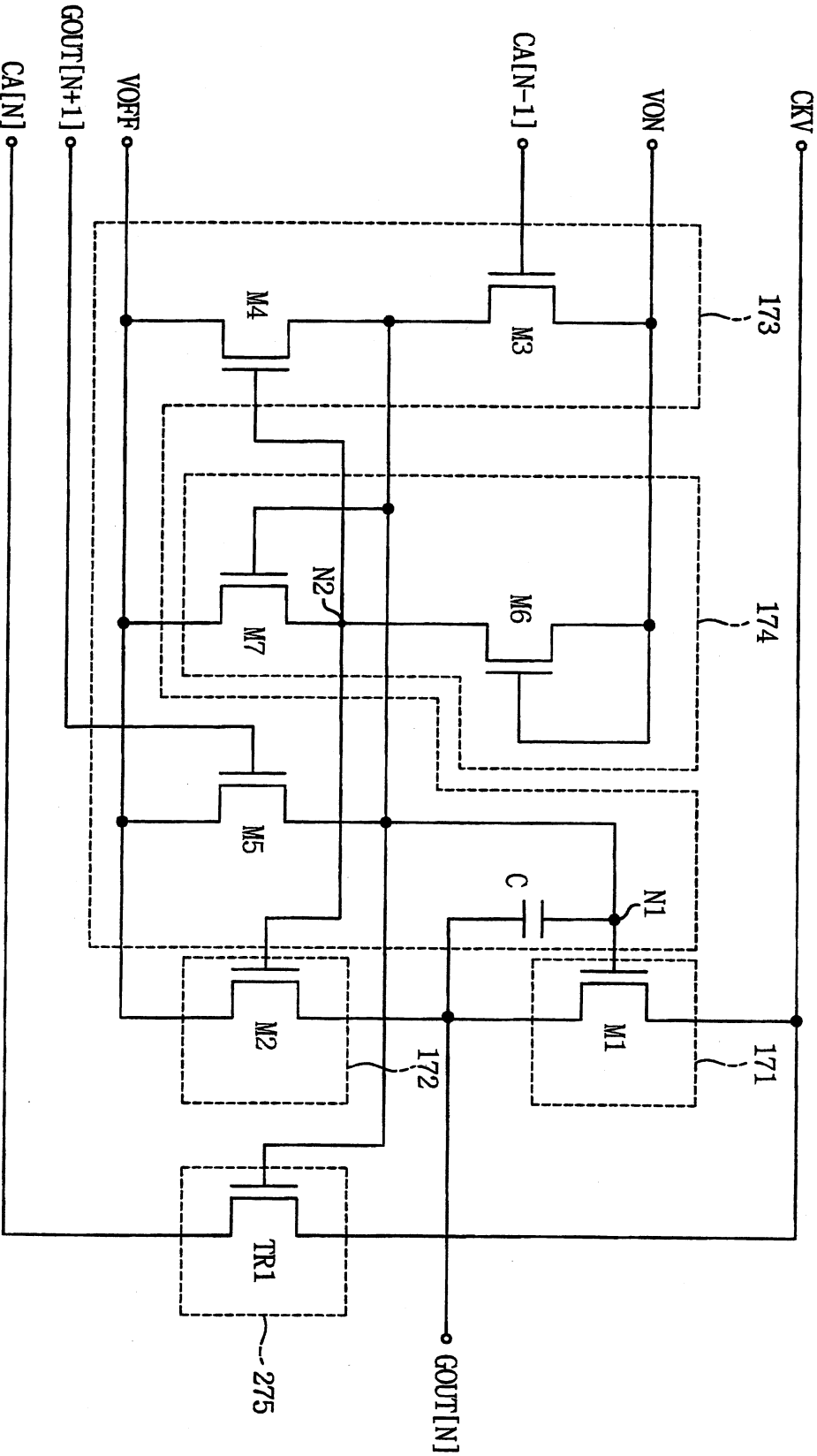
低該第一掃描線驅動信號之第三電壓位準至較低於該第三電壓位準之一組第四電壓位準；

提供具有第四電壓位準之第一掃描線驅動信號給予該第一掃描線；並且

- 5 在降低該第一掃描線驅動信號之第三電壓位準之後，當該拉降切換元件之輸出信號之電壓位準從一組第五電壓位準改變至較高於該第五電壓位準之第六電壓位準時，保持該第一掃描線驅動信號之第四電壓位準經過一預定週期。

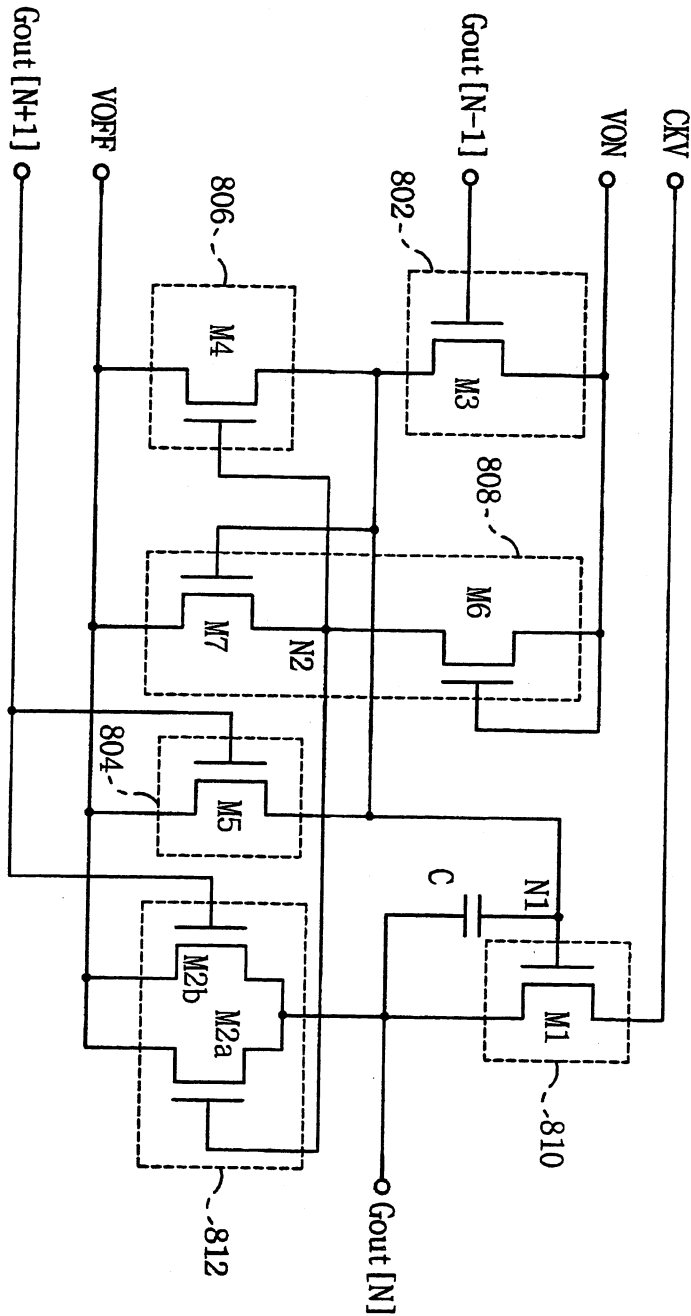
9 6 年 1 月 (日修(更)正替換頁)

第 12 圖



96年/6月5日修(更)正替換頁

第 24 圖



柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件代表符號簡單說明：

100…液晶顯示器裝置	122…燈組件
110…液晶顯示面板組件	124…導光平板
112…液晶顯示面板	126…光學薄片
112a…TFT基片	128…反射平板
112b…色彩濾波器基片	129…模框
116…彈性印刷電路	130…框架
118…積體控制晶片	140…覆蓋殼
120…背光組件	

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：