

(19)



(11)

EP 2 930 583 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
30.01.2019 Bulletin 2019/05

(51) Int Cl.:
G05F 3/26 (2006.01) G05F 3/30 (2006.01)

(21) Numéro de dépôt: **15160418.8**

(22) Date de dépôt: **23.03.2015**

(54) **Circuit de génération d'une tension de référence**

ERZEUGUNGSSCHALTKREIS EINER BEZUGSSPANNUNG

CIRCUIT FOR GENERATING A REFERENCE VOLTAGE

(84) Etats contractants désignés:

**AL AT BE BG CH CY CZ DE DK EE ES FI FR GB
GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO
PL PT RO RS SE SI SK SM TR**

(30) Priorité: **04.04.2014 FR 1453014**

(43) Date de publication de la demande:
14.10.2015 Bulletin 2015/42

(73) Titulaires:

- **STmicroelectronics SA**
92120 Montrouge (FR)
- **STMicroelectronics Pvt. Ltd.**
201308 Greater Noida, Uttar Pradesh (IN)

(72) Inventeurs:

- **Blanc, Jean-Pierre**
38570 THEYS (FR)
- **Singh, Pratap Narayan**
232116 CHAHANIA CHANDAULI, UP (IN)

(74) Mandataire: **Cabinet Beaumont**
4, Place Robert Schuman
B.P. 1529
38025 Grenoble Cedex 1 (FR)

(56) Documents cités:

US-A- 4 590 419 US-A1- 2009 146 730
US-A1- 2011 169 561 US-A1- 2012 153 997
US-B1- 7 408 400

EP 2 930 583 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la publication de la mention de la délivrance du brevet européen au Bulletin européen des brevets, toute personne peut faire opposition à ce brevet auprès de l'Office européen des brevets, conformément au règlement d'exécution. L'opposition n'est réputée formée qu'après le paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

Domaine

5 **[0001]** La présente demande concerne un circuit de génération d'une tension de référence sous une tension d'alimentation inférieure à 1 V.

Exposé de l'art antérieur

10 **[0002]** La figure 1 ci-jointe correspond à la figure 3 de la demande de brevet français 2 969 328 du 17 décembre 2010 (B10442). Cette figure représente un exemple d'un circuit générant une tension de référence de l'ordre de 0,1 V. Ce circuit comporte entre deux bornes d'application d'un potentiel d'alimentation, V_{DD} et la masse GND :

- 15 - un transistor MOS M1 en série avec un transistor bipolaire Q1, de type NPN, dont l'émetteur est du côté de la masse GND ;
- un transistor MOS M2 en série avec un transistor bipolaire Q2 (de type NPN dont l'émetteur est du côté de la masse GND) et avec une résistance R1, l'émetteur du transistor Q2 définissant une borne de sortie du circuit fournissant une tension de référence V_{OUT} , les transistors M1 et M2 étant montés en miroir de courant ; et
- 20 - les bornes d'alimentation d'un montage suiveur 3.

L'entrée du montage suiveur est connectée au collecteur du transistor Q1 et sa sortie est connectée par une résistance optionnelle R2 à la base du transistor Q2. Un pont diviseur résistif composé de résistances R3 et R4 en série est connecté entre la borne de sortie du montage suiveur 3 et la masse GND. Le point milieu de ce pont diviseur est connecté à la base du transistor Q1. La résistance R4 est connectée entre la base du transistor Q1 et la masse GND.

25 **[0003]** Le miroir de courant composé des transistors MOS M1 et M2 entraîne que les deux transistors Q1 et Q2 reçoivent le même courant de collecteur.

[0004] Comme l'indique la demande de brevet français susmentionnée, la tension de référence V_{OUT} s'écrit, en négligeant le courant de base i_{b2} du transistor Q2 :

$$30 \quad V_{OUT} = V_{BE1} * (R_4/R_3) + (kT/q) * \ln(p_{2|1}), \quad (1)$$

où V_{BE1} désigne la tension base-émetteur du transistor Q1, k désigne la constante de Boltzmann, q désigne la charge de l'électron, T désigne la température en Kelvin, et $\ln(p_{2|1})$ désigne le logarithme népérien du rapport de surface $p_{2|1}$ entre les transistors Q1 et Q2 ($p_{2|1}$ étant supérieur à 1).

35 **[0005]** Le montage suiveur 3 est composé d'une source de courant 4 et d'un transistor MOS M3. La grille du transistor M3 correspond à l'entrée du montage suiveur 3 et la source du transistor MOS M3 correspond à la sortie du montage suiveur 3. Le montage suiveur fait suivre sur sa sortie la tension présente sur son entrée et fournit le courant nécessaire au pilotage des bases des transistors Q1 et Q2 et à la résistance R4. Ce circuit a une impédance d'entrée infinie, et aucun courant ne circule dans la grille du transistor MOS M3.

40 **[0006]** Les courants de base des transistors Q1 et Q2 sont égaux (grâce aux deux transistors M1 et M2 montés en miroir de courant). La résistance R2 est ajoutée pour annuler l'effet des courants de base sur la tension de référence. La compensation sera optimale si les valeurs de résistance R2 et R3 sont égales.

[0007] La résistance R1 fixe le courant dans les deux branches du montage. La tension d'alimentation V_{DD} s'écrit :

$$45 \quad V_{DD} = V_{OUT} + V_{BE2} + R2 * I_{b2} + V_4, \quad (2)$$

où V_{OUT} est la tension de référence générée par le circuit, V_{BE2} est la tension base-émetteur du transistor Q2, et V_4 est la chute de tension aux bornes de la source de courant 4.

50 **[0008]** En pratique, dans les technologies courantes de circuit intégré, la tension base-émetteur d'un transistor bipolaire est de l'ordre de 0,8 V et la tension drain-source d'un transistor MOS à la saturation est de l'ordre de 0,1 V. Si on veut générer une tension de référence V_{OUT} de 0,1 V, la formule (2) donne donc $V_{DD} = 0,1 + 0,8 + 0,1 = 1$ V, en négligeant le terme $R2 * I_{b2}$ qui est nettement inférieur à 0,1 V.

55 **[0009]** La figure 2 ci-jointe correspond à la figure 2 du brevet US 7 408 400. Cette figure représente un autre exemple d'un circuit générant une tension de référence de 0,1 V. Ce circuit comporte entre deux bornes d'application d'un potentiel d'alimentation, V_{DD} et la masse GND :

- une source de courant 11 produisant un courant I_1 en série avec un transistor bipolaire Q3, de type NPN ;
- une source de courant 13 produisant un courant I_2 en série avec un transistor bipolaire Q4 de type NPN ;
- une source de courant 15 produisant le même courant I_1 que la source de courant 11 en série avec un transistor bipolaire Q5, de type NPN, et avec une résistance R7, la base du transistor Q5 étant connectée au collecteur du transistor Q4 ; et
- un transistor bipolaire Q6, de type NPN, en série avec une source de courant 17, la base du transistor Q6 étant connectée au collecteur du transistor Q5 et l'émetteur du transistor Q6 étant connecté à la base du transistor Q4.

Une résistance R5 est connectée entre la base du transistor Q3 et la masse GND. Une résistance R6 est connectée entre le collecteur du transistor Q4 et la base du transistor Q3. Un transistor bipolaire Q7 est connecté entre la borne V_{DD} et l'émetteur du transistor Q5. La base du transistor Q7 est connectée au collecteur du transistor Q3. Le point de connexion des émetteurs des transistors Q5 et Q7 constitue la sortie V_{OUT} du circuit.

[0010] Les transistors Q3 et Q5 reçoivent un même courant de collecteur I_1 . Comme l'indique le brevet US susmentionné, la tension de référence V_{OUT} s'écrit :

$$V_{OUT} = V_{BE3} * (R6/R5) + (kT/q) * \ln(p_{5|3}), \quad (3)$$

où V_{BE3} désigne la tension base-émetteur du transistor Q3, k, q et T ont été définis précédemment et $p_{5|3}$ désigne le rapport de surface entre les deux transistors Q3 et Q5 ($p_{5|3}$ étant supérieur à 1) .

[0011] La tension d'alimentation V_{DD} s'écrit :

$$V_{DD} = V_{OUT} + V_{BE7} + V_{11}, \quad (4)$$

où V_{OUT} est la tension de référence générée par le circuit, V_{BE7} est la tension base-émetteur du transistor Q7 et V_{11} est la chute de tension aux bornes de la source de courant 11.

[0012] En pratique, dans les technologies courantes de circuit intégré, la tension base-émetteur d'un transistor bipolaire est de l'ordre de 0,8 V et la tension drain-source d'un transistor MOS à la saturation est de l'ordre de 0,1 V. Si on veut générer une tension de référence V_{OUT} de 0,1 V, la formule (4) donne donc $V_{DD} = 0,1 + 0,8 + 0,1 = 1$ V.

[0013] Les tensions d'alimentation des circuits des figures 1 et 2 sont supérieures ou égales à 1 V.

[0014] De plus, dans les circuits des figures 1 et 2, si on veut augmenter la tension V_{OUT} de a V la tension d'alimentation doit augmenter de a V. Le document US4590419 décrit un autre circuit de génération d'une tension de référence.

[0015] Les circuits récents en technologie CMOS fonctionnent sous des tensions d'alimentation inférieures ou égales à 1 V. Les circuits des figures 1 et 2 ne peuvent donc pas y être utilisés puisqu'ils nécessitent une tension d'alimentation supérieure à 1 V.

Résumé

[0016] Il serait souhaitable de prévoir un circuit de génération d'une tension de référence dont la tension d'alimentation soit inférieure à 1 V.

[0017] Il serait également souhaitable de prévoir un tel circuit pouvant produire une tension de référence supérieure à 0,1 V.

[0018] Ainsi, un mode de réalisation prévoit un circuit de génération d'une tension de référence, comprenant entre des première et seconde bornes d'application d'une tension d'alimentation : une première source de courant en série avec un premier transistor bipolaire ; une deuxième source de courant en série avec un premier élément résistif, le point de connexion entre la deuxième source de courant et le premier élément résistif étant connecté à la base du premier transistor bipolaire ; une troisième source de courant en série avec un deuxième transistor bipolaire, la troisième source de courant étant en miroir de courant avec la première source de courant ; un deuxième élément résistif entre la base du deuxième transistor bipolaire et le point de connexion entre la deuxième source de courant et le premier élément résistif ; et une quatrième source de courant en série avec un troisième élément résistif, le point de connexion entre la quatrième source de courant et le troisième élément résistif définissant une troisième borne fournissant la tension de référence, la quatrième source de courant étant en miroir de courant avec la deuxième source de courant.

[0019] Selon un mode de réalisation, une cinquième source de courant est connectée entre la première borne et la troisième borne, et un quatrième élément résistif est connecté en série avec le deuxième transistor bipolaire, la cinquième source de courant étant en miroir de courant avec la première source de courant.

[0020] Selon un mode de réalisation, les sources de courant sont formées de transistors MOS.

[0021] Selon un mode de réalisation, la surface du collecteur du deuxième transistor bipolaire est supérieure à la

surface du collecteur du premier transistor bipolaire.

Brève description des dessins

5 **[0022]** Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1 et 2, décrites précédemment, illustrent deux exemples de circuits de génération d'une tension de référence de 0,1 V ; et

10 les figures 3 et 4 illustrent deux modes de réalisation d'un circuit de génération d'une tension de référence de 0,1 V.

Description détaillée

15 **[0023]** La présente description est faite dans le cas de transistors en technologie CMOS. Elle est toutefois applicable à toute autre technologie de transistors ou à une combinaison de différentes technologies. Dans ce qui suit, on appellera transistor PMOS les transistors MOS à canal P.

[0024] La figure 3 illustre un exemple de réalisation d'un circuit de génération d'une tension de référence. Ce circuit comporte entre deux bornes d'application d'un potentiel d'alimentation VDD et de la masse GND :

- 20 - un transistor PMOS M4 en série avec un transistor bipolaire Q8, de type NPN, l'émetteur étant du côté de la masse GND ;
- un transistor PMOS M5 en série avec une résistance R8, la base du transistor Q8 étant connectée au drain du transistor M5 ;
- un transistor PMOS M6 en série avec un transistor bipolaire Q9, de type NPN, l'émetteur étant du côté de la masse GND et les transistors M4 et M6 étant montés en miroir de courant ; et
- 25 - un transistor PMOS M7 en série avec une résistance R10, la grille du transistor M7 étant connectée au collecteur du transistor Q9 et à la grille du transistor M5, les transistors M5 et M7 formant ainsi un miroir de courant, le drain du transistor M7 constituant une borne de tension de référence V_{OUT}.

30 Une résistance R9 est connectée entre la base du transistor Q9 et le drain du transistor M5.

[0025] Le miroir de courant composé des transistors M4 et M6 entraîne que les transistors Q8 et Q9 reçoivent des courants de collecteur I_{c8} et I_{c9} égaux. Le circuit est conçu de telle sorte que le transistor M5 soit en régime de saturation.

[0026] La tension d'alimentation V_{DD} s'écrit :

$$35 \quad V_{DD} = V_{BE8} + V_{M5}, \quad (5)$$

où V_{BE8} est la tension base-émetteur du transistor Q8, et V_{M5} est la tension drain-source du transistor M5.

40 **[0027]** En pratique, dans les technologies courantes de circuit intégré, la tension base-émetteur d'un transistor bipolaire est de l'ordre de 0,8 V et la tension drain-source d'un transistor MOS à la saturation est de l'ordre de 0,1 V. La formule (5) donne donc V_{DD} = 0,8 + 0,1 = 0,9 V.

[0028] Il apparaît à partir de la formule (5) que la tension V_{DD} est inférieure à 1 V et qu'elle est indépendante de la valeur V_{OUT}, contrairement aux cas des circuits des figures 1 et 2 et des formules (2) et (4).

45 **[0029]** De plus, le transistor M7 fonctionne en régime linéaire lorsque la tension de référence V_{OUT} est inférieure à la tension V_{BE8} (0,8 V). Pour une tension d'alimentation de 0,9 V, il est donc possible de régler la tension de référence V_{OUT} dans une plage allant de 0,1 V à 0,8 V.

[0030] La tension de référence V_{OUT} s'écrit :

$$50 \quad V_{OUT} = R10 * I_{M7}, \quad (6)$$

où I_{M7} est le courant dans la résistance R10. Les transistors M5 et M7 étant montés en miroir de courant, le courant I_{M7} est la copie du courant I_{M5}.

[0031] Le courant I_{M7} s'écrit :

$$55 \quad I_{M7} = I_{M5} = (V_{BE8}/R8) + I_{b8} + I_{b9}, \quad (7)$$

où I_{b8} et I_{b9} sont les courants de base des transistors Q8 et Q9. Les courants de collecteur des transistors Q8 et Q9 étant égaux, les courants I_{b8} et I_{b9} sont égaux.

[0032] Le courant I_{b9} s'écrit :

5

$$I_{b9} = \Delta V_{BE} / R_9,$$

où $\Delta V_{BE} = V_{BE8} - V_{BE9} = (kT/q) \ln(p_{9|8})$, V_{BE8} et V_{BE9} désignent les tensions base-émetteur des transistor Q8 et Q9 et $\ln(p_{9|8})$ désigne le logarithme népérien du rapport de surface $p_{9|8}$ entre les transistors Q8 et Q9 ($p_{9|8}$ étant supérieur à 1).

10 **[0033]** La tension de référence V_{OUT} s'écrit donc :

$$V_{OUT} = R_{10} * [(V_{BE8} / R_8) + (2 * kT / q * R_9) * \ln(p_{9|8})], \quad (8)$$

15 **[0034]** Un avantage d'un tel circuit est que la tension d'alimentation V_{DD} est de 0,9 V seulement. Ce circuit peut être utilisé dans des circuits récents en technologie CMOS fonctionnant sous des tensions d'alimentation inférieures à 1 V.

[0035] Un autre avantage est que pour une tension d'alimentation V_{DD} de 0,9 V, ce circuit peut générer une tension de référence V_{OUT} comprise entre 0,1 V et 0,8 V.

20 **[0036]** Toutefois, comme le montrent les formules (6) et (7), la tension de référence V_{OUT} dépend du courant de base I_{b9} du transistor Q9. Le courant de collecteur I_{c9} du transistor Q9 est déterminé par la relation $I_{c9} = \beta * I_{b9}$, β étant le gain du transistor Q9. Le gain β varie avec la température et les dispersions de fabrication. Les courants I_{c8} et I_{c9} varient en conséquence. La tension V_{BE8} varie en fonction du courant I_{c8} . Selon la formule (8) la tension V_{OUT} dépend de V_{BE8} . La variation du gain β du transistor Q9 dégrade donc la précision de la tension de référence V_{OUT} générée. A titre d'exemple pour une variation du gain β du transistor Q9 d'un facteur 2, la tension V_{OUT} varie d'environ 2 %.

25 **[0037]** On souhaiterait avoir une tension de référence V_{OUT} indépendante de la variation du gain de courant β .

[0038] La figure 4 illustre un autre exemple de réalisation d'un circuit de génération d'une tension de référence présentant les avantages du mode de réalisation de la figure 3 tout en évitant la variation possible de V_{OUT} avec le gain β .

30 **[0039]** Ce circuit comporte les éléments du circuit de la figure 3 désignés par les mêmes références. En outre une résistance R11 est placée entre l'émetteur du transistor Q9 et la masse GND et un transistor PMOS M10 est connecté entre la tension d'alimentation V_{DD} et le drain du transistor M7. La source du transistor M10 est connectée à la tension V_{DD} . Le transistor M10 est monté en miroir de courant avec les transistors M4 et M6.

[0040] La tension d'alimentation V_{DD} reste égale :

35
$$V_{DD} = V_{BE8} + V_{M5}, \quad (5)$$

[0041] La tension de référence V_{OUT} s'écrit :

40
$$V_{OUT} = R_{10} * I_{R10} = R_{10} * (I_{M7} + I_{M10}) \quad (9)$$

où I_{R10} est le courant dans la résistance R10 et I_{M10} est le courant de drain du transistor M10. Les transistors M4, M6 et M10 étant montés en miroir de courant, les courants I_{c8} , I_{c9} et I_{M10} sont égaux. Les transistors M5 et M7 étant montés en miroir de courant, les courants I_{M5} et I_{M7} sont égaux.

45 Le courant I_{c9} s'écrit :

$$I_{c9} = V_E / R_{11} - I_{b9}, \quad (10)$$

50 où V_E est la tension aux bornes de la résistance R11. La tension V_E s'écrit :

$$V_E = \Delta V_{BE} - R_9 * I_{b9},$$

55 où

$$\Delta V_{BE} = V_{BE8} - V_{BE9} = (kT/q) * \ln(p_{9|8}).$$

Le courant I_{C9} s'écrit :

$$I_{C9} = \Delta V_{BE}/R_{11} - I_{B9} \cdot (1 + R_9/R_{11}) .$$

Le courant I_{R10} s'écrit donc :

$$I_{R10} = V_{BE8}/R_8 + 2 \cdot I_{B9} + \Delta V_{BE}/R_{11} - I_{B9} \cdot (1 + R_9/R_{11}) .$$

Si les résistances R_9 et R_{11} sont égales, le courant I_{R10} ne dépend plus du courant I_{B9} . I_{R10} s'écrit :

$$I_{R10} = V_{BE8}/R_8 + \Delta V_{BE}/R_{11}$$

La tension de référence V_{OUT} s'écrit donc :

$$V_{OUT} = R_{10} \cdot [(V_{BE8}/R_8) + (kT/q \cdot R_9) \cdot \ln(p_9/p_8)] \quad (11)$$

Comme le montre la formule (11) le courant I_{C9} ne dépend plus du gain β , contrairement au cas du circuit de la figure 3. La tension V_{BE8} n'est plus affectée par la variation du gain β et comme la tension V_{OUT} dépend de V_{BE8} , la précision de la tension V_{OUT} n'est plus affectée par le gain β .

[0042] Un avantage d'un tel circuit est qu'une éventuelle variation de gain β du transistor Q9 n'affecte pas la précision de la tension de référence V_{OUT} .

[0043] Bien que l'on ait utilisé ici le terme résistance pour désigner les éléments R1 à R11, on notera que ces éléments peuvent être constitués de tout élément résistif tel qu'un transistor MOS connecté en résistance.

[0044] Les valeurs des résistances peuvent être comprises entre 1 et 100 k Ω par exemple 50 k Ω .

Revendications

1. Circuit de génération d'une tension de référence (V_{OUT}), comprenant entre des première (VDD) et seconde (GND) bornes d'application d'une tension d'alimentation :

une première source de courant (M4) en série avec un premier transistor bipolaire (Q8) ;
une deuxième source de courant (M5) en série avec un premier élément résistif (R8), le point de connexion entre la deuxième source de courant et le premier élément résistif étant connecté à la base du premier transistor bipolaire (Q8) ;
une troisième source de courant (M6) en série avec un deuxième transistor bipolaire (Q9), la troisième source de courant étant en miroir de courant avec la première source de courant ;
un deuxième élément résistif (R9) entre la base du deuxième transistor bipolaire (Q9) et le point de connexion entre la deuxième source de courant et le premier élément résistif ; et
une quatrième source de courant (M7) en série avec un troisième élément résistif (R10), le point de connexion entre la quatrième source de courant (M7) et le troisième élément résistif (R10) définissant une troisième borne fournissant la tension de référence (V_{OUT}), la quatrième source de courant (M7) étant en miroir de courant avec la deuxième source de courant (M5) .

2. Circuit selon la revendication 1, dans lequel une cinquième source de courant (M10) est connectée entre la première borne (V_{DD}) et la troisième borne (V_{OUT}), et un quatrième élément résistif (R11) est connecté en série avec le deuxième transistor bipolaire (Q9), la cinquième source de courant (M10) étant en miroir de courant avec la première source de courant.

3. Circuit selon la revendication 1 ou 2, dans lequel les sources de courant sont formées de transistors MOS.

4. Circuit selon l'une quelconque des revendications 1 à 3, dans lequel la surface du collecteur du deuxième transistor bipolaire (Q9) est supérieure à la surface du collecteur du premier transistor bipolaire (Q8).

Patentansprüche

1. Eine Schaltung zum Erzeugen einer Referenzspannung (V_{OUT}), die zwischen ersten (VDD) und zweiten (GND) Anschlüssen zum Anlegen einer Netzspannung Folgendes aufweist:

eine erste Stromquelle (M4) in Reihe mit einem ersten bipolaren Transistor (Q8);
 eine zweite Stromquelle (M5) in Reihe mit einem ersten Widerstandselement (R8), wobei der Verbindungspunkt zwischen der zweiten Stromquelle und dem ersten Widerstandselement mit der Basis des ersten bipolaren Transistors (Q8) verbunden ist;
 eine dritte Stromquelle (M6) in Reihe mit einem zweiten bipolaren Transistor (Q9), wobei die dritte Stromquelle mit der ersten Stromquelle einen Stromspiegel bildet;
 ein zweites Widerstandselement (R9) zwischen der Basis des zweiten bipolaren Transistors (Q9) und dem Verbindungspunkt der Stromquelle und dem ersten Widerstandselement; und
 eine vierte Stromquelle (M7) in Reihe mit einem dritten Widerstandselement (R10), wobei der Verbindungspunkt der vierten Stromquelle (M7) und des dritten Widerstandselements (R10) einen dritten Anschluss definiert, der die Referenzspannung (V_{OUT}) vorsieht, wobei die vierte Stromquelle (M7) mit der zweiten Stromquelle (M5) einen Stromspiegel bildet.

2. Vorrichtung nach Anspruch 1, wobei eine fünfte Stromquelle (M10) zwischen den ersten Anschluss (V_{DD}) und den dritten Anschluss (V_{OUT}) geschaltet ist und ein viertes Widerstandselement (R11) mit dem zweiten bipolaren Transistor (Q9) in Reihe geschaltet ist, wobei die fünfte Stromquelle (M10) mit der ersten Stromquelle einen Stromspiegel bildet.
3. Vorrichtung nach Anspruch 1 oder 2, wobei die Stromquellen aus MOS-Transistoren gebildet sind.
4. Vorrichtung nach den Ansprüchen 1 bis 3, wobei der Oberflächenbereich des Kollektors des zweiten bipolaren Transistors (Q9) größer als der Oberflächenbereich des Kollektors des ersten bipolaren Transistors (Q8) ist.

Claims

1. A circuit for generating a reference voltage (V_{OUT}), comprising, between first (VDD) and second (GND) terminals of application of a power supply voltage:

a first current source (M4) in series with a first bipolar transistor (Q8);
 a second current source (M5) in series with a first resistive element (R8), the junction point between the second current source and the first resistive element being connected to the base of the first bipolar transistor (Q8);
 a third current source (M6) in series with a second bipolar transistor (Q9), the third current source forming a current mirror with the first current source;
 a second resistive element (R9) between the base of the second bipolar transistor (Q9) and the junction point of the current source and of the first resistive element; and
 a fourth current source (M7) in series with a third resistive element (R10), the junction point of the fourth current source (M7) and of the third resistive element (R10) defining a third terminal providing the reference voltage (V_{OUT}), the fourth current source (M7) forming a current mirror with the second current source (M5).

2. The device of claim 1, wherein a fifth current source (M10) is connected between the first terminal (V_{DD}) and the third terminal (V_{OUT}), and a fourth resistive element (R11) is series-connected with the second bipolar transistor (Q9), the fifth current source (M10) forming a current mirror with the first current source.
3. The device of claim 1 or 2, wherein the current sources are formed of MOS transistors.
4. The device of claim 1 to 3, wherein the surface area of the collector of the second bipolar transistor (Q9) is greater than the surface area of the collector of the first bipolar transistor (Q8).

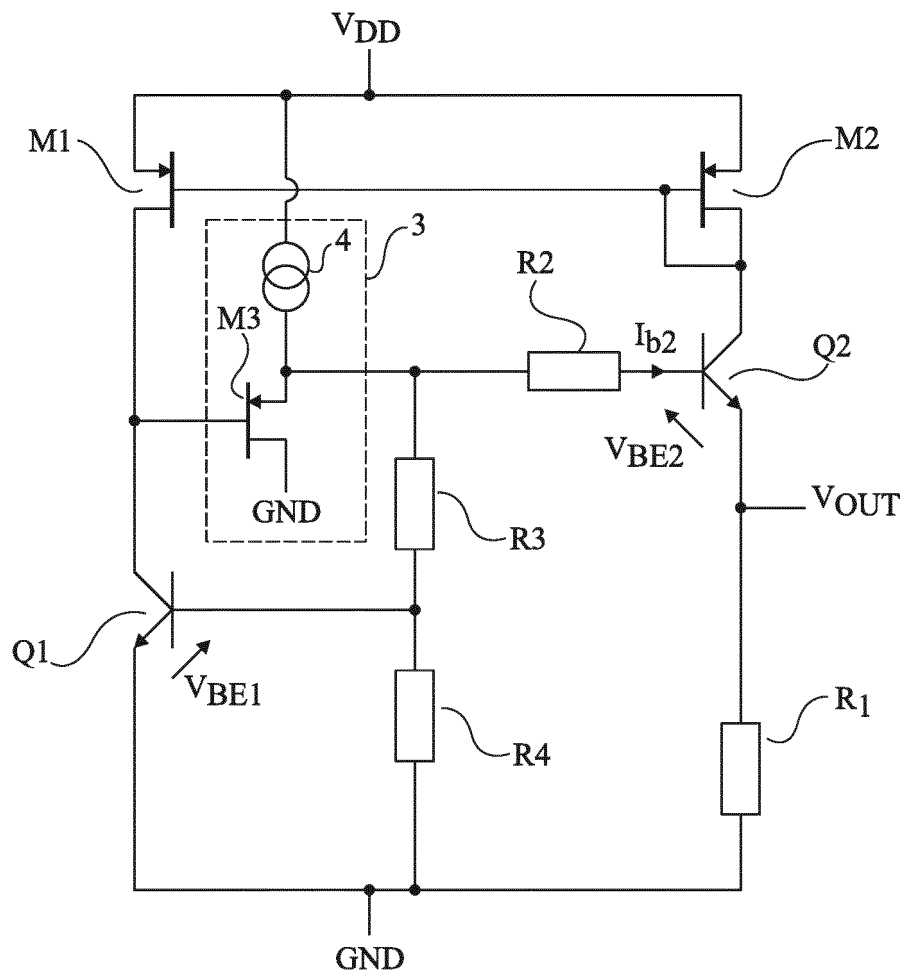


Fig 1

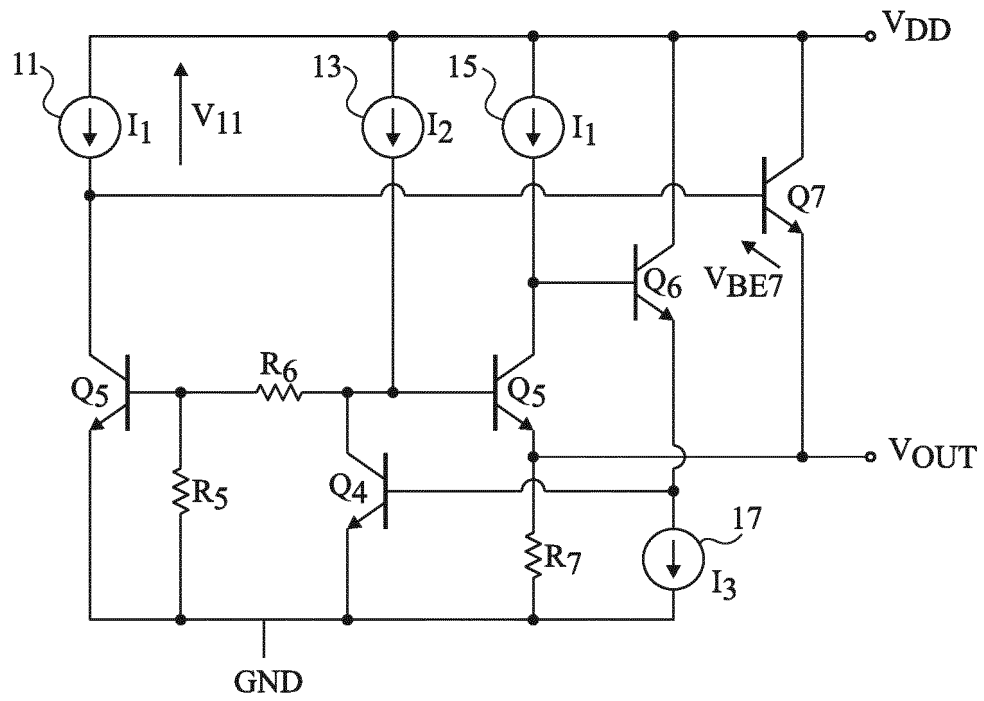


Fig 2

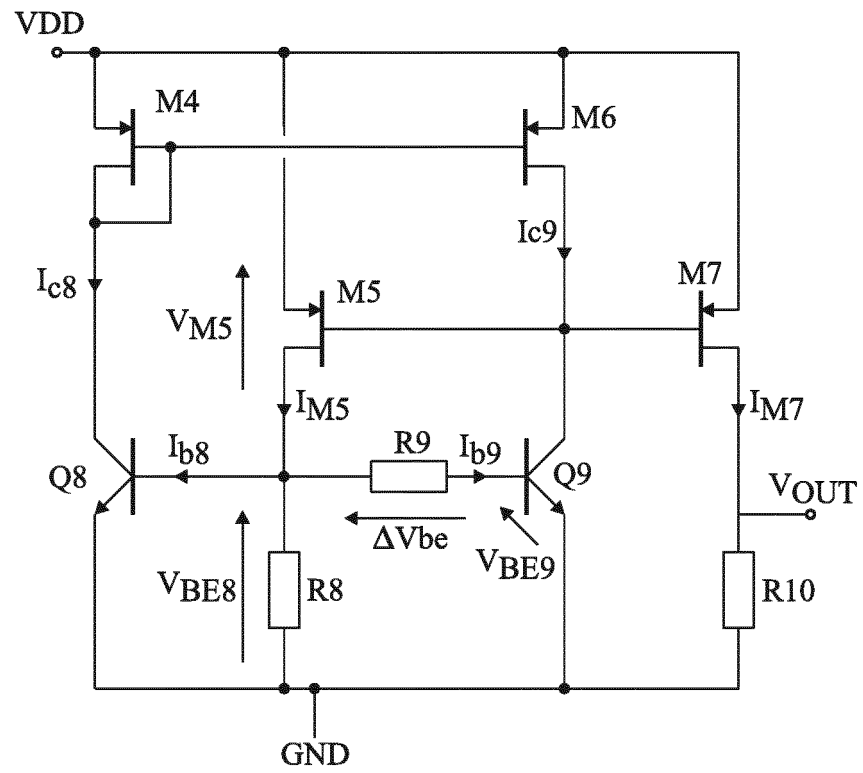


Fig 3

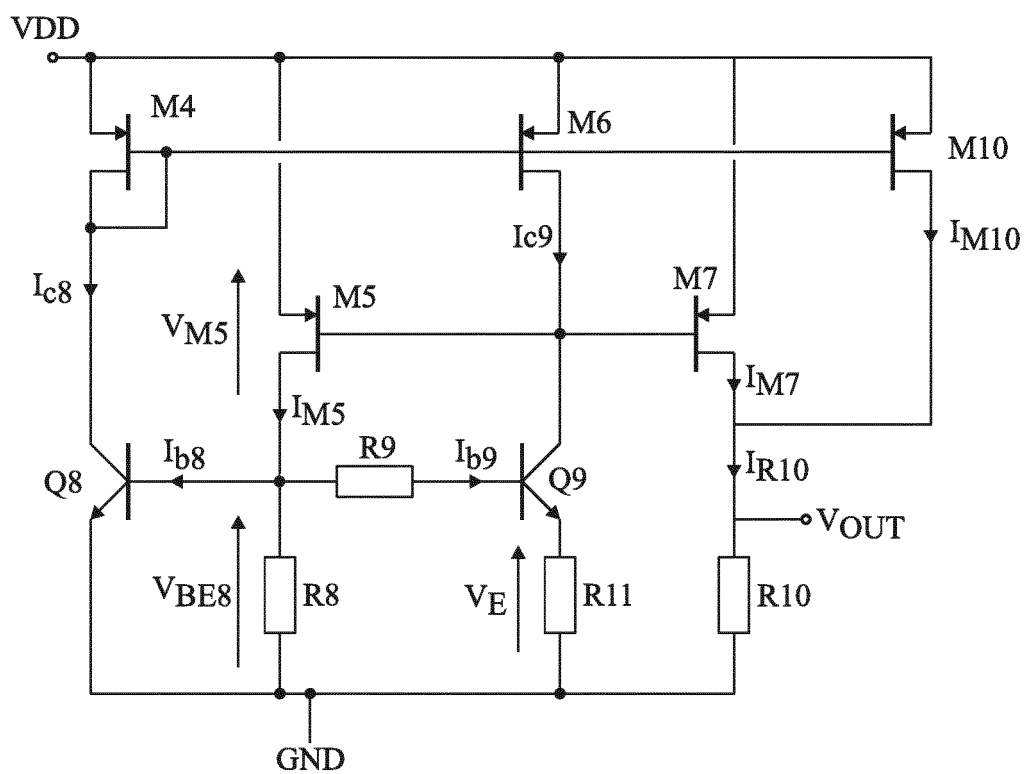


Fig 4

RÉFÉRENCES CITÉES DANS LA DESCRIPTION

Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.

Documents brevets cités dans la description

- FR 2969328 [0002]
- US 7408400 B [0009]
- US 4590419 A [0014]